

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 012113887

※ 申請日期： 012.5.22

※IPC 分類：

H01C 21/205

壹、發明名稱：(中文/英文)

半導體裝置之製造方法及半導體裝置

FABRICATION METHOD OF SEMICONDUCTOR DEVICE AND
SEMICONDUCTOR DEVICE

貳、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 日商日立製作所股份有限公司

HITACHI, LTD.

2. 日商瑞薩東日本半導體股份有限公司

RENESAS EASTERN JAPAN SEMICONDUCTOR, INC.

代表人：(中文/英文)

1. 庄山 悦彦

ETSUHIKO SHOYAMA

2. 九鬼 泰毅

YASUKI KUKI

住居所或營業所地址：(中文/英文)

1. 日本國東京都千代田區神田駿河台四丁目 6 番地

6, KANDA-SURUGADAI 4-CHOME CHIYODA-KU, TOKYO

101-8010 JAPAN

2. 日本國東京都青梅市藤橋三丁目 3 番地 2

3-2, FUJHASHI 3-CHOME OME-SHI, TOKYO JAPAN

國 籍：(中文/英文)

1. 2. 均日本 JAPAN

參、發明人：(共 3 人)

姓 名：(中文/英文)

1.近藤 泰一

2.杉井 信之

3.平澤 亘

住居所地址：(中文/英文)

1.日本國東京都千代田區丸內一丁目 5 番 1 號新丸大樓日立製作所股份有限公司知的財產權本部

C/O HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG. 5-1, MARUNOUCHI 1-CHOME,
CHIYODA-KU, TOKYO 100-8220, JAPAN

2.日本國東京都千代田區丸內一丁目 5 番 1 號新丸大樓日立製作所股份有限公司知的財產權本部

C/O HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG. 5-1, MARUNOUCHI 1-CHOME,
CHIYODA-KU, TOKYO 100-8220, JAPAN

3.日本國東京都青梅市藤橋三丁目 3 番地 2 瑞薩東日本半導體股份有限公司

C/O RENESAS EASTERN JAPAN SEMICONDUCTOR, INC. 3-2,
FUJIHASHI 3-CHOME, OME-SHI, TOKYO JAPAN

國 籍：(中文/英文)

1.-3.均日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 日本；2002 年 05 月 31 日；特願 2002-158608
- 2.
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002 年 05 月 31 日；特願 2002-158608
- 2.
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置之製造方法及半導體裝置技術，特別係關於可有效適用於在半導體基板上形成矽化鍺膜之半導體裝置之製造方法及半導體裝置之技術。

【先前技術】

足利等人之特開平6-69131號公報曾記載有關形成SiGe膜之減壓CVD法及常壓CVD法之探討及其缺陷之改善之新穎的SiGe膜形成方法。

發明所欲解決之問題

近年來，半導體裝置一直在朝向高速化發展，作為其對應策略，已有人開始採用使用矽化鍺(SiGe：Silicon-Germanium)薄膜之技術。例如，使矽化鍺膜與矽膜依序磊晶生長於在矽基板上，在此矽膜上形成MOS電晶體等半導體元件，以製造半導體裝置。

作為矽化鍺膜之成膜方法，可考慮使用MBE (molecular beam epitaxy；分子束磊晶生長)法、UHV-CVD (ultrahigh vacuum chemical vapor deposition；超高真空化學氣相沉積)法所施行之成膜法。

但，在此等成膜法之情形，由於在高真空下形成矽化鍺膜，故成膜裝置需要有高度之真空排氣設備，因此，使得成膜裝置趨向大型化，並提高半導體裝置之製造成本。且在高真空下成膜時，矽化鍺膜之成膜速度較小，因此，矽化鍺膜成膜所需時間變長，進而會增加半導體裝置之製造時間。

又，作為矽化鍺膜之成膜方法，也可考慮使用利用在常壓下使用層流所施行之逐片式之CVD法。此時，矽化鍺膜之成膜速度雖較大，但由於加上逐片式之條件，故在形成較厚之膜時，會導致半導體裝置之生產性不良之實用上之問題。又，在使用此型式之CVD裝置時，導入成膜裝置之處理室內之氣體會變成層流而在處理室內流動，難以提高形成於半導體基板上之矽化鍺膜之膜質，因此半導體裝置之製造良率會降低。

又，磊晶生長於矽基板上之矽化鍺膜中結晶缺陷較多時或表面粗度較大時，所製造之半導體裝置之可靠性會降低，半導體裝置之製造良率也有降低之虞。

本發明之目的在於提供可縮短製造時間之半導體裝置之製造方法及半導體裝置。

本發明之另一目的在於提供可提高製造良率之半導體裝置之製造方法及半導體裝置。

本發明之另一目的在於提供可提高可靠性之半導體裝置之製造方法及半導體裝置。

本發明之前述及其他目的與新穎之特徵可由本專利說明書之說明及附圖獲得更明確之瞭解。

【發明內容】

本案所揭示之發明中，較具有代表性之發明之概要可簡單說明如下：

本發明之半導體裝置之製造方法係使用分批式成膜裝置，在常壓及準常壓區域之壓力下形成矽化鍺膜。

又，本發明之半導體裝置之製造方法係以在成膜裝置之處理室內產生亂流之方式導入氣體，以形成矽化鍺膜。

又，本發明之半導體裝置在形成於半導體基板上之矽化鍺膜厚度方向之鍺濃度分布之峰值在矽化鍺膜之中間區域。

【實施方式】

在詳細說明本實施形態之前，先將本實施形態之用詞之意義說明如下：

1.所稱氣體之亂流，係指氣流產生漩渦，且該漩渦呈不規則變化之狀態而言。在氣體之亂流中，漩渦之位置、方向、形狀或大小等不定而發生不規則變化或搖晃。

2.所稱常壓及準常壓區域，係指常壓區域與準常壓區域合起來之區域而言。常壓區域為88000~115000 Pa (660~860 Torr)程度之壓力區域。準常壓區域係由20000~88000 Pa (150~660 Torr)程度之壓力之準常壓減壓區域、與115000 Pa~180000 Pa (860~1350 Torr)程度之壓力之準常壓加壓區域所構成。因此，常壓及準常壓區域對應於20000 Pa~180000 Pa (150~1350 Torr、0.2~1.8氣壓)程度之壓力。

3.所稱非晶質膜，係指包含原子排列無秩序性之非結晶狀態之薄膜、具有各種結晶方位之結晶粒以結晶粒為境界所集合而成之多結晶膜、及具有非結晶與多結晶間之微結晶構造之微結晶膜而言。

4.提及矽化鍺膜等物質名稱時，除有特別明確記載之情形外，並非僅表示其所示之物質，而包含以所示之物質(元素、

原子群、分子、化合物等)為主要成分、組成成分或為主要成分之物質。因此，在氣體成分等方面，除了所示之成分外，不排除添加氣體、載氣、稀有氣體、及以附屬效果為目的所添加之輔助成分氣體等之各種添加或複合成分。

5.在本案中，稱半導體裝置時，並非特別僅指形成於單晶矽基板上之半導體裝置，除特別明示非為半導體裝置之情形以外，均包含 SOI (Silicon On Insulator：含矽絕緣體)基板、SOS (Silicon On Sapphire：含矽藍寶石)基板或 TFT (Thin Film Transistor；薄膜電晶體)液晶製造用基板等其他基板上所形成之半導體裝置。

6.所稱半導體基板，係指用於製造半導體積體電路之矽或其他半導體單結晶基板(一般略呈圓板形，又稱半導體晶圓)、藍寶石基板、玻璃基板、其他絕緣、反絕緣或半導體基板等及該等之複合性基板而言。

又，在以下之實施形態中，基於說明上的方便，認為有其必要時，將某些部分分割成多數段落或實施形態加以說明，但除非有特別明示，該等部分彼此均有所關聯，其一方屬於他方之一部分或全部之變形例、詳細說明或補充說明之關係。

又，在以下之實施形態中，提及元件之數等(含個數、數值、量、範圍等)時，除非有特別明示及原理上顯然被限定於特定之數之情形等以外，均不限定於該特定之數，而可適用於特定之數以上或以下之數。

另外，在以下之實施形態中，其構成元件(含元件步驟等)

除非有特別明示之情形及原理上顯屬必要之情形等以外，當然未必全屬必要。

同理，在以下之實施形態中，提及構成元件等之形狀、關係位置等之時，除非有特別明示及原理上顯然不同之情形等以外，均應包含實質上近似或類似於該形狀等，此在有關上述數值及範圍上亦同。

又，在說明本實施形態用之所有圖中，對於具有同一機能之構件，附以同一號碼予以顯示，而省略其重複之說明。

又，在本實施形態所使用之圖式中，即使在平面圖上，有時也附上影線，使圖式更易於瞭解。

以下，依據圖式，詳細說明本發明之實施形態。

(實施形態1)

圖1係表示本實施形態之半導體裝置之製造工序所使用之半導體製造裝置之概念的構造之局部切剖正面圖。圖2係圖1之半導體製造裝置之局部切剖上面圖。又，在圖1中，切剖部分係表示概念的剖面。

圖1及圖2所示之半導體製造裝置1係在將矽化鍺膜及矽膜形成於半導體基板上之工序所使用之成膜裝置，例如分批式CVD裝置。又，為簡化瞭解起見，有關處理室2及其內部以外之半導體製造裝置1之構造，省略圖示及詳細之說明。

半導體製造裝置1具有反應室或處理室2、配置於處理室2內之承受器3、支持承受器3之承受器支持台4、配置於承受器3之下方，並收容於線圈蓋5內之高頻線圈6、將各種氣體導入處理室2內用之噴氣口7、及由處理室2排出氣體用之排

氣口8。

處理室2係可保持密不透氣之反應室，具有底板9、經由O形環等密不透氣地連接於底板9之鐘罩10、及鐘罩邊部11。鐘罩10係由內壁(內部)側之石英鐘罩10a、與外壁(外部)側之不銹鋼製鐘罩10b所構成，不銹鋼製鐘罩10b上設有可觀察處理室2內之觀察窗10c。

在底板9與鐘罩10所圍成之空間之處理室2內，承受器3被支持於承受器支持台4，且構成可在處理室2內，向承受器旋轉方向3a旋轉之狀態。承受器3例如係由碳等所構成，其表面例如被碳化矽(SiC)等所包覆，且構成可在承受器3上配置多數半導體晶圓(半導體基板)12之狀態。

收容於線圈蓋5內之高頻線圈6係連接至處理室2外部之未圖示之高頻電源，並構成可由高頻電源施加或供應高頻電壓或高頻電力至高頻線圈6之狀態。高頻電力供應至高頻線圈6時，在內部由碳等所構成之承受器3會產生感應電流，可使承受器3之溫度上升至例如1200℃之程度，藉此可將配置於承受器3上之半導體晶圓12以RF加熱方式加熱至所希望之溫度。

噴氣口7連接於未圖示之氣體導入手段，並構成可由噴氣口7將希望之氣體以希望之流量導入至處理室2內之狀態。排氣口8連接於未圖示之排氣管，並構成可排出由噴氣口7導入至處理室2內之氣體之狀態。又，在圖2中，排氣口8雖僅顯示1個，但在與圖示之排氣口8對稱之位置(處理室2端部)也形成有排氣口8。排氣口8之數也可依照需要增減。

在本實施形態中，噴氣口7係以由承受器3之大致中央向上方突出之方式被配置，且構成可在配置在承受器3上之多數半導體晶圓12之上方，將氣體導入處理室2內之狀態。

圖3係概念地表示噴氣口7之前端附近之構造之側面圖，圖4係其上面圖。噴氣口7在其帶圓形之前端附近，形成有多數孔7a，由各孔7a將特定之氣體放出或導入處理室2內。各孔7a例如具有4 mm程度之直徑，例如9個孔7a形成於噴氣口7之前端之曲面之各種位置。因此，孔7a朝向各種方向，經由噴氣口7之孔7a，由處理室2內部向朝向處理室2之內壁之多數方向放出氣體。又，也可將噴氣口7構成可在處理室2內旋轉之狀態。

由噴氣口7之多數孔7a導入或放出至處理室2內之氣流在處理室2內具有各種方向性。例如，在圖1~圖4中，如氣體放出方向13所示，氣體可由噴氣口7經孔7a放出至水平方向(平行於承受器3之方向，即平行於半導體晶圓12之主面之方向)、上方或垂直方向(垂直於承受器3之方向，即垂直於半導體晶圓12之主面之方向)、及水平與垂直之中間之任意方向等。由噴氣口7放出或噴出氣體之際之由噴氣口7之孔7a之氣體噴出速度例如為25m/秒。由噴氣口7放出氣體之際之氣體壓力(氣體供應壓力)例如約200000 Pa (約2 kgf/cm²)，氣體流量例如為170 slm (standard liters per minute；每分鐘標準公升數)。又，由噴氣口7之孔7a放出於處理室2內之氣體會碰到處理室2之內壁等，因此，導入處理室2內之氣流不會變成層流，而會產生亂流。在圖1及圖2中，雖係以箭號模式地

顯示在處理室2內之平均氣流或代表性之氣流13a，但亂流會使處理室2內之氣流產生漩渦(渦流)，此漩渦會發生不規則之變化。因亂流之產生而在半導體晶圓12上方之氣流中產生漩渦之氣體會在處理室2內強制地對流。又，處理室2內之氣流漩渦並不一定而會發生不規則之變化。因此，可使處理室2內之氣體均質化，故可使氣體成分均勻或均質地滯留在配置在承受器3上之多數半導體晶圓12上。因此，可使被CVD法等形成在半導體晶圓12上矽化鍍膜及矽膜之膜質及膜厚在半導體晶圓12間及半導體晶圓12面內保持均勻。對反應無助益之氣體則由排氣口8被排出於處理室2外部。又，在本實施形態之情形，氣體係由噴氣口7向多數方向放出，但也可向一方向，例如僅向上方或垂直方向之一方向放出。

其次，參照圖式說明本實施形態之半導體裝置，例如MISFET (Metal Insulator Semiconductor Field Effect Transistor；金屬絕緣體半導體場效電晶體)之製造工序。圖5至圖9係本實施形態之半導體裝置之製造工序之要部剖面圖。

首先，準備例如由矽基板形成之多數半導體晶圓(半導體基板)12。作為半導體晶圓12，可使用例如矽單晶之(100)4度off基板(即具有由矽之(100)面傾斜4度之主面之單晶矽基板(矽晶圓))。

其次，將半導體晶圓12送入半導體製造裝置1，將半導體晶圓12配置於承受器3上。然後，由高頻電源將高頻電力施加或供應至半導體製造裝置1之高頻線圈6，藉以利用感應電流加熱承受器3，將半導體晶圓12加熱至特定之溫度。而，

由噴氣口7將成膜用氣體導入處理室2內。即，將作為載氣之例如氫氣(H_2)、作為矽原料氣體之例如單矽烷(SiH_4)氣、作為摻入P型雜質之氣體之例如以 H_2 稀釋之30 ppm濃度之乙硼烷(B_2H_6)氣、及作為鍺原料氣體之例如以 H_2 稀釋之1%濃度之單鍺烷(GeH_4)氣導入處理室2內。導入處理室2之氣體起反應而沉積於半導體晶圓12上，藉以將矽化鍺膜(SiGe膜)21磊晶生長於各半導體晶圓12上。此時，處理室2內之壓力以維持於常壓及準常壓區域之壓力為宜，如維持於常壓區域之壓力更理想。即，在矽化鍺膜之成膜工序之處理室2內之壓力以在20000 Pa~180000 Pa (150~1350 Torr)之範圍內為宜，較好之情形為60000 Pa~140000 Pa (450~1050 Torr)，更好之情形為88000 Pa~115000 Pa (660~860 Torr)。因此，如上所述，在處理室2內，由噴氣口7被放出之氫氣(H_2)、單矽烷(SiH_4)氣、乙硼烷(B_2H_6)氣、及單鍺烷(GeH_4)氣可在處理室2內產生亂流，使矽化鍺膜21之膜質及膜厚得以保持均勻。

又，如上所述，在本實施形態中，在處理室2內之壓力高於MBE裝置(成膜時之處理室內之壓力為 10^{-4} ~ 10^{-3} Pa程度之超高真空區域)、UHV-CVD裝置(成膜時之處理室內之壓力為0.1 Pa程度之高真空區域)、及減壓CVD裝置(成膜時之處理室內之壓力為10~1000 Pa程度之減壓區域)等，故矽化鍺膜21之生長速度或成膜速度均可提高至高於使用MBE裝置、UHV-CVD裝置及減壓CVD裝置等之情形。又，處理室2內之壓力若在常壓及準常壓區域之範圍內而小於外氣之壓力時，也可使介著O形環等之底板9與鐘罩10之結合更為牢固。

又，作為矽原料氣體，並非僅限於單矽烷(SiH_4)氣，也可使用其他矽原料氣體，例如乙矽烷(Si_2H_6)氣。另外，也可使用含氯元素之二氯矽烷(SiH_2Cl_2)氣、三氯矽烷(SiHCl_3)氣或四氯化矽(SiCl_4)氣等作為矽原料氣體。又，也可在此種氣體中添加HCl氣。可藉此提高矽化鍺膜21之生長速度及提高降低異物等之品質。又，作為鍺原料氣體，也可取代 GeH_4 氣，而使用四氯化鍺(GeCl_4)氣或 Ge_2H_6 氣。又，雖係利用摻入P型雜質之氣體，例如 B_2H_6 氣形成P型矽化鍺膜21，但也可取代摻入P型雜質之氣體，而使用摻入N型雜質之氣體，例如膦(PH_3)氣。藉此，可在半導體晶圓12上形成N型矽化鍺膜。

其後，停止對處理室2內導入單鍺烷氣，使由噴氣口7導入處理室2內之氣體成為作為載氣之氫氣(H_2)、作為矽原料氣體之單矽烷(SiH_4)氣、作為摻入P型雜質之氣體之乙硼烷(B_2H_6)氣。因此，矽化鍺膜21之成長結束，並使矽膜(變形矽膜)22磊晶生長於矽化鍺膜21上。此時，因矽化鍺與矽之晶格常數之差異，在矽化鍺膜21上會形成具有大於通常之矽結晶之晶格常數之晶格常數之矽膜22，即所謂變形矽膜22。在變形矽膜22中，電子移動度比通常之矽膜提高(增大)。因此，如後所述，在形成於變形矽膜22之MISFET中，可提高在源極・汲極間移動之電子移動度，增進半導體裝置之高速化。

如此，將矽化鍺膜21及變形矽膜22磊晶生長於半導體晶圓12之結果，即可獲得圖5之構造。

由半導體製造裝置1取出半導體晶圓12後，在各半導體晶

圖 12 形成半導體元件。在此，雖係說明在 1 片半導體晶圓 12 形成半導體元件之工序之情形，但在其他之半導體晶圓 12 中也可同樣地形成半導體元件。

有一點在圖 6 中並未予以圖示，即：必要時，可在半導體晶圓 12 之主面施行形成井區域用之雜質離子植入。例如，植入硼 (B) 等雜質時，可形成 P 型井區域，植入磷 (P) 等雜質時，可形成 N 型井區域。又，以光阻膜作為光罩時，可僅在所希望之區域植入所希望之雜質。

其次，如圖 6 所示，在形成矽化鍺膜 21 及變形矽膜 22 之半導體晶圓 (即所謂 SiGe 磊晶晶圓) 12 之主面，形成氧化矽等形成之元件分離區域 23。元件分離區域 23 例如可利用 LOCOS (Local Oxidation of Silicon；矽局部氧化) 法等予以形成。又，元件分離區域 23 例如也可利用將氧化矽膜埋入以 STI (Shallow Trench Isolation：淺溝隔離法) 形成在半導體晶圓 12 之主面之溝中之方式予以形成。

然後，在半導體晶圓 12 之表面 (即變形矽膜 22 之表面) 形成閘絕緣膜 24。閘絕緣膜 24 例如係利用薄的矽氧化膜等所形成，利用熱氧化半導體晶圓 12 等方式形成。

其次，如圖 7 所示，在半導體晶圓 12 形成矽化鍺膜 25。矽化鍺膜 25 可利用半導體製造裝置 1 而以大致相同於矽化鍺膜 21 之方式形成。底層之閘絕緣膜 24 利用矽氧化膜形成，形成於閘絕緣膜 24 上之矽化鍺膜 25 係由多晶矽化鍺膜所形成。又，也可利用半導體製造裝置 1 形成微晶矽化鍺膜或非晶質矽化鍺膜所構成之矽化鍺膜 25。即，矽化鍺膜 25 可由

非晶質矽化鉬膜所構成。在矽化鉬膜 25 之成膜工序中，可使用與矽化鉬膜 21 之成膜工序同樣之氣體。此時，在矽化鉬膜 25 中，摻雜著磷。

其次，在矽化鉬膜 25 上形成矽化鎢 (WSi_2) 膜 26。然後，如圖 8 所示，利用微影法及蝕刻法，將矽化鉬膜 25 及矽化鎢膜 26 圖案化，藉以形成由矽化鉬膜 25 與矽化鎢膜 26 構成之閘極 27。也可取代 WSi_2 而使用 TiSi_2 或 CoSi_2 。

其次，在閘極 27 之兩側區域，利用離子植入法植入例如磷 (P) 等雜質，形成 n 型半導體區域 (源極、汲極) 28。

藉此，形成 n 通道型 MISFET 29。因 MISFET 29 之通道區域形成於變形矽膜 22 內，故可提高在 MISFET 29 之源極・汲極 (n 型半導體區域 28) 間移動之電子移動度，增進 MISFET 29 動作之高速化。

其次，如圖 9 所示，在半導體晶圓 12 之主面上形成層間絕緣膜 30。層間絕緣膜 30 例如可利用 CVD 法沉積矽氧化膜之方式形成。然後，以形成於層間絕緣膜 30 上之未圖示之光阻圖案作為光罩，將層間絕緣膜 30 乾式蝕刻，在 n 型半導體區域 28 及閘極 27 上部形成通孔或接觸孔 31。其後，例如利用氮化鈦膜及鎢膜形成填埋接觸孔 31 之插塞 32。

其次，在層間絕緣膜 30 上沉積阻擋膜及鋁合金膜等，利用微影法及蝕刻法形成圖案，藉以形成配線 (第一層配線) 33。然後，在層間絕緣膜 30 上以覆蓋配線 33 之方式形成層間絕緣膜 34。

其後，雖省略圖示及詳細說明，但在層間絕緣膜 34 形成

露出配線33之一部分之通路或通孔，與插塞32及配線33同樣地，形成填埋通孔之插塞、及經由插塞電性連接於配線33之上層配線等，並依照需要被切割而分割成半導體元件晶片，製成本實施形態之半導體裝置。又，配線層數等可依照設計適當地予以變更。

依據本實施形態，由於係在常壓及準常壓區域之壓力下形成矽化鍺膜21及矽化鍺膜25，故可提高成膜速度，且因使用分批式之半導體製造裝置1，可一次在多數半導體晶圓12上形成矽化鍺膜21及矽化鍺膜25，故可縮短半導體裝置之製造時間，並降低半導體裝置之製造成本。

又，因係使半導體裝置1之處理室2內產生亂流，使處理室2內之氣體強制地對流，以形成矽化鍺膜21及矽化鍺膜25，故可在各半導體晶圓12間，使矽化鍺膜21及矽化鍺膜25之膜質及膜厚保持均勻。又，可在半導體晶圓12之面內，使矽化鍺膜21及矽化鍺膜25之膜質及膜厚保持均勻。因此，可提高半導體裝置之可靠性，並改善半導體裝置之製造良率。

又，不使處理室2內之壓力低於外氣之壓力時，無必要將排氣口8連接至真空泵等。因此，半導體製造裝置1不需要真空排氣設備，不但可達成小型化，而且可降低半導體裝置之製造成本。

又，即使在常壓及準常壓區域之範圍內，使處理室2內之壓力低於外氣之壓力時，也由於處理室2內之壓力高於MBE裝置、UHV-CVD裝置及減壓CVD裝置等，故不需要在MBE裝

置、UHV-CVD裝置或減壓CVD裝置所使用之高排氣量之排氣設備。

又，在常壓及準常壓區域之範圍內，欲使處理室2內之壓力高於外氣之壓力時，只要在排氣側設置可取得對處理室2之氣體導入與由處理室2之氣體排出之平衡之機構即可。

又，在本實施形態中，雖以n通道型MISFET為例加以說明，但在p通道型MISFET之情形，則取代磷(P)而將摻雜硼(B)之多結晶之矽化鍺膜25使用作為閘極27之一部分。摻雜硼(B)之多結晶之矽化鍺膜25，比摻雜硼(B)之多結晶之矽膜更能提高硼之活性化率，故在閘極27使用摻雜硼(B)之多結晶之矽化鍺膜25時，可抑制在閘極27與閘極絕緣膜24之界面之耗乏現象。其他雜質，例如如上所述，在矽化鍺膜25中摻雜磷(P)之情形，也具有同樣效果。又，矽化鍺膜25由摻雜硼(B)之微晶或非晶質之矽化鍺膜所構成之情形，也具有同樣效果。

(實施形態2)

圖10係表示另一實施形態之半導體裝置之製造工序所使用之半導體製造裝置之說明圖。

圖10所示之半導體製造裝置41係在將矽化鍺膜及矽膜形成於半導體基板上之工序所使用之成膜裝置，例如逐片式CVD成膜裝置。又，為簡化瞭解起見，有關處理室42及其內部以外之半導體製造裝置41之構造，省略圖示及詳細之說明。

半導體製造裝置41具有處理室42、配置於處理室42內之承受器43、支持承受器43之承受器支持台44、配置於承受器43

之下方，並收容於線圈蓋45內之高頻線圈46、將各種氣體導入處理室42內用之噴氣口47、及由處理室排出氣體用之排氣口48。

處理室42係可保持密不透氣之反應室，具有底板49、經由O形環等密不透氣地連接於底板49之鐘罩50。又，鐘罩50之構成因具有大致與上述實施形態1之鐘罩10相同之構成，故省略圖示及詳細之說明。

在底板49與鐘罩50所圍成之空間之處理室42內，承受器43被支持於承受器支持台44，且構成在承受器43上配置大口徑之一片半導體晶圓(半導體基板)52，例如直徑200 mm以上之半導體晶圓52之狀態。承受器43例如係由碳等所構成，其表面例如被碳化矽(SiC)等所包覆。

收容於線圈蓋45內之高頻線圈46係連接至處理室42外部之未圖示之高頻電源，並構成可由高頻電源施加或供應高頻電壓或高頻電力至高頻線圈46之狀態。高頻電力供應至高頻線圈46時，在內部由碳等所構成之承受器43會產生感應電流，可藉此將配置於承受器43上之半導體晶圓52加熱至所希望之溫度。

噴氣口47連接於未圖示之氣體導入手段，並構成可由噴氣口47將希望之氣體以希望之流量導入至處理室42內之狀態。排氣口48連接於未圖示之排氣管，並構成可排出由噴氣口47導入至處理室42內之氣體之狀態。

噴氣口47係被配置於處理室42之上部，且構成可在配置在承受器43上之半導體晶圓52之上方，將氣體導入處理室42內

之狀態。噴氣口47分成二叉，具有2個前端部，在噴氣口47之2個前端部分別與上述實施形態1之噴氣口7之前端部同樣地，形成有多數孔(未予圖示)，由各孔將特定之氣體放出或導入處理室42內。與噴氣口7同樣地，噴氣口47之孔形成於噴氣口47之前端之曲面之各種位置。又，噴氣口也可以形成不分成二叉之構成，或形成分成三叉以上之構成。又，也可將噴氣口47構成可在處理室42內旋轉之狀態。

因此，經由噴氣口47之孔，可由處理室42內部向朝向處理室42之內壁之多數方向放出成膜用之氣體。在圖10中，由以箭號模式地顯示之氣流53可知：例如，氣體可由噴氣口47放出至水平方向(平行於承受器43之方向，即平行於半導體晶圓52之主面之方向)、上方或垂直方向(垂直於承受器43之方向，即垂直於半導體晶圓52之主面之方向)、及水平與垂直之中間之任意方向等。由噴氣口47之孔放出於處理室42內之氣體與上述實施形態1同樣地，會在處理室42內產生亂流，在半導體晶圓52上方之氣流中產生漩渦。又，處理室42內之氣流之漩渦會並不一定而會發生不規則之變化。因此，可使處理室42內之氣體強制地對流，故可使形成在半導體晶圓52上之矽化鍺膜及矽膜之膜質及膜厚在半導體晶圓52面內保持均勻。在本實施形態之情形，氣體係由噴氣口47向多數方向放出，但也可向一方向，例如僅向上方或垂直方向之一方向放出。

使用半導體製造裝置41之半導體裝置之製造工序除了係使用半導體製造裝置41，將半導體晶圓52逐片地形成矽化鍺

膜以外，其他大致與上述實施形態1相同，故在此省略其說明。

依據本實施形態，利用逐片式成膜裝置在大口徑(例如直徑200 mm以上)之半導體晶圓52形成矽化鍺膜時，也可提高矽化鍺膜之成膜速度，使膜厚及膜質保持均勻，且也可構成具有多數此種處理室之半導體製造裝置。

(實施形態3)

圖11係表示在半導體晶圓(半導體基板)60上形成矽化鍺膜61及矽膜(變形矽膜)62之狀態之概念的剖面圖。

矽化鍺膜之晶格常數會因鍺濃度之增大而增大，因此，在單晶矽形成之半導體晶圓60上形成矽化鍺膜61時，突然使鍺濃度較大之矽化鍺膜磊晶生長於半導體晶圓60上時，由於晶格常數之差異，矽化鍺膜會發生大的變形，而有在矽化鍺膜中發生產生高密度之缺陷等不利現象之虞。因此，在半導體晶圓60與矽化鍺膜61之界面附近，利用相較地減少矽化鍺膜61之鍺濃度，使晶格常數在半導體晶圓60與矽化鍺膜61之界面較容易匹配，而隨著，矽化鍺膜61之成膜之進行，例如利用階段式(階梯式)地增大鍺濃度，並少量地逐漸施加應力，當達到特定之鍺濃度時，以保持一定之鍺濃度方式形成矽化鍺膜61(順分段配送處理)，藉以抑制集中於半導體晶圓60與矽化鍺膜61之界面附近之缺陷之發生，降低矽化鍺膜61中之貫通轉位密度。另一方面，使矽膜(變形矽膜)62磊晶生長於矽化鍺膜61上時，可依照底層之矽化鍺膜61之晶格常數，使形成於其上之矽膜62變形(比通常之矽之晶格常數

之情形更為長大)，但因變形矽膜62較薄(例如為40~50 nm)，故在變形矽膜62中幾乎不會發生轉位。

但，依據本發明人等之研究獲悉：如上所述，使矽化鍺膜61之厚度方向之鍺濃度由半導體晶圓60與矽化鍺膜61之界面向矽化鍺膜61之內部方向徐徐增加時，在矽化鍺膜61中，壓力或應力會被施加至同一方向，因累積之應力而可能導致各種不利現象，例如矽化鍺膜61中之缺陷之增大、矽化鍺膜61及變形矽膜62表面之粗度之增大等之發生。

因此，在本實施形態中，針對矽化鍺膜61之厚度方向之鍺濃度由半導體晶圓60與矽化鍺膜61之界面向矽化鍺膜61之內部方向增大所引起之上述不利現象，探討其改善對策。

茲說明本發明之本實施形態之半導體裝置之製造方法，在此，說明在半導體基板上形成矽化鍺膜及矽膜(變形矽膜)之工序。

圖12係本實施形態之半導體裝置之製造工序中之要部剖面圖，表示在半導體晶圓(半導體基板)70上形成矽化鍺膜(SiGe膜)71及矽膜(變形矽膜)72之狀態。圖13係表示在矽化鍺膜71及變形矽膜72之形成工序中之半導體晶圓70之溫度與導入成膜裝置之單鍺烷(GeH_4)氣之流量之圖。圖13之圖之縱軸對應於半導體晶圓之溫度及單鍺烷(GeH_4)氣之流量。又，圖13之圖之橫軸對應於時間或時刻，值得注意的是：採用任意單位(arbitrary unit)，且時間 $t_1 \sim t_{17}$ 之各時間間隔並不均一。

首先，將半導體晶圓(半導體基板)70送入成膜裝置。此時，使用上述半導體製造裝置1或半導體製造裝置41作為成膜裝

置，以常壓及準常壓區域之壓力，使矽化鍍膜及矽膜(變形矽膜)磊晶生長時，即可在短時間在多數半導體晶圓上形成矽化鍍膜及變形矽膜，或提高成膜速度，更屬理想。但，也可使用減壓CVD裝置或UHV-CVD裝置等其他成膜裝置，在真空下，使矽化鍍膜及變形矽膜磊晶生長於半導體晶圓70上。在此，說明使用上述半導體製造裝置1之情形。

作為半導體晶圓70，可使用例如矽單晶之(100)4度off基板(即具有由矽之(100)面傾斜4度之主面之單晶矽基板)。

在配置半導體晶圓70之半導體製造裝置1之處理室2內，以例如150 slm (standard liters per minute)之流量導入氮(N_2)氣，充分除去處理室2內之空氣。藉以防止空氣與後面導入之氫氣起反應。又，在本實施形態中，氣體流量表示以 $0^\circ C$ 、1氣壓校正後之氣體流量。

然後，在時間(時刻) t_1 ，停止氮氣之導入，以例如170 slm之流量導入作為載氣之氫氣(H_2)氣。又，氫氣之導入持續至時間 t_{17} 。

除去處理室2內之氮氣後，在時間 t_2 ，開始對半導體製造裝置1之高頻線圈6施加或供應高頻電力。藉以利用感應電流加熱承受器3，使半導體晶圓70之溫度上升。而，將半導體晶圓70以 $1040^\circ C$ 加熱例如10分鐘程度(對應於時間 $t_3 \sim t_4$)。在含氫環境等還原性環境中，利用加熱半導體晶圓70(前加熱處理)，以除去半導體晶圓70表面之自然氧化膜，洗滌或清淨半導體晶圓表面。

其次，在時間 $t_4 \sim t_5$ ，使半導體晶圓70之溫度降低至例如 $980^\circ C$

，然後，在時間 $t_5 \sim t_6$ (例如 1 分鐘程度)，除了上述氫氣外，再將作為矽原料氣體之例如單矽烷 (SiH_4) 氣，以例如 40 sccm (standard cubic centimeters per minute；每分鐘立方公分數) 之流量導入至處理室 2 內，藉以在半導體晶圓 70 上形成數 nm 程度之矽膜 70a，獲得更清淨之矽表面。其後，在時間 t_6 ，停止上述單矽烷氣之導入，使半導體晶圓 70 之溫度降低至例如 800°C 。

其次，在時間 t_7 ，除了上述作為載氣之氫氣外，再將作為矽原料氣體之單矽烷 (SiH_4) 氣、作為摻入 P 型雜質之氣體之乙硼烷 (B_2H_6) 氣、及作為鍍原料氣體之單鍍烷 (GeH_4) 氣，分別以 20 sccm、60 sccm 及 80 sccm 之流量導入至處理室 2 內，藉以開始矽化鍍膜 71 之磊晶生長。但因鍍氣之流量較低，故在本階段成膜之矽化鍍膜 71 之鍍濃度較低。又，單矽烷 (SiH_4) 氣及乙硼烷 (B_2H_6) 氣之導入例如以相同之流量持續至時間 t_{14} 。

然後，在時間 t_8 ，使導入至處理室 2 內之單鍍烷氣之流量增大至 170 sccm，藉以略微增高成膜之矽化鍍膜 71 之鍍濃度。

其後，在時間 t_9 、 t_{10} 及 t_{11} ，使導入至處理室 2 內之單鍍烷氣之流量例如依次增大至 420 sccm、1050 sccm 及 3000 sccm。藉以在各階段中，使成膜之矽化鍍膜 71 之鍍濃度隨著單鍍烷氣之流量之增大而逐次增高。

然後，在時間 t_{12} ，使導入至處理室 2 內之單鍍烷氣之流量例如降低至 2100 sccm。藉以使在時間 $t_{12} \sim t_{13}$ (單鍍烷氣之流量 2100 sccm) 成膜之矽化鍍膜 71 之鍍濃度低於在時間 $t_{11} \sim t_{12}$ (單鍍烷氣之流量 3000 sccm) 成膜之矽化鍍膜 71 之鍍濃度。

其次，在時間 t_{13} ，停止對處理室 2 內之單鍍烷氣之導入 (單

矽烷氣及乙硼烷氣之導入仍然繼續)。因此，結束矽化鍺膜71之磊晶生長，並使矽膜(變形矽膜)72磊晶生長於矽化鍺膜71上。在時間 $t_7 \sim t_{13}$ 成膜之矽化鍺膜71之厚度例如為 $3 \sim 4 \mu\text{m}$ 程度，在時間 $t_{13} \sim t_{14}$ 成膜於矽化鍺膜71上之變形矽膜72之厚度例如為 $40 \sim 50 \text{ nm}$ 程度。

其後，在時間 t_{14} ，停止對處理室2內之單矽烷氣及乙硼烷氣之導入而結束變形矽膜72之成膜，停止對高頻線圈6之高頻電力之供應，而使半導體晶圓70之溫度降低至例如室溫附近。然後，在時間 t_{16} ，停止對處理室2內之氫氣導入，且導入氮氣。處理室2內之氫氣被充分除去後，由半導體製造裝置1取出半導體晶圓70。圖12係對應於如此在半導體晶圓70上形成矽化鍺膜71及矽膜(變形矽膜)72之狀態。取出之半導體晶圓70被送至次一製造工序，以便在半導體晶圓70上形成半導體元件。

其後之半導體裝置之製造工序與上述實施形態1大致相同，故在此省略其說明。

又，在上述實施形態中，如圖13之圖所示，在時間 $t_7 \sim t_{12}$ ，使單鍺烷氣之流量呈階段式(階梯式)地增減，但也可如圖14之圖所示，在時間 $t_7 \sim t_{12}$ ，使單鍺烷氣之流量連續地增減。

圖15係表示依據上述實施形態所形成之矽化鍺膜71之厚度方向之鍺濃度分布之圖，表示利用SIMS (secondary ion mass spectroscopy；2次離子質量分析)法分析之結果(實測值)。圖15之圖之橫軸對應於由變形矽膜之表面之深度方向之距離(深度)，圖之縱軸對應於鍺濃度(Ge濃度)。

由圖 15 可知：矽化鍺膜 71 之厚度方向之鍺濃度分布係由矽化鍺膜 71 之半導體晶圓 (半導體基板) 70 側之界面 (矽化鍺膜 71 與半導體晶圓 70 或矽膜 70a 之界面) 向矽化鍺膜 71 之內部方向呈階段式地增大，但在矽化鍺膜 71 之厚度方向之中間區域形成最大值或峰值後會減少。矽化鍺膜 71 之鍺濃度係依存於成膜工序中之鍺原料氣體，再此係依存於單鍺烷 (GeH_4) 氣之流量。鍺濃度由矽化鍺膜 71 之半導體晶圓 70 側之界面向矽化鍺膜 71 之內部方向呈階段式地增大 (此濃度增大區域及其附近稱為順分段配送區域) 之原因乃係由於在上述矽化鍺膜 71 之成膜工序中，單鍺烷氣之流量依次呈階段式地增大至 80 sccm、170 sccm、420 sccm、1050 sccm 及 3000 sccm 之故。因此，鍺濃度呈現最大值或峰值之矽化鍺膜 71 之區域對應於在上述矽化鍺膜 71 之成膜工序中，單鍺烷氣之流量最大 (3000 sccm) 之成膜階段 (時間 $t_{11} \sim t_{12}$)。鍺濃度形成峰值後，矽化鍺膜 71 之變形矽膜 72 側之界面 (矽化鍺膜 71 與變形矽膜 72 之界面) 方向會呈階段式減少 (此濃度減少區域及其附近稱為逆分段配送區域) 之原因乃係由於在上述矽化鍺膜 71 之成膜工序中，單鍺烷氣之流量依次呈階段式地由 3000 sccm 降低至 2100 sccm 及之故。在時間 $t_{12} \sim t_{13}$ 之間，將單鍺烷氣之流量維持於 2100 sccm 之後，停止單鍺烷氣之導入，故矽化鍺膜 71 之鍺濃度由峰值，在逆分段配送區域暫時減少後，在矽化鍺膜 71 與變形矽膜 72 之界面附近大致保持一定。又，在圖 15 之圖中，在由變形矽膜 72 相距數十 nm 之區域中，鍺濃度急速減少之區域對應於變形矽膜 72 之形成區域。

圖 16 係表示依據本實施形態形成矽化鍺膜 71 時之矽化鍺膜 71 厚度方向之鍺濃度分布之模式圖，對應於圖 15。又，圖 17 係表示如圖 14 所示，使單鍺烷氣之流量連續地增減而形成矽化鍺膜 71 時之矽化鍺膜 71 厚度方向之鍺濃度分布之模式圖。圖 16 及圖 17 之圖之橫軸對應於由變形矽膜 72 之表面之深度方向之距離(深度)，圖 16 及圖 17 之圖之縱軸對應於鍺濃度(Ge 濃度)。

在矽化鍺膜 71 與變形矽膜 72 之界面附近之矽化鍺膜 71 之鍺濃度 Y_1 以 5~40%(原子%)為理想，較理想為 10~30%(原子%)，更理想為 15~25%(原子%)。藉此，可確實在矽化鍺膜 71 上形成具有最適合於提高電子移動度之晶格常數之變形矽膜 72，製造高速之半導體裝置。

矽化鍺膜 71 中之鍺濃度之峰值 Y_2 與上述鍺濃度 Y_1 之差，即 $Y_2 - Y_1$ 以 1~40%(原子%)為理想，較理想為 3~20%(原子%)，更理想為 5~10%(原子%)。又，對上述鍺濃度 Y_1 之矽化鍺膜 71 中之鍺濃度之峰值 Y_2 之比，即 Y_2/Y_1 以 1.02~9.0 為理想，較理想為 1.1~3.0，更理想為 1.2~1.7。因此，如後所述，可緩和矽化鍺膜 71 中之應變、壓力或應力，形成抑制上述結晶缺陷之矽化鍺膜 71 及變形矽膜 72，因此，可實現高可靠性、高性能之半導體裝置。

又，可使鍺濃度變化或增減之區域之厚度 T_1 例如為 1.5~2 μm 程度，矽化鍺膜 71 之鍺濃度均勻區域之厚度 T_2 例如為 1.5~2 μm 程度。又，階段式地使鍺濃度變化時之各階段之間隔例如為 0.3~0.5 μm 程度。

其次，為了評估矽化鍺膜71中之結晶缺陷，測定矽化鍺膜71之最大貫通轉位密度。最大貫通轉位密度係利用選擇地蝕刻形成有矽化鍺膜71及變形矽膜72之半導體晶圓(半導體基板)70，利用金屬顯微鏡觀察其表面而求得。其結果，依據本實施形態所形成之矽化鍺膜71之最大貫通轉位密度為 $1 \times 10^4 \text{ cm}^{-2}$ 以下程度。

作為比較例，也針對由矽化鍺膜之成膜之初期間段即階段式地增大鍺濃度，在鍺濃度達到最大值後，以不減少鍺濃度而保持一定之方式形成矽化鍺膜之情形(即上述矽化鍺膜61之情形)，測定最大貫通轉位密度。此比較例之情形，最大貫通轉位密度為 $1 \times 10^6 \text{ cm}^{-2}$ 以下程度。

因此，如本實施形態所示，採用由矽化鍺膜之成膜之初期間段即階段式地增大鍺濃度，鍺濃度達到最大值後，暫時減少鍺濃度之方式形成矽化鍺膜71時，即可縮小最大貫通轉位密度。因此，可降低矽化鍺膜71及形成於其上之變形矽膜72之缺陷密度，故可提高半導體裝置之可靠性，且增進半導體裝置之製造良率。

如上所述，使矽化鍺膜71之厚度方向之鍺濃度由半導體晶圓(半導體基板)70側之界面向矽化鍺膜71之內部方向徐徐增加時，在矽化鍺膜71中，壓力或應力會被施加至同一方向，而累積應力。如本實施形態所示，採用在鍺濃度達到峰值後，降低鍺濃度之方式時，即可在逆分段配送區域緩和在順分段配送區域所累積之應力。因此，可減少在矽化鍺膜71及變形矽膜72之界面附近之矽化鍺膜71之缺陷，藉此

使變形矽膜72磊晶生長於缺陷較少之底層之矽化鍺膜71上。因此，可抑制變形矽膜72中之缺陷之發生。又，此種效果在矽化鍺膜71之鍺濃度形成峰值後，在矽化鍺膜71及變形矽膜72之界面方向，階段式地減少鍺濃度之情形(對應於圖16之鍺濃度之分布之情形)或連續地減少鍺濃度之情形(對應於圖17之鍺濃度之分布之情形)均可同樣獲得。

其次，測定依照本實施形態形成矽化鍺膜71之半導體晶圓(半導體基板)70之表面粗度。在此，係在半導體晶圓70上形成矽化鍺膜71及變形矽膜72，利用原子力顯微鏡(Atomic Force Microscopy: AFM)測定其表面(變形矽膜表面)之表面粗度，計算表面粗度之RMS (root mean square; 均方根)。薄的變形矽膜72之表面粗度依存於底層之矽化鍺膜71之表面粗度。

依照本實施形態形成矽化鍺膜71時，矽化鍺膜71之成膜溫度為777°C時，表面粗度之RMS為3.6 nm，矽化鍺膜71之成膜溫度為800°C時，表面粗度之RMS為2.5 nm。

作為比較例，也針對由矽化鍺膜之成膜之初期間段即階段式地增大鍺濃度，在鍺濃度達到最大值後，以不減少鍺濃度而保持一定之方式形成矽化鍺膜之情形(即上述矽化鍺膜61之情形)，測定表面粗度之RMS。但矽化鍺膜61之成膜溫度為777°C。此比較例之情形，表面粗度之RMS為4.1 nm。

因此，如本實施形態所示，採用由矽化鍺膜之成膜之初期間段即階段式地增大鍺濃度，在鍺濃度達到最大值後，

暫時減少鍍濃度之方式形成矽化鍍膜71時，即可縮小表面粗度。因此，可縮小矽化鍍膜71及形成於其上之變形矽膜72之表面粗度，可提高半導體裝置之可靠性，且增進半導體裝置之製造良率。又，可藉提高矽化鍍膜71之成膜溫度，進一步縮小表面粗度。又，此種效果在矽化鍍膜71之鍍濃度形成峰值後，在矽化鍍膜71及變形矽膜72之界面方向，階段式地減少鍍濃度之情形(對應於圖16之鍍濃度之分布之情形)或連續地減少鍍濃度之情形(對應於圖17之鍍濃度之分布之情形)均可同樣獲得。

圖18係表示測定形成於依據本實施形態形成之矽化鍍膜71上之變形矽膜72之晶格常數之成長率之結果之圖。圖18之圖之橫軸係對應於在矽化鍍膜71及變形矽膜72之界面附近之矽化鍍膜71之鍍濃度之情形(對應於圖16及圖17之圖之 Y_1)。圖18之圖之縱軸係對應於在變形矽膜72之晶格常數之xy方向(平行於半導體晶圓70之主面之面內方向)之成長率，以通常之矽單結晶之晶格常數為1之相對值表示。又，圖18之圖中之黑圓對應於變形矽膜72之晶格常數之實測值，圖中之直線表示矽化鍍之晶格常數與鍍濃度之關係之邏輯值(立方晶變形緩和時)。

由圖18之圖可知：變形矽膜72之晶格常數之實測值與表示矽化鍍之晶格常數與鍍濃度之關係之邏輯直線大致一致。即，變形矽膜72之晶格常數具有對應於底層之矽化鍍膜71之晶格常數而成長(變形)之晶格常數。因此，依據本實施形態形成之變形矽膜72之晶格常數具有對應於底層之矽化鍍膜71

之鍺濃度(Y_1)之變形，且確認矽化鍺膜71之變形已充分地被緩和。

其次，說明形成矽化鍺膜71前之半導體晶圓(半導體基板)70之處理方法。施行以下之處理後，使矽化鍺膜71磊晶生長於半導體晶圓70上時更為理想。又，以下之處理方法在前述實施形態1中，也可適用作為形成矽化鍺膜21前之半導體晶圓(半導體基板)12之處理方法，施行該處理後，使矽化鍺膜71磊晶生長於半導體晶圓12上時更為理想，也是當然之事。

例如，在氫氣等還原性環境中，利用將半導體晶圓70加熱至例如 1040°C (前加熱處理)，可以除去半導體晶圓70表面之自然氧化膜，清淨半導體晶圓70表面。因此，可使矽化鍺膜71磊晶生長於半導體晶圓70之清淨表面上。

又，也可利用上述前加熱處理除去自然氧化膜後，將單矽烷(SiH_4)氣導入處理室2內，且例如以 980°C 加熱半導體晶圓70，使薄的矽膜70a磊晶生長於半導體晶圓70上，形成清淨之矽表面。在依據圖13所說明之上述實施形態中，施行此處理。

或者，也可將氯化氫(HCl)氣導入處理室2內，且例如以 900°C 加熱半導體晶圓70，蝕刻半導體晶圓70表面，除去半導體晶圓70表面之自然氧化膜。此工序在必須將半導體晶圓70之溫度抑制在 1000°C 以下之情形等時特別有效。

或者，也可如上所述，為清淨半導體晶圓70表面而施行前加熱處理後，再如上所述，將氯化氫氣導入處理室2內，

施行半導體晶圓70表面之蝕刻。

或者，也可如上所述，為清淨半導體晶圓70表面而施行上述前加熱處理後，再如上所述，將氯化氫氣導入處理室2內，施行半導體晶圓70表面之蝕刻，其後，如上所述，使薄的矽膜70a磊晶生長於半導體晶圓70上。

此等表面處理方法雖係以使用於在半導體晶圓70上形成矽化鍺膜71之情形加以說明，但也可有效使用作為在已形成於半導體晶圓70上之矽化鍺膜71上，再形成矽化鍺膜及矽膜之際之表面處理方法。另外，也可有效使用作為例如將矽化鍺膜71表面以CMP (Chemical Mechanical Polishing；化學機械研磨法)等研磨後，再形成矽化鍺膜及矽膜之際之表面處理方法。

又，在上述實施形態中，雖係使用單矽烷(SiH_4)氣作為矽原料氣體，但也可取代 SiH_4 氣，而使用 SiH_2Cl_2 氣作為矽原料氣體，藉此，可進一步提高矽化鍺膜71及變形矽膜72之生長速度，抑制異物之產生。

另外，也可首先使用 SiH_2Cl_2 氣作為矽原料氣體，並將在矽化鍺膜71成膜之最終階段(例如在圖13之圖之時間 $t_{12} \sim t_{13}$ 之間之最後數分鐘)與變形矽膜72之成膜階段(時間 $t_{13} \sim t_{14}$)中之矽原料氣體切換成單矽烷(SiH_4)氣，藉此，可使生長之薄膜表面更為平坦。又，將單矽烷(SiH_4)氣僅使用於變形矽膜72也有效果。

以上，已就本發明人所創見之發明，依據其實施形態予以具體說明，但本發明並不僅限定於前述實施形態，在不

脫離其要旨之範圍內，當然可作種種適當之變更。

在前述實施型態中，雖係說明有關具有 MISFET 之半導體裝置之情形，但本發明並不僅限定於此，也可適用於形成矽化鍺膜之各種半導體裝置之製造方法及半導體裝置。例如，也可選擇地形成 SiGe 膜，以作為雙極性元件之基板部分。發明之效果

本案所揭示之發明中，較具有代表性之發明所能獲得之效果可簡單說明如下：

利用以常壓及準常壓區域之壓力形成矽化鍺膜，可提高矽化鍺膜之成膜速度。

使用分批式成膜裝置形成矽化鍺膜，可縮短半導體裝置之製造時間。

使導入成膜裝置之處理室內之成膜用氣體產生亂流而形成矽化鍺膜，可使矽化鍺膜之膜質及膜厚保持均勻。

使磊晶生長於半導體基板上之矽化鍺膜厚度方向之鍺濃度分布之峰值在矽化鍺膜之中間區域，可降低矽化鍺膜中之缺陷，並使表面更為平坦。

【圖式簡單說明】

圖1係表示本發明之一實施形態之半導體裝置之製造工序所使用之半導體製造裝置之概念的構造之局部切剖正面圖。

圖2係圖1之半導體製造裝置之局部切剖上面圖。

圖3係概念地表示圖1之半導體製造裝置之噴氣口之前端附近之構造之側面圖。

圖4係圖3之噴氣口之上面圖。

圖5係本發明之一實施形態之半導體裝置之製造工序中之要部剖面圖。

圖6係接續在圖5之後之半導體裝置之製造工序中之要部剖面圖。

圖7係接續在圖6之後之半導體裝置之製造工序中之要部剖面圖。

圖8係接續在圖7之後之半導體裝置之製造工序中之要部剖面圖。

圖9係接續在圖8之後之半導體裝置之製造工序中之要部剖面圖。

圖10係本發明之另一實施形態之半導體裝置之製造工序所使用之半導體製造裝置之說明圖。

圖11係表示在半導體晶圓上形成矽化鍺膜與矽膜之狀態之概念的剖面圖。

圖12係本發明之另一實施形態之半導體裝置之製造工序中之要部剖面圖。

圖13係表示在矽化鍺膜及變形矽膜之形成工序中之半導體晶圓之溫度與導入成膜裝置之單鍺烷(GeH_4)氣之流量之圖。

圖14係表示在矽化鍺膜及變形矽膜之形成工序中之半導體晶圓之溫度與導入成膜裝置之單鍺烷(GeH_4)氣之流量之圖。

圖15係表示矽化鍺膜之厚度方向之鍺濃度分布之圖。

圖 16係表示矽化鍺膜之厚度方向之鍺濃度分布之模式圖。

圖 17係表示矽化鍺膜之厚度方向之鍺濃度分布之模式圖。

圖 18係表示測定形成於矽化鍺膜上之變形矽膜之晶格常數之成長率之結果之圖。

【圖式代表符號說明】

- | | |
|-----|--------------|
| 1 | 半導體製造裝置 |
| 2 | 處理室 |
| 3 | 承受器 |
| 3a | 承受器旋轉方向 |
| 4 | 承受器支持台 |
| 5 | 線圈蓋 |
| 6 | 高頻線圈 |
| 7 | 噴氣口孔 |
| 7a | 孔(噴氣口之孔) |
| 8 | 排氣口 |
| 9 | 底板 |
| 10 | 鐘罩 |
| 10a | 石英鐘罩 |
| 10b | 不銹鋼製鐘罩 |
| 10c | 觀察窗 |
| 11 | 鐘罩邊部 |
| 12 | 半導體晶圓(半導體基板) |

- 13 氣體放出方向
- 13a 氣流
- 21 矽化鍺膜 (SiGe膜)
- 22 矽膜 (變形矽膜)
- 23 元件分離區域
- 24 閘絕緣膜
- 25 矽化鍺膜
- 26 矽化鎢 (WSi₂)膜
- 27 閘極
- 28 n型半導體區域 (源極、汲極)
- 29 n通道型 MISFET
- 30 層間絕緣膜
- 31 接觸孔
- 32 插塞
- 33 配線 (第1層配線)
- 34 層間絕緣膜
- 41 半導體製造裝置
- 42 處理室
- 43 承受器
- 44 承受器支持台
- 45 線圈蓋
- 46 高頻線圈
- 47 噴氣口孔
- 48 排氣口

49	底板
50	鐘罩
52	半導體晶圓(半導體基板)
53	氣流
60	半導體晶圓(半導體基板)
61	矽化鍺膜
62	矽膜(變形矽膜)
70	半導體晶圓(半導體基板)
70a	矽膜
71	矽化鍺膜(SiGe膜)
72	矽膜(變形矽膜)

伍、中文發明摘要：

本發明之目的在於提供可縮短矽化鍺膜之成膜時間，並使膜厚及膜質保持均勻之半導體裝置之製造方法及半導體裝置。

由設於噴氣口7之多數孔導入成膜用氣體至分批式CVD成膜裝置之處理室2內，使處理室2產生氣體之亂流。而在使處理室2內維持常壓及準常壓區域之壓力之狀態下，使矽化鍺膜磊晶生長於配置在處理室2內之半導體晶圓12上，然後，使變形矽膜磊晶生長於矽化鍺膜上，其後，在形成有矽化鍺膜及變形矽膜之半導體晶圓12形成半導體元件。

陸、日文發明摘要：

【課題】 シリコンゲルマニウム膜の成膜時間を短縮するとともに、膜厚および膜質を均一にする。

【解決手段】 バッチ式CVD成膜装置の処理室2内に、ガスノズル7に設けた複数の孔から成膜用のガスを導入し、処理室2内でガスの乱流を発生させる。そして、処理室2内を常圧および準常圧領域の圧力とした状態で、処理室2内に配置された半導体ウエハ12上にシリコンゲルマニウム膜をエピタキシャル成長させる。それから、歪シリコン膜をシリコンゲルマニウム膜上にエピタキシャル成長させる。その後、シリコンゲルマニウム膜および歪シリコン膜が形成された半導体ウエハ12に半導体素子が形成される。

拾壹、圖式：

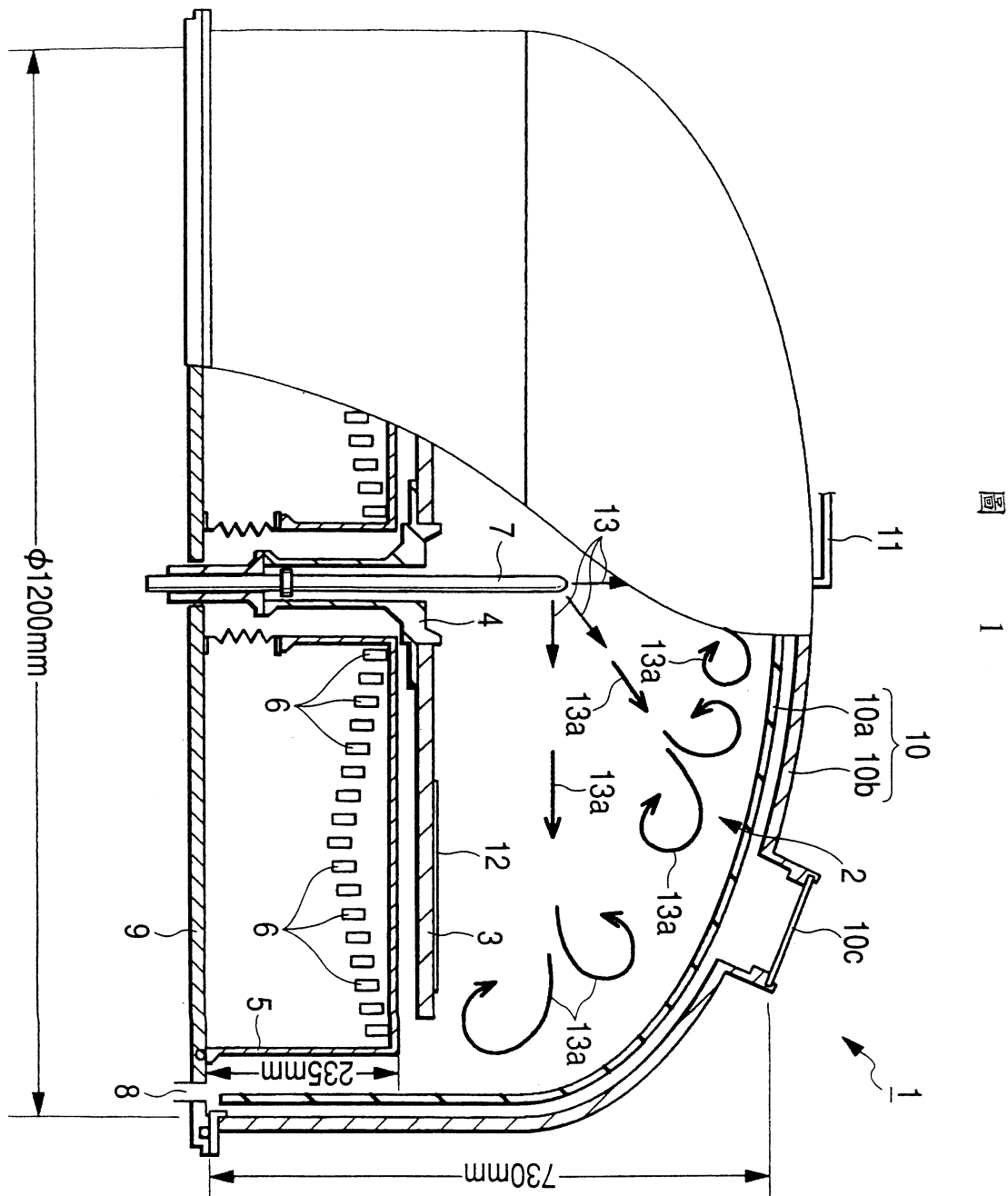
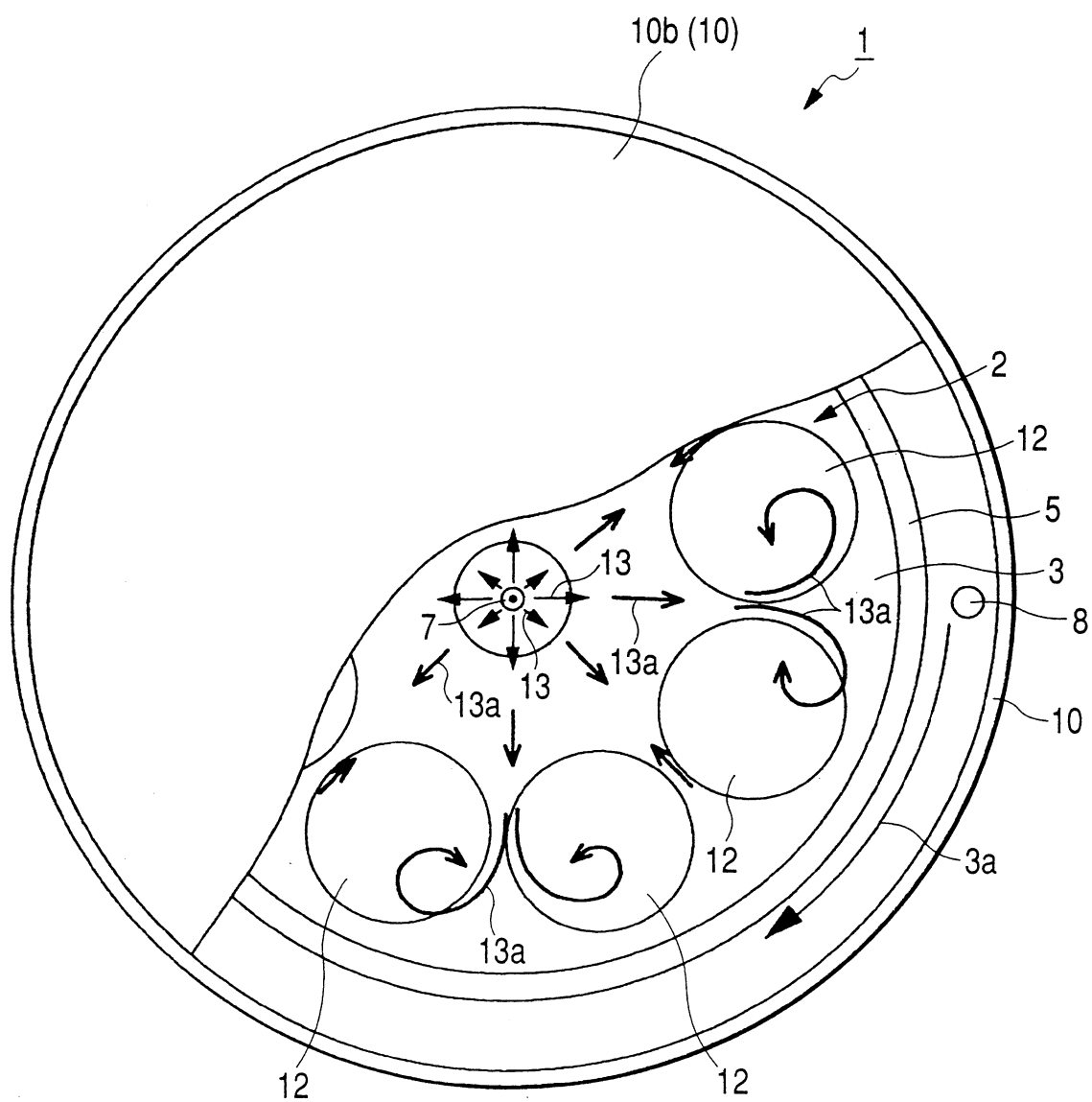
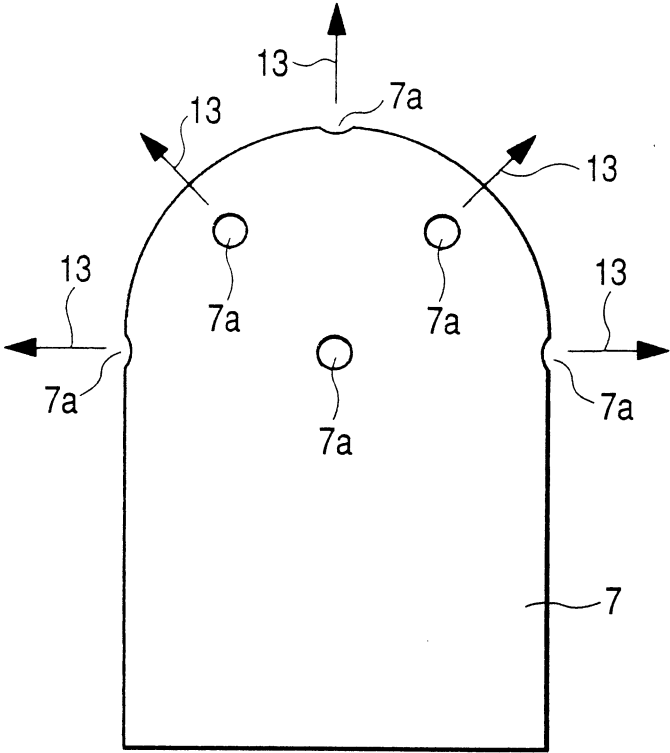


圖 2



圖

3



圖

4

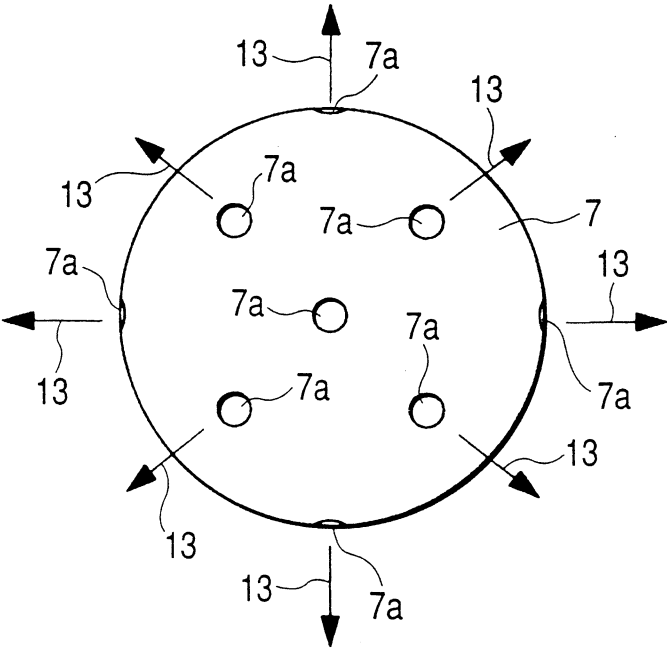


圖 5

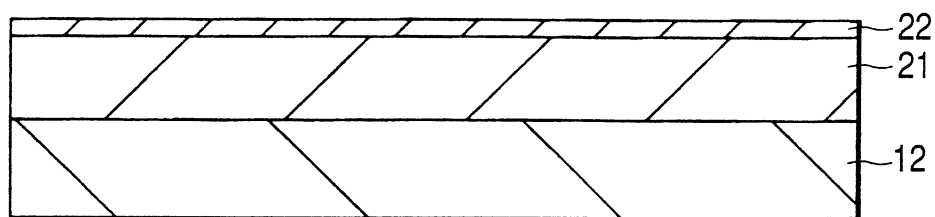


圖 6

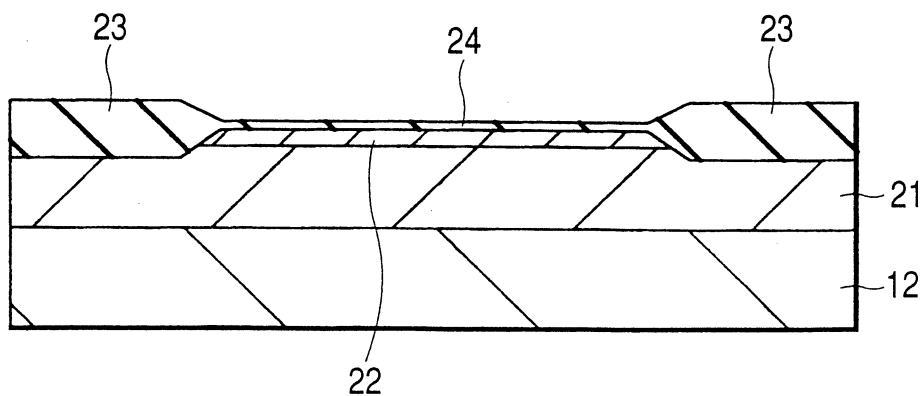


圖 7

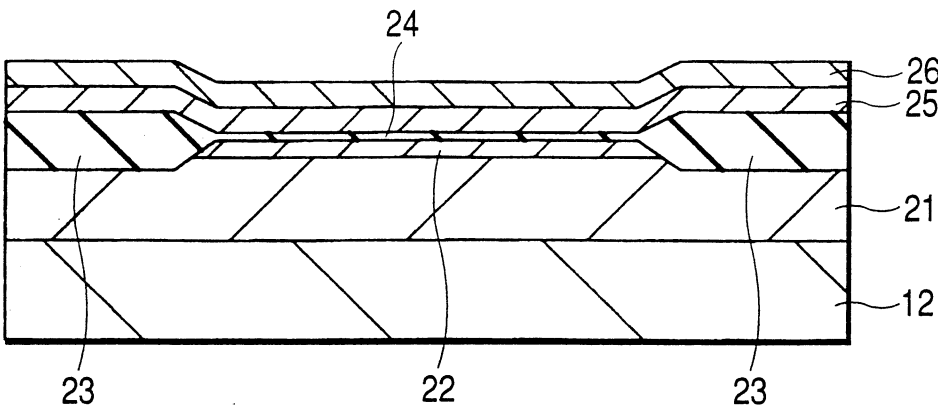


圖 8

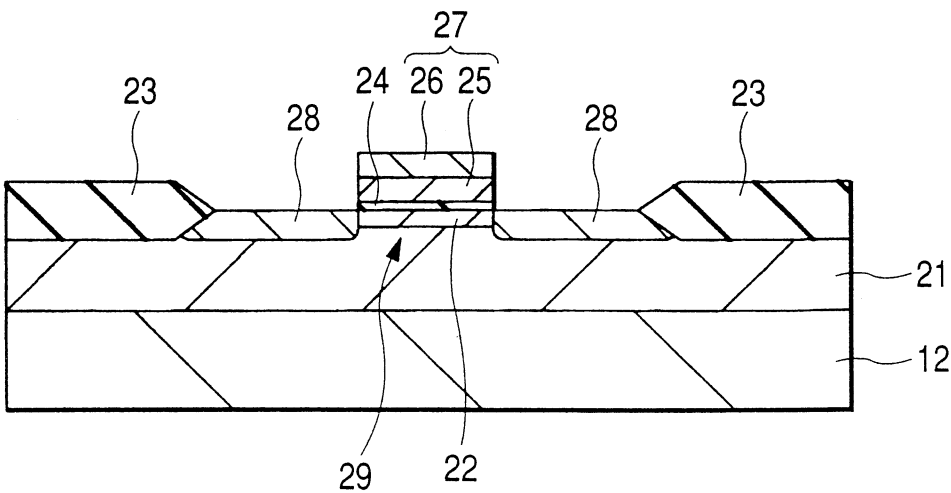


圖 9

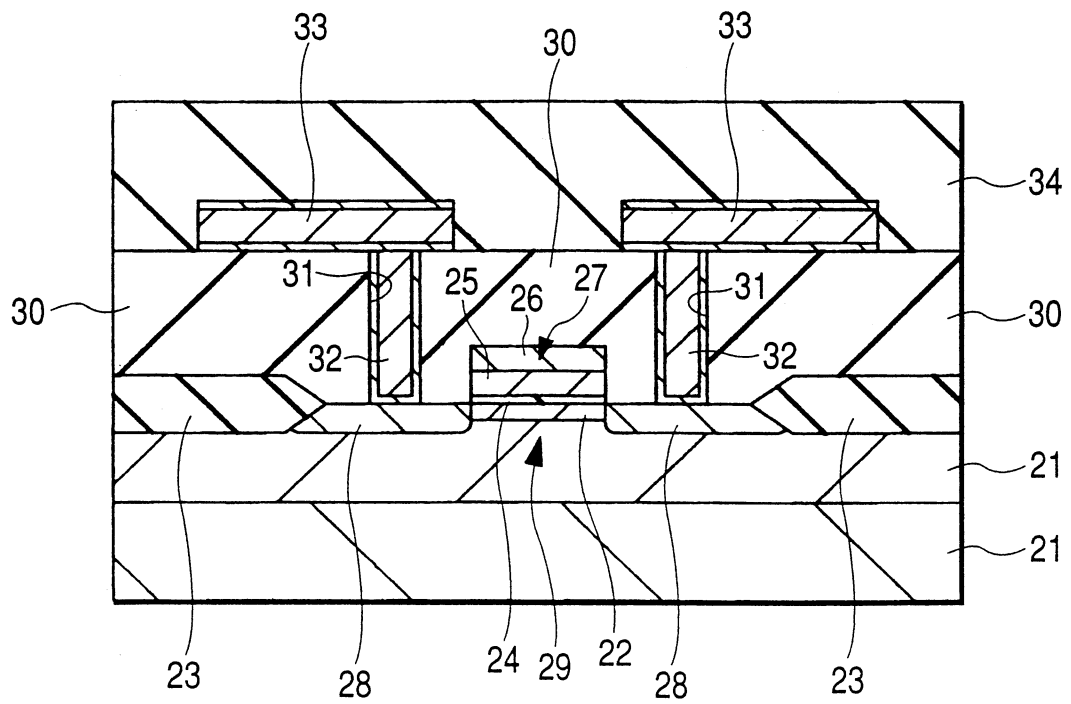


圖 10

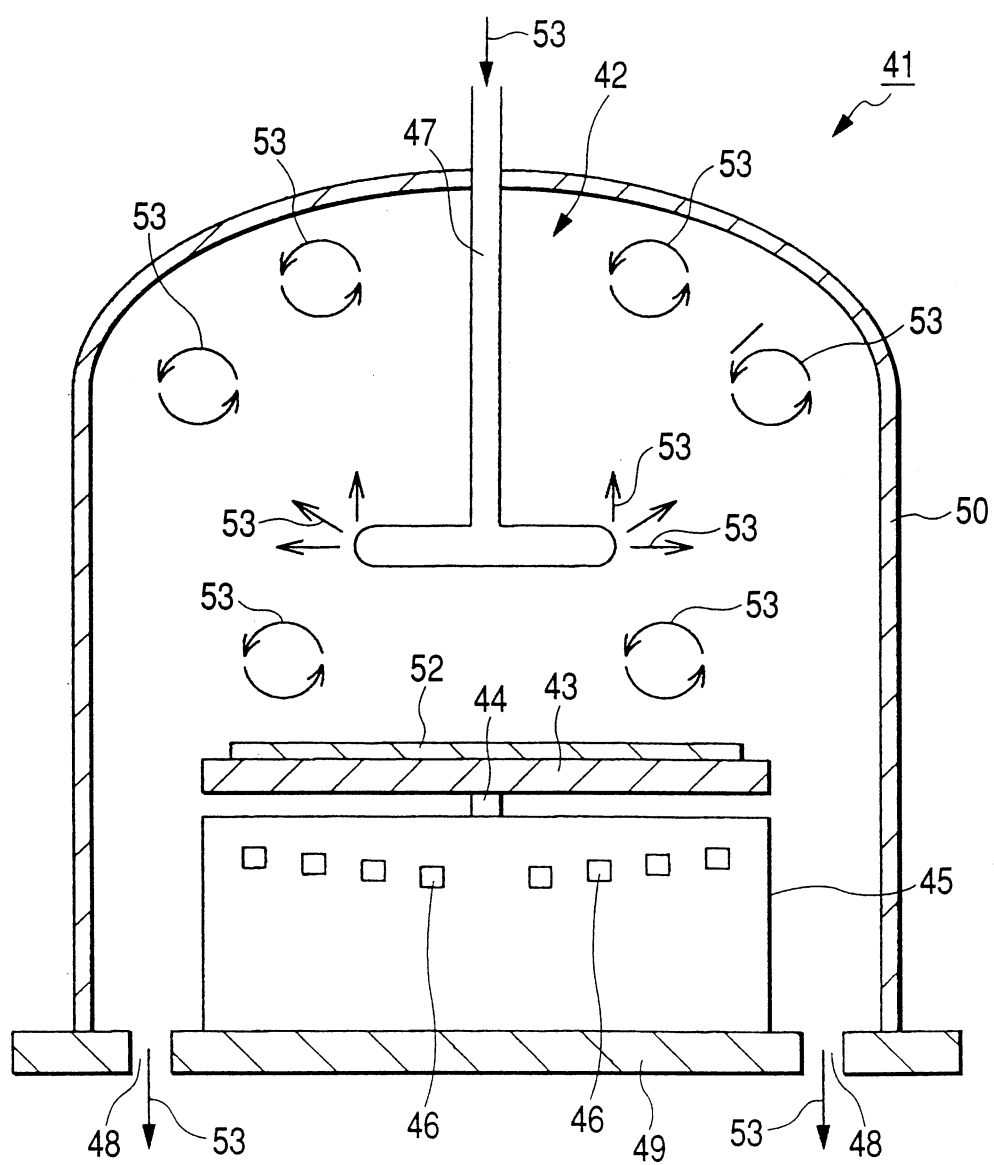


圖 11

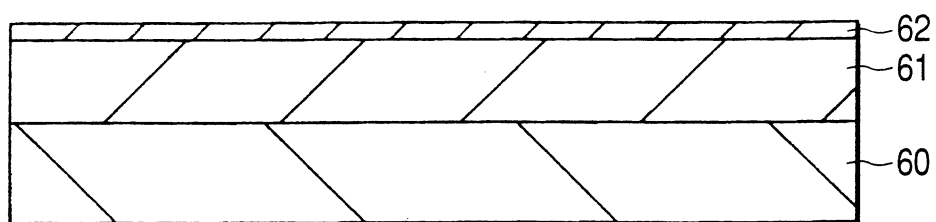
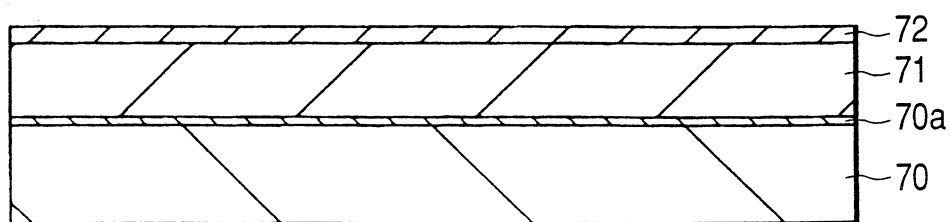


圖 12



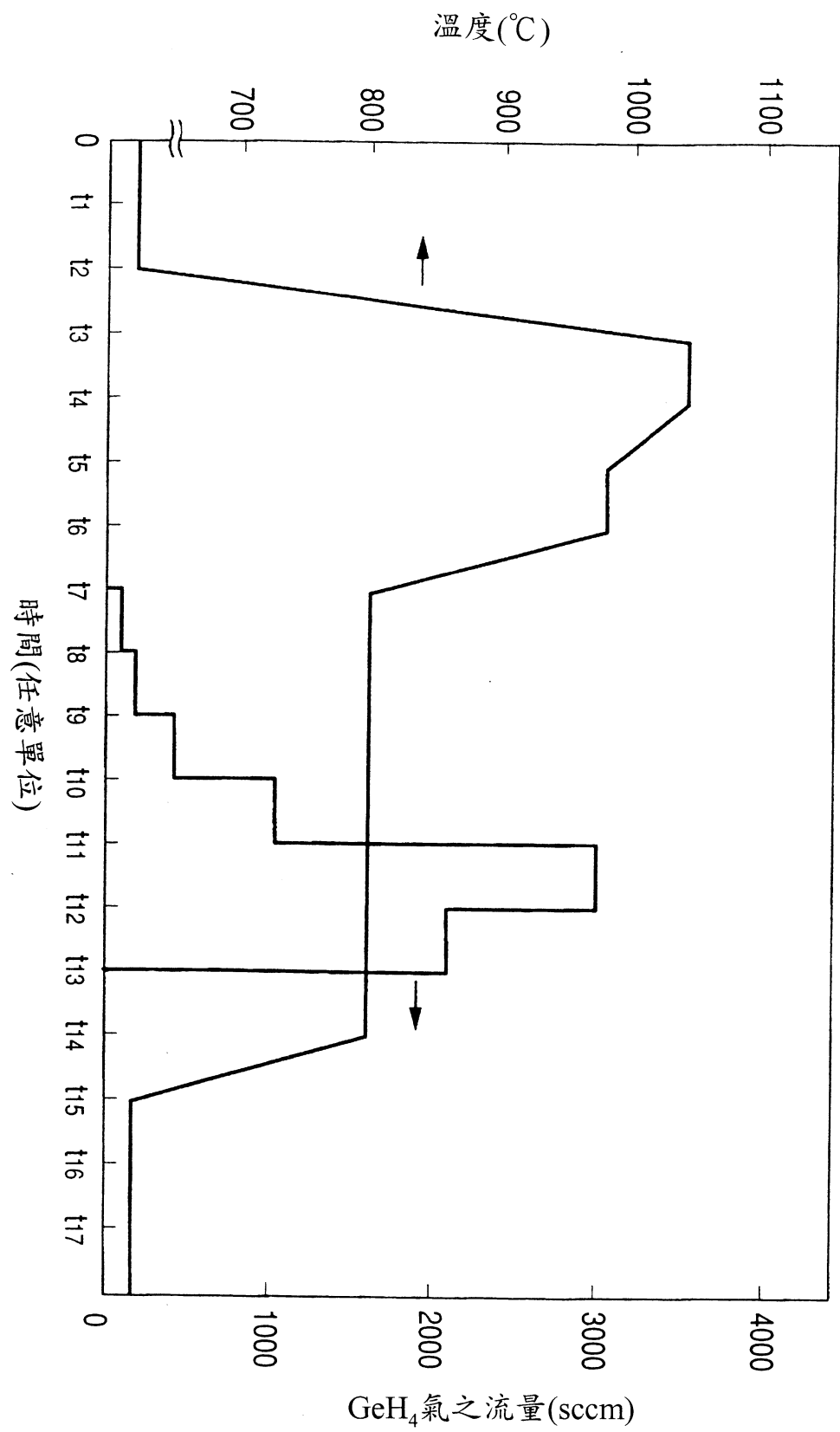


圖 13

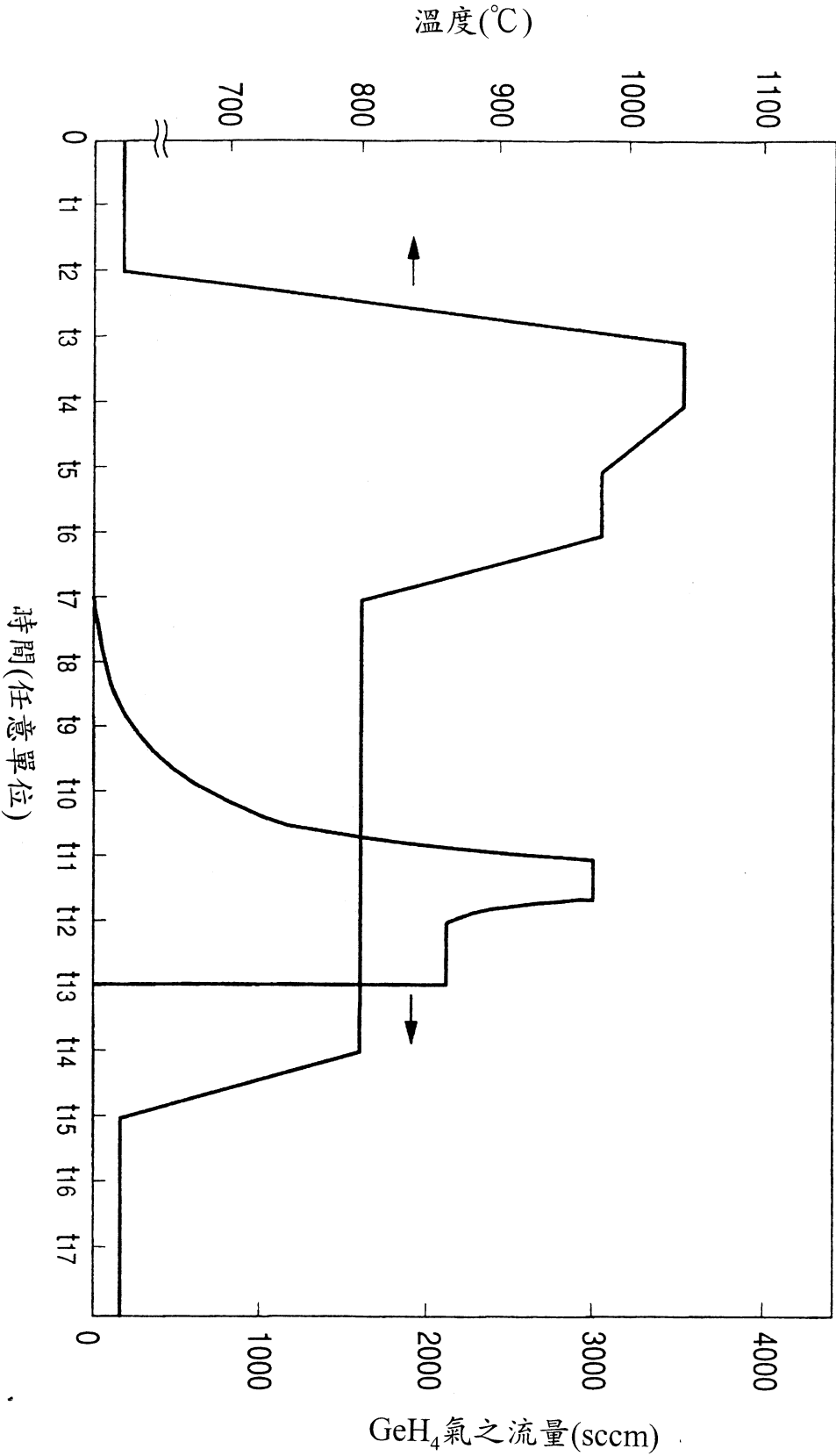
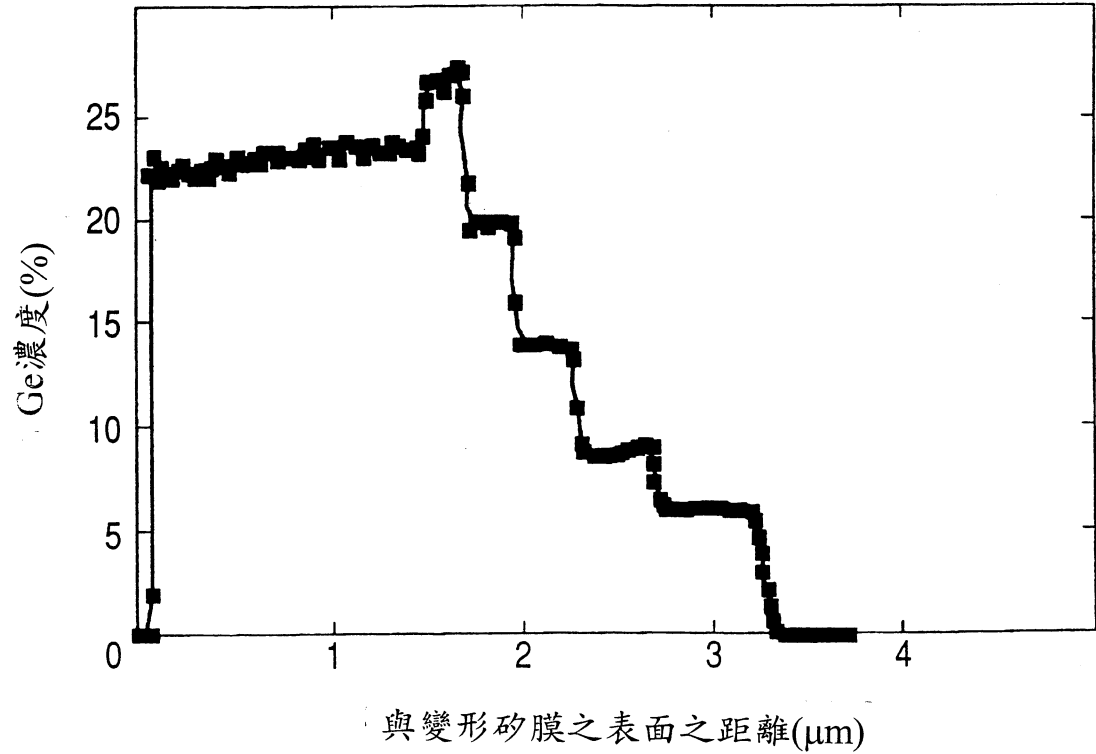


圖 14

圖 15



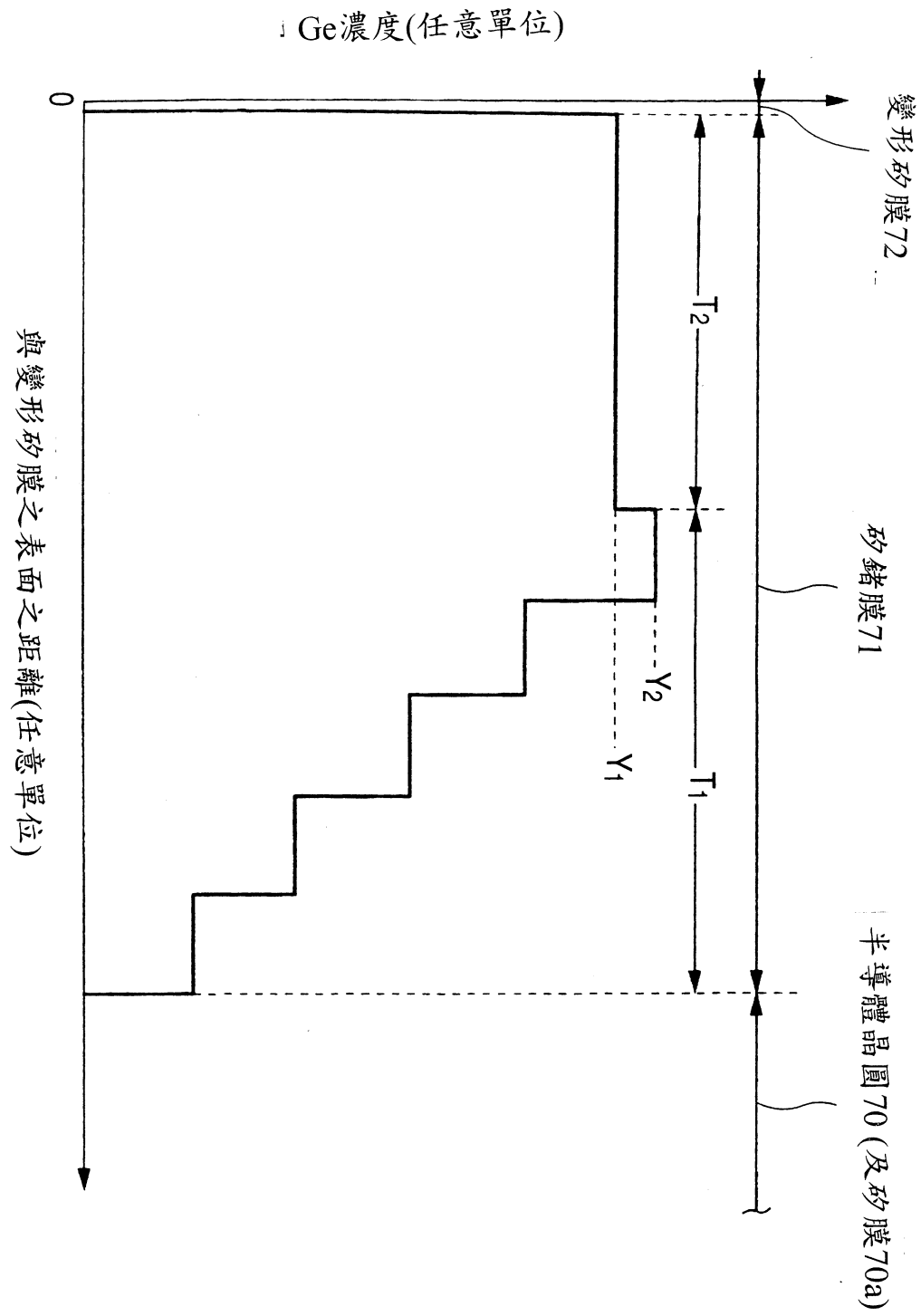


圖 16

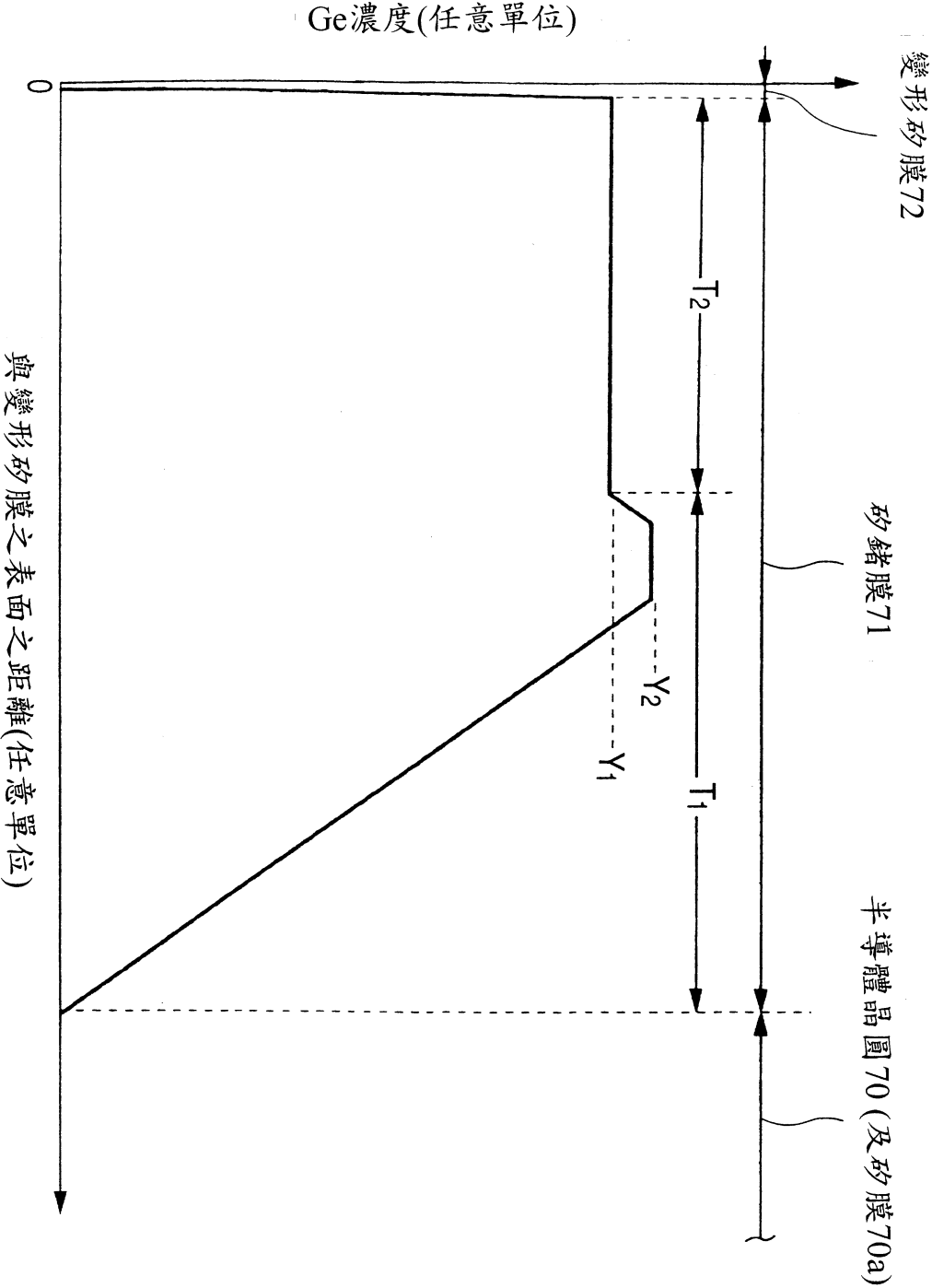
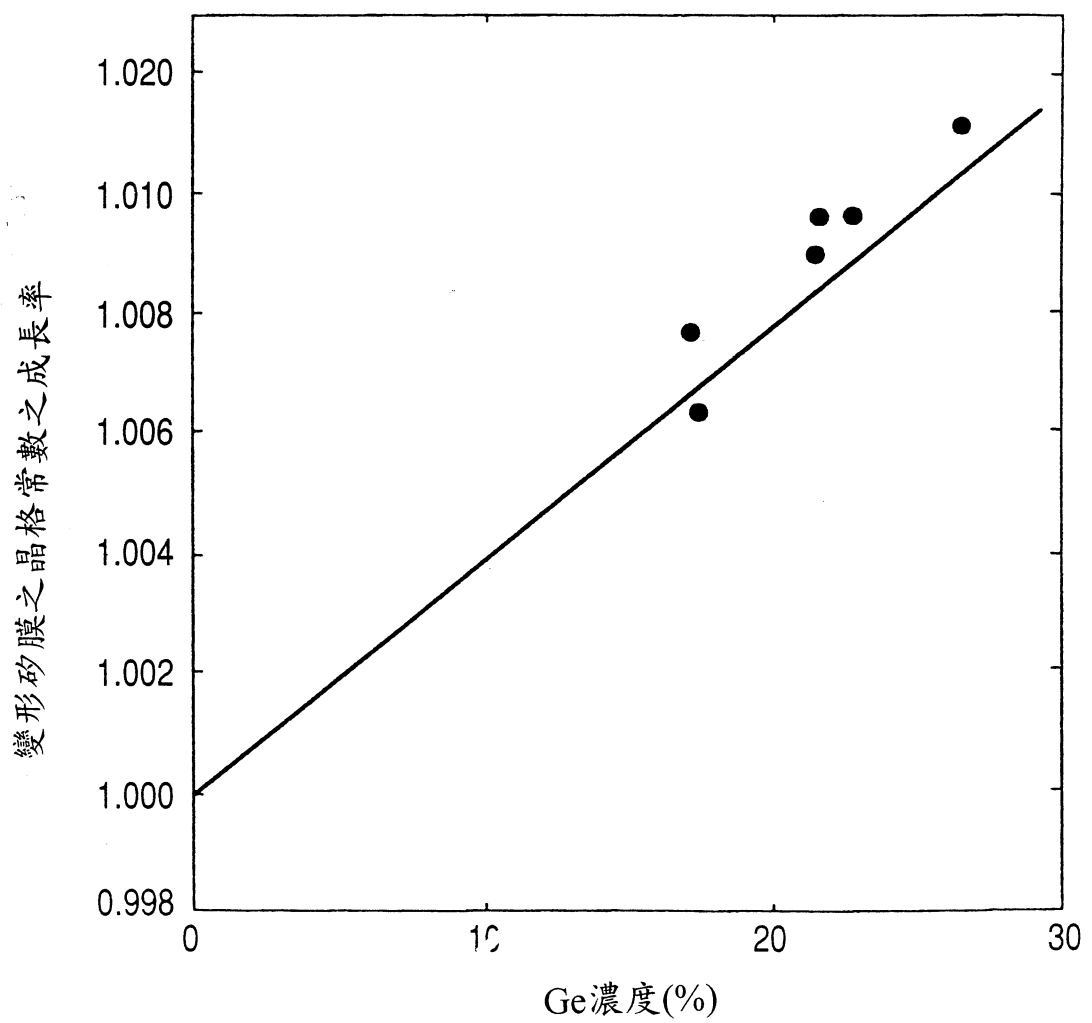


圖 17

圖 18



柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

1	半 導 體 製 造 裝 置
2	處 理 室
3	承 受 器
4	承 受 器 支 持 台
5	線 圈 蓋
6	高 頻 線 圈
7	噴 氣 口 孔
8	排 氣 口
9	底 板
10	鐘 罩
11	鐘 罩 邊 部
12	半 導 體 晶 圓
10a	石 英 鐘 罩
10b	不 銹 鋼 製 鐘 罩
10c	觀 察 窗
13	氣 體 放 出 方 向
13a	氣 流

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

1. 一種半導體裝置之製造方法，其特徵在於包含以下之步驟：

(a)在分批式成膜裝置之處理室內之水平承受器上準備多數半導體基板者；

(b)將成膜用氣體導入前述處理室內，於前述半導體基板上生成前述處理室內之前述氣體之亂流，使矽化鍺膜磊晶生長於前述各個半導體基板上。

2. 如申請專利範圍第1項之半導體裝置之製造方法，其中，在前述(b)步驟中，前述處理室內係維持於常壓及準常壓區域之壓力。

3. 一種半導體裝置之製造方法，其特徵在於包含以下之步驟：

(a)於逐片式成膜裝置之處理室內之水平承受器上準備基板之直徑為200mm以上之半導體基板；

(b)將成膜用氣體導入前述處理室內，於前述半導體基板上生成前述處理室內之前述氣體之亂流，於前述處理室內維持於常壓及準常壓區域之壓力之下，使矽化鍺膜磊晶生長於前述半導體基板上。

4. 如申請專利範圍第1項或第2項之半導體裝置之製造方法，其中

在前述(b)步驟中，在前述處理室中，前述氣體係由前述處理室之內部向朝向前述處理室之內壁之多數方向被放出者。

煩請委員明示，本案修正後是否變更原實質內容

5. 如申請專利範圍第1項或第2項之半導體裝置之製造方法，其中

在前述(b)步驟中，在前述處理室內之前述半導體基板上發生前述氣流漩渦者。

6. 如申請專利範圍第1項或第2項之半導體裝置之製造方法，其中進一步包含

使矽膜磊晶生長於前述矽化鍺膜上之步驟。

7. 如申請專利範圍第1項或第2項之半導體裝置之製造方法，其中

在前述(b)步驟之前，進一步包含在前述半導體基板形成矽膜之步驟；

在前述(b)步驟中，使前述矽化鍺膜磊晶生長於形成在前述半導體基板之前述矽膜上。

8. 如申請專利範圍第1項或第2項之半導體裝置之製造方法，其中

在前述(b)步驟之前，進一步包含

在還原性環境中，加熱前述半導體基板之步驟。

9. 如申請專利範圍第1項或第2項之半導體裝置之製造方法，其中

在前述(b)步驟之前，進一步包含

以氯化氫氣體蝕刻前述半導體基板之步驟。

10. 一種半導體裝置，其特徵在於包含：

半導體基板；

矽化鍺膜，其係磊晶生長於前述半導體基板上者；及

矽膜，其係磊晶生長於前述矽化鍺膜上者；

前述矽化鍺膜之厚度方向之鍺濃度分布係在前述矽化鍺膜之厚度方向之中間區域具有最大濃度之峰值者。

11. 如申請專利範圍第10項之半導體裝置，其中進一步包含

矽膜，其係形成於前述半導體基板與前述矽化鍺膜之間者。

12. 如申請專利範圍第10項之半導體裝置，其中

前述矽化鍺膜之厚度方向之鍺濃度分布係由前述半導體基板側之界面附近向前述矽化鍺膜之內部之方向增大，在前述中間區域具有前述最大濃度之峰值後，向前述矽膜側之界面之方向暫時減少，其後在前述矽膜側之界面之前保持大致一定。

13. 如申請專利範圍第10項之半導體裝置，其中

前述矽化鍺膜與前述矽膜之界面附近之前述矽化鍺膜之鍺濃度在5~40原子%之範圍內。

14. 如申請專利範圍第10項之半導體裝置，其中

前述矽化鍺膜之鍺濃度之前述最大濃度之峰值、和前述矽化鍺膜與前述矽膜之界面附近之前述矽化鍺膜之鍺濃度之差在1~40原子%之範圍內。

15. 如申請專利範圍第10項之半導體裝置，其中

前述矽化鍺膜之鍺濃度之前述最大濃度之峰值、和前述矽化鍺膜與前述矽膜之界面附近之前述矽化鍺膜之鍺濃度之差在3~20原子%之範圍內。

16. 如申請專利範圍第10項之半導體裝置，其中

前述矽化鋯膜之鋯濃度之前述最大濃度之峰值、和前述矽化鋯膜與前述矽膜之界面附近之前述矽化鋯膜之鋯濃度之差在5~10原子%之範圍內。

17.如申請專利範圍第10項之半導體裝置，其中

相對前述矽化鋯膜與前述矽膜之界面附近之前述矽化鋯膜之鋯濃度，前述矽化鋯膜之鋯濃度之前述最大濃度之峰值之比在1.02~9.0之範圍內。

18.如申請專利範圍第10項之半導體裝置，其中

相對前述矽化鋯膜與前述矽膜之界面附近之前述矽化鋯膜之鋯濃度，前述矽化鋯膜之鋯濃度之前述最大濃度之峰值之比在1.1~3.0之範圍內。

19.如申請專利範圍第10項之半導體裝置，其中

相對前述矽化鋯膜與前述矽膜之界面附近之前述矽化鋯膜之鋯濃度，前述矽化鋯膜之鋯濃度之前述最大濃度之峰值之比在1.2~1.7之範圍內。

20.一種半導體裝置之製造方法，其特徵在於包含以下之步驟：

準備半導體基板之步驟；

使矽化鋯膜磊晶生長於前述半導體基板之步驟；及

使矽膜磊晶生長於前述矽化鋯膜上之步驟；

前述矽化鋯膜之厚度方向之鋯濃度分布係以使在前述矽化鋯膜之厚度方向之中間區域具有最大濃度之峰值之方式，控制氣體流量而形成者。

21.如申請專利範圍第20項之半導體裝置之製造方法，其中進

一步包含

在前述矽化鍺膜形成之前在前述半導體基板上形成矽膜之步驟；

前述矽化鍺膜係於前述半導體基板上之前述矽膜已形成後被形成者。

22. 如申請專利範圍第20項之半導體裝置之製造方法，其中

以使前述矽化鍺膜之厚度方向之鍺濃度分布係由前述半導體基板側之界面附近向前述矽化鍺膜之內部之方向增大，在前述中間區域具有前述峰值後，向前述矽膜側之界面之方向暫時減少，其後在前述矽膜側之界面為止保持為大致一定之方式，控制含有鍺之氣體流量而形成者。

23. 如申請專利範圍第20項之半導體裝置之製造方法，其中

以使前述矽化鍺膜與前述矽膜之界面附近之前述矽化鍺膜之鍺濃度在5~40原子%之範圍內之方式，控制含有鍺之氣體流量而形成者。

24. 如申請專利範圍第20項之半導體裝置之製造方法，其中

以使前述矽化鍺膜之鍺濃度之前述峰值、和前述矽化鍺膜與前述矽膜之界面附近之前述矽化鍺膜之鍺濃度之差在1~40原子%之範圍內之方式，控制含有鍺之氣體流量而形成者。

25. 如申請專利範圍第20項之半導體裝置之製造方法，其中

以使前述矽化鍺膜之鍺濃度之前述峰值、和前述矽化鍺膜與前述矽膜之界面附近之前述矽化鍺膜之鍺濃度之差在3~20原子%之範圍內之方式，控制含有鍺之氣體流量而

形成者。

26. 如申請專利範圍第20項之半導體裝置之製造方法，其中以使前述矽化鍺膜之鍺濃度之前述峰值、和前述矽化鍺膜與前述矽膜之界面附近之前述矽化鍺膜之鍺濃度之差在5~10原子%之範圍內之方式，控制含有鍺之氣體流量而形成者。

27. 如申請專利範圍第20項之半導體裝置之製造方法，其中以使相對前述矽化鍺膜與前述矽膜之界面附近之前述矽化鍺膜之鍺濃度，前述矽化鍺膜之鍺濃度之前述峰值之比在1.02~9.0之範圍內之方式，控制含有鍺之氣體流量而形成者。

28. 如申請專利範圍第20項之半導體裝置之製造方法，其中以使相對前述矽化鍺膜與前述矽膜之界面附近之前述矽化鍺膜之鍺濃度，前述矽化鍺膜之鍺濃度之前述峰值之比在1.1~3.0之範圍內之方式，控制含有鍺之氣體流量而形成者。

29. 如申請專利範圍第20項之半導體裝置之製造方法，其中以使相對前述矽化鍺膜與前述矽膜之界面附近之前述矽化鍺膜之鍺濃度，前述矽化鍺膜之鍺濃度之前述峰值之比在1.2~1.7之範圍內之方式，控制含有鍺之氣體流量而形成者。

30. 一種半導體裝置之製造方法，其特徵在於包含以下之步驟：

(a) 準備複數之半導體基板；

(b)將前述半導體基板配置於成膜裝置之處理室內；及

(c)將前述處理室維持於常壓及準常壓區域之壓力，將成膜用氣體以可在前述處理室內產生前述氣體之亂流方式導入前述處理室內，使非晶質矽化鍺膜形成於前述半導體基板上。

31.如申請專利範圍第30項之半導體裝置之製造方法，其中前述非晶質矽化鍺膜係使用於形成半導體元件之閘極者。

32.一種半導體裝置之製造方法，其特徵在於包含以下之步驟：

(a)準備複數之半導體基板；

(b)將前述半導體基板配置於成膜裝置之處理室內；及

(c)將前述處理室維持於常壓及準常壓區域之壓力，將成膜用氣體以可在前述處理室內產生前述氣體之亂流方式導入前述處理室內，使多晶矽化鍺膜形成於前述半導體基板上。

33.如申請專利範圍第32項之半導體裝置之製造方法，其中前述多晶矽化鍺膜係使用於形成半導體元件之閘極者。