

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5613360号
(P5613360)

(45) 発行日 平成26年10月22日(2014.10.22)

(24) 登録日 平成26年9月12日(2014.9.12)

(51) Int.Cl.

F 1

G09G	3/20	(2006.01)	G09G	3/20	6 4 2 K
G09G	3/30	(2006.01)	G09G	3/20	6 2 1 K
G09G	3/36	(2006.01)	G09G	3/20	6 4 1 G
			G09G	3/20	6 6 O P
			G09G	3/30	K

請求項の数 4 (全 57 頁) 最終頁に続く

(21) 出願番号 特願2006-184184 (P2006-184184)
 (22) 出願日 平成18年7月4日 (2006.7.4)
 (65) 公開番号 特開2007-41578 (P2007-41578A)
 (43) 公開日 平成19年2月15日 (2007.2.15)
 審査請求日 平成21年6月15日 (2009.6.15)
 (31) 優先権主張番号 特願2005-194668 (P2005-194668)
 (32) 優先日 平成17年7月4日 (2005.7.4)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 小川 浩史

最終頁に続く

(54) 【発明の名称】表示装置、表示モジュール及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

複数の面積の異なる表示領域から構成される副画素を複数有する画素を有する表示装置であって、

第1の表示をする場合において、前記画素は四角形状の第1の表示形状を有し、

第2の表示をする場合において、前記画素は凸部を有する多角形状の第2の表示形状を有し、

前記第1の表示形状は、第1の副画素、第2の副画素、及び第3の副画素を有し、

前記第2の表示形状は、前記第1の副画素、前記第2の副画素、及び第4の副画素を有し、

前記第4の副画素は、前記第3の副画素の表示領域の一部が共通していることを特徴とする表示装置。

【請求項 2】

複数の面積の異なる表示領域から構成される副画素を複数有する画素を有する表示装置であって、

第1の表示をする場合において、前記画素は四角形状の第1の表示形状を有し、

第2の表示をする場合において、前記画素は凸部及び凹部を有する多角形状の第2の表示形状を有し、

前記第1の表示形状は、第1の副画素、第2の副画素、及び第3の副画素を有し、

前記第2の表示形状は、前記第1の副画素、前記第2の副画素、及び第4の副画素を有し、

10

20

し、

前記第4の副画素は、前記第3の副画素の表示領域の一部が共通し、

前記複数の表示領域のそれぞれは、表示素子とトランジスタとを有することを特徴とする表示装置。

【請求項3】

請求項1または請求項2に記載の表示装置と、走査線駆動回路、信号線駆回路、接続配線、又はコントロール回路とを有することを特徴とする表示モジュール。

【請求項4】

請求項1もしくは請求項2に記載の表示装置、又は請求項3に記載の表示モジュールを有し、

操作キー、アンテナ、バッテリー、又は音声入力部を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、文字や画像を表示する表示画面を備えた表示装置に関するものであり、表示画面の視認性を改善するための技術に関する。

【背景技術】

【0002】

近年、画素を発光ダイオード(LED)などの発光素子で形成した、いわゆる自発光型の表示装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード(OLED(Organic Light Emission Diode)、有機EL素子、エレクトロルミネッセンス(Electro Luminescence:EL)素子などとも言う)が注目を集めしており、ELディスプレイ(例えば、有機ELディスプレイなど)に用いられるようになってきている。OLEDなどの発光素子は自発光型であるため、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要で応答速度が速い等の利点がある。また発光素子の輝度は、そこを流れる電流値によって制御される。

【0003】

このような表示装置の発光階調を制御する駆動方式として、デジタル階調方式とアナログ階調方式とがある。デジタル階調方式はデジタル制御で発光素子をオンオフさせ、階調を表現している。一方、アナログ階調方式には、発光素子の発光強度をアナログ制御する方式と発光素子の発光時間をアナログ制御する方式がある。

【0004】

デジタル階調方式の場合、発光・非発光の2状態しかないとため、このままでは、2階調しか表現できない。そこで、別の手法を組み合わせて、多階調化を図ることが行われている。多階調化のための手法としては、時間階調法を用いられることが多い(特許文献1~特許文献2参照)。また、面積階調法を用いられることがある(特許文献3参照)

【0005】

一方、画像と文字とを両方綺麗に表示するための画素構造が開発されている(特許文献4参照)。通常は、ストライプ配列やデルタ配列であるが、そこでは、6角形の画素構造をしている。

【特許文献1】特開2001-324958号公報

【特許文献2】特開2001-343933号公報

【特許文献3】特開2001-125526号公報

【特許文献4】特開2005-062416号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、6角形の構造の場合、各々の色の画素を構成することが困難である。特に

10

20

30

40

50

、有機EL素子の場合、色ごとに有機層を蒸着して形成するため、複雑な構成の場合、うまく蒸着することができない。

【0007】

そこで、本発明は、単純な画素構成をしていながら、表示のさせ方を任意に変更できるような表示装置を提供することを目的する。

【課題を解決するための手段】

【0008】

本発明は、第1の表示領域と第2の表示領域と第3の表示領域とを有する表示装置であって、第1の表示領域と第2の表示領域と第3の表示領域とは、同じ色で表示し、第1の状態において、画素は、第1の表示領域と第2の表示領域と有しており、第2の状態において、画素は、第2の表示領域と第3の表示領域と有しており、第1の表示領域の面積と第3の表示領域の面積とは、同じであることを特徴としている。

10

【0009】

また本発明は、上記構成の表示装置であって、画素は、画素が有する表示領域のいずれを選択するかによって階調を表現することを特徴としている。

【0010】

なお、本発明において、トランジスタは、様々な形態のトランジスタを適用させることが出来る。よって、適用可能なトランジスタの種類に限定はない。したがって、例えば、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを適用することが出来る。これらにより、製造温度が高くなくても製造できたり、低コストで製造できたり、大型基板上に製造できたり、透明基板上に製造できたり、トランジスタで光を透過させたりすることが出来る。また、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを適用することが出来る。これらにより、バラツキの少ないトランジスタを製造できたり、電流供給能力の高いトランジスタを製造できたり、サイズの小さいトランジスタを製造できたり、消費電力の少ない回路を構成したりすることが出来る。また、ZnO、a-InGaZnO、SiGe、GaAsなどの化合物半導体を有するトランジスタや、さらに、それらを薄膜化した薄膜トランジスタなどを適用することが出来る。これらにより、製造温度が高くなくても製造できたり、室温で製造できたり、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成したりすることが出来る。また、インクジェットや印刷法を用いて作成したトランジスタなどを適用することが出来る。これらにより、室温で製造したり、真空度の低い状態で製造したり、大型基板で製造したりすることができる。また、マスク（レチクル）を用いなくても製造することができるため、トランジスタのレイアウトを容易に変更することが出来る。また、有機半導体やカーボンナノチューブを有するトランジスタ、その他のトランジスタを適用することができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタが配置されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチール基板、ステンレス・スチール・ホイルを有する基板などに配置することが出来る。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板上に配置するようにしてもよい。これらの基板を用いることにより、特性のよいトランジスタを形成したり、消費電力の小さいトランジスタを形成したり、壊れにくい装置にしたり、耐熱性を持たせたりすることが出来る。

20

【0011】

なお、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が2個以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより

30

40

50

、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることなどができる。また、チャネルの上下にゲート電極が配置されている構造でもよい。チャネルの上下にゲート電極が配置されている構造にすることにより、チャネル領域が増えるため、電流値を大きくしたり、空乏層ができやすくなつてS値をよくしたりすることができる。チャネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。また、チャネルの上にゲート電極が配置されている構造でもよいし、チャネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であつてもよいし、逆スタガ構造でもよいし、チャネル領域が複数の領域に分かれてもよいし、並列に接続されていてもよいし、直列に接続されていてもよい。また、チャネル（もしくはその一部）にソース電極やドレイン電極が重なつていてもよい。チャネル（もしくはその一部）にソース電極やドレイン電極が重なつていてもよい構造にすることにより、チャネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域があつてもよい。LDD領域を設けることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。10

【0012】

なお、本発明におけるトランジスタは、様々なタイプを用いることができ、様々な基板上に形成させることができる。したがって、回路の全てが、ガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。回路の全てが形成されていることにより、部品点数を減らしてコストを低減したり、回路部品との接続点数を減らして信頼性を向上させたりすることができる。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にトランジスタを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのICチップをCOG (Chip On Glass) で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数を減らしてコストを低減したり、回路部品との接続点数を減らして信頼性を向上させたりすることができる。また、駆動電圧が高い部分や駆動周波数が高い部分は、消費電力が大きくなつてしまふので、そのような部分は同じ基板に形成しないようにすれば、消費電力の向上を防ぐことができる。20

【0013】

なお、トランジスタとは、それぞれ、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるために、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本発明においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であつてもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子と表記する場合がある。30

【0014】

また、例えば、マルチゲートのトランジスタにおいて、1つのトランジスタのゲート電極と、別のトランジスタのゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような領域は、ゲート電極とゲート電極とを接続させるための40

領域であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタであると見なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極やゲート配線と同じ材料で形成され、それらとつながって配置されているものは、ゲート電極やゲート配線と呼んでも良い。

また、例えば、ゲート電極とゲート配線とを接続してさせている部分の導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0015】

なお、ゲート端子とは、ゲート電極の領域や、ゲート電極と電気的に接続されている領域について、その一部分のことを言う。

【0016】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線またはソース信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電気的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各画素のソース電極の間を接続したり、ソース電極と別の配線とを接続したりするための配線のことを言う。

【0017】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分も存在する。そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線とオーバーラップしてソース領域がある場合、その領域はソース配線として機能しているが、ソース電極としても機能することになる。よって、そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0018】

また、ソース電極と同じ材料で形成され、ソース電極とつながっている領域や、ソース電極とソース電極とを接続する部分も、ソース電極と呼んでも良い。また、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線とつながっている領域も、ソース配線と呼んでも良い。このような領域は、厳密な意味では、別のソース電極と接続させる機能を有していたりすることがない場合がある。しかし、製造マージンなどの関係で、ソース電極やソース配線と同じ材料で形成され、ソース電極やソース配線とつながっている領域がある。よって、そのような領域もソース電極やソース配線と呼んでも良い。

【0019】

また、例えば、ソース電極とソース配線とを接続してさせている導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0020】

なお、ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電気的に接続されている領域について、その一部分のことを言う。

【0021】

なお、ドレインについては、ソースと同様である。

【0022】

なお、本発明において、接続されているとは、電気的に接続されている場合と機能的に接続されている場合と直接接続されている場合とを含むものとする。したがって、本発明が開示する構成において、所定の接続関係以外のものも含むものとする。例えば、ある部分とある部分との間に、電気的な接続を可能とする素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が1個以上配置されていてもよ

10

20

30

40

50

い。また、機能的な接続を可能とする回路（例えば、論理回路（インバータやNAND回路やNOR回路など）や信号変換回路（DA変換回路やAD変換回路やガンマ補正回路など）や電位レベル変換回路（昇圧回路や降圧回路などの電源回路やH信号やL信号の電位レベルを変えるレベルシフタ回路など）や電圧源や電流源や切り替え回路や増幅回路（オペアンプや差動増幅回路やソースフォロワ回路やバッファ回路など、信号振幅や電流量などを大きく出来る回路など）や信号生成回路や記憶回路や制御回路など）が間に1個以上配置されていてもよい。あるいは、間に他の素子や他の回路を挟まずに、直接接続されて、配置されていてもよい。なお、素子や回路を間に介さずに接続されている場合のみを含む場合は、直接接続されている、と記載するものとする。また、電気的に接続されている、と記載する場合は、電気的に接続されている場合（つまり、間に別の素子を挟んで接続されている場合）と機能的に接続されている場合（つまり、間に別の回路を挟んで接続されている場合）と直接接続されている場合（つまり、間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。

【0023】

なお、本発明においては、一画素とは画像の最小単位を示すものとする。よって、R（赤）G（緑）B（青）の色要素からなるフルカラー表示装置の場合には、一画素とはRの色要素のドットとGの色要素のドットとBの色要素のドットとから構成されるものとする。なお、色要素は、三色に限定されず、それ以上の数を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW（Wは白）としてもよい。また、RGBに、例えば、イエロー、シアン、マゼンタなどを一色以上追加したものでもよい。また、例えばRGBの中の少なくとも一色について、類似した色を追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し周波数が異なっている。このような色要素を用いることにより、より実物に近い表示を行うことができたり、消費電力を低減したりすることが出来る。なお、一画素に、ある色の色要素のドットが複数あってもよい。そのとき、その複数の色要素は、各々、表示に寄与する領域の大きさが異なっていても良い。また、複数ある、ある色の色要素のドットを各々制御することによって、階調を表現してもよい。これを、面積階調方式と呼ぶ。あるいは、複数ある、ある色の色要素のドットを用いて、各々のドットに供給する信号を僅かに異なせるようにして、視野角を広げるようにしてよい。

【0024】

なお、本発明において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用して機能しうる装置全般でもよい。また、表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のことを言う。なお、液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が基板上に形成された表示パネル本体のことでもよい。また、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆるチップオングラス（COG）を含んでいても良い。さらに、フレキシブルプリントサーキット（FPC）やプリント配線基盤（PWB）が取り付けられたもの（ICや抵抗素子や容量素子やインダクタやトランジスタなど）も含んでもよい。さらに、偏光板や位相差板などの光学シートを含んでいても良い。さらに、バックライト（導光板やプリズムシートや拡散シートや反射シートや光源（LEDや冷陰極管など）を含んでいても良い）を含んでいても良い。

また、発光装置とは、特にEL素子やFEDで用いる素子などの自発光型の表示素子を有している表示装置をいう。液晶表示装置とは、液晶素子を有している表示装置をいう。

【0025】

なお、本発明において、ある物の上に形成されている、あるいは、～上に形成されている、というように、～の上に、あるいは、～上に、という記載については、ある物の上に直接接していることに限定されない。直接接してはいない場合、つまり、間に別のものが挟まっている場合も含むものとする。従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と

10

20

30

40

50

、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。また、～の上方に、という記載についても同様であり、ある物の上に直接接していることに限定されず、間に別のものが挟まっている場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、～の下に、あるいは、～の下方に、の場合についても、同様であり、直接接している場合と、接していない場合とを含むこととする。

【発明の効果】

10

【0026】

本発明によれば、画像に応じて、1つの画素を構成する単位を変更することができる。その結果、文字を表示するときには、くっきりと表示でき、画像を表示するときは、なめらかに表示できる。

【発明を実施するための最良の形態】

【0027】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

20

【0028】

（実施の形態1）

図1に、3画素分の画素の構成図を示す。通常は、領域101が1画素分の画素に相当する。

【0029】

30

R1とR2とで、赤色のサブ画素（副画素ともいう）を構成し、G1とG2とで、緑色のサブ画素（副画素ともいう）を構成し、B1とB2とで、青色のサブ画素（副画素ともいう）を構成する。各色のサブ画素が集まって、1画素を構成する。ここで、R1とR2において、発光や表示に関わる部分の面積は、R1 : R2 = 1 : 2であるとする。G1とG2についても、G1 : G2 = 1 : 2であるとする。B1とB2についても、B1 : B2 = 1 : 2であるとする。R1とR2のどれが発光するか（表示に寄与するか）によって、階調を表現することができる。つまり、面積階調法を用いることが出来る。図1において、太線で囲まれた四角の領域（ドット）がサブ画素を構成する表示領域である。なお、この表示領域の形状は図1に図示されたものに限られない。R1というものは赤色のサブ画素を構成する最小の表示領域であり、R2というものは面積がR1の2倍の表示領域である。また、青色のサブ画素を構成するB1及びB2、並びに緑色のサブ画素を構成するG1及びG2についても同様である。また、以下の他の図におけるR1、R2、R4、G1、G2、G4、B1、B2、B4についても同様である。

【0030】

40

101で囲った部分は、正方形であるので、これを1画素の単位とすると、画面全体では、ストライプ配列を行えることになる。その結果、くっきりとした表示を行うことができる。また、各色ごとに、縦に並んで配置されているため、有機EL素子を形成する場合は、形成しやすくなる。つまり、画素部において、サブ画素がストライプ配置され、さらにサブ画素を構成する表示領域もストライプ配置されている。

【0031】

50

次に、102で囲った部分で1画素を構成する場合について考える。赤色のサブ画素は、R2、R1という順序で並んでおり、青色のサブ画素も、B2、B1という順序で並んでいる。また、緑色のサブ画素は、G2、G1という順序で並んでいる。よって、101で囲った部分で1画素を構成する場合は、G1、G2という並びで1画素を構成していたが、102で囲った部分で1画素を構成する場合は、G2、G1という並びで1画素を構成

する。その結果、1画素を構成する画素の形状が入りくんだものとなる。そのため、ぼやけたような表示にすることができる、ぼやけた分だけ、滑らかな表示をすることができるようになる。これは、サブ画素がデルタ配列を行っているのと似た構造となる。

【0032】

また、より入りくんだ形状にして、103で囲った部分で1画素を構成するような感じにしてもよい。このようにすれば、より滑らかな表示をすることができる。

【0033】

このように、どのサブ画素で1画素を構成するか、ということ、つまり、1画素の単位を、適宜変更することにより、表示の見え方を変更することが可能となる。例えば、文字を主体に表示させる場合は、正方形で1画素を構成するようにして、くっきりと表示できるようにし、画像を主体に表示させる場合は、正方形の場合よりも、構成するサブ画素を上下にずらすようにして、非正方形になるようにして、入りくんだ形で1画素を構成するようとする。すると、滑らかに表示させることができる。

【0034】

また、各色のサブ画素は、表示領域（表示に寄与する領域、発光領域ともいう）を複数に分割する。そして、その領域の大きさを1：2とする。その結果、面積階調法を適用することが可能となる。

【0035】

なお、図1では、3画素の1列分について示した。ただし、この構成に限定されない。

【0036】

例えば、図2に示すように、赤色のサブ画素は、R1、R2という順序で並んでおり、青色のサブ画素も、B1、B2という順序で並んでいて、緑色のサブ画素は、G2、G1という順序で並んでいてもよい。

【0037】

図2の場合も、図1の場合と同様、201で囲った部分で1画素を構成したり、202で囲った部分で1画素を構成したり、203で囲った部分で1画素を構成したりして、構成を隨時変更すればよい。201は、正方形で構成され、202は、正方形よりも少し入りくんだ形で構成され、203は、より入りくんだ形で構成されている。

【0038】

また、図1や図2では、1列分の場合について示したが、複数列ある場合は、図1や図2の1列分が複数並列して、配列されていてもよい。あるいは、図1と図2とが交互に配置されて、複数列になっていてもよい。交互に配置されている方が、サブ画素がより入りくんで配置されることになるので、より滑らかに表示することが可能となる。

【0039】

なお、図1や図2では、赤（R）、緑（G）、青（B）の順で横方向に並んでいるが、これに限定されない。任意の順序で配置されて良い。

【0040】

なお、図1や図2では、赤（R）と緑（G）と青（B）とで、表示領域（表示に寄与する領域、発光領域とも言う）の面積を同じであるとしているが、これに限定されない。劣化のしやすさなどを考慮して、色ごとに大きさを変えても良い。

【0041】

なお、図1、図2では、赤（R）と緑（G）と青（B）の3色で1画素を構成する場合を示したが、これに限定されない。3色に追加して、白（W）を加えても良いし、全てを別の色で構成させてもよい。

【0042】

なお、図1や図2では、各色のサブ画素は、2つの表示領域で構成しているが、これに限定されない。さらに多くの表示領域で構成してもよい。例として、各色のサブ画素が、3つの表示領域で構成する場合を図3に示す。各色のサブ画素の発光領域（表示に寄与する領域）の大きさを1：2：4とする。その結果、面積階調法を適用すれば、3ビット分の階調を表現することが可能となる。図3においても同様に、301～303のようにし

10

20

30

40

50

て、1画素を構成すればよい。

【0043】

なお、図1や図2や図3では、各色のサブ画素の発光領域（表示に寄与する領域）の大きさを1:2、または、1:2:4としたが、これに限定されない。1:4でもよいし、1:1でもよい。階調をうまく表現できる大きさになっていればよい。階調を表現する最もよい方法は、2のべき乗にすることであるため、それが好適である。

【0044】

（実施の形態2）

本実施の形態では、各サブ画素への信号の供給について述べる。図4に、各色ごとに信号線を配置し、各色における表示領域ごとにゲート信号線を配置した場合を示す。なお、図4は、図1の構成の場合に対応しているが、これに限定されない。

10

【0045】

信号線421と、選択用トランジスタ401を介して、2行目のR2と接続されている。また、信号線421と、選択用トランジスタ402を介して、2行目のR1と接続されている。つまり、R1とR2とは、同じ信号線に接続されている。3行目のR2も同様に、信号線421と、選択用トランジスタ403を介して接続されている。

【0046】

ゲート信号線については、各選択用トランジスタに接続されている。選択用トランジスタ401には、ゲート信号線411が接続され、選択用トランジスタ402には、ゲート信号線412が接続され、選択用トランジスタ403には、ゲート信号線413が接続されている。各々のゲート信号線を順次選択していくことにより、信号線421を介して、各サブ画素に信号を供給することが出来る。

20

【0047】

ここで、ゲート信号線は、101で囲まれた部分の上辺と下辺とに配置する。これにより、ゲート信号線を直線状に配置することができる。

【0048】

次に、ゲート信号線を共有することにより本数を減らした場合について、図5に示す。

【0049】

信号線521と、選択用トランジスタ501を介して、2行目のR2と接続されている。また、信号線522と、選択用トランジスタ502を介して、2行目のR1と接続されている。つまり、R1とR2とは、別々の信号線に接続されている。3行目のR2も同様に、信号線521と、選択用トランジスタ503を介して接続されている。

30

【0050】

ゲート信号線については、上下のサブ画素における選択用トランジスタ2つが1本のゲート信号線に接続されている。つまり、ゲート信号線が共用されている。選択用トランジスタ501には、ゲート信号線511が接続され、選択用トランジスタ502には、ゲート信号線512が接続され、選択用トランジスタ503にも、ゲート信号線512が接続されている。ゲート信号線512が選択されると、選択用トランジスタ502と503が同時にオンする。しかし、信号線が別々になっているので、問題なく信号をサブ画素に供給できる。

40

【0051】

なお、本実施の形態は、実施の形態1に関連して詳細に述べたものである。よって、本実施の形態で述べた内容は、実施の形態1で述べた内容と自由に組み合わせることが出来る。

【0052】

（実施の形態3）

次に、画素回路の例を示す。まず、有機ELの場合の画素を図6に示す。図6は、表示領域1つ当たりの画素回路を示す。

【0053】

第1の配線であるゲート信号線4901を用いて、第1のトランジスタである選択用ト

50

ランジスタ 4904 を制御する。選択用トランジスタ 4904 がオンすると、第 2 の配線であるソース信号線 4902 から、保持容量 4905 にビデオ信号が入力される。すると、ビデオ信号に応じて、第 2 のトランジスタである駆動用トランジスタ 4906 がオンオフし、第 3 の配線である電源線 4903 から発光素子 4907 を通って、対向電極 4908 へ電流が流れる。

【0054】

なお、図 6 における選択用トランジスタ 4904 は、図 4 におけるトランジスタ 401 ~ 403 に相当し、図 5 におけるトランジスタ 501 ~ 503 に相当する。また、図 6 におけるソース信号線 4902 は、図 4 における信号線 421 に相当し、図 5 における信号線 521 又は信号線 522 に相当する。

10

【0055】

次に、表示領域が 2 つの場合の画素回路を図 7 に示す。発光素子は、2 つあり、発光素子 4907、4807 である。それぞれは、表示領域の大きさが、適宜、適切な大きさとなっている。通常は、1 : 2 の大きさとなっている。図 7 は、図 4 の場合に対応するものであるが、図 5 に対応させることも容易に行うことが出来る。

【0056】

なお、図 7 における選択用トランジスタ 4904 は、図 4 におけるトランジスタ 401 に相当し、図 7 における選択用トランジスタ 4804 は、図 4 におけるトランジスタ 402 に相当する。また、図 7 におけるソース信号線 4902 は、図 4 における信号線 421 に相当する。図 7 におけるゲート信号線 4901 は、図 4 におけるゲート信号線 411 に相当し、図 7 におけるゲート信号線 4801 は、図 4 におけるゲート信号線 412 に相当する。

20

【0057】

なお、画素構成は、図 6、図 7 に限定されない。例えば、駆動用トランジスタのバラツキを補正するような構成でもよい。

【0058】

バラツキを補正する画素構成としては、大きく分けて、しきい値電圧のバラツキを補正するタイプと、ビデオ信号として電流を入力するタイプとがある。

【0059】

図 8 に、しきい値電圧のバラツキを補正する画素構成を示す。スイッチ 3106 を制御することにより、駆動用トランジスタ 3101 のしきい値電圧を容量素子 3104 に保存する。スイッチ 3103 は、駆動用トランジスタ 3101 のゲート電位を初期化する機能を果たす。そして、ソース信号線 3111 からスイッチ 3102 を通ってビデオ信号を入力する。このビデオ信号が容量素子 3105 に書き込まれる。スイッチ 3107 は駆動用トランジスタ 3101 のソース端子と電源線 3116 との導通又は非導通を制御する。第 1 の走査線 3113 はスイッチ 3102 のオンオフを制御する。第 2 の走査線 3114 はスイッチ 3103 のオンオフを制御する。第 3 の走査線 3115 はスイッチ 3107 のオンオフを制御する。

30

【0060】

図 8 では、駆動用トランジスタ 3101 のゲート電位を初期化するための配線 3112 が必要であったが、それを削除したものを図 9 に示す。駆動用トランジスタ 3101 のゲートは、スイッチ 3203 を介して、駆動用トランジスタ 3101 のドレインに接続されている。

40

【0061】

なお、しきい値電圧のバラツキを補正する画素構成には、さまざまなものがあり、図 8、図 9 の構成に限定されない。このように、しきい値電圧のバラツキを補正する画素構成を用いると、発光素子に流れる電流のバラツキを低減することができる。

【0062】

次に、ビデオ信号として電流を入力するタイプの画素構成を図 10 に示す。ソース信号線 3311 にビデオ信号に応じた電流が供給され、スイッチ 3302 及びスイッチ 330

50

4がオンすると、駆動用トランジスタ3301にその電流が流れ、それに応じて、ゲート・ソース間電圧が発生する。そのゲート・ソース間電圧は、容量素子3305に保存され、その後、スイッチ3302及びスイッチ3304がオフし、スイッチ3306がオンすると電源線3316から発光素子に電流が供給される。第1の走査線3313はスイッチ3302のオンオフを制御する。第2の走査線3314はスイッチ3304のオンオフを制御する。第3の走査線3315はスイッチ3306のオンオフを制御する。図10は、信号電流を供給されるトランジスタと、発光素子に電流を供給するトランジスタとは同一であるが、異なっていても良い。その場合を図11に示す。図11では、信号電流を供給されるトランジスタ3401と、発光素子に電流を供給するトランジスタ3421とは、別である。

10

【0063】

なお、電流を入力してバラツキを補正する画素構成には、さまざまなものがあり、図10、図11の構成に限定されない。このように、電流を入力してバラツキを補正する画素構成を用いると、発光素子に流れる電流のバラツキを低減することができる。

【0064】

なお、図8～図11では、表示領域1つ当たりの画素回路を示したが、図6のように、表示領域が複数ある場合にも、容易に展開することが可能である。

【0065】

なお、画素に配置するのは、特定の発光素子に限定されない。なお、発光素子は、様々な形態を用いることが出来る。例えば、EL素子（有機EL素子、無機EL素子又は有機物材料及び無機材料を含むEL素子）、電子放出素子、液晶素子、電子インク、光回折素子、放電素子、微小鏡面素子（DMD：Digital Micromirror Device）、圧電素子、カーボンナノチューブなど、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いたELパネル方式の表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッショナディスプレイ（FED：Field Emission Display）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた液晶パネル方式の表示装置としては液晶ディスプレイ、電子インクを用いたデジタルペーパー方式の表示装置としては電子ペーパー、光回折素子を用いた表示装置としてはグレーティングライトバルブ（GLV）方式のディスプレイ、放電素子を用いたPDP（Plasma Display Panel）方式のディスプレイとしてはプラズマディスプレイ、微小鏡面素子を用いたDMDパネル方式の表示装置としてはデジタル・ライト・プロセッシング（DLP）方式の表示装置、圧電素子を用いた表示装置としては圧電セラミックディスプレイ、カーボンナノチューブを用いた表示装置としてはナノ放射ディスプレイ（NED：Nano Emissive Display）、などがある。

20

【0066】

なお、保持容量4905等の保持容量は、駆動用トランジスタ4906のゲート電位を保持する役目をしている。よって、駆動用トランジスタ4906のゲートと電源線4903の間に接続されているが、これに限定されない。駆動用トランジスタ4906のゲート電位を保持できるように配置されていればよい。また、駆動用トランジスタ4906のゲート容量などを用いて、駆動用トランジスタ4906のゲート電位を保持できる場合は、保持容量4905を省いても良い。

30

【0067】

なお、図8～図11などに示すスイッチは、様々な形態のものを用いることができ、一例として、電気的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、サイリスタでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタ

40

50

ンジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（V_{SS}、GND、0Vなど）に近い状態で動作する場合はNチャネル型を、反対に、ソース端子の電位が、高電位側電源（V_{DD}など）に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。

なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。CMOS型のスイッチにすると、Pチャネル型かNチャネル型かのどちらかのスイッチが導通すれば電流を流すことができるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることができるので、消費電力を小さくすることも出来る。

なお、スイッチとしてトランジスタを用いる場合は、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合は、導通を制御する端子を有していない場合がある。そのため、端子を制御するための配線を少なくすることが出来る。

【0068】

スイッチの例を図12に示す。図12(A)は、模式的に記載したスイッチである。図12(B)は、AND回路を用いたスイッチである。制御線1502を使って、入力1501の信号を出力1503に伝えるかどうかを制御する。図12(B)の場合は、出力1503は、入力信号にかかわらず、L信号なる、というような制御は可能である。しかし、出力1503がフローティング状態になることはない。したがって、出力1503が、デジタル回路の入力に接続されている場合などに、図12(B)のスイッチを用いることが好適である。デジタル回路の場合、入力をフローティング状態にすると、出力が不安定になり、望ましくない。よって、デジタル回路の入力に接続されている場合などは、図12(B)のスイッチを用いることが好適である。

【0069】

なお、図12(B)は、AND回路を用いて構成したが、これに限定されない。OR回路やNAND回路やNOR回路を用いても、同様の機能を果たすことが出来る。

【0070】

一方、スイッチの出力先の回路の入力をフローティング状態にしたい場合は、図12(C)や図12(D)のスイッチを用いればよい。図12(C)は、トランスマッシュゲートもしくはアナログスイッチなどと呼ばれている回路である。図12(C)は、入力1511の電位を、ほぼそのまま出力1513に伝達する。よって、アナログ信号の伝達に好適である。図12(D)は、クロックドインバータなどと呼ばれている回路である。図12(D)は、入力1521の信号を反転させて出力1523に伝達する。よって、デジタル信号の伝達に好適である。

【0071】

なお、図6～図11では、有機ELの場合の画素回路を示したが、これに限定されない。例として、液晶素子を用いた場合について、図13に示す。液晶素子は、2つあり、液晶素子5907、5807である。それぞれは、表示領域の大きさが、適宜、適切な大きさとなっている。通常は、1:2の大きさとなっている。なお、図13における選択用トランジスタ5904は、図4におけるトランジスタ401に相当し、図13における選択用トランジスタ5804は、図4におけるトランジスタ402に相当する。また、図13におけるソース信号線5902は、図4における信号線421に相当する。図13におけるゲート信号線5901は、図4におけるゲート信号線411に相当し、図13における

10

20

30

40

50

ゲート信号線 5801 は、図 4 におけるゲート信号線 412 に相当する。

【0072】

なお、本実施の形態は、実施の形態 1 ~ 実施の形態 2 に関連して、詳細に述べたものである。よって、本実施の形態で述べた内容は、実施の形態 1 ~ 実施の形態 2 で述べた内容と自由に組み合わせることが出来る。

【0073】

(実施の形態 4)

デジタル階調法の場合、このままでは、表示素子の発光状態（光を透過する状態）と非発光状態（光を透過しない状態）の 2 値しか表現できない。そこで、他の方法を組み合わせて、多階調化を図ってもよい。そこで、多階調化を図った場合の画素の駆動方法について述べる。

10

【0074】

多階調化を図る方法として、時間階調方式と面積階調方式とがある。時間階調方式は、ある期間の中で、発光している時間の長さを変えることにより、階調を表現する方法である。面積階調方式は、発光している面積の大きさを変えることにより、階調を表現する方法である。

【0075】

なお、時間階調方式と面積階調方式とを組み合わせても良い。

【0076】

面積階調については、図 1 ~ 図 3 に示すように、発光領域（表示に寄与する領域）が複数あり、そのうちのどれを発光させるかにより、階調を表現する。

20

【0077】

時間階調方式については、デジタル時間階調方式では、1 フレーム期間を複数のサブフレーム期間に分割する。そして、各フレーム期間において、点灯するサブフレーム期間の組み合わせを変えることにより、階調を表現する。

【0078】

まず、画素に信号を書き込む期間（以下、書き込み期間）と点灯する期間（以下、点灯期間）とが分離されている場合のタイミングチャートを図 14 に示す。まず、信号書き込み期間において、1 画面分の信号を全画素に入力する。この間は、画素は点灯しない。信号書き込み期間が終了したのち、点灯期間が始まり、画素が点灯する。次に、次のサブフレームが始まり、信号書き込み期間において、1 画面分の信号を全画素に入力する。この間は、画素は点灯しない。信号書き込み期間が終了したのち、点灯期間が始まり、画素が点灯する。

30

【0079】

同様のことを繰り返すことにより、階調を表現することが可能となる。このとき、各サブフレーム期間における点灯期間の長さを、1 : 2 : 4 : 8 : ··· というように、2 のべき乗にすることにより、様々な階調を表現することが出来る。

【0080】

また、面積階調方式での階調表現と時間階調方式での階調表現を組み合わせることにより、さらに多くの階調を表現することが出来る。例えば、面積階調部分で 2 ビット分を表現出来る場合、時間階調部分で 6 ビット分を表現すると、全体で 8 ビットの階調を表現することが出来る。

40

【0081】

この場合の画素構成は、図 6, 図 7 の構成を用いればよい。

【0082】

なお、信号書き込み期間においては、電源線 4903 と対向電極 4908 の電位を制御することにより、発光素子 4907 には電圧が加わらないようにしておく。例えば、対向電極 4908 の電位を高くして、発光素子 4907 に電圧が加わらないようにしたり、対向電極 4908 に電荷を供給せず、フローティング状態にしてもよい。その結果、信号書き込み期間において、発光素子 4907 が点灯することを避けることが出来る。

50

【0083】

次に、画素に信号を書き込む期間（以下、書き込み期間）と点灯する期間（以下点灯期間）とが分離されていない場合のタイミングチャートを図15に示す。各行において、信号書き込み動作を行うと、すぐに点灯期間が開始する。

【0084】

ある行において、信号を書き込み、所定の点灯期間が終了したのち、次のサブフレームにおける信号の書き込み動作を開始する。これを繰り返すことにより、点灯期間の長さを各々制御することができる。

【0085】

このようにすることにより、信号の書き込み動作が遅くても、1フレーム内にたくさんのサブフレームを配置することが可能となる。また、1フレーム期間における点灯期間の割合（いわゆるデューティー比）を大きくできるので、消費電力を低減したり、発光素子の劣化を抑制したり、疑似輪郭を抑制することが可能となる。 10

【0086】

その場合の画素構成は、図6、図7の構成を用いればよい。その場合、図15において、時刻t0の場合、同時に3行分の画素に信号を入力する必要がある。通常は、同時に複数行の画素に信号を入力することは出来ない。そこで、図16に示すように、1ゲート選択期間を複数（図16では3つ）に分割する。そして、分割された選択期間内で、各々のゲート信号線4901を選択し、その時に応する信号をソース信号線4902に入力する。例えば、ある1ゲート選択期間において、G1(t0)ではi行目を選択し、G2(t0)ではj行目を選択し、G3(t0)ではk行目を選択する。すると、1ゲート選択期間において、あたかも同時に3行分を選択したかのように動作させることが可能となる。 20

【0087】

なお、図15、図16では、同時に3行分の画素に信号を入力する場合について示したが、これに限定されない。さらに多くの行やさらに少ない行に信号を入力してもよい。

【0088】

なお、このような駆動方法の詳細については、例えば、特開2001-324958号公報等に記載されており、その内容を本願と組み合わせて適用することが出来る。

【0089】

次に、画素の信号を消去する動作を行う場合のタイミングチャートを図17に示す。各行において、信号書き込み動作を行い、次の信号書き込み動作が来る前に、画素の信号を消去する。このようにすることにより、点灯期間の長さを容易に制御できるようになる。 30

【0090】

ある行において、信号を書き込み、所定の点灯期間が終了したのち、次のサブフレームにおける信号の書き込み動作を開始する。もし、点灯期間が短い場合は、信号消去動作を行い、非点灯状態にする。このようなを繰り返すことにより、点灯期間の長さを制御することが出来る。

【0091】

このようにすることにより、信号の書き込み動作が遅くても、1フレーム内にたくさんのサブフレームを配置することが可能となる。また、消去動作を行う場合は、消去用のデータはビデオ信号を取得するのと同じ方法で取得する必要がないため、ソースドライバの駆動周波数も低減出来る。 40

【0092】

その場合の画素構成を図18に示す。消去トランジスタ1104が、駆動用トランジスタ4906のゲートと電源線4903の間に接続されている。

【0093】

ゲート信号線4901を用いて、選択用トランジスタ4904を制御する。選択用トランジスタ4904がオンすると、ソース信号線4902から、保持容量4905にビデオ信号が入力される。すると、ビデオ信号に応じて、駆動用トランジスタ4906がオンオ 50

し、電源線 4903 から発光素子 4907 を通って、対向電極 4908 へ電流が流れ
る。

【0094】

信号を消去したい場合は、第 2 ゲート信号線 1101 を選択して、消去トランジスタ 1104 をオン状態にして、駆動用トランジスタ 4906 がオフ状態になるようする。すると、電源線 4903 から発光素子 4907 を通って、対向電極 4908 へ電流が流れないようになる。その結果、非点灯期間を作ることができ、点灯期間の長さを自由に制御できるようになる。

【0095】

図 18 では、消去トランジスタ 1104 を用いていたが、別の方法を用いることも出来る。なぜなら、強制的に非点灯期間をつくればよいので、発光素子 4907 に電流が供給されないようにすればよいからである。よって、電源線 4903 から発光素子 4907 を通って、対向電極 4908 へ電流が流れる経路のどこかに、スイッチを配置して、そのスイッチのオンオフを制御して、非点灯期間を作ればよい。あるいは、駆動用トランジスタ 4906 のゲート・ソース間電圧を制御して、駆動用トランジスタが強制的にオフになるようにすればよい。

10

【0096】

駆動用トランジスタを強制的にオフにする場合の画素構成の例を図 19 に示す。消去ダイオード 1204 が、駆動用トランジスタ 4906 のゲートと第 2 ゲート信号線 1201 との間に接続されている。

20

【0097】

信号を消去したい場合は、第 2 ゲート信号線 1201 を選択（ここでは、高い電位にする）して、消去ダイオード 1204 がオンして、第 2 ゲート信号線 1201 から駆動用トランジスタ 4906 のゲートへ電流が流れるようする。その結果、駆動用トランジスタ 4906 がオフ状態になる。すると、電源線 4903 から、発光素子 4907 を通って、対向電極 4908 には、電流が流れないようになる。その結果、非点灯期間を作ることができ、点灯期間の長さを自由に制御できるようになる。

【0098】

信号を保持しておきたい場合は、第 2 ゲート信号線 1201 を非選択（ここでは、低い電位にする）しておく。すると、消去ダイオード 1204 がオフするので、駆動用トランジスタ 4906 のゲート電位は保持される。

30

【0099】

なお、消去ダイオード 1204 は、整流性がある素子であれば、なんでもよい。PN型ダイオードでもよいし、PIN型ダイオードでもよいし、ショットキー型ダイオードでもよいし、ツェナー型ダイオードでもよい。

【0100】

また、トランジスタを用いて、ダイオード接続（ゲートとドレインを接続）して、用いても良い。その場合の回路図を図 20 に示す。消去ダイオード 1204 として、ダイオード接続したトランジスタ 1304 を用いている。ここでは、Nチャネル型を用いているが、これに限定されない。Pチャネル型を用いても良い。

40

【0101】

なお、さらに別の回路として、図 6、図 7 の回路を用いて、図 17 のような駆動法を実現することも可能である。その場合のタイミングチャートは、図 16 と同様にすればよい。図 16 では、1 ゲート選択期間を 3 つに分割しているが、1 ゲート選択期間をここでは、2 つに分割する。そして、分割された選択期間内で、各々のゲート信号線を選択し、その時に対応する信号（ビデオ信号と消去するための信号）をソース信号線 4902 に入力する。例えば、ある 1 ゲート選択期間において、前半は i 行目を選択し、後半は j 行目を選択する。そして、i 行目が選択されているときは、それ以下のビデオ信号を入力する。一方、j 行目が選択されているときは、駆動トランジスタがオフするような信号を入力する。すると、1 ゲート選択期間において、あたかも同時に 2 行分を選択したかのように動作

50

させることが可能となる。

【0102】

なお、このような駆動方法の詳細については、例えば、特開2001-324958号公報等に記載されており、その内容を本願と組み合わせて適用することが出来る。

【0103】

なお、本実施の形態において示したタイミングチャートや画素構成や駆動方法は、一例であり、これに限定されない。様々なタイミングチャートや画素構成や駆動方法に適用することが可能である。

【0104】

次に、デジタル階調法の場合における、駆動トランジスタの動作領域について述べる。

10

【0105】

例えば、飽和領域で動作させる場合は、発光素子の電圧電流特性が劣化しても、そこを流れる電流値が変化しない、という利点がある。そのため、焼き付きの影響を受けにくい。ただし、駆動トランジスタの電流特性がばらつくと、そこを流れる電流もばらついてしまう。そのため、表示ムラを生じてしまう場合がある。

【0106】

それに対して、線形領域で動作させると、駆動トランジスタの電流特性がばらついても、そこを流れる電流値は影響を受けにくい。そのため、表示ムラが生じにくい。また、駆動トランジスタのゲート・ソース間電圧（の絶対値）が大きくなりすぎないことにより、消費電力も小さくできる。

20

【0107】

さらに、駆動トランジスタのゲート・ソース間電圧（の絶対値）を大きくすると、駆動トランジスタの電流特性がばらついても、そこを流れる電流値は影響をほとんど受けなくなる。ただし、発光素子の電圧電流特性が劣化すると、そこを流れる電流値が変化してしまう場合がある。そのため、焼き付きの影響を受けやすくなる。

【0108】

このように、駆動トランジスタを飽和領域で動作させると、発光素子の特性が変化しても、電流値が変化しない。よって、その場合、駆動トランジスタは、電流源として動作していると見なせる。したがって、このような駆動を定電流駆動と呼ぶことにする。

【0109】

30

また、駆動トランジスタを線形領域で動作させると、駆動トランジスタの電流特性がばらついても、電流値が変化しない。よって、その場合、駆動トランジスタは、スイッチとして動作していると見なせる。よって、発光素子には、電源線の電圧がそのまま加わっているように見なせる。したがって、このような駆動を定電圧駆動と呼ぶことにする。

【0110】

なお、本実施の形態は、実施の形態1～実施の形態3に関連して、詳細に述べたものである。よって、本実施の形態で述べた内容は、実施の形態1～実施の形態3で述べた内容と自由に組み合わせることが出来る。

【0111】

（実施の形態5）

40

次に、本発明の表示装置における画素のレイアウトについて述べる。例としては、図7に示した回路図について、そのレイアウト図を図21に示す。なお、回路図やレイアウト図は、図7や図21に限定されない。

【0112】

選択用トランジスタ4904、4804、駆動用トランジスタ4906、4806、発光素子4907、4807の電極が配置されている。選択用トランジスタ4904、4804のソースとドレインは各々、ソース信号線4902と、駆動用トランジスタ4906か4806のゲートとに接続されている。選択用トランジスタ4904のゲートは、ゲート信号線4901に接続され、選択用トランジスタ4804のゲートは、ゲート信号線4801に接続されている。駆動用トランジスタ4906、4806のソースとドレインは

50

各々、電源線 4903 と、発光素子 4907 か 4807 の電極とに接続されている。保持容量 4905、4805 は、駆動用トランジスタ 4906 か 4806 のゲートと、電源線 4903 との間に接続されている。

【0113】

ソース信号線 4902、電源線 4903 は、第 2 配線によって形成され、ゲート信号線 4901、4801 は、第 1 配線によって形成されている。

【0114】

トップゲート構造の場合は、基板、半導体層、ゲート絶縁膜、第 1 配線、層間絶縁膜、第 2 配線、の順で膜が構成される。ボトムゲート構造の場合は、基板、第 1 配線、ゲート絶縁膜、半導体層、層間絶縁膜、第 2 配線、の順で膜が構成される。

10

【0115】

次に、図 22 に、薄膜トランジスタ (TFT) とそれに接続する発光素子で構成される画素の断面図を示す。

【0116】

図 22 において、基板 700 上に、下地層 701、TFT750 を構成する半導体層 702、容量部 751 の一方の電極を構成する半導体層 752 が形成されている。その上層には第 1 絶縁層 703 が形成され、TFT750 にあってはゲート絶縁層として、容量部 751 にあっては容量を形成するための誘電体層として機能する。

【0117】

第 1 絶縁層 703 上にはゲート電極 704 と容量部 751 の他方の電極を形成する導電層 754 が形成されている。TFT750 に接続する配線 707 は、発光素子 712 の第 1 電極 708 と接続している。この第 1 電極 708 は、第 3 絶縁層 706 上に形成されている。第 1 絶縁層 703 と第 3 絶縁層 706 との間には、第 2 絶縁層 705 が形成されていてもよい。発光素子 712 は、第 1 電極 708、EL 層 709、第 2 電極 710 で構成される。また、第 1 電極 708 の周辺端部及び、第 1 電極 708 と配線 707 との接続部を覆うように第 4 絶縁層 711 が形成されている。

20

【0118】

次に、上記に示す構成の詳細を説明する。基板 700 としては、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレスを含む金属基板または半導体基板の表面に絶縁膜を形成したものを用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板を用いても良い。基板 700 の表面を、化学的機械研磨 (CMP) 法などの研磨により平坦化しておいても良い。

30

【0119】

下地層 701 としては、酸化珪素や、窒化珪素または窒化酸化珪素などの絶縁膜を用いることができる。下地層 701 によって、基板 700 に含まれる Na などのアルカリ金属やアルカリ土類金属が半導体層 702 に拡散し TFT750 の特性に悪影響をおよぼすのを防ぐことができる。図 22 では、下地層 701 を単層の構造としているが、2 層あるいはそれ以上の複数層で形成してもよい。なお、石英基板など不純物の拡散がさして問題とならない場合は、下地層 701 を必ずしも設ける必要はない。

40

【0120】

また、マイクロ波で励起され、電子温度が 2 eV 以下、イオンエネルギーが 5 eV 以下、電子密度が $10^{11} \sim 10^{13} / \text{cm}^3$ 程度である高密度プラズマで、ガラス基板の表面を直接処理しても良い。プラズマの生成はラジアルスロットアンテナを用いたマイクロ波励起のプラズマ処理装置を用いることができる。このとき、窒素 (N_2)、またはアンモニア (NH_3)、亜酸化窒素 (N_2O) などの窒化物気体を導入すると、ガラス基板の表面を窒化することができる。このガラス基板の表面に形成された窒化物層は、窒化珪素を主成分とするので、ガラス基板側から拡散してくる不純物のプロッキング層として利用することができる。この窒化物層の上に酸化珪素膜または酸窒化珪素膜をプラズマ CVD 法で形成して下地層 701 としても良い。

50

【0121】

他にも、酸化珪素や、酸窒化珪素などによる下地層701の表面に対し同様なプラズマ処理を行うことにより、その表面及び表面から1~10nmの深さを窒化処理をすることができる。このきわめて薄い窒化珪素の層により、その上に形成する半導体層へ応力の影響を与えることなくプロッキング層とすることができる。

【0122】

半導体層702及び半導体層752としては、パターニングされた結晶性半導体膜を用いることが好ましい。なお、パターニングとは、膜を形状加工することをいい、フォトリソグラフィー技術によって膜のパターンを形成すること（例えば、感光性アクリルにコンタクトホールを形成することや、感光性アクリルをスペーサとなるように形状加工することも含む）や、フォトリソグラフィー技術によってマスクパターンを形成し、当該マスクパターンを用いてエッチング加工を行うことなどをいう。結晶性半導体膜は非晶質半導体膜を結晶化して得ることができる。結晶化方法としては、レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等を用いることができる。半導体層702は、チャネル形成領域と、一導電型を付与する不純物元素が添加された一対の不純物領域とを有する。なお、チャネル形成領域と一対の不純物領域との間に、該不純物元素が低濃度で添加された不純物領域を有していてもよい。半導体層752には、全体に一導電型若しくはそれと逆の導電型を付与する不純物元素が添加された構成とすることができる。

【0123】

第1絶縁層703としては、酸化珪素、窒化珪素または窒化酸化珪素等を用い、単層または複数の膜を積層させて形成することができる。この場合において、当該絶縁膜の表面を、前述と同様に、マイクロ波で励起され、電子温度が2eV以下、イオンエネルギーが5eV以下、電子密度が $10^{11} \sim 10^{13} / \text{cm}^3$ 程度である高密度プラズマ処理によって酸化又は窒化処理して緻密化しても良い。この処理は第1絶縁層703の成膜に先立って行っても良い。すなわち、半導体層702の表面に対してプラズマ処理を行う。このとき、基板温度を300~450とし、酸化雰囲気(O₂、N₂Oなど)又は窒化雰囲気(N₂、NH₃など)で処理することにより、その上に堆積するゲート絶縁層と良好な界面を形成することができる。

【0124】

ゲート電極704及び導電層754としては、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた一種の元素または該元素を複数含む合金若しくは化合物からなる単層または積層構造を用いることができる。

【0125】

TFT750は、半導体層702と、ゲート電極704と、半導体層702とゲート電極704との間の第1絶縁層703とによって構成される。図22では、画素を構成するTFT750として、発光素子712の第1電極708に接続されるものを示している。このTFT750は、ゲート電極704を半導体層702上に複数配置したマルチゲート型の構成を示している。すなわち、複数のTFTが直列に接続された構成を有している。このような構成により、不用意なオフ電流の増加を抑制することができる。なお、また、図22では、TFT750をトップゲート型のTFTとして示したが、半導体層の下方にゲート電極を有するボトムゲート型のTFTであっても良いし、半導体層の上下にゲート電極を有するデュアルゲート型のTFTであっても良い。

【0126】

容量部751は、第1絶縁層703を誘電体とし、第1絶縁層703を挟んで対向する半導体層752と導電層754とを一対の電極として構成される。なお、図22では、画素に設ける容量素子として、一対の電極の一方をTFT750の半導体層702と同時に形成される半導体層752とし、他方の導電層754をゲート電極704と同時に形成される層とする例を示したが、この構成に限定されない。

【0127】

10

20

30

40

50

第2絶縁層705は窒化珪素膜などイオン性不純物をブロッキングするバリア性の絶縁膜であることが望ましい。この第2絶縁層705は窒化シリコンまたは酸窒化シリコンで形成する。この第2絶縁層705は、半導体層702の汚染を防ぐ保護膜としての機能を含んでいる。この第2絶縁層705を堆積した後に、水素ガスを導入して前述のようにマイクロ波で励起された高密プラズマ処理をすることで、第2絶縁層705の水素化を行っても良い。または、アンモニアガスを導入して、第2絶縁層705の窒化と水素化を行っても良い。または、酸素、N₂Oガスなどと水素ガスを導入して、酸化窒化処理と水素化処理を行っても良い。この方法により、窒化処理、酸化処置若しくは酸化窒化処理を行うことにより第2絶縁層705の表面を緻密化することができる。それにより保護膜としての機能を強化することができる。この第2絶縁層705に導入された水素は、その後400～450の熱処理をすることにより、第2絶縁層705を形成する窒化シリコンから水素を放出させて、半導体層702の水素化をすることができる。

【0128】

第3絶縁層706としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、CVD法により形成された酸化シリコン膜や、SOG(Spin On Glass)膜(塗布酸化珪素膜)などを用いることができる。有機絶縁膜としてはポリイミド、ポリアミド、BCB(ベンゾシクロブテン)、アクリルまたはポジ型感光性有機樹脂、ネガ型感光性有機樹脂等の膜を用いることができる。また、第3絶縁層706として、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料を用いることができる。この材料の置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0129】

配線707としては、Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mnから選ばれた一種の元素または該元素を複数含む合金からなる単層または積層構造を用いることができる。

【0130】

第1電極708及び第2電極710の一方もしくは両方を透明電極とすることができます。透明電極としては、酸化タンゲステンを含むインジウム酸化物(IWO)、酸化タンゲステンを含むインジウム亜鉛酸化物(IWZO)、酸化チタンを含むインジウム酸化物(ITUO)、酸化チタンを含むインジウム錫酸化物(ITTIO)、モリブデン含む酸化インジウムスズ(ITMO)などを用いることができる。勿論、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化ケイ素を添加したインジウム錫酸化物(ITSO)なども用いることができる。

【0131】

第1電極708及び第2電極710の少なくとも一方は、透光性を有さない材料で形成されてもよい。例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、これらを含む合金(Mg:Ag、Al:Li、Mg:Inなど)、およびこれらの化合物(CaF₂、Ca₃N₂)の他、YbやEr等の希土類金属を用いることができる。

【0132】

第4絶縁層711としては、第3絶縁層706と同様の材料を用いて形成することができる。

【0133】

発光素子712は、EL層709と、それを挟む第1電極708及び第2電極710とによって構成される。第1電極708及び第2電極710の一方が陽極に相当し、他方が陰極に相当する。発光素子712は、陽極と陰極の間にしきい値電圧より大きい電圧が順バイアスで印加されると、陽極から陰極に電流が流れて発光する。

【0134】

EL層709は、単数または複数の層で構成されている。複数の層で構成されている場

10

20

30

40

50

合、これらの層は、キャリア輸送特性の観点から正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層などに分類することができる。なお各層の境目は必ずしも明確である必要はなく、互いの層を構成している材料が一部混合し、界面が不明瞭になっている場合もある。各層には、有機系の材料、無機系の材料を用いることが可能である。有機系の材料として、高分子系、中分子系、低分子系のいずれの材料も用いることが可能である。

【0135】

EL層709は、正孔注入輸送層、発光層、電子注入輸送層など、機能の異なる複数の層を用いて構成することが好ましい。正孔注入輸送層は、ホール輸送性の有機化合物材料と、その有機化合物材料に対して電子受容性を示す無機化合物材料とを含む複合材料で形成することが好ましい。このような構成とすることで、本来内在的なキャリアをほとんど有さない有機化合物に多くのホールキャリアが発生し、極めて優れたホール注入性・輸送性が得られる。この効果により、従来よりも駆動電圧を低くすることができる。また、駆動電圧の上昇を招くことなく正孔注入輸送層を厚くすることができるため、ゴミ等に起因する発光素子の短絡も抑制することができる。

【0136】

ホール輸送性の有機化合物材料としては、例えば、銅フタロシアニン（略称：CuPc）、4,4',4''-トリス[N-(3-メチルフェニル)-N-フェニルアミノ]トリフェニルアミン（略称：MTDATA）、1,3,5-トリス[N,N-ジ(m-トリル)アミノ]ベンゼン（略称：m-MTDAB）、N,N'-ジフェニル-N,N'-ビス(3-メチルフェニル)-1,1'-ビフェニル-4,4'-ジアミン（略称：TPD）、4,4'-ビス[N-(1-ナフチル)-N-フェニルアミノ]ビフェニル（略称：NPB）、4,4'-ビス{N-[4-ジ(m-トリル)アミノ]フェニル-N-フェニルアミノ}ビフェニル（略称：DNTPD）、などが挙げられるが、これらに限定されることはない。

【0137】

電子受容性を示す無機化合物材料としては、酸化チタン、酸化ジルコニウム、酸化バナジウム、酸化モリブデン、酸化タンクスステン、酸化レニウム、酸化ルテニウム、酸化亜鉛などが挙げられる。特に酸化バナジウム、酸化モリブデン、酸化タンクスステン、酸化レニウムは真空蒸着が可能で扱いやすいため、好適である。

【0138】

電子注入輸送層は、電子輸送性の有機化合物材料を用いて形成する。具体的には、トリス(8-キノリノラト)アルミニウム（略称：Alq₃）、トリス(4-メチル-8-キノリノラト)アルミニウム（略称：Almq₃）、ビス(2-メチル-8-キノリノラト)(4-フェニルフェノラト)アルミニウム（略称：BA1q）、パソキュプロイン（略称：BCP）、2-(4-ビフェニリル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール（略称：PBD）、3-(4-ビフェニリル)-4-フェニル-5-(4-tert-ブチルフェニル)-1,2,4-トリアゾール（略称：TAZ）、などが挙げられるが、これらに限定されることはない。

【0139】

EL層709は、9,10-ジ(2-ナフチル)アントラセン（略称：DNA）、9,10-ジ(2-ナフチル)-2-tert-ブチルアントラセン（略称：t-BuDNA）、4,4'-ビス(2,2-ジフェニルビニル)ビフェニル（略称：DPVBi）、クマリン30、クマリン6、クマリン545、クマリン545T、ルブレン、2,5,8,11-テトラ(tert-ブチル)ペリレン（略称：TBP）、9,10-ジフェニルアントラセン（略称：DPA）、5,12-ジフェニルテトラセン（略称：DPT）、4-(ジシアノメチレン)-2-メチル-6-[p-(ジメチルアミノ)スチリル]-4H-ピラン（略称：DCM1）、4-(ジシアノメチレン)-2-メチル-6-[2-(ジユロリジン-9-イル)エテニル]-4H-ピラン（略称：DCM2）などが挙げられる。また、ビス{2-[3',5']-ビス(トリフルオロメチル)フェニル]ピリジナト-N,C^{2'}}イリジウム(ピコリナート)（略称：Ir(CF₃ppy)₂(pic)）

10

20

30

40

50

、トリス(2-フェニルピリジナト-N, C^{2'})イリジウム(略称: Ir(pp₃y)₃)、ビス(2-フェニルピリジナト-N, C^{2'})イリジウム(アセチルアセトナート)(略称: Ir(pp₃y)₂(acac))、ビス[2-(2'-チエニル)ピリジナト-N, C^{3'}]イリジウム(アセチルアセトナート)(略称: Ir(thp)₂(acac))、ビス(2-フェニルキノリナト-N, C^{2'})イリジウム(アセチルアセトナート)(略称: Ir(pq)₂(acac))、などの熒光を放出できる化合物用いることができる。

【0140】

また、EL層709は一重項励起発光材料と金属錯体などを含む三重項励起材料を用いても良い。例えば、赤色の発光性の画素、緑色の発光性の画素及び青色の発光性の画素のうち、輝度半減時間が比較的短い赤色の発光性の画素を三重項励起発光材料で形成し、他を一重項励起発光材料で形成する。三重項励起発光材料は発光効率が良いので、同じ輝度を得るのに消費電力が少なくて済むという特徴がある。すなわち、赤色画素に適用した場合、発光素子に流す電流が少なくて済むので、信頼性を向上させることができる。低消費電力化として、赤色の発光性の画素と緑色の発光性の画素とを三重項励起発光材料で形成し、青色の発光性の画素を一重項励起発光材料で形成しても良い。人間の視感度が高い緑色の発光素子も三重項励起発光材料で形成することで、より低消費電力化を図ることができる。

【0141】

EL層709は、発光波長帯の異なる発光層を画素毎に形成して、カラー表示を行う構成としても良い。典型的には、R(赤)、G(緑)、B(青)の各色に対応した発光層を形成する。この場合にも、画素の光放射側にその発光波長帯の光を透過するフィルターを設けた構成とすることで、色純度の向上や、画素部の鏡面化(映り込み)の防止を図ることができる。フィルターを設けることで、従来必要であるとされていた円偏光板などを省略することが可能となり、発光層から放射される光の損失を無くすことができる。さらに、斜方から画素部(表示画面)を見た場合に起こる色調の変化を低減することができる。

【0142】

なお、トランジスタとして、半導体層にポリシリコンを用いたものだけでなく、アモルファスシリコンを用いたものでもよい。

【0143】

そこで、次に、トランジスタの半導体層にアモルファスシリコン(a-Si:H)膜を用いた場合について説明する。図23にはトップゲートのトランジスタ、図24及び図25にはボトムゲートのトランジスタの場合について示す。

【0144】

アモルファスシリコンを半導体層に用いたトップゲート構造のトランジスタの断面を図23(a)に示す。に示すように、基板2801上に下地膜2802が形成されている。さらに下地膜2802上に画素電極2803が形成されている。また、画素電極2803と同層に同じ材料からなる第1の電極2804が形成されている。

【0145】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜2802としては、窒化アルミニウム(AlN)や酸化シリコン(SiO₂)、酸化窒化シリコン(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0146】

また、下地膜2802上に配線2805及び配線2806が形成され、画素電極2803の端部が配線2805で覆われている。配線2805及び配線2806の上部にN型の導電型を有するN型半導体層2807及びN型半導体層2808が形成されている。また、配線2806と配線2805の間であって、下地膜2802上に半導体層2809が形成されている。そして、半導体層2809の一部はN型半導体層2807及びN型半導体層2808上にまで延長されている。なお、この半導体層はアモルファスシリコン(a-Si:H)、微結晶半導体(μ-Si:H)等の非結晶性を有する半導体膜で形成されてい

10

20

30

40

50

る。また、半導体層 2809 上にゲート絶縁膜 2810 が形成されている。また、ゲート絶縁膜 2810 と同層の同じ材料からなる絶縁膜 2811 が第1の電極 2804 上にも形成されている。なお、ゲート絶縁膜 2810 としては酸化シリコン膜や窒化シリコン膜などが用いられる。

【0147】

また、ゲート絶縁膜 2810 上に、ゲート電極 2812 が形成されている。また、ゲート電極と同層に同じ材料でなる第2の電極 2813 が第1の電極 2804 上に絶縁膜 2811 を介して形成されている。第1の電極 2804 及び第2の電極 2813 で絶縁膜 2811 を挟まれた容量素子 2819 が形成されている。また、画素電極 2803 の端部、駆動トランジスタ 2818 及び容量素子 2819 を覆い、絶縁物 2814 が形成されている。

10

【0148】

絶縁物 2814 及びその開口部に位置する画素電極 2803 上に有機化合物を含む層 2815 及び対向電極 2816 が形成され、画素電極 2803 と対向電極 2816 とで有機化合物を含む層 2815 が挟まれた領域では発光素子 2817 が形成されている。

【0149】

また、図 23 (a) に示す第1の電極 2804 を図 23 (b) に示すように第1の電極 2820 で形成してもよい。第1の電極 2820 は配線 2805 及び 2806 と同層の同一材料で形成されている。

【0150】

また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた表示装置のパネルの部分断面を図 24 に示す。

20

【0151】

基板 2901 上に下地膜 2902 が形成されている。さらに下地膜 2902 上にゲート電極 2903 が形成されている。また、ゲート電極 2903 と同層に同じ材料からなる第1の電極 2904 が形成されている。ゲート電極 2903 の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【0152】

また、ゲート電極 2903 及び第1の電極 2904 を覆うようにゲート絶縁膜 2905 が形成されている。ゲート絶縁膜 2905 としては酸化シリコン膜や窒化シリコン膜などが用いられる。

30

【0153】

また、ゲート絶縁膜 2905 上に、半導体層 2906 が形成されている。また、半導体層 2906 と同層に同じ材料からなる半導体層 2907 が形成されている。

【0154】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜 2902 としては、窒化アルミニウム (AlN) や酸化シリコン (SiO₂)、酸化窒化シリコン (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【0155】

半導体層 2906 上にはN型の導電性を有するN型半導体層 2908、2909 が形成され、半導体層 2907 上にはN型半導体層 2910 が形成されている。

40

【0156】

N型半導体層 2908、2909、上にはそれぞれ配線 2911、2912 が形成され、N型半導体層 2910 上には配線 2911 及び 2912 と同層の同一材料からなる導電層 2913 が形成されている。

【0157】

半導体層 2907、N型半導体層 2910 及び導電層 2913 からなる第2の電極が構成される。なお、この第2の電極と第1の電極 2904 でゲート絶縁膜 2905 を挟み込んだ構造の容量素子 2920 が形成されている。

50

【0158】

また、配線 2911 の一方の端部は延在し、その延在した配線 2911 上部に接して画素電極 2914 が形成されている。

【0159】

また、画素電極 2914 の端部、駆動トランジスタ 2919 及び容量素子 2920 を覆うように絶縁物 2915 が形成されている。

【0160】

画素電極 2914 及び絶縁物 2915 上には有機化合物を含む層 2916 及び対向電極 2917 が形成され、画素電極 2914 と対向電極 2917 とで有機化合物を含む層 2916 が挟まれた領域では発光素子 2918 が形成されている。

10

【0161】

容量素子の第 2 の電極の一部となる半導体層 2907 及びN型半導体層 2910 は設けなくても良い。つまり第 2 の電極は導電層 2913 とし、第 1 の電極 2904 と導電層 2913 でゲート絶縁膜 2905 が挟まれた構造の容量素子としてもよい。

【0162】

なお、図 24 (a)において、配線 2911 を形成する前に画素電極 2914 を形成することで、図 24 (b)に示すような、画素電極 2914 と同じ材料からなる第 2 の電極 2921 と第 1 の電極 2904 でゲート絶縁膜 2905 が挟まれた構造の容量素子 2920 を形成することができる。

20

【0163】

なお、図 24 では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。チャネル保護構造のトランジスタの場合について、図 25 (a)、(b)を用いて説明する。

【0164】

図 25 (a)に示すチャネル保護型構造のトランジスタは図 24 (a)に示したチャネルエッチ構造の駆動トランジスタ 2919 の半導体層 2906 のチャネルが形成される領域上にエッチングのマスクとなる絶縁物 3001 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0165】

また、同様に、図 25 (b)に示すチャネル保護型構造のトランジスタは図 24 (b)に示したチャネルエッチ構造の駆動トランジスタ 2919 の半導体層 2906 のチャネルが形成される領域上にエッチングのマスクとなる絶縁物 3001 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

30

【0166】

本発明の画素を構成するトランジスタの半導体層（チャネル形成領域やソース領域やドレイン領域など）に非晶質半導体膜を用いることで、製造コストを削減することができる。例えば、図 6 や図 7 に示す画素構成を用いることで非晶質半導体膜を適用することができる。

【0167】

なお、本発明の画素構成の適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限られず、さまざまな構成のトランジスタの構造や、容量素子の構造のものを用いることができる。

40

【0168】

なお、本実施の形態で述べた内容は、実施の形態 1～4 で述べた内容と自由に組み合わせて実施することができる。

【0169】

(実施の形態 6)

本発明の表示装置における画素と駆動回路の構成を図 45～図 47 を参照して説明する。

【0170】

50

図45に本発明に係る表示パネルの構成を示す。この表示パネルは基板20上に、サブ画素を構成する表示領域30が複数配列された画素部21、走査線33の信号を制御する走査線駆動回路22、データ線31の信号を制御するデータ線駆動回路23を有している。また、サブ画素を構成する表示領域30に含まれる発光素子37の輝度変化を補正するためのモニタ回路24が設けられていても良い。発光素子37とモニタ回路24に含まれる発光素子は同じ構造を有している。発光素子37の構造は一対の電極間にエレクトロルミネセンスを発現する材料を含む層を挟んだ形となっている。

【0171】

基板20の周辺部には、走査線駆動回路22に外部回路から信号を入力する入力端子25、データ線駆動回路23に外部回路から信号を入力する入力端子26、モニタ回路24に信号を入力する入力端子29を有している。

10

【0172】

サブ画素を構成する表示領域30には、データ線31に接続するトランジスタ34と、電源線32と発光素子37との間に直列に挿入されて接続するトランジスタ35を含んでいる。トランジスタ34のゲートは走査線33の接続し、走査信号で選択されたとき、データ線31の信号を、サブ画素を構成する表示領域30に入力する。入力された信号はトランジスタ35のゲートに与えられ、また、保持容量部36を充電する。この信号に応じて、電源線32と発光素子37は導通状態となり、発光素子37が発光する。

【0173】

サブ画素を構成する表示領域に設けた発光素子37を発光させるためには外部回路から電力を供給する必要がある。画素部21に設けられる電源線32は、入力端子27で外部回路と接続される。電源線32は引き回す配線の長さにより抵抗損失が生じるので、入力端子27は基板20の周辺部に複数箇所設けることが好ましい。入力端子27は基板20の両端部に設け、画素部21の面内で輝度ムラが目立たないように配置されている。すなわち、画面の中で片側が明るく、反対側が暗くなってしまうことを防いでいる。また、一対の電極を備えた発光素子37であって、電源線32と接続する電極とは反対側の電極は、複数のサブ画素を構成する表示領域30で共有する共通電極として形成されるが、この電極の抵抗損失も低くするために、端子28を複数個備えている。

20

【0174】

次に、サブ画素を構成する表示領域30の一例を、図46、図47を参照して詳細に説明する。なお、図46はサブ画素を構成する表示領域30の上面図を示し、その図中に示す切断線A-B、C-D、E-Fに対応する縦断面図を図47に示す。以下の説明では、図46と図47の両者を参照して説明する。

30

【0175】

走査線33とデータ線31は異なる層で形成され、絶縁層57を挟んで交差している。走査線33は、ゲート絶縁層55を挟んで半導体層40と交差する部分で、トランジスタのゲート電極として機能する。この場合、トランジスタ34を、半導体層40の配置に合わせて、走査線33を分岐させて複数箇所で半導体層40と交差部を設けると、一対のソースとドレイン間に複数のチャネル形成領域が直列に配列する所謂マルチゲートトランジスタとすることができます。

40

【0176】

トランジスタ35と接続する電源線32は抵抗が低いことが望まれるので、特に抵抗率の低いAlやCuなどを用いることが好ましい。Cu配線を形成する場合は、バリア層と組み合わせて絶縁層中に形成することができる。図47では、基板20上であって、半導体層41よりも下層に形成する一例を示している。基板20の表面にはバリア層50が形成され、基板20に含まれるアルカリ金属などの不純物のしみ出しを防いでいる。電源線32は、絶縁層51に形成された開孔にバリア層52とCu層59によって形成されている。バリア層52は、タンタル(Ta)、窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)などによって形成されている。Cu層59は、シード層をスパッタリングで形成した後、メッキにより1~5μmの厚さに堆積され、化学的機械研

50

磨により平坦化処理がされている。すなわち、ダマシンプロセスを用いることにより絶縁層 51 に埋め込まれた形状にすることができる。

【0177】

絶縁層 51 上には、半導体層 40、41 にとっての下地絶縁層が形成されている。下地絶縁層の構成は限定されないが、窒化シリコン層 53 と酸化シリコン層 54 で形成されていることが好ましい。その他、絶縁層の構成として、半導体層 40、41 の上層には、ゲート絶縁層 55 の他に、絶縁層 56 が、窒化シリコンなどで形成され、保護膜として用いられている。

【0178】

電源線 32 とトランジスタ 35 の接続は、上記した絶縁層を貫通するコンタクトホールを開けて、配線 45 により接続されている。また、ゲート電極 42 は、配線 44 によって、トランジスタ 34 と接続している。トランジスタ 34、35 のゲート電極は、複数の層を積層して形成しても良い。例えば、第 1 の導電層と第 2 の導電層の組み合わせは、ゲート絶縁層との密着性と抵抗率を考慮して組み合わせても良いし、上下の層の形状を変えて（例えば、ひさしの付いた帽子型の形状として）自己整合的に半導体層にソース領域、ドレイン領域及び低濃度不純物（LDD）領域を形成することができる構造としても良い。

【0179】

また、ゲート電極 42 が延長されることによって設けられる保持容量部 36 の電極 43 は、第 1 の導電層と第 2 の導電層の組み合わせを利用して、第 1 の導電層による薄膜部を設け、その下層にある半導体層に一導電型の不純物を添加して、低抵抗化しておくことが好ましい。すなわち、保持容量部 36 は、ゲート電極 42 が延長されることによって設けられる保持容量部 36 の電極 43 と、トランジスタ 35 の半導体層 41 が延長された半導体層 60 と、それらに挟まれるゲート絶縁層 55 によって形成されるが、半導体層 60 に一導電型の不純物を添加して、低抵抗化しておくことで、有効に機能させることができる。

【0180】

発光素子の画素電極はトランジスタ 35 の半導体層 41 と直接コンタクトを形成しても良いが、図 47 に図示するように、配線 46 を介して接続することができる。この場合、配線 46 の端部に複数の段差形状を設けることにより、画素電極 47 との接触面積を増やすことが出来るので好ましい。このような段差形状は、スリットや半透過膜などの減光手段を用いたフォトマスクを用いることにより形成することができる。

【0181】

本実施の形態で示す表示パネルは、電源線が Cu などの低抵抗材料で形成されているので、特に画面サイズが大型化したときに有効である。例えば、画面サイズが 13 インチクラスの場合対角線の長さは 340 mm であるが、60 インチクラスの場合には 1500 mm 以上となる。このような場合には、配線抵抗を無視することが出来ないので、Cu などの低抵抗材料を配線に用いることが好ましい。また、配線遅延を考慮すると、同様にしてデータ線や走査線を形成しても良い。

【0182】

なお、本実施の形態で述べた内容は、実施の形態 1～5 で述べた内容と自由に組み合わせて実施することができる。

【0183】

（実施の形態 7）

本実施の形態は、表示パネルを製造するときに用いる蒸着装置について図面を参照して説明する。

【0184】

表示パネルは、トランジスタによって画素回路及び／又は駆動回路が形成された素子基板に、EL 層を形成して製造される。EL 層はエレクトロルミネセンスを発現する材料を少なくとも一部に含んで形成される。EL 層は機能の異なる複数の層で構成されても良い。その場合、EL 層は、正孔注入輸送層、発光層、電子注入輸送層などとも呼ばれる機能

10

20

30

40

50

の異なる層を組み合わせて構成する場合がある。

【0185】

トランジスタが形成された素子基板に、EL層を形成するための蒸着装置の構成を図48に示す。この蒸着装置は、搬送室60、61に複数の処理室を連結している。処理室には、基板を供給するロード室62、基板を回収するアンロード室63、その他、加熱処理室68、プラズマ処理室72、EL材料を蒸着する成膜処理室69～71、73～75、EL素子の一方の電極として、アルミニウム若しくはアルミニウムを主成分とする導電膜を形成する成膜処理室76を含んでいる。また、搬送室と各処理室の間にはゲートバルブ77a～77mが設けられていて、各処理室の圧力は独立して制御可能とされており、処理室間の相互汚染を防いでいる。

10

【0186】

ロード室62から搬送室60に導入された基板は、回転自在に設けられたアーム方式の搬送手段66により、所定の処理室へ搬入される。また、基板は搬送手段66により、ある処理室から他の処理室へ搬送される。搬送室60と搬送室61とは成膜処理室70で連結され、ここで搬送手段66と搬送手段67により基板の受け渡しが行う。

【0187】

搬送室60及び搬送室61に連結する各処理室は減圧状態に保持されている。従って、この蒸着装置では、基板は大気に触れることなく連続してEL層の成膜処理が行われる。EL層の成膜処理が終わった表示パネルは、水蒸気などにより劣化する場合があるので、この蒸着装置では、品質を保持するために大気に触れさせる前に封止処理を行うための封止処理室65が搬送室61に連結されている。封止処理室65は大気圧若しくはそれに近い減圧下におかれているので、搬送室61と封止処理室65の間に中間処理室64が備えられている。中間処理室64は基板の受け渡しと、室間の圧力を緩衝するために設けられている。

20

【0188】

ロード室、アンロード室、搬送室及び成膜処理室には室内を減圧に保持するための排気手段が備えられている。排気手段としては、ドライポンプ、ターボ分子ポンプ、拡散ポンプなど各種の真空ポンプを用いることができる。

【0189】

図48の蒸着装置において、搬送室60及び搬送室61に連結される処理室の数やその構成は、EL素子の積層構造に応じて適宜組み合わせることができる。以下に、その組み合わせの一例を示す。

30

【0190】

加熱処理室68は、最初に下部電極や絶縁隔壁等が形成された基板を加熱して脱ガス処理を行う。プラズマ処理室72は、下地電極表面を希ガスや酸素プラズマ処理を行う。このプラズマ処理は、表面を清浄化、表面状態の安定化、表面の物理的若しくは化学的状態（例えば、仕事関数など）を安定化させるために行う。

【0191】

成膜処理室69は、EL素子の一方の電極と接触する電極バッファ層を形成する処理室である。電極バッファ層はキャリア注入性（正孔注入若しくは電子注入）があり、EL素子の短絡や暗点欠陥の発生を抑制する層である。代表的には、電極バッファ層は、有機無機混合材料であって、抵抗率が $5 \times 10^4 \sim 1 \times 10^6 \text{ cm}$ であり、 $30 \sim 300 \text{ nm}$ の厚さに形成される。また、成膜処理室71は正孔輸送層を成膜する処理室である。

40

【0192】

EL素子における発光層は、単色発光をする場合と白色発光をする場合とで、その構成が異なる。蒸着装置において成膜処理室も発光色に応じて配置することが好ましい。例えば、表示パネルに発光色が異なる三種類のEL素子を形成する場合には、各発光色に対応した発光層を成膜する必要がある。この場合、成膜処理室70を第1の発光層の成膜用として、成膜処理室73を第2の発光層の成膜用として、成膜処理室74を第3の発光層の成膜用として用いることができる。発光層ごとに成膜処理室を分けることで、異なる発光

50

材料による相互汚染を防止することが出来、成膜処理のスループットを向上させることが出来る。

【0193】

また、成膜処理室70、成膜処理室73、成膜処理室74のそれそれで、発光色が異なる三種類のEL材料を順次蒸着しても良い。この場合、シャドーマスクを使い、蒸着する領域に応じて当該マスクをずらして蒸着を行うことになる。

【0194】

白色発光するEL素子を形成する場合には、異なる発光色の発光層を縦積みにして形成する。その場合にも、素子基板が成膜処理室を順次移動して、発光層ごとに成膜することができる。また、同じ成膜処理室で異なる発光層を連続して成膜することもできる。

10

【0195】

成膜処理室76では、EL層の上に電極を成膜する。電極の形成は、電子ビーム蒸着法やスパッタリング法を適用することもできるが、好ましくは抵抗加熱蒸着法を用いることが好ましい。

【0196】

電極の形成まで終了した素子基板は、中間処理室64を経て封止処理室65に搬入される。封止処理室65は、ヘリウム、アルゴン、ネオン、若しくは窒素などの不活性な気体が充填されており、その雰囲気下で素子基板のEL層が形成された側に封止板を貼り付けて封止する。封止された状態において、素子基板と封止板との間の空間には、不活性気体が充填されていても良いし、樹脂材料を充填しておいても良い。封止処理室65には、シール材を描画するディスペンサーヤ、素子基板に対向して封止板を固定する固定ステージやアームなどの機械的要素、樹脂材料を充填するディスペンサー若しくはスピンドルなどが備えられている。

20

【0197】

図49は、成膜処理室の内部構成を示す。成膜処理室は減圧下に保たれていて、図49では天板91と底板92で挟まれる内側が室内であり、減圧状態に保たれる室内を示している。

【0198】

処理室内には、一つ又は複数個の蒸発源が備えられている。組成の異なる複数の層を成膜する場合や、異なる材料を共蒸着する場合は、複数個の蒸発源を設けることが好ましいからである。図49では、蒸発源81a、81b、81cが蒸発源ホルダ80に装着されている。蒸発源ホルダ80は多関節アーム83によって保持されている。多関節アーム83は関節の伸縮によって、蒸発源ホルダ80の位置をその可動範囲内で自在に移動可能としている。また、蒸発源ホルダ80に距離センサー82を設け、蒸発源81a～81cと基板89との間隔をモニターして、蒸着時における最適な間隔を制御しても良い。その場合には、多関節アームに上下方向(Z方向)にも変位する多関節アームとしても良い。

30

【0199】

基板ステージ86と基板チャック87は一対となって基板89を固定する。基板ステージ86はヒータを内蔵させて基板89を加熱できるように構成しても良い。基板89は、基板チャック87により、基板ステージ86に固定されまた搬出入される。蒸着に際しては、必要に応じて蒸着するパターンに対応して開口部を備えたシャドーマスク90を用いることもできる。その場合、シャドーマスク90は、基板89と蒸発源81a～81cの間に配置されるようにする。シャドーマスク90はマスクチャック88により、基板89と密着若しくは一定の間隔を持って固定される。シャドーマスク90のアライメントが必要な場合には、処理室内にカメラを配置し、マスクチャック88にX-Y-方向に微動する位置決め手段を備えることで、その位置合わせを行う。

40

【0200】

蒸発源81には、蒸着材料を蒸発源に連続して供給する蒸着材料供給手段が付加されている。蒸着材料供給手段は、蒸発源81と離れた位置に配置される蒸着材料供給源85a、85b、85cと、その両者の間を繋ぐ材料供給管84を有している。典型的には、材

50

料供給源 85a、85b、85c は蒸発源 81 に対応して設けられている。図 49 の場合は、材料供給源 85a と蒸発源 81a が対応している。材料供給源 85b と蒸発源 81b、材料供給源 85c と蒸発源 81c についても同様である。

【0201】

蒸着材料の供給方式には、気流搬送方式、エアロゾル方式などが適用できる。気流搬送方式は、蒸着材料の微粉末を気流に乗せて搬送するもので、不活性ガスなどを用いて蒸発源 81 に搬送する。エアロゾル方式は、蒸着材料を溶剤中に溶解または分散させた原料液を搬送し、噴霧器によりエアロゾル化し、エアロゾル中の溶媒を気化させながら行う蒸着である。いずれの場合にも、蒸発源 81 には加熱手段が設けられ、搬送された蒸着材料を蒸発させて基板 89 に成膜する。図 49 の場合、材料供給管 84 は柔軟に曲げることができ、減圧状態下においても変形しない程度の剛性を持った細管で構成されている。

10

【0202】

気流搬送方式やエアロゾル方式を適用する場合には、成膜処理室内を大気圧若しくはそれ以下であって、好ましくは 133Pa ~ 13300Pa の減圧下で成膜を行えば良い。成膜処理室内にはヘリウム、アルゴン、ネオン、クリプトン、キセノン、若しくは窒素などの不活性気体を充填し、または当該気体を供給しながら（同時に排気しながら）、圧力の調節を行うことができる。また、酸化膜を形成する成膜処理室では、酸素、亜酸化窒素などの気体を導入して酸化雰囲気としておいても良い。また、有機材料を蒸着する成膜処理室内には水素などの気体を導入して還元雰囲気にしておいても良い。

20

【0203】

その他の蒸着材料の供給方法として、材料供給管 84 の中にスクリューを設け蒸着材料を蒸発源に向けて連続的に押し出す構成としても良い。

【0204】

本実施の形態の蒸着装置によれば、大画面の表示パネルであっても、均一性良く、連続して成膜することができる。また、蒸発源に蒸着材料が無くなる度に、その都度蒸着材料を補給する必要がないので、スループットを向上することができる。

【0205】

なお、本実施の形態で述べた内容は、実施の形態 1 ~ 6 で述べた内容と自由に組み合わせて実施することができる。

【0206】

30

（実施の形態 8）

本実施の形態では、実施の形態 1 から実施の形態 5 までで述べた表示装置を制御するハードウェアについて述べる。

【0207】

大まかな構成図を図 26 に示す。基板 2701 の上に、画素配列 2704 が配置されている。ソースドライバ 2706 やゲートドライバ 2705 が配置されている場合が多い。それ以外にも、電源回路やプリチャージ回路やタイミング生成回路などが配置されていることもある。また、ソースドライバ 2706 やゲートドライバ 2705 が配置されていない場合もある。その場合は、基板 2701 に配置されていないものは、IC に形成されることが多い。その IC は、基板 2701 の上に、COG (Chip On Glass) によって配置されている場合も多い。あるいは、周回路基板 2702 と基板 2701 を接続する接続基板 2707 の上に、IC が配置される場合もある。

40

【0208】

つまり、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、回路が、全てガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI 基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。あるいは、駆動回路の一部が、ある基板に形成されており、の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていてもよい。例えば、図 26 などにおいて、画素配列とゲートドライバとは、ガラ

50

ス基板上に TFT を用いて形成し、ソースドライバ（もしくはその一部）は、単結晶基板上に形成し、その IC チップを COG (C h i p O n G l a s s) で接続してガラス基板上に配置してもよい。あるいは、その IC チップを TAB (T a p e A u t o B o n d i n g) やプリント基板を用いてガラス基板と接続してもよい。

【 0 2 0 9 】

周辺回路基板 2702 には、信号 2703 が入力される。そして、コントローラ 2708 が制御して、メモリ 2709 やメモリ 2710 などに信号が保存される。信号 2703 がアナログ信号の場合は、アナログ・デジタル変換を行った後、そして、メモリ 2709 やメモリ 2710 などに保存されることが多い。そして、コントローラ 2708 がメモリ 2709 やメモリ 2710 などに保存された信号を用いて、基板 2701 に信号を出力する。

10

【 0 2 1 0 】

実施の形態 1 から実施の形態 5 までで述べた駆動方法を実現するために、コントローラ 2708 が、各種のパルス信号などを制御して、基板 2701 に信号を出力する。

【 0 2 1 1 】

なお、本実施の形態で述べた内容は、実施の形態 1 ~ 7 で述べた内容と自由に組み合わせて実施することができる。

【 0 2 1 2 】

(実施の形態 9)

本発明の表示装表示部に有する携帯電話の構成例について図 27 を用いて説明する。

20

【 0 2 1 3 】

表示パネル 5410 はハウジング 5400 に脱着自在に組み込まれる。ハウジング 5400 は表示パネル 5410 のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル 5410 を固定したハウジング 5400 はプリント基板 5401 に嵌入されモジュールとして組み立てられる。

【 0 2 1 4 】

表示パネル 5410 は F P C 5411 を介してプリント基板 5401 に接続される。プリント基板 5401 には、スピーカ 5402、マイクロフォン 5403、送受信回路 5404、C P U 及びコントローラなどを含む信号処理回路 5405 が形成されている。このようなモジュールと、入力手段 5406、バッテリ 5407 を組み合わせ、筐体 5409 に収納する。表示パネル 5410 の画素部は筐体 5412 に形成された開口窓から視認できよう配置する。

30

【 0 2 1 5 】

表示パネル 5410 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上に TFT を用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を IC チップ上に形成し、その IC チップを COG (C h i p O n G l a s s) で表示パネル 5410 に実装しても良い。あるいは、その IC チップを TAB (T a p e A u t o B o n d i n g) やプリント基板を用いてガラス基板と接続してもよい。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成した IC チップを COG 等で実装した表示パネルの構成は図 28 (a) に一例を示してある。なお、図 28 (a) の表示パネルは、基板 5300、信号線駆動回路 5301、画素部 5302、第 1 の走査線駆動回路 5303、第 2 の走査線駆動回路 5304、F P C 5305、IC チップ 5306、IC チップ 5307、封止基板 5308、シール材 5309 を有し、IC チップに形成された信号線駆動回路 5301 が COG 等で実装されている。このような構成とすることで、表示装置の低消費電力を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

40

【 0 2 1 6 】

また、走査線や信号線に設定する信号をバッファによりインピーダンス変換することで、1 行毎の画素の書き込み時間を短くすることができる。よって高精細な表示装置を提供す

50

ることができる。

【0217】

また、さらに消費電力の低減を図るため、基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG (Chip On Glass)などで表示パネルに実装しても良い。

【0218】

そして、本発明の表示装置を用いることにより、コントラストの高い綺麗な画像で見ることが出来る。

【0219】

また、本実施の形態に示した構成は携帯電話の一例であって、本発明の表示装置はこのような構成の携帯電話に限られず様々な構成の携帯電話に適用することができる。 10

【0220】

なお、本実施の形態で述べた内容は、実施の形態1～8で述べた内容と自由に組み合わせて実施することができる。

【0221】

(実施の形態10)

図29は表示パネル5701と、回路基板5702を組み合わせたELモジュールを示している。表示パネル5701は画素部5703、走査線駆動回路5704及び信号線駆動回路5705を有している。回路基板5702には、例えば、コントロール回路5706や信号分割回路5707などが形成されている。表示パネル5701と回路基板5702は接続配線5708によって接続されている。接続配線にはFPC等を用いることができる。 20

【0222】

コントロール回路5706が、実施の形態8における、コントローラ2708やメモリ2709やメモリ2710などに相当する。主に、コントロール回路5706において、サブフレームの出現順序などを制御している。

【0223】

表示パネル5701は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にTFTを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG (Chip On Glass)などで表示パネル5701に実装するとよい。あるいは、そのICチップをTAB (Tape Auto Bonding)やプリント基板を用いて表示パネル5701に実装しても良い。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したICチップをCOG等で実装した構成は図28(a)に一例を示してある。このような構成とすることで、表示装置の低消費電力を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。 30

【0224】

また、走査線や信号線に設定する信号をバッファによりインピーダンス変換することで、1行毎の画素の書き込み時間を短くすることができる。よって高精細な表示装置を提供することができる。 40

【0225】

また、さらに消費電力の低減を図るため、ガラス基板上にTFTを用いて画素部を形成し、全ての信号線駆動回路をICチップ上に形成し、そのICチップをCOG (Chip On Glass)表示パネルに実装してもよい。

【0226】

なお、基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG (Chip On Glass)で表示パネルに実装するとよい。なお、基板上に画素部を形成し、その基板上に信号線駆動回路を形成したICチップをCOG等で実装した構成は図28(b)に一例を示してある。なお、図28(b) 50

の表示パネルは、基板 5310、信号線駆動回路 5311、画素部 5312、第1の走査線駆動回路 5313、第2の走査線駆動回路 5314、FPC 5315、ICチップ 5316、ICチップ 5317、封止基板 5318、シール材 5319を有し、ICチップに形成された信号線駆動回路 5311、第1の走査線駆動回路 5313及び第2の走査線駆動回路 5314がCOG等で実装されている。

【0227】

このELモジュールによりELテレビ受像機を完成させることができる。図30は、ELテレビ受像機の主要な構成を示すブロック図である。チューナ5801は映像信号と音声信号を受信する。映像信号は、映像信号增幅回路 5802と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 5803と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路 5706により処理される。コントロール回路 5706は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路 5707を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0228】

チューナ5801で受信した信号のうち、音声信号は音声信号增幅回路 5804に送られ、その出力は音声信号処理回路 5805を経てスピーカー 5806に供給される。制御回路 5807は受信局（受信周波数）や音量の制御情報を入力部 5808から受け、チューナ5801や音声信号処理回路 5805に信号を送出する。

【0229】

ELモジュールを筐体に組みこんで、テレビ受像機を完成させることができる。ELモジュールにより、表示部が形成される。また、スピーカー、ビデオ入力端子などが適宜備えられている。

【0230】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【0231】

このように、本発明の表示装置を用いることにより、コントラストの高い綺麗な画像で見ることが出来る。

【0232】

なお、本実施の形態で述べた内容は、実施の形態1～9で述べた内容と自由に組み合わせて実施することができる。

【0233】

（実施の形態11）

本実施形態では、トランジスタを始めとする半導体装置を作製する方法として、プラズマ処理を用いて半導体装置を作製する方法について説明する。

【0234】

図32は、トランジスタを含む半導体装置の構造例を示した図である。なお、図32において、図32（B）は図32（A）のa-b間の断面図に相当し、図32（C）は図32（A）のc-d間の断面図に相当する。

【0235】

図32に示す半導体装置は、基板 4601上に絶縁膜 4602を介して設けられた半導体膜 4603a、4603bと、当該半導体膜 4603a、4603b上にゲート絶縁膜 4604を介して設けられたゲート電極 4605と、ゲート電極を覆って設けられた絶縁膜 4606、4607と、半導体膜 4603a、4603bのソース領域またはドレイン領域と電気的に接続し且つ絶縁膜 4607上に設けられた導電膜 4608とを有している。なお、図32においては、半導体膜 4603aの一部をチャネル領域として用いたNチャネル型トランジスタ 4610aと半導体膜 4603bの一部をチャネル領域として用いたPチャネル型トランジスタ 4610bとを設けた場合を示しているが、この構成に限られ

10

20

30

40

50

ない。例えば、図32では、Nチャネル型トランジスタ4610aにLDD領域を設け、Pチャネル型トランジスタ4610bにはLDD領域を設けていないが、両方に設けた構成としてもよいし両方に設けない構成とすることも可能である。

【0236】

なお、本実施の形態では、上記基板4601、絶縁膜4602、半導体膜4603aおよび4603b、ゲート絶縁膜4604、絶縁膜4606または絶縁膜4607のうち少なくともいずれか一層に、プラズマ処理を用いて酸化または窒化を行うことにより半導体膜または絶縁膜を酸化または窒かすることによって、図32に示した半導体装置を作製する。このように、プラズマ処理を用いて半導体膜または絶縁膜を酸化または窒化することによって、当該半導体膜または絶縁膜の表面を改質し、CVD法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。

10

【0237】

なお、本実施形態では、上記図32における半導体膜4603aおよび4603bまたはゲート絶縁膜4604にプラズマ処理を行い、当該半導体膜4603aおよび4603bまたはゲート絶縁膜4604を酸化または窒化することによって半導体装置を作製する方法について図面を参照して説明する。

【0238】

はじめに、基板上に設けられた島状の半導体膜において、当該島状の半導体膜の端部を直角に近い形状で設ける場合について示す。

20

【0239】

まず、基板4601上に島状の半導体膜4603a、4603bを形成する（図33（A））。島状の半導体膜4603a、4603bは、基板4601上にあらかじめ形成された絶縁膜4602上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン（Si）を主成分とする材料（例えばSi_xGe_{1-x}等）等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の結晶化法により行うことができる。なお、図33では、島状の半導体膜4603a、4603bの端部を直角に近い形状（=85~100°）で設ける。

30

【0240】

次に、プラズマ処理を行い半導体膜4603a、4603bを酸化または窒化することによって、当該半導体膜4603a、4603bの表面にそれぞれ絶縁膜4621a、絶縁膜4621bを形成する（図33（B））。なお、絶縁膜4621a、絶縁膜4621bには酸化膜または窒化膜を用いることができる。例えば、半導体膜4603a、4603bとしてSiを用いた場合、絶縁膜4621aおよび絶縁膜4621bとして、酸化シリコン（SiO_x）または窒化シリコン（SiN_x）が形成される。また、プラズマ処理により半導体膜4603a、4603bを酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜4603a、4603bに接して酸化シリコン（SiO_x）が形成され、当該酸化シリコンの表面に窒化酸化シリコン（SiN_xO_y）（x>y）が形成される。なお、プラズマ処理により半導体膜を酸化する場合には、酸素雰囲気下（例えば、酸素（O₂）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または酸素と水素（H₂）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下（例えば、窒素（N₂）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または窒素と水素と希ガス雰囲気下またはNH₃と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、絶縁膜4621a、4621bは、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少な

40

50

くとも一つを含む)を含んでおり、Arを用いた場合には絶縁膜4621a、4621bにArが含まれている。

【0241】

また、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が0.5eV以上1.5eV以下で行う。プラズマの電子密度が高密度であり、基板4601上に形成された被処理物(ここでは、半導体膜4603a、4603b)付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化物または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が1eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波(2.45GHz)等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【0242】

次に、絶縁膜4621a、4621bを覆うようにゲート絶縁膜4604を形成する(図33(C))。ゲート絶縁膜4604は、スパッタ法、LPCVD法、プラズマCVD法等を用いて、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)(x>y)、窒化酸化シリコン(SiN_xO_y)(x>y)等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。例えば、半導体膜4603a、4603bとしてSiを用い、プラズマ処理により当該Siを酸化させることによって当該半導体膜4603a、4603b表面に絶縁膜4621a、4621bとして酸化シリコンを形成した場合、当該絶縁膜4621a、4621b上にゲート絶縁膜として酸化シリコン(SiO_x)を形成する。また、上記図33(B)において、プラズマ処理により半導体膜4603a、4603bを酸化または窒化することによって形成された絶縁膜4621a、4621bの膜厚が十分である場合には、当該絶縁膜4621a、4621bをゲート絶縁膜として用いることも可能である。

【0243】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャネル領域として用いたNチャネル型トランジスタ4610a、Pチャネル型トランジスタ4610bを有する半導体装置を作製することができる(図33(D))。

【0244】

このように、半導体膜4603a、4603b上にゲート絶縁膜4604を設ける前に、プラズマ処理により半導体膜4603a、4603bの表面を酸化または窒化することによって、チャネル領域の端部4651a、4651b等におけるゲート絶縁膜4604の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。つまり、島状の半導体膜の端部が直角に近い形状(=85~100°)を有する場合には、CVD法やスパッタ法等により半導体膜を覆うようにゲート絶縁膜を形成した際に、半導体膜の端部においてゲート絶縁膜の段切れ等による被覆不良の問題が生じる恐れがあるが、あらかじめ半導体膜の表面にプラズマ処理を用いて酸化または窒化しておくことによって、半導体膜の端部におけるゲート絶縁膜の被覆不良等を防止することが可能となる。

【0245】

また、上記図33において、ゲート絶縁膜4604を形成した後にプラズマ処理を行うことによって、ゲート絶縁膜4604を酸化または窒化させてもよい。この場合、半導体膜4603a、4603bを覆うように形成されたゲート絶縁膜4604(図34(A))にプラズマ処理を行い、ゲート絶縁膜4604を酸化または窒化することによって、ゲー

ト絶縁膜4604の表面に絶縁膜4623を形成する(図34(B))。なお、絶縁膜4623には酸化膜または窒化膜を用いることができる。以下、プラズマ処理の条件は、上記図33(B)と同様に行うことができる。また、絶縁膜4623は、プラズマ処理に用いた希ガスを含んでおり、例えばArを用いた場合には絶縁膜4623にArが含まれている。

【0246】

また、図34(B)において、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。この場合、半導体膜4603a、4603bに酸化シリコン(SiO_x)または酸化窒化シリコン(SiO_xN_y)(x>y)が形成され、ゲート電極4605に接して窒化酸化シリコン(SiN_xO_y)(x>y)が形成される。その後、絶縁膜4623上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャネル領域として用いたNチャネル型トランジスタ4610a、Pチャネル型トランジスタ4610bを有する半導体装置を作製することができる(図34(C))。このように、ゲート絶縁膜にプラズマ処理を行うことにより、当該ゲート絶縁膜の表面を酸化または窒化することによって、ゲート絶縁膜の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、CVD法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、トランジスタの特性を向上させることができる。

【0247】

なお、図34においては、あらかじめ半導体膜4603a、4603bにプラズマ処理を行うことによって、当該半導体膜4603a、4603bの表面を酸化または窒化させた場合を示したが、半導体膜4603a、4603bにプラズマ処理を行わずにゲート絶縁膜4604を形成した後にプラズマ処理を行う方法を用いてもよい。このように、ゲート電極を形成する前にプラズマ処理を行うことによって、半導体膜の端部においてゲート絶縁膜の段切れ等による被覆不良が生じた場合であっても、被覆不良により露出した半導体膜を酸化または窒化することができるため、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。

【0248】

このように、島状の半導体膜の端部を直角に近い形状で設けた場合であっても、半導体膜またはゲート絶縁膜にプラズマ処理を行い、当該半導体膜またはゲート絶縁膜を酸化または窒化することによって、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。

【0249】

次に、基板上に設けられた島状の半導体膜において、当該島状の半導体膜の端部をテープー形状(=30~85°未満)で設ける場合について示す。

【0250】

まず、基板4601上に島状の半導体膜4603a、4603bを形成する(図35(A))。島状の半導体膜4603a、4603bは、基板4601上にあらかじめ形成された絶縁膜4602上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えばSi_xGe_{1-x}等)等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜をレーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの結晶化法により結晶化させ、選択的に半導体膜をエッティングして除去することにより設けることができる。なお、図35では、島状の半導体膜の端部をテープー形状(=30~85°未満)で設ける。

【0251】

次に、半導体膜4603a、4603bを覆うようにゲート絶縁膜4604を形成する(図35(B))。ゲート絶縁膜4604は、スパッタ法、LPCVD法、プラズマCVD法等を用いて、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコ

10

20

30

40

50

ン ($\text{SiO}_{x\text{--}}\text{N}_y$) ($x > y$) 、窒化酸化シリコン ($\text{SiN}_{x\text{--}}\text{O}_y$) ($x > y$) 等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。

【0252】

次に、プラズマ処理を行いゲート絶縁膜4604を酸化または窒化することによって、当該ゲート絶縁膜4604の表面に絶縁膜4624を形成する(図35(C))。なお、ゲート絶縁膜4604に酸化膜または窒化膜を用いることができる。以下、なお、プラズマ処理の条件は上記と同様に行うことができる。例えば、ゲート絶縁膜4604として酸化シリコン (SiO_x) または酸化窒化シリコン ($\text{SiO}_{x\text{--}}\text{N}_y$) ($x > y$) を用いた場合、酸素雰囲気下でプラズマ処理を行いゲート絶縁膜4604を酸化することによって、ゲート絶縁膜の表面にはCVD法やスパッタ法等により形成されたゲート絶縁膜と比較して10ピンホール等の欠陥の少ない緻密な膜を形成することができる。一方、窒素雰囲気下でプラズマ処理を行いゲート絶縁膜4604を窒化することによって、ゲート絶縁膜4604の表面に絶縁膜4624として窒化酸化シリコン ($\text{SiN}_{x\text{--}}\text{O}_y$) ($x > y$) を設けることができる。また、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。また、絶縁膜4624は、プラズマ処理に用いた希ガスを含んでおり、例えばArを用いた場合には絶縁膜4624中にArが含まれている。

【0253】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャネル領域として用いたNチャネル型トランジスタ4610a、Pチャネル型トランジスタ4610bを有する半導体装置を作製することができる(図35(D))。

【0254】

このように、ゲート絶縁膜にプラズマ処理を行うことにより、ゲート絶縁膜の表面に酸化膜または窒化膜からなる絶縁膜を設け、ゲート絶縁膜の表面の改質をすることができる。プラズマ処理を行うことによって酸化または窒化された絶縁膜は、CVD法やスパッタ法で形成されたゲート絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、トランジスタの特性を向上させることができる。また、半導体膜の端部をテーパー形状とすることによって、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を抑制することができるが、ゲート絶縁膜を形成した後にプラズマ処理を行うことによって、より一層ゲート電極と半導体膜のショート等を防止することができる。30

【0255】

次に、図35とは、異なる半導体装置の作製方法に関して図面を参照して説明する。具体的には、テーパー形状を有する半導体膜の端部に選択的にプラズマ処理を行う場合について示す。

【0256】

まず、基板4601上に島状の半導体膜4603a、4603bを形成する(図36(A))。島状の半導体膜4603a、4603bは、基板4601上にあらかじめ形成された絶縁膜4602上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン (Si) を主成分とする材料(例えば $\text{Si}_{x\text{--}}\text{Ge}_{1\text{--}}\text{x}$ 等)等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、レジスト4625a、4625bをマスクとして半導体膜を選択的にエッティングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTA又はファーネスアニュール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の結晶化法により行うことができる。

【0257】

次に、半導体膜のエッティングのために使用したレジスト4625a、4625bを除去する前に、プラズマ処理を行い島状の半導体膜4603a、4603bの端部を選択的に酸化または窒化することによって、当該半導体膜4603a、4603bの端部にそれぞれ

10

20

30

40

50

絶縁膜4626を形成する(図36(B))。なお、絶縁膜4626には酸化膜または窒化膜を用いることができる。以下、プラズマ処理は、上述した条件下で行う。また、絶縁膜4626は、プラズマ処理に用いた希ガスを含んでいる。

【0258】

次に、半導体膜4603a、4603bを覆うようにゲート絶縁膜4604を形成する(図36(C))。ゲート絶縁膜4604は、上記と同様に設けることができる。

【0259】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャネル領域として用いたNチャネル型トランジスタ4610a、Pチャネル型トランジスタ4610bを有する半導体装置を作製することができる(図36(D))。

【0260】

半導体膜4603a、4603bの端部をテーパー形状に設けた場合、半導体膜4603a、4603bの一部に形成されるチャネル領域の端部4652a、4652bもテーパー形状となり半導体膜の膜厚やゲート絶縁膜の膜厚が中央部分と比較して変化するため、トランジスタの特性に影響を及ぼす場合がある。そのため、ここではプラズマ処理によりチャネル領域の端部を選択的に酸化または窒化して、当該チャネル領域の端部となる半導体膜に絶縁膜を形成することによって、チャネル領域の端部に起因するトランジスタへの影響を低減することができる。

【0261】

なお、図36では、半導体膜4603a、4603bの端部に限ってプラズマ処理により酸化または窒化を行った例を示したが、もちろん上記図35で示したようにゲート絶縁膜4604にもプラズマ処理を行って酸化または窒化させることも可能である(図38(A))。

【0262】

次に、上記とは異なる半導体装置の作製方法に関して図面を参照して説明する。具体的には、テーパー形状を有する半導体膜にプラズマ処理を行う場合に関して示す。

【0263】

まず、基板4601上に上記と同様に島状の半導体膜4603a、4603bを形成する(図37(A))。

【0264】

次に、プラズマ処理を行い半導体膜4603a、4603bを酸化または窒化することによって、当該半導体膜4603a、4603bの表面にそれぞれ絶縁膜4627a、絶縁膜4627bを形成する(図37(B))。なお、絶縁膜4627a、絶縁膜4627bには酸化膜または窒化膜を用いることができる。プラズマ処理は上述した条件下で同様に行うことができる。例えば、半導体膜4603a、4603bとしてSiを用いた場合、絶縁膜4627aおよび絶縁膜4627bとして、酸化シリコン(SiO_x)または窒化シリコン(SiN_x)が形成される。また、プラズマ処理により半導体膜4603a、4603bを酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜4603a、4603bに接して酸化シリコン(SiO_x)または酸化窒化シリコン(SiO_xN_y)(x>y)が形成され、当該酸化シリコンの表面に窒化酸化シリコン(SiN_xO_y)(x>y)が形成される。そのため、絶縁膜4627a、4627bは、プラズマ処理に用いた希ガスを含んでいる。なお、プラズマ処理を行うことにより半導体膜4603a、4603bの端部も同時に酸化または窒化される。

【0265】

次に、絶縁膜4627a、4627bを覆うようにゲート絶縁膜4604を形成する(図37(C))。ゲート絶縁膜4604は、スパッタ法、LPCVD法、プラズマCVD法等を用いて、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)(x>y)、窒化酸化シリコン(SiN_xO_y)(x>y)等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。例

10

20

30

40

50

えば、半導体膜 4 6 0 3 a、4 6 0 3 b として Si を用いてプラズマ処理により酸化させることによって、当該半導体膜 4 6 0 3 a、4 6 0 3 b 表面に絶縁膜 4 6 2 7 a、4 6 2 7 b として酸化シリコンを形成した場合、当該絶縁膜 4 6 2 7 a、4 6 2 7 b 上にゲート絶縁膜として酸化シリコン (SiO_x) を形成する。

【0266】

次に、ゲート絶縁膜 4 6 0 4 上にゲート電極 4 6 0 5 等を形成することによって、島状の半導体膜 4 6 0 3 a、4 6 0 3 b をチャネル領域として用いた N チャネル型トランジスタ 4 6 1 0 a、P チャネル型トランジスタ 4 6 1 0 b を有する半導体装置を作製することができる (図 37 (D))。

【0267】

半導体膜の端部をテーパー形状に設けた場合、半導体膜の一部に形成されるチャネル領域の端部 4 6 0 3 a、4 6 0 3 b もテーパー形状となるため、半導体素子の特性に影響を及ぼす場合がある。そのため、プラズマ処理により半導体膜を酸化または窒化することによって、結果的にチャネル領域の端部も酸化または窒化されるため半導体素子への影響を低減することができる。

【0268】

なお、図 37 では、半導体膜 4 6 0 3 a、4 6 0 3 b に限ってプラズマ処理により酸化または窒化を行った例を示したが、もちろん上記図 35 で示したようにゲート絶縁膜 4 6 0 4 にプラズマ処理を行って酸化または窒化させることも可能である (図 38 (B))。この場合、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜 4 6 0 4 を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。この場合、半導体膜 4 6 0 3 a、4 6 0 3 b に酸化シリコン (SiO_x) または酸化窒化シリコン (SiO_xN_y) (x > y) が形成され、ゲート電極 4 6 0 5 に接して窒化酸化シリコン (SiN_xO_y) (x > y) が形成される。

【0269】

また、上述したようにプラズマ処理を行うことによって、半導体膜や絶縁膜に付着したゴミ等の不純物の除去を容易に行うことができる。一般的に、CVD 法やスパッタ法等により形成された膜にはゴミ (パーティクルともいう) が付着していることがある。例えば、図 39 (A) に示すように、絶縁膜または導電膜または半導体膜等の膜 4 6 7 1 上に CVD 法やスパッタ法等により形成された絶縁膜 4 6 7 2 上にゴミ 4 6 7 3 が形成される場合がある。このような場合であっても、プラズマ処理を行い絶縁膜 4 6 7 2 を酸化または窒化することによって、絶縁膜 4 6 7 2 の表面に絶縁膜 4 6 7 4 が形成される。なお、絶縁膜 4 6 7 4 には酸化膜または窒化膜を用いることができる。ゴミ 4 6 7 3 が存在しない部分のみならず、ゴミ 4 6 7 3 の下側の部分にも回り込むように酸化または窒化されることによって、絶縁膜 4 6 7 4 の体積が増加する。一方、ゴミ 4 6 7 3 の表面もプラズマ処理によって酸化または窒化され絶縁膜 4 6 7 5 が形成され、その結果ゴミ 4 6 7 3 の体積も増加する図 39 (B)。

【0270】

このとき、ゴミ 4 6 7 3 は、ブラシ洗浄等の簡単な洗浄により、絶縁膜 4 6 7 4 の表面から容易に除去される状態になる。このように、プラズマ処理を行うことによって、当該絶縁膜または半導体膜に付着した微細なゴミであっても当該ゴミの除去が容易になる。なお、これはプラズマ処理を行うことによって得られる効果であり、本実施の形態のみならず、他の実施の形態においても同様のことがいえる。

【0271】

このように、プラズマ処理を行い半導体膜またはゲート絶縁膜を酸化または窒化して表面を改質することにより、緻密で膜質のよい絶縁膜を形成することができる。また、絶縁膜の表面に付着したゴミ等を洗浄によって、容易に除去することが可能となる。その結果、絶縁膜を薄く形成する場合であってもピンホール等の欠陥を防止し、トランジスタ等の半導体素子の微細化および高性能化を実現することが達成できる。

【0272】

10

20

30

40

50

なお、本実施形態では、上記図32における半導体膜4603aおよび4603bまたはゲート絶縁膜4604にプラズマ処理を行い、当該半導体膜4603aおよび4603bまたはゲート絶縁膜4604を酸化または窒化を行ったが、プラズマ処理を用いて酸化または窒化を行う層は、これに限定されない。例えば、基板4601または絶縁膜4602にプラズマ処理を行ってもよいし、絶縁膜4606または絶縁膜4607にプラズマ処理を行ってもよい。

【0273】

なお、本実施の形態で述べた内容は、実施の形態1～実施の形態10で述べた内容と自由に組み合わせて実施することができる。

【0274】

(実施の形態12)

本実施形態では、トランジスタを始めとする半導体装置を作製するプロセスとして、ハーフトーン方式について説明する。

【0275】

図40はトランジスタ、容量素子、抵抗素子を含む半導体装置の断面構造を示す図である。図40は、Nチャネル型トランジスタ4001、Nチャネル型トランジスタ4002、容量素子4004、抵抗素子4005、Pチャネル型トランジスタ4003が示されている。各トランジスタは半導体層5505、ゲート絶縁層5508、ゲート電極5509を備えている。ゲート電極5509は、第1導電層5503と第2導電層5502の積層構造で形成されている。また、図41(A)～(E)は、図40で示すトランジスタ、容量素子、抵抗素子に対応する上面図であり、合わせて参照することができる。

【0276】

図40において、Nチャネル型トランジスタ4001は、チャネル長方向(キャリアの流れる方向)において、チャネル形成領域の両側に低濃度ドレイン(LDD)とも呼ばれ、配線5504とコンタクトを形成するソース及びドレイン領域を形成する不純物領域5506の不純物濃度よりも低濃度にドープされた不純物領域5507が半導体層5505に形成されている。不純物領域5506と不純物領域5507には、Nチャネル型トランジスタ4001を構成する場合、N型を付与する不純物としてリンなどが添加されている。LDDはホットエレクトロン劣化や短チャネル効果を抑制する手段として形成される。

【0277】

図41(A)で示すように、Nチャネル型トランジスタ4001のゲート電極5509において、第1導電層5503は、第2導電層5502の両側に広がって形成されている。この場合において、第1導電層5503の膜厚は、第2導電層の膜厚よりも薄く形成されている。第1導電層5503の厚さは、10～100kVの電界で加速されたイオン種を通過させることができた厚さに形成されている。不純物領域5507はゲート電極5509の第1導電層5503と重なるように形成されている。すなわち、ゲート電極5509とオーバーラップするLDD領域を形成している。この構造は、ゲート電極5509において、第2導電層5502をマスクとして、第1導電層5503を通して一導電型の不純物を添加することにより、自己整合的に不純物領域5507を形成している。すなわち、ゲート電極とオーバーラップするLDDを自己整合的に形成している。

【0278】

図40において、Nチャネル型トランジスタ4002は、ゲート電極の片側に不純物領域5506の不純物濃度よりも低濃度にドープされた不純物領域5507が半導体層5505に形成されている。図41(B)で示すように、Nチャネル型トランジスタ4002のゲート電極5509において、第1導電層5503は、第2導電層5502の片側に広がって形成されている。この場合も同様に、第2導電層5502をマスクとして、第1導電層5503を通して一導電型の不純物を添加することにより、自己整合的にLDDを形成することができる。

【0279】

片側にLDDを有するトランジスタは、ソース及びドレイン電極間に正電圧のみ、もしく

10

20

30

40

50

は負電圧のみが印加されるトランジスタに適用すればよい。具体的には、インバータ回路、NAND回路、NOR回路、ラッチ回路といった論理ゲートを構成するトランジスタや、センスアンプ、定電圧発生回路、VCOといったアナログ回路を構成するトランジスタに適用すればよい。

【0280】

図40において、容量素子4004は、第1導電層5503と半導体層5505とでゲート絶縁層5508を挟んで形成されている。容量素子4004を形成する半導体層5505には、不純物領域5510と不純物領域5511を備えている。不純物領域5511は、半導体層5505において第1導電層5503と重なる位置に形成される。また、不純物領域5510は配線5504とコンタクトを形成する。不純物領域5511は、第1導電層5503を通して一導電型の不純物を添加することができるので、不純物領域5510と不純物領域5511に含まれる不純物濃度は同じにすることもできるし、異ならせることが可能である。いずれにしても、容量素子4004において、半導体層5505は電極として機能させるので、一導電型の不純物を添加して低抵抗化しておくことが好ましい。また、第1導電層5503は、図41(C)に示すように、第2導電層5502を補助的な電極として利用することにより、電極として十分に機能させることができる。このように、第1導電層5503と第2導電層5502を組み合わせた複合的な電極構造とすることにより、容量素子4004を自己整合的に形成することができる。

【0281】

図40において、抵抗素子4005は、第1導電層5503によって形成されている。第1導電層5503は30~150nm程度の厚さに形成されるので、その幅や長さを適宜設定して抵抗素子を構成することができる。

【0282】

抵抗素子は、高濃度に不純物元素を含む半導体層や、膜厚の薄い金属層によって構成すればよい。抵抗値が膜厚、膜質、不純物濃度、活性化率などに依存する半導体層に対して、金属層は、膜厚、膜質で抵抗値が決定するため、ばらつきが小さく好ましい。抵抗素子4005の上面図を図41(D)に示す。

【0283】

図40において、Pチャネル型トランジスタ4003は、半導体層5505に不純物領域5512を備えている。この不純物領域5512は、配線5504とコンタクトを形成するソース及びドレイン領域を形成する。ゲート電極5509の構成は第1導電層5503と第2導電層5502が重畳した構成となっている。Pチャネル型トランジスタ4003はLDDを設けないシングルドレイン構造のトランジスタである。Pチャネル型トランジスタ4003を形成する場合、不純物領域5512にはP型を付与する不純物として硼素などが添加される。一方、不純物領域5512にリンを添加すればシングルドレイン構造のNチャネル型トランジスタとすることもできる。Pチャネル型トランジスタ4003の上面図を図41(E)に示す。

【0284】

半導体層5505及びゲート絶縁層5508の一方若しくは双方に対してマイクロ波で励起され、電子温度が2eV以下、イオンエネルギーが5eV以下、電子密度が $10^{11} \sim 10^{13} / \text{cm}^3$ 程度である高密度プラズマ処理によって酸化又は窒化処理してもよい。このとき、基板温度を300~450とし、酸化雰囲気(O₂、N₂Oなど)又は窒化雰囲気(N₂、NH₃など)で処理することにより、半導体層5505とゲート絶縁層5508の界面の欠陥準位を低減することができる。ゲート絶縁層5508に対してこの処理を行うことにより、この絶縁層の緻密化を図ることができる。すなわち、荷電欠陥の生成を抑えトランジスタのしきい値電圧の変動を抑えることができる。また、トランジスタを3V以下の電圧で駆動させる場合には、このプラズマ処理により酸化若しくは窒化された絶縁層をゲート絶縁層5508として適用することができる。また、トランジスタの駆動電圧が3V以上の場合には、このプラズマ処理で半導体層5505の表面に形成した絶縁層とCVD法(プラズマCVD法若しくは熱CVD法)で堆積した絶縁層とを組み合わせ

10

20

30

40

50

てゲート絶縁層 5508 を形成することができる。また、同様にこの絶縁層は、容量素子 4004 の誘電体層としても利用することができる。この場合、このプラズマ処理で形成された絶縁層は、1 ~ 10 nm の厚さで形成され、緻密な膜であるので、大きな電荷容量を持つ容量素子を形成することができる。

【0285】

図 40 及び図 41 を参照して説明したように、膜厚の異なる導電層を組み合わせることにより、さまざまな構成の素子を形成することができる。第 1 導電層のみが形成される領域と、第 1 導電層と第 2 導電層が積層されている領域は、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いて形成することができる。すなわち、フォトリソグラフィー工程において、フォトレジストを露光する際に、フォトマスクの透過光量を調節して、現像されるレジストマスクの厚さを異ならせる。この場合、フォトマスクまたはレチクルに解像度限界以下のスリットを設けて上記複雑な形状を有するレジストを形成してもよい。また、現像後に約 200 のベークを行ってフォトレジスト材料で形成されるマスクパターンを変形させてもよい。

10

【0286】

また、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いることにより、第 1 導電層のみが形成される領域と、第 1 導電層と第 2 導電層が積層されている領域を連続して形成することができる。図 41 (A) に示すように、第 1 導電層のみが形成される領域を半導体層上に選択的に形成することができる。このような領域は、半導体層上において有効であるが、それ以外の領域（ゲート電極と連続する配線領域）では必要がない。このフォトマスク若しくはレチクルを用いることにより、配線部分は、第 1 導電層のみの領域を作らないで済むので、配線密度を実質的に高めることができる。

20

【0287】

図 40 及び図 41 の場合には、第 1 導電層はタンゲステン (W)、クロム (Cr)、タンタル (Ta)、窒化タンタル (TaN) またはモリブデン (Mo) などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物を 30 ~ 50 nm の厚さで形成する。また、第 2 導電層はタンゲステン (W)、クロム (Cr)、タンタル (Ta)、窒化タンタル (TaN) またはモリブデン (Mo) などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物で 300 ~ 600 nm の厚さに形成する。例えば、第 1 導電層と第 2 導電層をそれぞれ異なる導電材料を用い、後に行うエッティング工程でエッティングレートの差が生じるようにする。一例として、第 1 導電層を TaN を用い、第 2 導電層としてタンゲステン膜を用いることができる。

30

【0288】

本実施形態では、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いて、電極構造の異なるトランジスタ、容量素子、抵抗素子を、同じパターニング工程によって作り分けることができることを示している。これにより、回路の特性に応じて、形態の異なる素子を、工程を増やすことなく作り込み、集積化することができる。

40

【0289】

なお、本実施の形態で述べた内容は、実施の形態 1 ~ 実施の形態 11 で述べた内容と自由に組み合わせて実施することができる。

【0290】

(実施の形態 13)

本実施形態では、トランジスタを始めとする半導体装置を作製する際のマスクパターンの例について、図 42 ~ 図 44 を参照して説明する。

【0291】

図 42 (A) で示す半導体層 5610、5611 はシリコン若しくはシリコンを成分とする結晶性の半導体で形成することが好ましい。例えば、シリコン膜をレーザアニールなどによって結晶化された多結晶シリコン、単結晶シリコンなどが適用される。その他にも半

50

導体特性を示す、金属酸化物半導体、アモルファスシリコン、有機半導体を適用することも可能である。

【0292】

いずれにしても、最初に形成する半導体層は絶縁表面を有する基板の全面若しくは一部（トランジスタの半導体領域として確定されるよりも広い面積を有する領域）に形成する。そして、フォトリソグラフィー技術によって、半導体層上にマスクパターンを形成する。そのマスクパターンを利用して半導体層をエッチング処理することにより、トランジスタのソース及びドレイン領域及びチャネル形成領域を含む特定形状の島状の半導体層5610、5611を形成する。その半導体層5610、5611はレイアウトの適切さを考慮して決められる。

10

【0293】

図42（A）で示す半導体層5610、5611を形成するためのフォトマスクは、図42（B）に示すマスクパターン5630を備えている。このマスクパターン5630は、フォトリソグラフィー工程で用いるレジストがポジ型かネガ型かで異なる。ポジ型レジストを用いる場合には、図42（B）で示すマスクパターン5630は、遮光部として作製される。マスクパターン5630は、多角形の頂部Aを削除した形状となっている。また、屈曲部Bにおいては、その角部が直角とならないように複数段に渡って屈曲する形状となっている。このフォトマスクのパターンは、角部を有し、この角部において、斜辺が10μm以下で、線幅の1/5以上1/2以下の長さの直角三角形のパターンが除去されている。

20

【0294】

図42（B）で示すマスクパターン5630は、その形状が、図42（A）で示す半導体層5610、5611に反映される。その場合、マスクパターン5630と相似の形状が転写されてもよいが、マスクパターン5630の角部がさらに丸みを帯びるように転写されていてもよい。すなわち、マスクパターン5630よりもさらにパターン形状をなめらかにした、丸みを設けてもよい。

【0295】

半導体層5610、5611の上には、酸化シリコン若しくは窒化シリコンを少なくとも一部に含む絶縁層が形成される。この絶縁層を形成する目的の一つはゲート絶縁層である。そして、図43（A）で示すように、半導体層と一部が重なるようにゲート配線5712、5713、5714を形成する。ゲート配線5712は半導体層5610に対応して形成される。ゲート配線5713は半導体層5610、5611に対応して形成される。また、ゲート配線5714は半導体層5610、5611に対応して形成される。ゲート配線は、金属層又は導電性の高い半導体層を成膜し、フォトリソグラフィー技術によってその形状を絶縁層上に作り込む。

30

【0296】

このゲート配線を形成するためのフォトマスクは、図43（B）に示すマスクパターン5731を備えている。このマスクパターン5731は、角部を有し、この角部において、斜辺が10μm以下、または、配線の線幅の1/2以下で、線幅の1/5以上の長さの直角三角形のパターンが除去されている。図43（B）で示すマスクパターン5731は、その形状が、図43（A）で示すゲート配線5712、5713、5714に反映される。その場合、マスクパターン5731と相似の形状が転写されてもよいが、マスクパターン5731の角部がさらに丸みを帯びるように転写されていてもよい。すなわち、マスクパターン5731よりもさらにパターン形状をなめらかにした、丸みを設けてもよい。すなわち、ゲート配線5712、5713、5714の角部は、斜辺が線幅の1/2以下であって1/5以上である直角三角形のパターンを除去することで角部に丸みをおびさせる。凸部はプラズマによるドライエッチの際、異常放電による微粉の発生を抑えることができる。凹部では、プラズマによるドライエッチの際、異常放電によってたとえできた微粉であっても、それが角に集まるのを防ぐことができ、洗浄のときに、容易に洗い流すことができる。結果として歩留まり向上が甚だしく期待できるという効果を有する。

40

50

【0297】

層間絶縁層はゲート配線 5712、5713、5714の後に形成される層である。層間絶縁層は酸化シリコンなどの無機絶縁材料若しくはポリイミドやアクリル樹脂などを使った有機絶縁材料を使って形成する。この層間絶縁層とゲート配線 5712、5713、5714の間に窒化シリコン若しくは窒化酸化シリコンなどの絶縁層を介在させてもよい。また、層間絶縁層上にも窒化シリコン若しくは窒化酸化シリコンなどの絶縁層を設けてもよい。この絶縁層は、外因性の金属イオンや水分などトランジスタにとっては良くない不純物により半導体層やゲート絶縁層を汚染するのを防ぐことができる。

【0298】

層間絶縁層には所定の位置に開孔が形成されている。例えば、下層にあるゲート配線や半導体層に対応して設けられる。金属若しくは金属化合物の一層若しくは複数層で形成される配線層は、フォトリソグラフィー技術によってマスクパターンが形成され、エッチング加工により所定のパターンに形成される。そして、図44(A)で示すように、半導体層と一部が重なるように配線 5815～5820を形成する。配線はある特定の素子間を連結する。配線は特定の素子と素子の間を直線で結ぶのではなく、レイアウトの制約上屈曲部が含まれる。また、コンタクト部やその他の領域において配線幅が変化する。コンタクト部では、コンタクトホールが配線幅と同等若しくは大きい場合には、その部分で配線幅が広がるように変化する。

【0299】

この配線 5815～5820を形成するためのフォトマスクは、図44(B)に示すマスクパターン 5832を備えている。この場合においても、配線は、L字に折れ曲がった各角部であって直角三角形の一辺が $10\text{ }\mu\text{m}$ 以下、または、配線の線幅の $1/2$ 以下で、線幅の $1/5$ 以上の大さに角部を削除し、角部に丸みをおびるパターンを有せしめる。具体的には、角部の外周縁に丸みを帯びさせるため、角部を挟む互いに垂直な2つの第1直線と、これら2つの第1直線と約45度の角度をなす一つの第2直線と、で形成される直角2等辺三角形の部分に相当する配線の一部を除去する。除去すると新たに2つの鈍角の部分が配線に形成されるが、エッチング条件を適宜設定することにより、各鈍角部分に第1直線と第2直線との両方に接する曲線が形成されるように配線層をエッチングすることが好ましい。なお、前記直角2等辺三角形の互いに等しい2辺の長さは、配線幅の $1/5$ 以上 $1/2$ 以下とする。また、角部の内周縁についても、角部の外周縁に沿って内周縁が丸みをおびるよう形成する。このような配線は、凸部はプラズマによるドライエッチの際、異常放電による微粉の発生を抑え、凹部では、プラズマによるドライエッチの際、異常放電によってたとえできた微粉であっても、それが角に集まるのを防ぐことができ、洗浄のときに、容易に洗い流すことができる。結果として歩留まり向上が甚だしく期待できるという効果を有する。配線の角部がラウンドをとることにより、電気的にも伝導させることができることが期待できる。また、多数の平行配線では、ゴミを洗い流すのにはきわめて好都合である。

【0300】

図44(A)には、Nチャネル型トランジスタ 5821～5824、Pチャネル型トランジスタ 5825、5826が形成されている。Nチャネル型トランジスタ 5823とPチャネル型トランジスタ 5825及びNチャネル型トランジスタ 5824とPチャネル型トランジスタ 5826はインバータ 5827、5828を構成している。なお、この6つのトランジスタを含む回路はSRAMを形成している。これらのトランジスタの上層には、窒化シリコンや酸化シリコンなどの絶縁層が形成されていてもよい。

【0301】

なお、本実施の形態で述べた内容は、実施の形態1～実施の形態12で述べた内容と自由に組み合わせて実施することができる。

【0302】

(実施の形態14)

本発明は様々な電子機器に適用することができる。具体的には電子機器の表示部に適用す

10

20

30

40

50

ることができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうる発光装置を備えた装置）などが挙げられる。

【0303】

図31(A)は発光装置であり、筐体35001、支持台35002、表示部35003、スピーカー部35004、ビデオ入力端子35005等を含む。本発明の表示装置を表示部35003に用いることができる。なお、発光装置は、パーソナルコンピュータ用、10 テレビジョン放送受信用、広告表示用などの全ての情報表示用発光装置が含まれる。本発明の表示装置を表示部35003に用いた発光装置は、コントラストの高い綺麗な画像で見ることが可能となる。

【0304】

図31(B)はカメラであり、本体35101、表示部35102、受像部35103、操作キー35104、外部接続ポート35105、シャッター35106等を含む。

【0305】

本発明を表示部35102に用いたデジタルカメラは、コントラストの高い綺麗な画像で見ることが可能となる。

【0306】

図31(C)はコンピュータであり、本体35201、筐体35202、表示部35203、キーボード35204、外部接続ポート35205、ポインティングマウス35206等を含む。本発明を表示部35203に用いたコンピュータは、コントラストの高い綺麗な画像で見ることが可能となる。

【0307】

図31(D)はモバイルコンピュータであり、本体35301、表示部35302、スイッチ35303、操作キー35304、赤外線ポート35305等を含む。本発明を表示部35302に用いたモバイルコンピュータは、コントラストの高い綺麗な画像で見ることが可能となる。

【0308】

図31(E)は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体35401、筐体35402、表示部A35403、表示部B35404、記録媒体(DVD等)読み込み部35405、操作キー35406、スピーカー部35407等を含む。表示部A35403は主として画像情報を表示し、表示部B35404は主として文字情報を表示することができる。本発明を表示部A35403や表示部B35404に用いた画像再生装置は、コントラストの高い綺麗な画像で見ることが可能となる。

【0309】

図31(F)はゴーグル型ディスプレイであり、本体35501、表示部35502、アーム部35503を含む。本発明を表示部35502に用いたゴーグル型ディスプレイは、コントラストの高い綺麗な画像で見ることが可能となる。

【0310】

図31(G)はビデオカメラであり、本体35601、表示部35602、筐体35603、外部接続ポート35604、リモコン受信部35605、受像部35606、バッテリー35607、音声入力部35608、操作キー35609、接眼部35610等を含む。本発明を表示部35602に用いたビデオカメラは、コントラストの高い綺麗な画像で見ることが可能となる。

【0311】

図31(H)は携帯電話機であり、本体35701、筐体35702、表示部35703、音声入力部35704、音声出力部35705、操作キー35706、外部接続ポート35707、アンテナ35708等を含む。本発明を表示部35703に用いた携帯電

10

20

30

40

50

話機は、コントラストの高い綺麗な画像で見ることが可能となる。

【0312】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態1～11に示したいずれの構成の表示装置を用いても良い。

【図面の簡単な説明】

【0313】

【図1】本発明の表示装置の構成を説明する図。

【図2】本発明の表示装置の構成を説明する図。

【図3】本発明の表示装置の構成を説明する図。

10

【図4】本発明の表示装置の構成を説明する図。

【図5】本発明の表示装置の構成を説明する図。

【図6】本発明の表示装置の構成を説明する図。

【図7】本発明の表示装置の構成を説明する図。

【図8】本発明の表示装置の構成を説明する図。

【図9】本発明の表示装置の構成を説明する図。

【図10】本発明の表示装置の構成を説明する図。

【図11】本発明の表示装置の構成を説明する図。

【図12】本発明の表示装置の構成を説明する図。

【図13】本発明の表示装置の構成を説明する図。

20

【図14】本発明の表示装置の駆動方法を説明する図。

【図15】本発明の表示装置の駆動方法を説明する図。

【図16】本発明の表示装置の駆動方法を説明する図。

【図17】本発明の表示装置の駆動方法を説明する図。

【図18】本発明の表示装置の構成を説明する図。

【図19】本発明の表示装置の構成を説明する図。

【図20】本発明の表示装置の構成を説明する図。

【図21】本発明の表示装置の構成を説明する図。

【図22】本発明の表示装置の断面図を説明する図。

【図23】本発明の表示装置の断面図を説明する図。

30

【図24】本発明の表示装置の断面図を説明する図。

【図25】本発明の表示装置の断面図を説明する図。

【図26】本発明の表示装置の構成を説明する図。

【図27】本発明の表示装置の構成を説明する図。

【図28】本発明の表示装置の構成を説明する図。

【図29】本発明の表示装置の構成を説明する図。

【図30】本発明の表示装置の構成を説明する図。

【図31】本発明が適用される電子機器を説明する図。

【図32】本発明の表示装置の断面図を説明する図。

【図33】本発明の表示装置の断面図を説明する図。

40

【図34】本発明の表示装置の断面図を説明する図。

【図35】本発明の表示装置の断面図を説明する図。

【図36】本発明の表示装置の断面図を説明する図。

【図37】本発明の表示装置の断面図を説明する図。

【図38】本発明の表示装置の断面図を説明する図。

【図39】本発明の表示装置の断面図を説明する図。

【図40】本発明の表示装置の断面図を説明する図。

【図41】本発明の表示装置の構成を説明する図。

【図42】本発明の表示装置の構成を説明する図。

【図43】本発明の表示装置の構成を説明する図。

50

【図44】本発明の表示装置の構成を説明する図。

【図45】本発明の表示パネルの構成を説明する図。

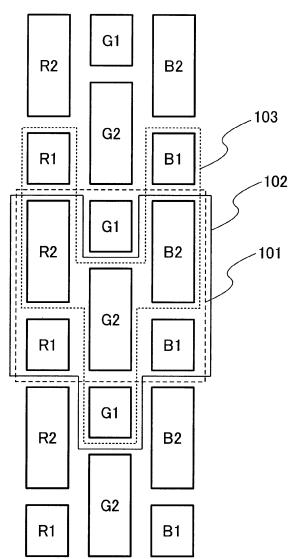
【図46】本発明の表示パネルのサブ画素の構成を説明する図。

【図47】本発明の表示パネルのサブ画素の構成を説明する図。

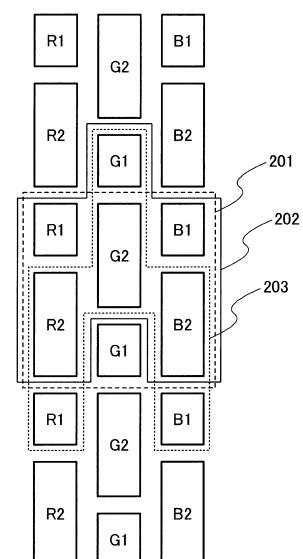
【図48】EL層を形成するための蒸着装置の構成を示す図。

【図49】EL層を形成するための蒸着装置の構成を示す図。

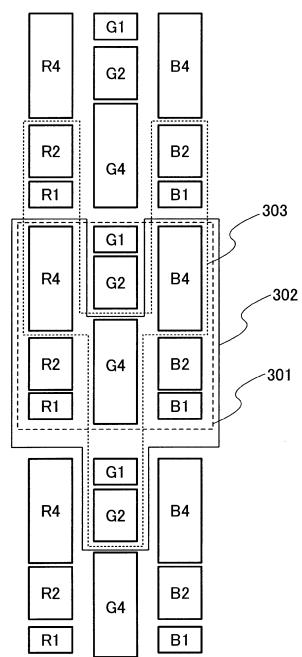
【図1】



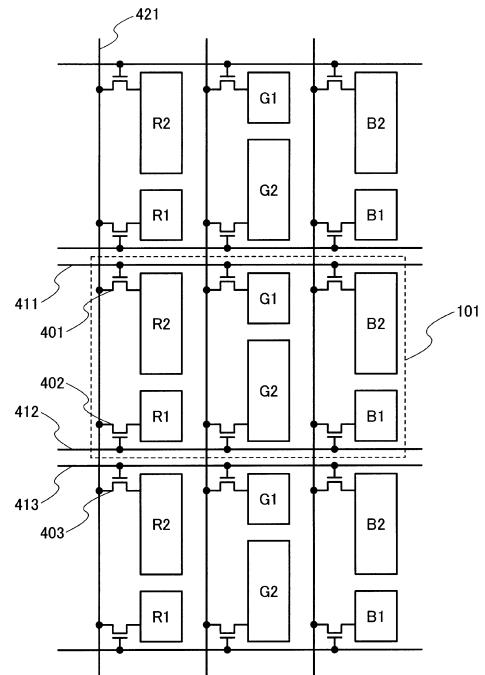
【図2】



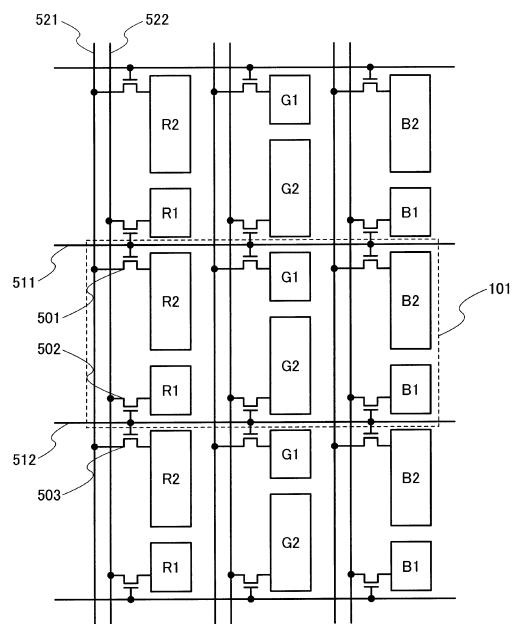
【図3】



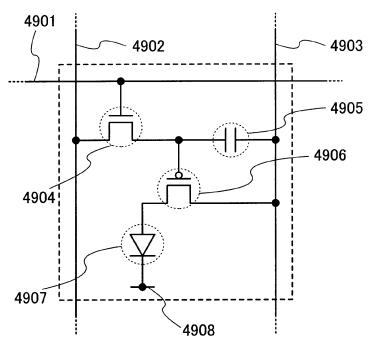
【図4】



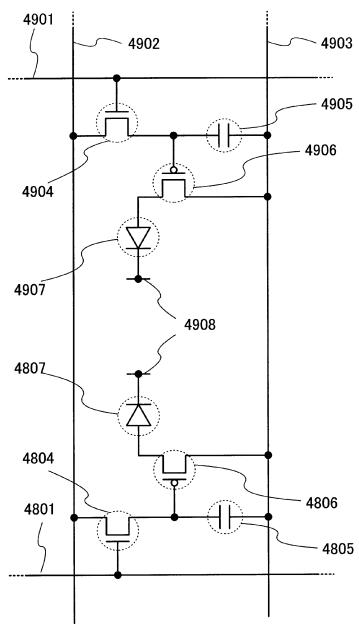
【図5】



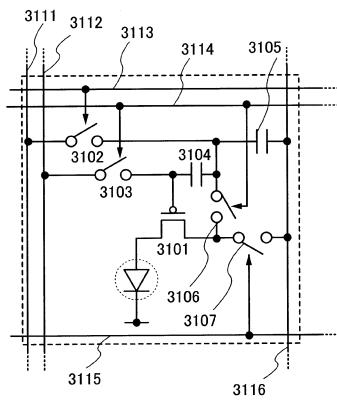
【図6】



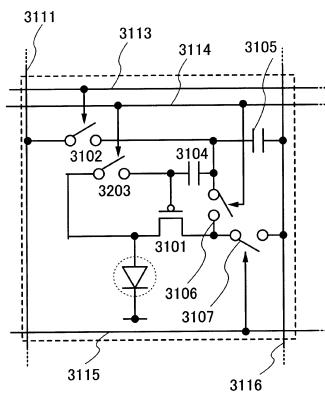
【図7】



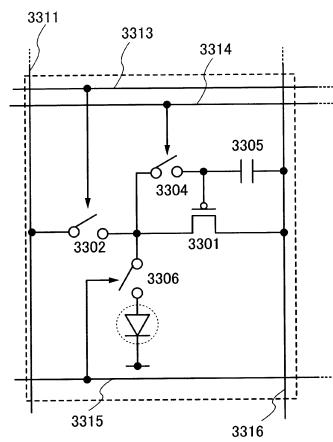
【図8】



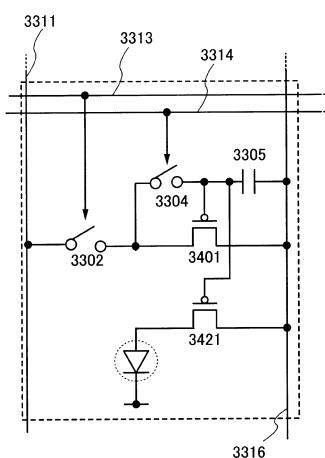
【図9】



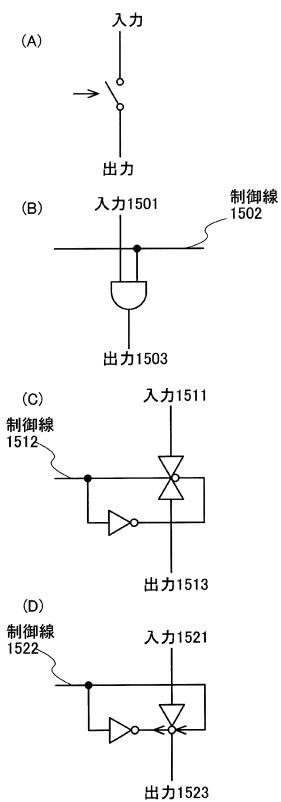
【図10】



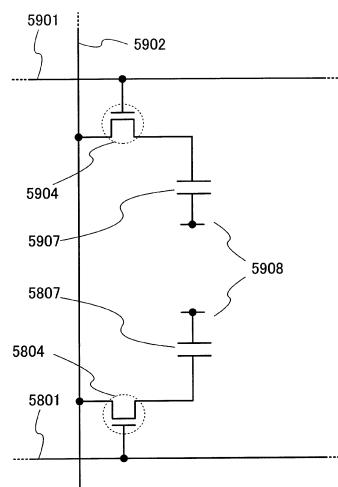
【図11】



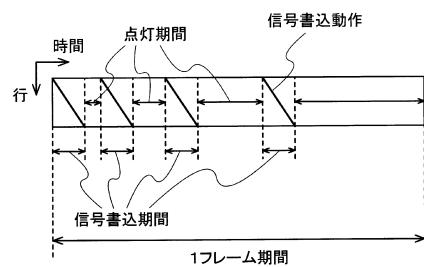
【図12】



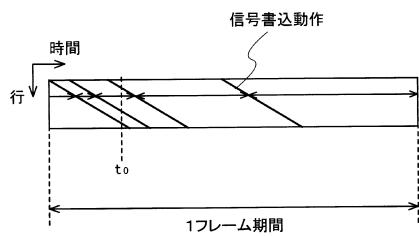
【図13】



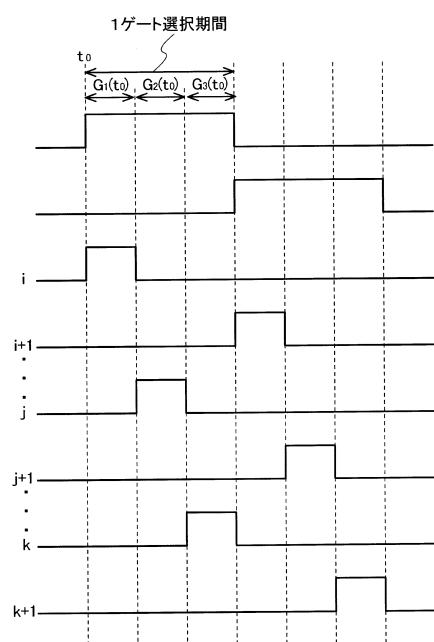
【図14】



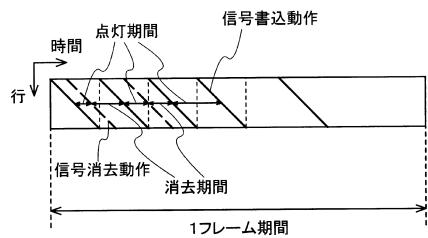
【図15】



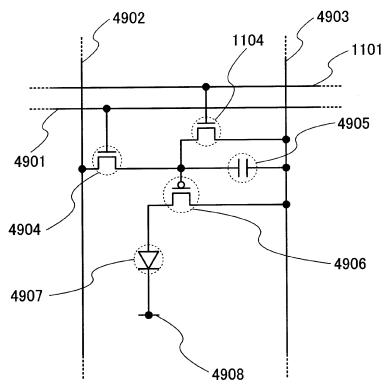
【図16】



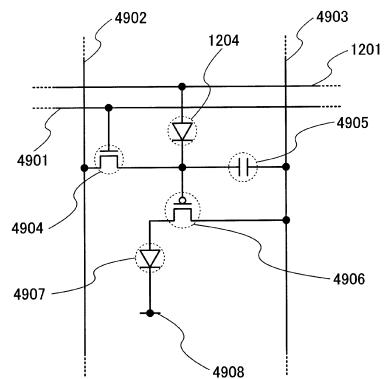
【図17】



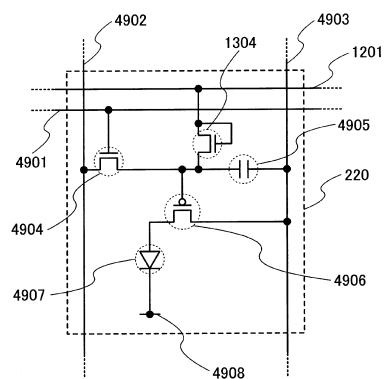
【図18】



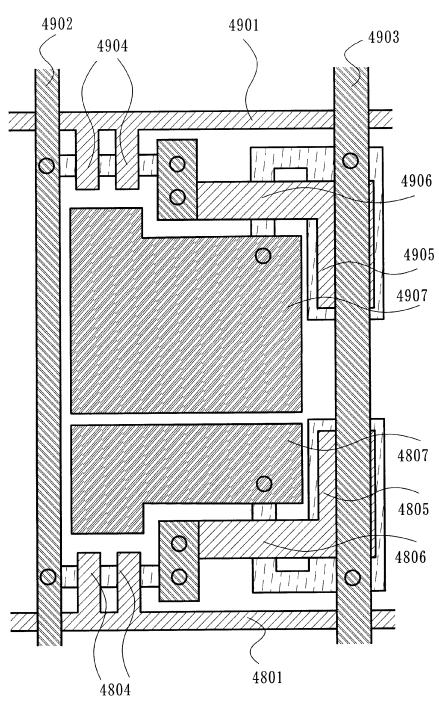
【図19】



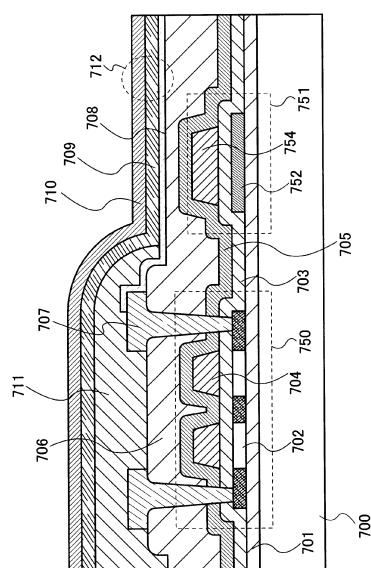
【図20】



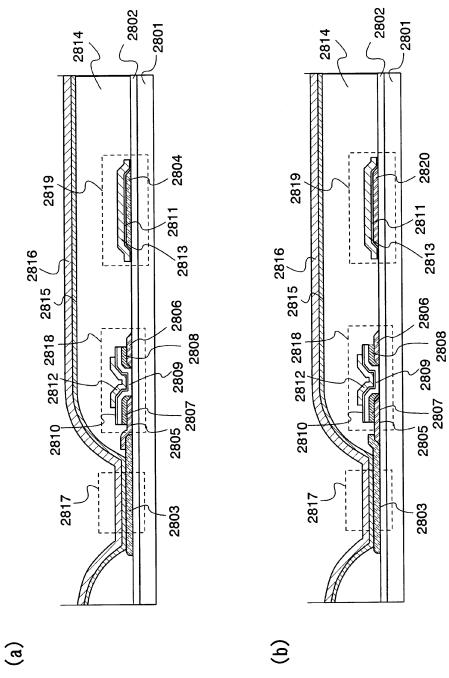
【図21】



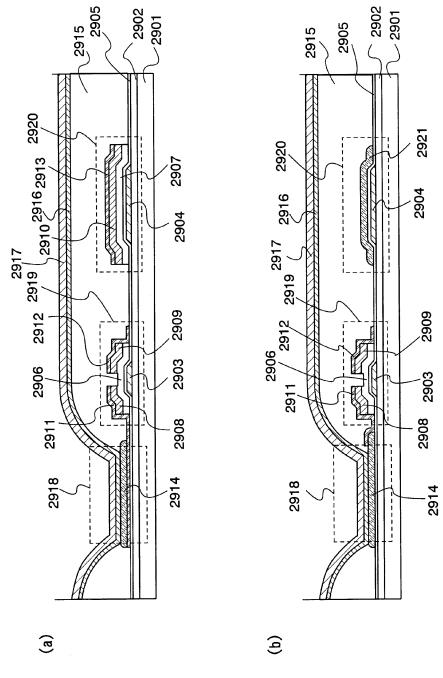
【図22】



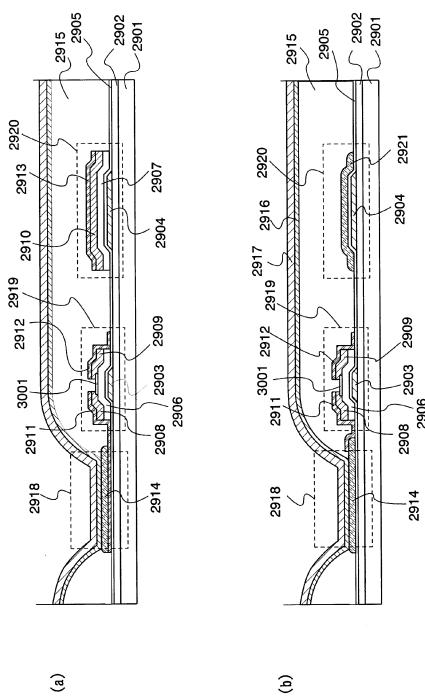
【図23】



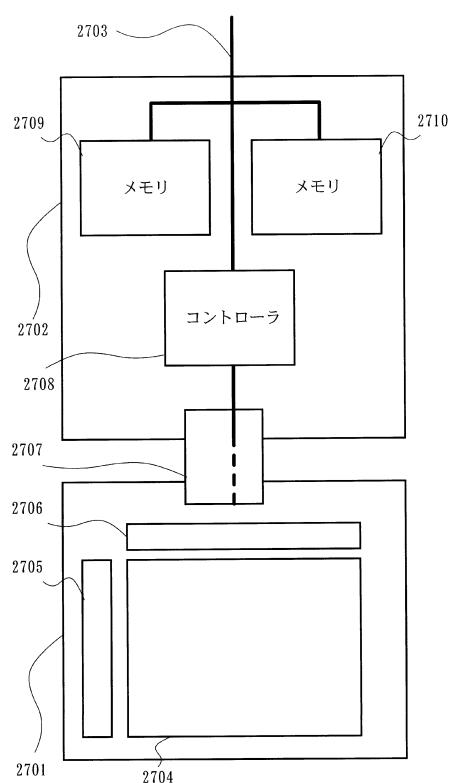
【図24】



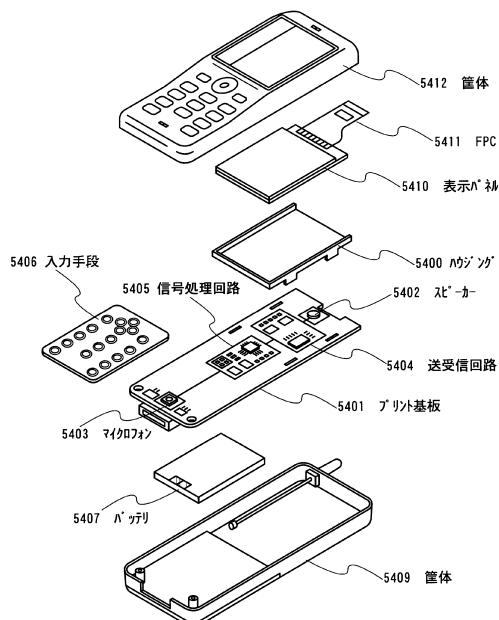
【図25】



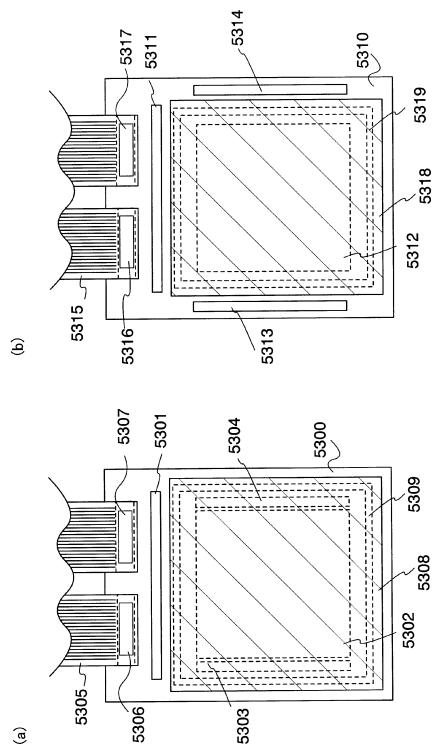
【図26】



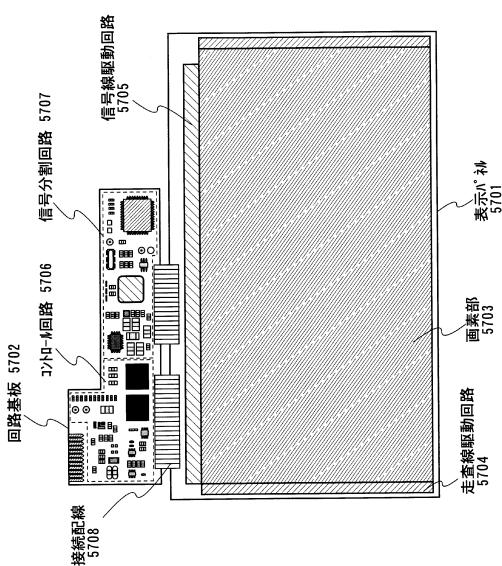
【図27】



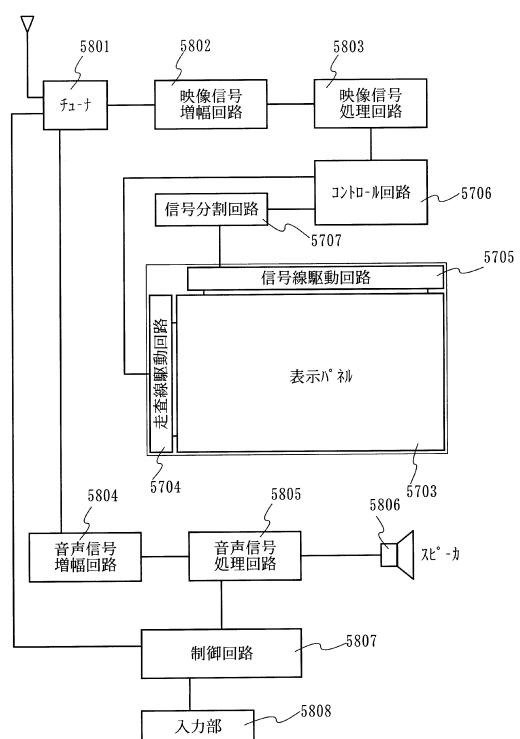
【図28】



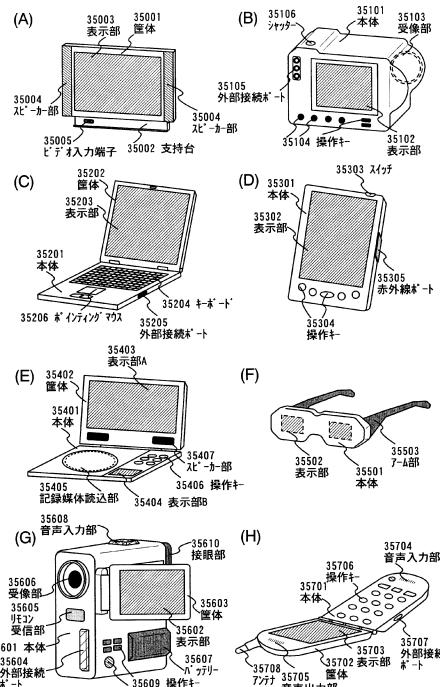
【図29】



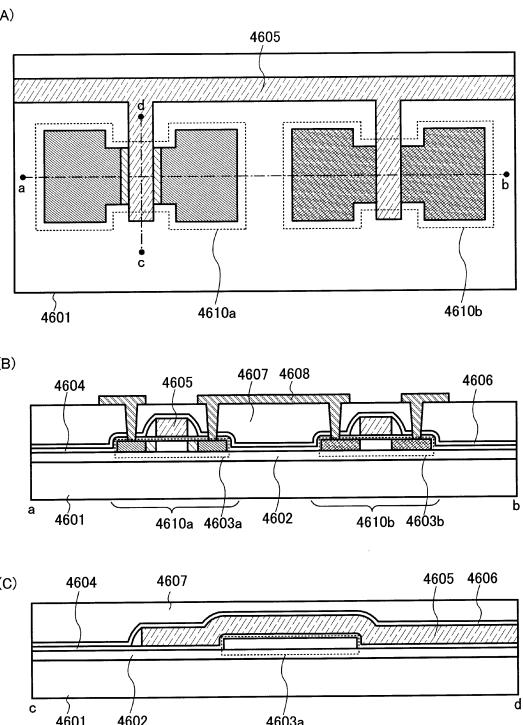
【図30】



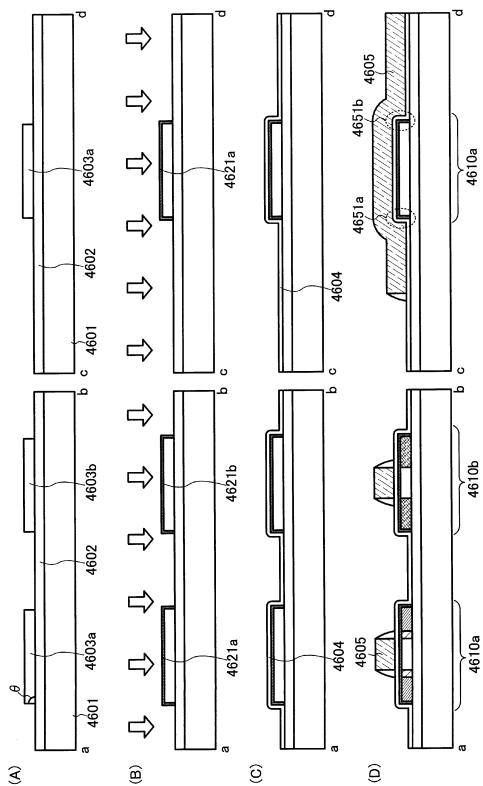
【図31】



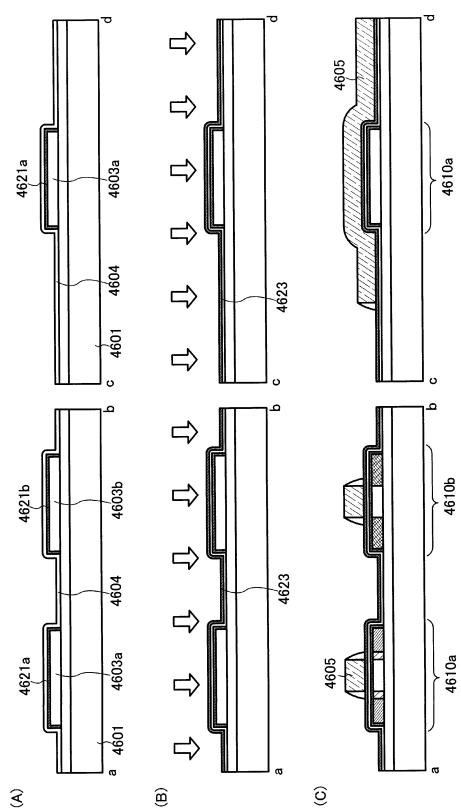
【図32】



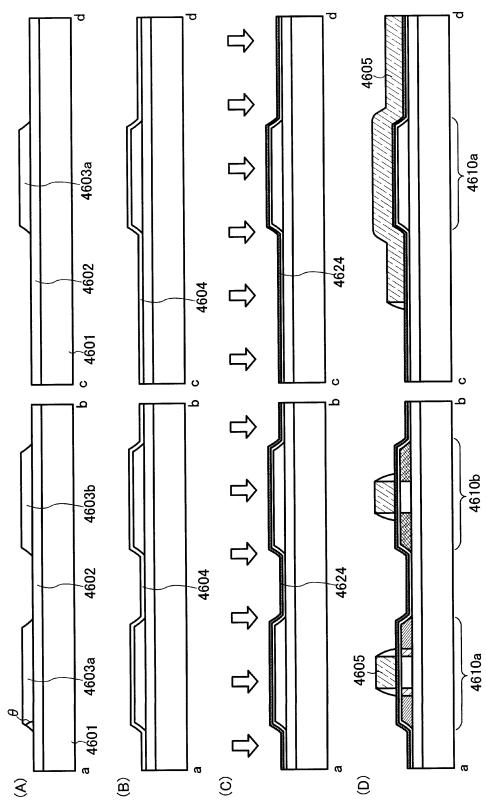
【図33】



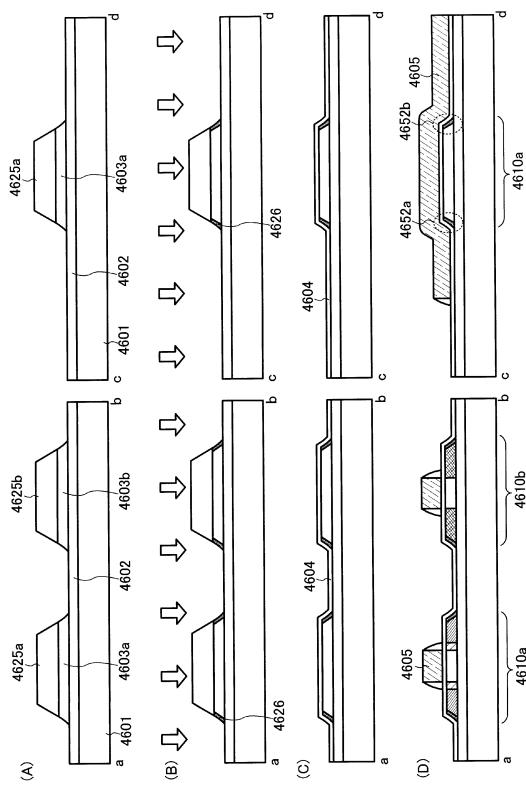
【図34】



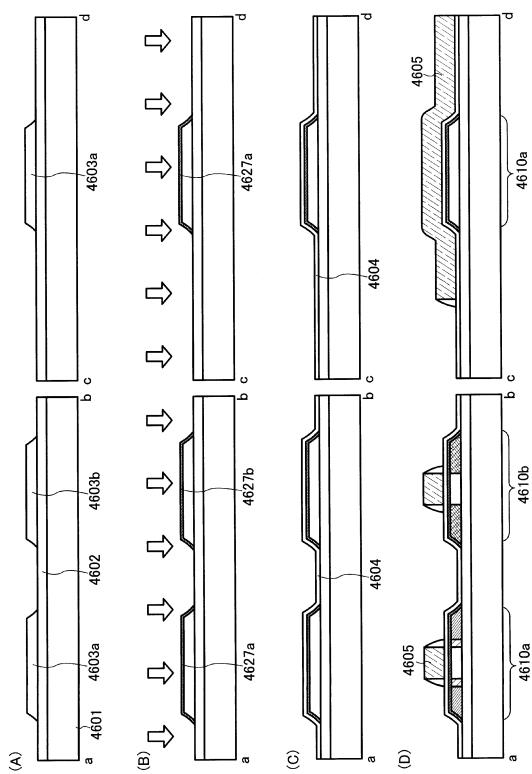
【図35】



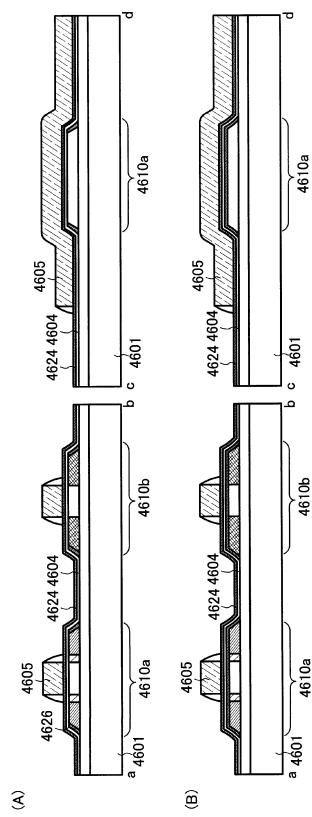
【図36】



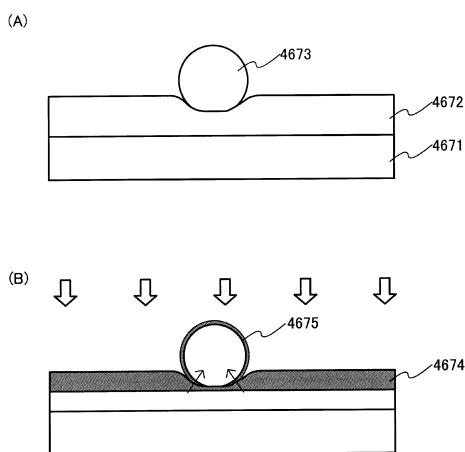
【図37】



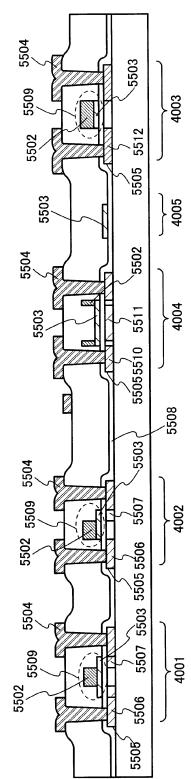
【図38】



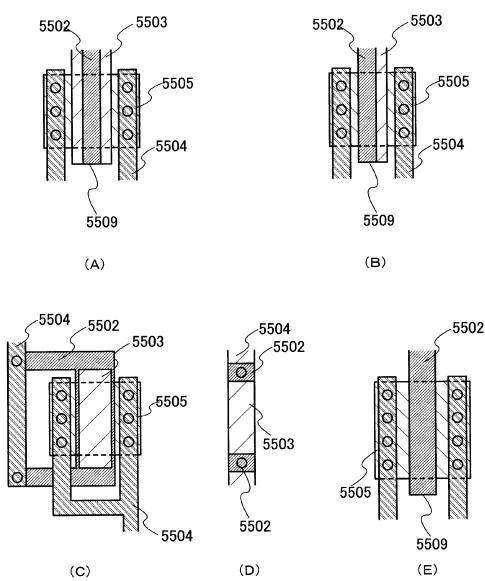
【図39】



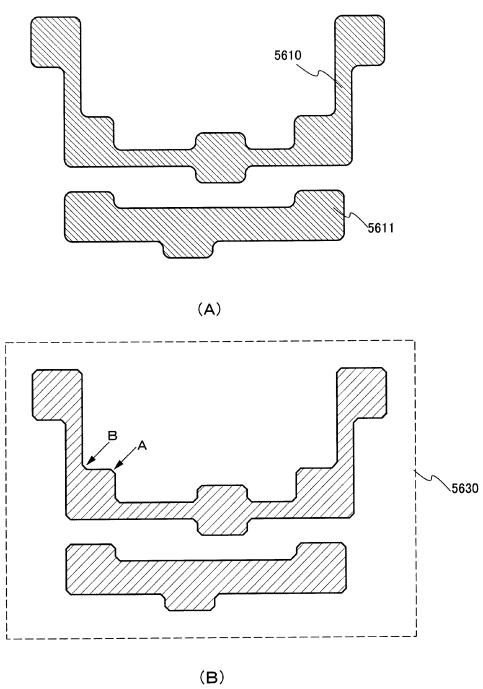
【 図 4 0 】



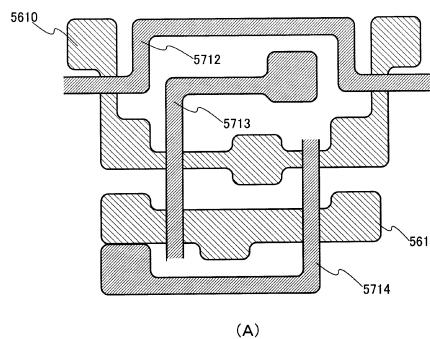
【図4-1】



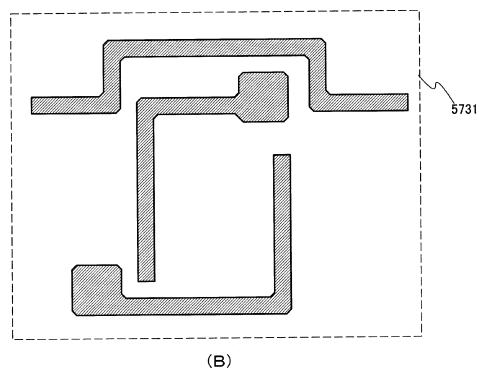
【図42】



【図43】

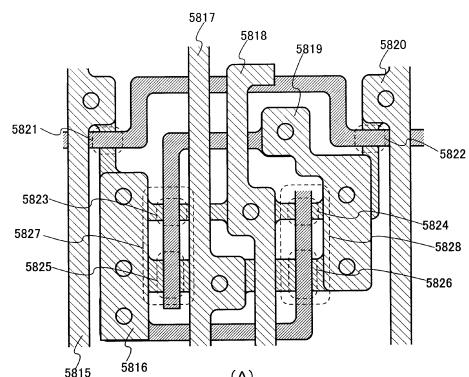


(A)

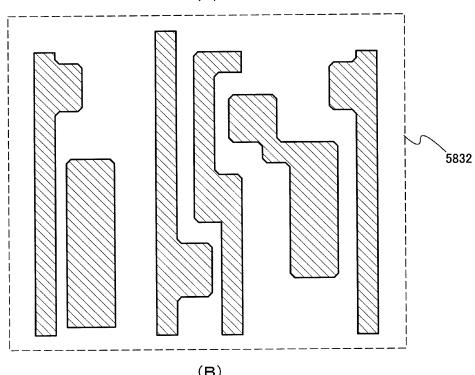


(B)

【図44】

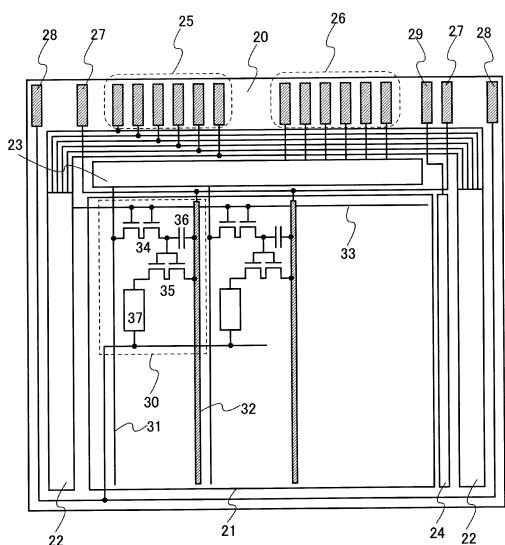


(A)

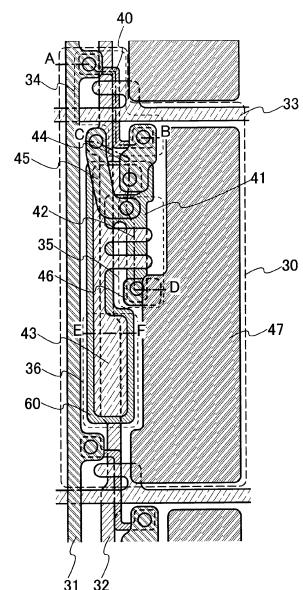


(B)

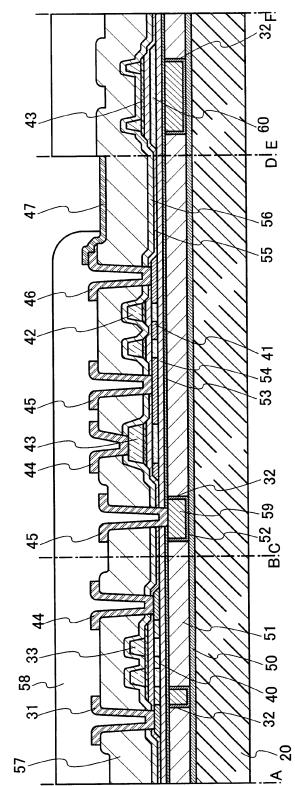
【図45】



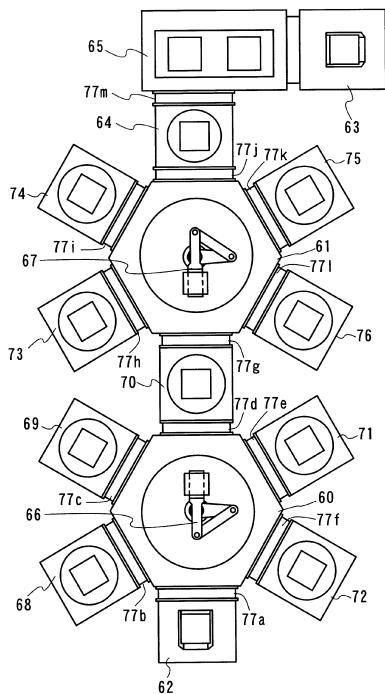
【図46】



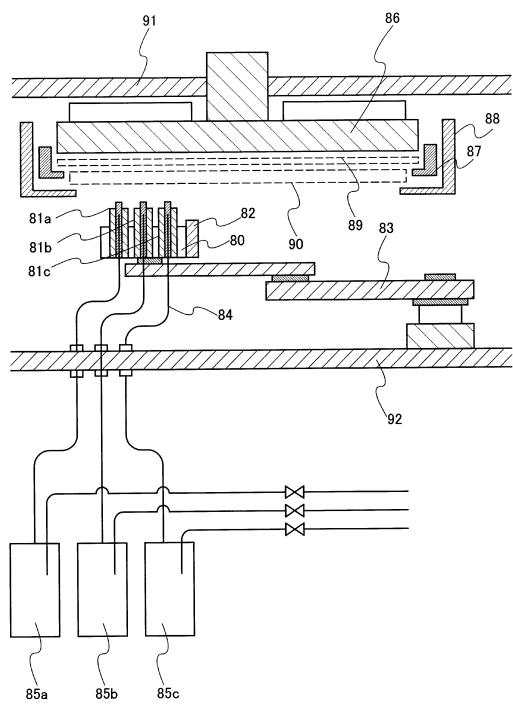
【図47】



【図48】



【図49】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/36

(56)参考文献 特開昭59-230378 (JP, A)

特開2005-164814 (JP, A)

特開2005-300579 (JP, A)

特開昭59-225683 (JP, A)

特開平4-32383 (JP, A)

特開平7-72824 (JP, A)

特開平6-82617 (JP, A)

特開2001-337317 (JP, A)

特開2005-62416 (JP, A)

特開昭58-172085 (JP, A)

特開2003-132797 (JP, A)

特開2004-117689 (JP, A)

国際公開第2004/073356 (WO, A1)

特開2005-352408 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 2 0 - 3 / 3 8

G 0 9 F 9 / 3 0