(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G06F 17/00

(45) 공고일자 2002년06월20일
(11) 등록번호 10-0321431
(24) 등록일자 2002년01월08일

(21) 출원번호 10-1994-0002318
(22) 출원일자 1994년02월08일
(65) 공개번호 특1994-0020248
(43) 공개일자 1994년09월15일

(30) 우선권주장 93-62,783 1993년02월26일 일본(JP)

(73) 특허권자 소니 가부시끼 가이샤
이데이 노부유끼
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자 오시마다께후미
일본국도오교도시나가와구기다시나가와6죠메7반35고소니가부시기가이샤내

(74) 대리인 박종길

심사관 : 송대종

(54) 칩관리시스템및그입력처리방법과로트처리방법

요약

본 발명은 웨이퍼에 형성되는 칩마다 번호를 붙이고, 칩번호와 칩위치를 관련지은 맵을 작성함으로써, 칩마다 프로세스의 지정을 가능하게 한다.

입력된 로트정보(31)에 의거하여 칩(도시하지 않음)마다의 처리정보(41)를 처리장치(21)에 지령하는 호스트콤퓨터(11)에는, 각 정보를 입력하는 단말(12), 라인용 단말(13)과 프로세스정보(61)를 기억하는 프로세스정보기억수단(14)과 라인내정보(81)를 기억하는 라인내정보기억수단(15)이 접속되고, 또한 각 웨이퍼(도시하지 않음)에 형성되는 칩의 맵을 작성하여, 각 칩에 붙인 칩번호(91)에 대응하는 디바이스정보(51)를 관련지어서 맵정보(101)를 작성하는 칩관리콤퓨터(16)가 접속되어 있고, 이 칩관리콤퓨터(16)에는 맵정보(101)를 기억하는 칩정보기억수단(17)이 접속되어 있다.

대표도
도 1

명세서

도면의 간단한 설명

도 1은 제1 실시예의 시스템구성도.

도 2는 칩의 번호붙임방법의 설명도.

도 3은 제2 실시예의 시스템구성도.

도 4는 칩관리시스템의 입력처리방법의 흐름도.

도 5는 칩관리시스템의 로트처리방법의 흐름도.

* 도면의 주요부분에 대한 부호의 설명 *

1, 2 : 칩관리시스템 11 : 호스트콤퓨터,

12 : 단말 13 : 라인용 단말

14 : 프로세스정보기억수단 15 : 라인내정보기억수단

16 : 칩관리콤퓨터 17 : 칩정보기억수단

21 : 처리장치 31 : 로트정보

41 : 처리정보 51 : 디바이스정보

52 : 디바이스명 61 : 프로세스정보

62 : 프로세스명 63 : 프로세스조건

71 : 칩위치정보 81 : 라인내정보

91 : 칩번호 101 : 맵정보

111 : 칩사이즈정보.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 제조에 있어서의 생산관리시스템의 하나로서, 상이한 프로세스정보를 필요로 하는 칩을 탑재한 웨이퍼를 칩마다 생산관리하는 칩관리 시스템 및 그 입력처리방법과 로트처리방법에 관한 것이다.

반도체장치의 제조에 관한 종래의 생산관리시스템은 생산에 사용하는 제조장치나 측정장치 등의 처리장치를 제어하는 소프트웨어가 로트를 최소 관리단위로 하고 있으므로, 로트를 최소 관리단위로 하여 생산관리하는 것이 주이다. 또, 최근에는 웨이퍼마다 생산관리하는 시스템도 검토되고 있다. 또, 상기 생산관리시스템에 의한 입력처리방법 및 로트처리방법으로서는, 예를 들면 로트를 최소 관리단위로 하여 생산관리를 행하는 경우에는, 미리 호스트콤퓨터 또는 그것에

접속되어 있는 기억수단에 제조프로세스를 기억시켜 둔다.

그리고, 호스트콤퓨터로부터 처리장치에 대해서는 로트마다 당해 로트번호와 작업조건에 대응한 프로세스조건을 상기 제조프로세스로부터 선택하여 지시한다.

그리고, 당해 로트의 처리가 종료되었을 때에, 로트마다 처리장치에 있어서의 처리이력을 호스트콤퓨터를 통하여 기억수단에 기억시킨다.

상기 생산관리시스템은 생산관리를 행하는 대상물의 최소 단위는 무엇인가, 출력하는 정보는 무엇인가 등에 의해 생산관리시스템을 구축하는 기억수단이나 제어수단 등의 구조가 결정된다. 따라서, 예를 들면 로트를 최소 단일로 하여 관리하도록 구성된 생산관리시스템에서는 로트내의 웨이퍼를 낱장 관리할 수는 없다. 마찬가지로, 웨이퍼를 낱장 관리하도록 구성된 생산관리시스템에서는 웨이퍼 내의 칩을 최소 단위로 하여 관리할 수는 없다.

예를 들면, 로트를 최소 단위로 한 생산관리시스템에서는 로트에 소속하고 있는 각 웨이퍼의 처리조건, 처리이력 등은 당해 로트내의 웨이퍼마다 처리조건이 다른 경우에도 개개의 웨이퍼에 대하여 관리할 수는 없다. 가령 개개의 웨이퍼에 대하여 처리조건을 지시하려고 할 경우에는, 예를 들면 각 웨이퍼마다의 처리조건을 메시지로 하여 로트를 관리하는 정보에 부가하고, 당해 처리작업시에 그 메시지에 의거하여 웨이퍼를 처리한다. 따라서, 상기 메시지가 당해 생산관리시스템에 의거하여 지령된 것은 아니므로, 당해 생산관리시스템의 관리대상을 각 웨이퍼의 작업이력에까지 확대할 수는 없다.

또, 처리할 웨이퍼의 대구경화(大口徑化), 그에 따른 처리장치의 일괄 처리할 수 있는 양의 축소화(예를 들면 배치(batch)처리에서 낱장처리로 이행하는 축소화, 또는 낱장처리에서 웨이퍼의 부분처리로의 이행에 따른 축소화 등), 나아가서는 다품종 소량생산(예를 들면, ASIC 제품의 생산)에 의해 웨이퍼에 탑재되는 칩마다의 생산관지가 필요하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 1매의 웨이퍼 내에 있어서 상이한 프로세스처리를 필요로 하는 웨이퍼를 그 웨이퍼에 탑재되는 칩마다 생산관리하는 칩관리시스템 및 그 입력처리 방법과 로트처리방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명은 상기 목적을 달성하기 위해 이루어진 칩관리시스템 및 그 입력처리방법과 로트처리방법이다.

이 칩관리시스템은 상이한 프로세스정보를 필요로 하는 복수의 칩을 탑재한 웨이퍼의 생산관리를 행하는 것으로서, 로트정보와 디바이스정보와 프로스세정보와 칩위치정보를 입력하는 단말과, 라인내정보를 입출력하는 라인용 단말이 호스트콤퓨터에 접속되어 있다. 이 호스트콤퓨터는 입력된 로트정보에 의거하여 와이퍼에 형성되는 칩마다의 처리정보를 처리장치에 지령한다. 또, 호스트콤퓨터에는 프로세스정보를 기억하는 프로세스정보기억수단과, 라인내정보를 기억하는 라인내정보 기억수단이 접속되어 있다. 또한, 로트정보와 디바이스정보와 칩위치정보에 의거하여 각 웨이퍼에 형성되는 칩의 맵을 작성하는 동시에, 각 칩에 번호를 붙여서 각 칩번호에 대응하는 디바이스정보를 관련지어서 맵정보를 작성하는 칩관리콤퓨터가 접속되어 있다. 이 칩관리콤퓨터에는 맵정보를 기억하는 칩정보기억수단이 접속되어 있다.

또, 단말은 상기 로트정보, 디바이스정보, 프로세스정보, 칩위치정보 외에 각 디바이스마다의 칩의 크기에 관한 칩사이즈정보도 입력하는 것이라도 된다.

또 칩관리콤퓨터는 로트정보, 디바이스정보, 칩위치정보 및 칩사이즈정보에 의거하여 각 웨이퍼에 형성되는 칩의 맵을 작성하는 동시에, 각 칩에 번호를 붙이고, 각 칩번호에 대응하는 디바이스정보를 관련지어서 맵정보를 작성하는 것이라도 된다.

상기 칩관리시스템의 입력처리방법으로서는, 제1 단계에서 로트정보를 단말로부터 호스트콤퓨터에 입력하여 라인내정보기억수단에 기억한다. 그리고, 제2 단계에서 웨이퍼 상에 제작하는 디바이스에 관한 디바이스정보를 단말로부터 호스트 콤퓨터에 입력한다. 이어서, 제3 단계에서 호스트콤퓨터에 의해 디바이스정보에 의거하여 각 디바이스에 적용하는 프로세스를 미리 프로세스정보를 기억시켜 둔 프로세스정보기억수단으로부터 선택하여 호스트콤퓨터에 인출한다. 이어서, 제4 단계에서 디바이스명과 프로세스명을 라인내정보기억수단에 기억하고, 프로세스명에 의거하여 프로세스정보기억수단으로부터 프로세스조건을 인출하여 라인내정보기억수단에 기억한다. 이어서, 제5 단계에서 칩관리콤퓨터에 의해 단말로부터 입력된 각 정보에 의거하여 웨이퍼상에 형성하는 칩의 위치좌표를 규정하는 맵핑을 행한다. 그리고, 제6 단계에서 칩관리콤퓨터에 의해 맵핑을 행한 각 칩에 대하여 번호를 붙이고, 당해 번호와 디바이스명을 관련지어서 맵정보를 작성한다, 그 후, 제7 단계에서 맵정보를 칩정보기억수단에 기억한다.

로트처리방법으로서는, 제1 단계에서 호스트콤퓨터에 이해 처리장치에 도달한 로트의 로트번호로부터 당해 로트의 로트정보를 파악하고, 칩관리콤퓨터에 의해 칩번호를 키워드로 하여 당해 로트내의 각 웨이퍼에 형성되는 칩의 디바이스명과 웨이퍼상에 있어서의 칩의 위치를 검색한다. 이어서, 제2 단계에서 호스트콤퓨터에 의해 당해 디바이스명으로두터 각 칩의 프로세스명을 검색하여, 프로세스정보를 인출한다. 이어서, 제3 단계에서 호스트콤퓨터에 의해 인출된 프로세스정보를 처리정보로서 처리장치 또는 라인용 단말에 지령한다. 그 후, 제4 단계에서 처리정보에 의거하여, 처리장치에서 로트내의 각 웨이퍼에 형성되는 칩의 처리를 행한다.

상기 칩관리시스템은 각 웨이퍼에 대한 칩의 맵핑을 행하는 동시에, 각 칩에 번호를 붙여서 그 번호와 디바이스정보를 관련지은 맵정보를 작성하는 칩관리콤퓨터를 호스트콤퓨터에 접속하고, 또한 상기 맵정보를 기억하는 칩정보기억수단을 설치함으로써, 호스트콤퓨터를 통하여 칩마다 상이한 조건의 처리정보가 처리장치에 지시된다. 예를 들면 감광공정의 경우에는, 칩마다 상이한 포토마스크를 이용하여 상이한 감광조건으로 레지스트막의 감광을 행할 수 있다. 또, 어닐처리공정에서는, 예를 들면 에너지빔에 의한 어닐처리를 이용함으로써, 웨이퍼상의 일부분의 칩만이 어닐처리된다. 또한, 어닐처리조건을 칩마다 변경할 수 있다.

또, 로트정보, 디바이스정보, 프로세스정보, 칩위치정보 및 칩사이즈정보가 입력되는 단말을 설치하고, 또한 상기 단말로부터 입력된 각 정보에 의거하여 각 웨이퍼상에 형성되는 칩의 맵정보를 작성하는 칩관리콤퓨터를 설치함으로써, 칩사이즈가 상이한 칩을 탑재한 웨이퍼에 대해서도 맵핑을 행할 수 있다. 그리고, 각 칩마다 번호가 붙여진다. 그러므로, 사이즈가 상이한 칩이 탑재되어 있는 웨이퍼에 대해서도 각 칩마다 상이한 프로세스가 칩번호에 대응하여 처리장치에 지시된다.

상기 칩관리시스템의 입력처리방법에서는, 칩관리콤퓨터에 의해 웨이퍼상에 형성하는 칩의 위치좌표를 규정하는 맵핑을 행하여, 각 칩에 매긴 칩번호와 디바이스명을 관련지어서 맵정보를 작성한다. 그리고, 맵정보를 칩정보기억수단에 기억함으로써, 칩마다 디바이스명이 관련지어진다. 따라서, 칩번호로 디바이스명이 검색된다. 또, 디바이스명에 의해 그것에 대응하는 프로세스명이 인출되고, 다시 프로세스명에 대응한 프로세스정보가 지정된다. 따라서, 각 칩마다 상이한 프로세스 정보를 처리정보로서 처리장치에 지령할 수 있다.

상기 로트처리방법에서는, 로트번호로부터 로트정보를 인식하고, 그리고 칩 번호를 키워드로 하여 디바이스명과 웨이퍼에 있어서의 칩위치를 검색한다. 이어서, 디바이스명으로부터 각 칩의 프로세스명을 검색하고, 프로세스정보를 인출하여, 그것을 처리정보로서 처리장치 또는 라인용 단말에 지령한다. 그 후, 지령에 의거하여 칩의 처리를 행함으로써, 1웨이퍼상에서 칩마다 상이한 프로세스처리를 행할 수 있다.

본 발명의 제1 실시예에 대하여 도 1의 시스템구성도에 따라서 설명한다.

도시한 바와 같이, 입력된 로트정보(31)에 의거하여 웨이퍼(도시하지 않음)에 형성되는 칩마다 처리정보(41)를 제조장치 또는 측정장치 등의 처리장치(21)에 지령하는 호스트콤퓨터(11)가 설치되어 있다. 이 호스트콤퓨터(11)에는 로트정보(31)와 디바이스정보(51)와 프로세스정보(61)와 칩위치정보(71)를 입력하는 단말(12)이 접속되어 있다. 또, 생산라인의 라인내정보(81)를 입력하는 라인용단말(13)이 접속되어 있다.

상기 로트정보(31)로서는, 예를 들면 로트번호, 웨이퍼매수, 웨이퍼번호 등이 있으며, 처리정보(41)로서는, 작업공정명, 작업조건 등이 있다. 또, 디바이스정로(51)로서는, 예를 들면 디바이스명, 디바이스의 칩의 크기, 제작칩수 등이 있다. 이 데이터정보(51)는, 예를 들면 디바이스명(52)이 키워드로 된다. 프로세스 정보(61)로서는, 예를 들면 프로세스명, 공정명, 프로세스조건 등이 있다.

이 프로세스정보(61)는, 예를 들면 프로세스명(62)이 키워드로 된다. 또한, 칩위치정보(71)는 웨이퍼내에 있어서의 칩의 어드레스를 나타내는 것이며, 라인내 정보(81)는 처리장치(21)에서 처리하여 조건, 측정결과 등의 데이터로 이루어진다.

또, 상기 호스트콤퓨터(11)에는 상기 단말(12)로부터 호스트콤퓨터(11)를 통하여 입력된 프로세스정보(61)를 기억하는 프로세스정보기억수단(14)이 접속되어 있다.

또한, 상기 호스트콤퓨터(11)에는 상기 라인용 단말(13) 또는 상기 처리장치(21)의 어느 한쪽 또는 양쪽으로부터 호스트콤퓨터(11)를 통하여 입력된 라인내정보(81)를 기억하는 라인내정보기억수단(15)이 접속되어 있다.

또한, 상기 호스트콤퓨터(11)에는 로트정보(31)와 디바이스정보(51)와 칩위치정보(71)에 의거하여 각 웨이퍼상에 맵핑을 행하는 동시에, 각 칩에 번호를 붙이고, 각 칩번호(91)에 대응하는 디바이스정보(51)의 디바이스명(52)을 관련지어서, 맵정보(101)를 작성하는 칩관리콤퓨터(16)가 접속되어 있다.

상기 칩관리콤퓨터(16)에는 맵정보(101)를 기억하는 칩정보기억수단(17)이 접속되어 있다.

상기와 같이, 칩관리시스템(1)은 구정되어 있다.

그리고, 상기 각 접속에 관해서는 유선으로 접속해도 되고, 또는 무선으로 접속해도 된다. 또는, 유선과 무선을 병용해도 된다.

상기 칩관리시스템(1)에서는 호스트콤퓨터(11)에 접속되는 칩관리콤퓨터(16)에 의해 로트정보(31), 디바이스정보(51), 칩위치정보(71) 등에 의거하여, 각 웨이퍼에 형성되는 칩의 맵핑을 행하는 동시에, 각 맵에 번호를 붙이고, 각 칩번호(91)와 디바이스정보(51)를 관련지은 맵정보(101)를 작성한다. 그리고, 작성한 맵정보(101)를 칩정보기억수단(17)에 기억한다.

그러므로, 예를 들면 처리장치(21)에 로트가 도달한 경우에는, 호스트콤퓨터(11)는 처리장치(21)에 도달한 로트의 로트번호(32)로부터 당해 로트내의 각 웨이퍼의 상태를 파악한다. 그리고, 각 웨이퍼에 형성되는 칩의 디바이스명(52)과 웨이퍼상에 있어서의 위치를 칩번호(91)를 키워드로 하여, 칩관리콤퓨터(16)를 통하여 칩정보기억수단(17)으로부터 검색한다. 그리고, 당해 칩번호(91)에 대응하는 디바이스명(52)이 판명된다.

이어서, 프로세스정보기억수단(14)으로부터 디바이스명(52)을 키워드로 하여, 각 칩의 프로세스명(62)을 검색한다. 프로세스명(62)은 프로세스정보(61)의 키워드로 되어 있으므로, 프로세스명(62)으로부터 프로세스정보(61)가 인출된다.

그 결과를 라인용 단말(13)에 표시하든가, 또는 처리장치(21)에 처리정보(41)로서 지령한다. 라인용 단말(13)에 표시한 경우에는 작업자가 처리장치(21)에 처리정보(41)를 입력하여, 각 웨이퍼에 당해 프로세스를 행한다. 또 직접 , 처리장치(21)에 처리정보를 지령한 경우에는, 그 처리정보(41)에 의해 각 웨이퍼에 당해 프로세스를 행한다.

이와 같이 하여, 호스트콤퓨터(11)로부터 칩관리콤퓨터(16)를 통하여 맵정보(101)를 호출하고, 칩마다 상이한 조건의 처리정보(41)가 처리장치(21)에 지시된다. 예를 들면, 감광공정의 경우에는 칩마다 상이한 포토마스크를 사용하여, 상이한 감광조건으로 레지스트막의 감광을 행할 수 있다. 또, 어닐처리공정에서는, 예를 들면 에너지빔에 의한 어닐처리를 이용함으로써, 웨이퍼상의 일부분의 칩만이 어닐처리된다. 또한, 어닐처리조건을 칩마다 변경할 수 있다.

다음에, 일예로서 상기 칩관리시스템(1)에 있어서의 칩의 위치좌표의 결정법을 도 2에 따라서 설명한다.

도시한 바와 같이, 웨이퍼(121)에는 복수의 칩(122)(122-1, 122-2, 122-3, ・・・)이 형성된다. 통상, 칩(122) 사이에는 스트리트(123)가 형성된다. 따라서, 칩(122)의 좌표를 결정하기 위해서는 도면의 x 행 방향 및 y 열 방향의 칩의 반복간격 a, b 과 기준칩(122-1)(122)을 결정할 필요가 있다.

그리고, 칩(122)에 번호를 붙이는데는, 예를 들면 x 행 y 열의 칩은 z 번(122-z)과 같이 표시한다.

따라서, 로트정보(31)에는 상기 로트번호, 웨이퍼매수, 웨이퍼번호 외에, 칩번호 z 가 기억된다. 또, 칩번호 z 에 의해 로트번호, 웨이퍼매수, 웨이퍼번호 등을 표시할 수 있으면, 그들 정보는 없어도 된다.

또, 상기 위치결정의 데이터는, 예를 들면 처리장치의 하나의 스테퍼가 가진 칩좌표를 사용하는 것도 가능하다.

상기 칩관리시스템(1)에 있어서, 웨이퍼에 복수의 디바이스를 탑재하고, 또한 탑재할 디바이스의 칩사이즈가 상이한 경우에는, 각 디바이스마다의 칩사이즈에 관한 칩사이즈정보를 칩관리콤퓨터(16)에 입력할 필요가 생긴다. 이와 같은 경우의 일예를 제2 실시예로서, 도 3의 시스템구성도에 따라서 설명한다.

도시한 바와 같이, 이 칩관리시스템(2)은 상기 도 1에서 설명한 칩관리시스템(1)과 대략 동일한 구성을 나타낸다.

따라서, 호스트콤퓨터(11)에는 단말(12)과 라인내정보(81)를 입력하는 라인용 단말(13)이 접속되어 있다. 또한, 프로세스정보(61)를 기억하는 프로세스정보기억수단(14)과 라인내정보를 기억하는 라인내정보기억수단(15)이 접속되어 있다. 또, 호스트콤퓨터(11)에는 처리장치(21)가 온라인 접속되어 있다. 이 처리장치(21)는 호스트콤퓨터(11)에 의해 지령되는 처리정보에 의해 가동한다. 또한, 상기 호스트콤퓨터(11)에는 맵정보(101)를 작성하는 칩관리콤퓨터(15)가 접속되어 있다. 칩관리콤퓨터(16)에는 맵정보(101)를 기억하는 칩정보기억수단(17)이 접속되어 있다.

그리고, 이 칩관리시스템(2)에서는 상기 단말(12)이 로트정보(31)와 디바이스정보(51)와 프로세스정보(61)와 칩위치정보(71)를 입력하는 동시에, 각 디바이스마다의 칩사이즈에 관한 칩사이즈정보(111)를 입력하는 것으로 구성되어 있다. 또, 칩관리콤퓨터(16)는 로트정보(31)와 디바이스정보(51)와 칩위치정보(71)와 칩 사이즈정보(111)에 의거하여 각 웨이퍼상에 맵핑을 행하는 동시에, 각 첨에 번호를 붙이고, 각 칩번호(91)에 대응하는 디바이스정보(51)의 디바이스명(52)을 관련지어서, 맵정보(101)를 작성하는 깃으로 구성되어 있다.

상기 칩관리시스템(2)에서는 각 디바이스마다의 칩사이즈에 관한 칩사이즈정보(111)를 입력하는 기능을 단말(12)이 가지며, 칩관리콤퓨터(16)가 칩사이즈정보(111)를 고려하여 맵정보를 작성하는 기능을 가짐으로써, 칩사이즈가 상이한 칩을 탑재한 웨이퍼에 대해서도 맵핑을 행할 수 있다. 그리고, 각 칩마다 번호가 붙여진다. 그러므로, 사이즈가 상이한 칩이 탑재되어 있는 웨이퍼에 대해서도 각 칩마다 칩사이즈정보(111)가 관련지어지므로, 웨이퍼상에 있어서의 칩의 위치가 확실하게 규정된다. 따라서, 칩번호(91)에 대응한 프로세스를 처리정보(41)로서 처리장치(21)에 지시할 수 있

다.

또, 칩관리시스템(1) 또는 칩관리시스템(2)에서는, 처리장치(2)에서 처리한 각 칩의 이력, 처리조건, 처리결과 등에 관한 정보를 라인내정보(81)로서, 호스트 콤퓨터(11)를 통해 라인내정보기억수단(15)에 기억시키는 것이 가능하다. 따라서, 호스트콤퓨터(11)는 라인내정보기억수단(15)에 기억되어 있는 라인내정보(81)를 검색함으로써, 각 칩의 상태를 파악하는 것이 가능하게 된다. 그리고, 칩의 현시점에서의 상태를 고려함으로써 처리장치(21)에 지시하는 처리정보(41)를 지시할 때에 각 칩에 대하여 치밀한 처리조건을 지시하는 것도 가능하게 된다.

다음에, 상기 도 1에서 설명한 칩관리시스템(1)(또는, 도 3에서 설명한 칩관기시스템(2))의 입력처리방법을 도 4의 흐름도에 따라서 설명한다. 그리고, 도면에서는 상기 도 1 또는 도 3에서 설명한 것과 동일한 구성부품에는 동일부호를 붙인다.

도시한 바와 같이,제1 단계에서 「로트정보의 입력과 기억」을 행한다. 이 단계에서는 생산라인에 투입하는 로트에 관한 정보로서, 예를 들면 로트번호(32), 웨이퍼매수(33), 웨이퍼번호(34) 등의 로트정보(31)를 단말(12)로부터 호스트콤퓨터(11)에 입력하여, 그들 정보를 라인내정보기억수단(15)에 기억한다. 그리고, 웨이퍼에 대한 번호붙임은 입력순으로 자동적으로 행하는 것도 가능하다.

이어서, 제2 단계에서 「디바이스정보의 입력」을 행한다. 이 단계에서는 디바이스정보(51)를 단말(12)로부터 호스트콤퓨터(11)에 입력한다. 이 디바이스정보(51)는 웨이퍼상에 제작하는 디바이스에 관한 정보로서, 예를 들면 디바이스명(52), 디바이스의 칩의 크기(53), 제작하는 디바이스의 칩수(54) 등으로 이루어진다. 그리고, 상기 단말(12)은 복수의 종류의 디바이스에 관한 정보를 입력하는 것도 가능하다.

이어서, 제3 단계에서 「프로세스정보의 선택」을 행한다. 이 단계에서는 호스트콤퓨터(11)에 의해 상기 제2 단계에서 입력한 디바이스정보(51)에 의거하여 각 디바이스에 적용하는 프로세스를 미리 프로세스정보(61)를 기억시켜 둔 프로세스정보기억수단(14)으로부터 선택하여 당해 호스트콤퓨터(11)에 호출한다. 예를들면 디바이스명(52)을 키워드로 하여, 그것에 대응하는 프로세스명(62)을 호출한다.

또한, 제4 단계에서 「디바이스정보와 프로세스정보와 라인내 정보의 기억」을 행한다. 이 단계에서는 디바이스정보(51)의 키워드인 디바이스명(52)과 각 디바이스에 할당된 프로세스정보(61)의 키워드인 프로세스명(62)을 라인내정보 기억수단(15)에 기억한다. 또, 당해 로트에 이미 실행된 처리에 관한 정보는 라인내정보(81)로서 미리 라인내정보기억수단(15)에 기억되어 있다. 그리고, 프로세스 정보기억수단(14)으로부터 프로세스정보(61)의 프로세스조건(63)을 호스트 콤퓨터(11)에 인출하여, 다시 라인내정보기억수단에 기억한다.

이어서, 제5 단계에서 「맵핑」을 행한다. 이 단계에서는 칩관리콤퓨터(16)에 의해 로트정보(31)와 디바이스정보(51)와 칩위치정보(71)에 의거하여 웨이퍼상에 형성하는 칩의 위치좌표를 확정한다.

이어서, 제6 단계에서 「맵정보의 작성」을 행한다. 이 단계에서는 칩관리콤퓨터(16)에 의해 맵핑한 각 칩에 번호를 붙여서, 당해 칩번호(91)와 디바이스명(52)을 관련지음으로써 맵정보(101)를 작성한다.

또, 디바이스마다 칩사이즈가 상이한 경우에는, 상기 제5 단계에서 도 3에서 설명한 칩사이즈정보(111)를 단말(12)로부터 칩관리콤퓨터(16)에 입력하고, 이 칩 사이즈정보(111)와 상기 웨이퍼정보(31)와 상기 디바이스정보(51)로부터 웨이퍼상에 형성하는 칩의 위치좌표를 확정한다. 그리고, 제6 단계에서 각 칩에 번호를 붙이고, 당해 칩번호(91)와 디바이스명(52)을 관련지어서 맵을 작성한다.

그 후, 제7 단계에서 「맵정보의 기억」을 행한다. 이 단계에서는 상기 작성한 맵정보(101)를 칩정보기억수단(17)에 기억한다.

상기 칩관리시스템의 입력처리방법에서는, 칩관리콤퓨터(16)에 의해 웨이퍼상에 형성하는 칩의 위치좌표를 규정하는 맵핑을 행하여, 각 칩에 붙인 칩번호(91)와 디바이스명(52)을 관련지어서 맵정보(101)를 작성한다. 그리고, 맵정보(101)를 칩정보기억수단(17)에 기억함으로써, 칩마다 디바이스명(52)이 관련지어진다.

다음에, 상기 맵정보(101)에 의거하여 웨이퍼프로세스를 행하는 경우를 도 5의 로트처리의 흐름도에 따라서 설명한다. 그리고, 도면에서는 상기 도 1 또는 도 3에서 설명한 것과 동일한 구성부품에는 동일부호를 붙인다.

도시한 바와 같이, 제1 단계에서는 먼저 처리장치(21)에 로트(131)가 도달하면, 호스트콤퓨터(11)는 처리장치(21)에 도달한 로트(131)의 로트번호(32)로부터 로트정보(31)를 인식하고, 로트정보(31)에 의해 로트(131)내의 각 웨이퍼의 상태를 인식한다. 그리고, 칩번호(91)를 키워드로 하여, 칩관리콤퓨터(16)를 통하여 칩정보기억수단(17)에 기억되어 있는 맵정보(101)로부터 각 웨이퍼에 형성되는 칩의 디바이스형(52)과 웨이퍼상에 있어서의 칩위치를 검색한다. 그리고 검색한 결과, 당해 칩번호(91)에 대응하는 디바이스명(52)이 판명된다. 그리고, 호스트콤퓨터(11)에 칩번호(91)에 관련된 디바이스명(52)을 인출한다.

이어서, 제2 단계에서 호스트콤퓨터(11)에 의해 디바이스명(52)을 키워드로 하여, 프로세스정보기억수단(14)으로부터 각 칩의 프로세스명(62)을 검색한다. 프로세스명(62)은 프로세스정보(61)의 키워드로 되어 있으므로, 프로세스명(62)으로부터 프로세스정보(61)가 인출된다.

계속해서, 제3 단계에서 호스트콤퓨터(11)에 의해 프로세스정보(61)를 처리정보로서 라인용 단말(13)에 표시하든가 또는 처리장치(21)에 지령한다.

그리고, 제4 단계에서 라인용 단말(13)에 표시한 경우에는, 작업자가 처리장치(21)에 처리정보(41)를 입력하여, 각 웨이퍼에 당해 프로세스를 행한다. 또 직접, 처리장치(21)에 처리정보(41)를 지령한 경우에는, 그 처리정보(41)에 의해 당해 로트(131)의 각 웨이퍼의 칩에 소정의 프로세스를 실시한다.

상기 칩관리시스템의 로트처리방법에서는, 칩번호(91)로 디바이스명(52)을 검색하고, 그것에 대응하는 프로세스명(62)을 인출하여, 프로세스정보(61)를 지정한다. 따라서, 각 칩마다 상이한 프로세스처리가 처리정보(41)로서 처리장치(21)에 지령된다.

발명의 효과

이상, 설명한 바와 같이 본 발명의 칩관리시스템에 의하면, 각 웨이퍼에 형성되는 칩의 맵핑을 행하는 동시에, 각 칩에 번호를 붙이고, 각 칩번호와 디바이스정보를 관련지은 맵정보를 작성하는 칩관리콤퓨터를 호스트콤퓨터에 접속하고, 또한 상기 맵정보를 기억하는 칩정보기억수단을 설치하였으므로, 호스트콤퓨터를 통하여 칩마다 상이한 조건의 처리정보를 처리장치에 지시할 수 있다. 따라서, 칩마다 프로세스조건을 변경하는 것이 가능하게 된다. 이와 같이, 칩마다 생산관리를 할 수 있으므로, 1 웨이퍼상에서 다품종 소량생산을 할 수 있다.

또, 본 발명의 칩관리시스템의 데이터입력방법에 의하면, 칩관리콤퓨터에 의해 웨이퍼상에 있어서의 칩의 위치좌표를 규정하는 맵핑을 행하여, 각 칩에 붙인 칩번호와 각 디바이스명을 관련지어서 맵정보를 작성하고, 그 맵정보를 칩정보기억수단에 기억하므로, 칩번호로 디바이스명을 검색할 수 있다. 또, 호스트콤퓨터로 디바이스명으로 프로세스명을 검색하여, 프로세스정보를 지정할 수 있으므로, 칩번호로 프로세스정보를 지정할 수 있다. 따라서, 각 칩마다 상이한 프로세스정보를 저리정보로서 처리장치에 지령하는 것이 가능하게 된다.

본 발명의 칩관리시스템에 의한 로트처리방법에서는, 로트번호로부터 로트정보를 인식하고, 그리고 칩번호로부터 디바이스명과 웨이퍼에 있어서의 칩의 위치를 검색하고, 디바이스명으로부터 각 칩의 프로세스명을 통해 프로세스정보를 인출하여, 그것을 처리정보로서 처리장치 또는 라인용 단말에 지령하여 칩처리를 행하므로, 1 웨이퍼상에서 칩마다 상이한 프로세스처리를 행하는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1.

상이한 프로세스정보를 필요로 하는 복수의 칩을 탑재한 웨이퍼의 생산관리를 행하는 칩관리시스템으로서,

로트정보, 디바이스정보, 프로세스정보 및 칩위치정보를 입력하는 단말과, 라인내정보를 입력하는 라인용 단말과,

입력된 상기 로트정보에 의거하여 웨이퍼에 형성되는 칩마다의 처리정보를 로트의 처리를 행하는 처리장치에 지령하는 것으로서, 상기 단말과 상기 라인용 단말을 접속한 호스트콤퓨터와,

상기 단말로부터 입력된 프로세스정보를 상기 호스트콤퓨터를 통하여 기억하는 것으로서, 당해 호스트콤퓨터에 접속된 프로세스정보기억수단과,

상기 라인용 단말로부터 입력된 라인내정보를 상기 호스트콤퓨터를 통하여 기억하는 것으로서, 당해 호스트콤퓨터에 접속된 라인내정보기억수단과,

상기 로트정보, 상기 디바이스정보 및 상기 칩위치정보에 의거하여 각 웨이퍼에 형성되는 칩의 맵을 작성하는 동시에, 각 칩에 번호를 붙여서 각 칩번호에 대응하는 디바이스정보를 관련지어서 맵정보를 작성하는 것으로서, 상기 호스트콤퓨터에 접속된 칩관리콤퓨터와,

상기 맵정보를 기억하는 것으로서, 상기 칩관리콤퓨터에 접속된 칩정보기억수단으로 이루어지는 것을 특징으로 하는 칩관리시스템.

청구항 2.

제1항에 있어서,

상기 단말은 로트정보, 디바이스정보, 프로세스정보 및 칩위치정보를 입력하는 동시에, 각 디바이스마다의 칩의 크기에 관한 칩사이즈정보를 입력하는 것으로 구성되고,

상기 칩관리콤퓨터는 상기 로트정보, 상기 디바이스정보, 상기 칩위치정보 및 상기 칩사이즈정보에 의거하여 각 웨이퍼상에 맵핑을 행하는 동시에, 각 칩에 번호를 붙이고, 각 칩번호에 대응하는 디바이스정보를 관련짓는 것으로 구성되어 있는 것을 특징으로 하는 칩관리시스템.

청구항 3.

제1항 또는 제2항의 칩관리시스템의 입력처리방법으로서,

생산라인에 투입하는 로트에 관한 로트정보를 단말로부터 호스트콤퓨터에 입력하여 라인내정보기억수단에 기억하는 제1 단계와,

웨이퍼상에 제작하는 디바이스에 관한 디바이스정보를 단말로부터 호스트콤퓨터에 입력하는 제2 단계와,

호스트콤퓨터에 의해 상기 제2 단계에서 입력한 디바이스정보에 의거하여 각 디바이스에 적용하는 프로세스를 미리 프로세스정보를 기억시켜 둔 프로세스정보기억수단으로부터 선택하여, 선택한 프로세스정보를 당해 호스트콤퓨터에 인출하는 제3 단계와,

상기 디바이스정보 중 디바이스명과 각 디바이스명에 할당된 프로세스정보중 프로세스명을 라인내정보기억수단에 기억하는 동시에, 프로세스정보기억수단으로부터 프로세스조건을 인출하여 라인내정보기억수단에 기억하는 제4 단계와,

상기 칩관리콤퓨터에 의해 상기 단말로부터 입력된 각 정보에 의거하여 웨이퍼상에 형성하는 칩의 위치좌표를 규정하는 맵핑을 행하는 제5 단계와,

상기 칩관리콤퓨터에 의해 맵핑을 행한 각 칩에 대하여 번호를 붙이고, 당해 번호와 디바이스명을 관련지어서 맵정보를 작성하는 제6 단계와,

상기 맵정보를 칩정보기억수단에 기억하는 제7 단계를 행하는 것을 특징으로 하는 칩관리시스템의 입력처리방법.

청구항 4.

제1항 또는 제2항의 칩관리시스템의 로트처리방법으로서,

호스트콤퓨터에 의해 처리장치에 도달한 로트의 로트번호로부터 로트정보를 인식하고, 칩관리콤퓨터에 의해 칩번호를 키워드로 하여 당해 로트내의 각 웨이퍼에 형성되는 칩의 디바이스명과 당해 웨이퍼상에 있어서의 칩의 위치를 검색하는 제1 단계와,

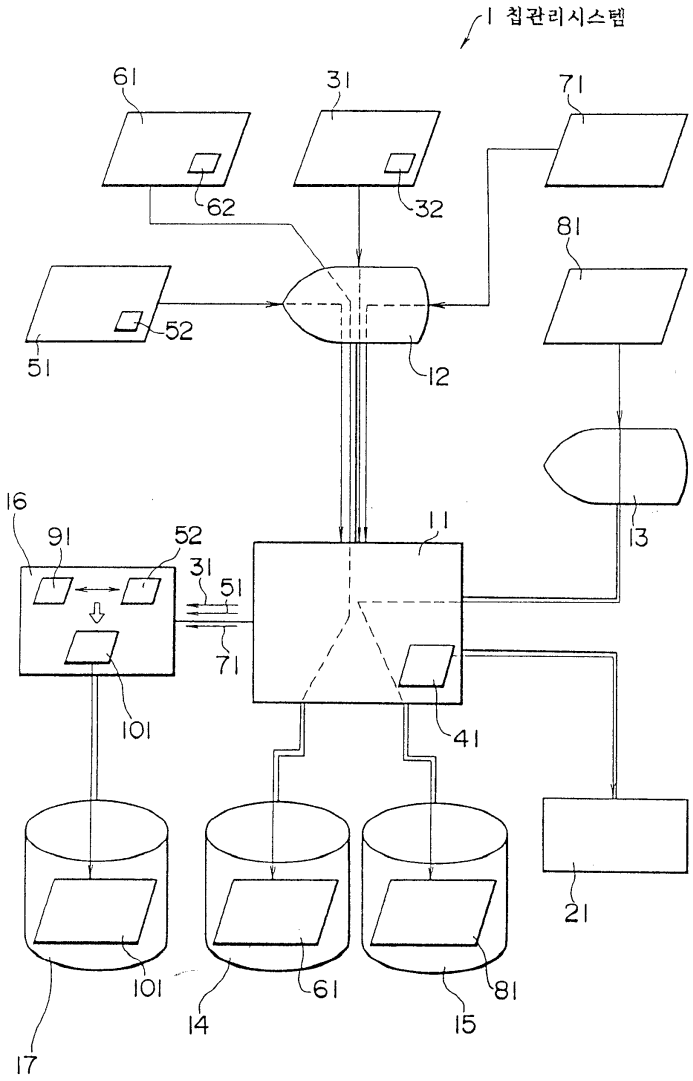
호스트콤퓨터에 의해 상기 칩번호에 대응하는 디바이스명을 인출하고, 당해 디바이스명으로부터 각 칩의 프로세스명을 검색하여, 프로세스정보를 인출하는 제2단계와,

호스트콤퓨터에 의해 상기 인출된 프로세스정보를 처리정보로서 상기 처리장치 또는 라인용 단말에 지령하는 제3 단계와,

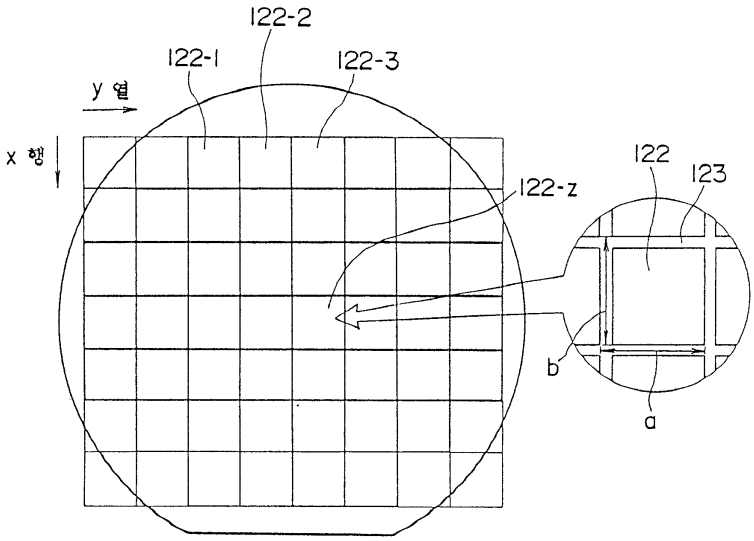
상기 처리정보에 의거하여, 상기 처리장치에 의해 상기 로트내의 각 웨이퍼에 형성되는 칩의 처리를 행하는 제4 단계를 행하는 것을 특징으로 하는 칩관리시스템의 로트처리방법.

도면

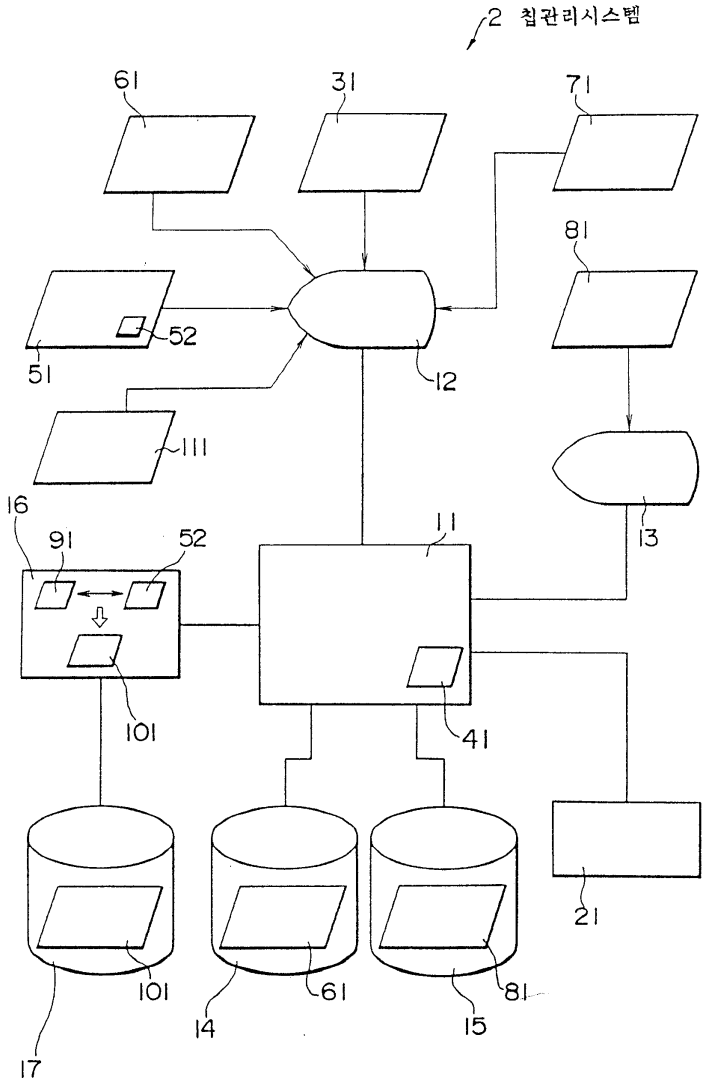
도면 1


1 침관리시스템
61
31
71
62
32
81
52
51
12
16
91
52
31
51
11
13
71
101
41
21
101
61
81
14
15
17

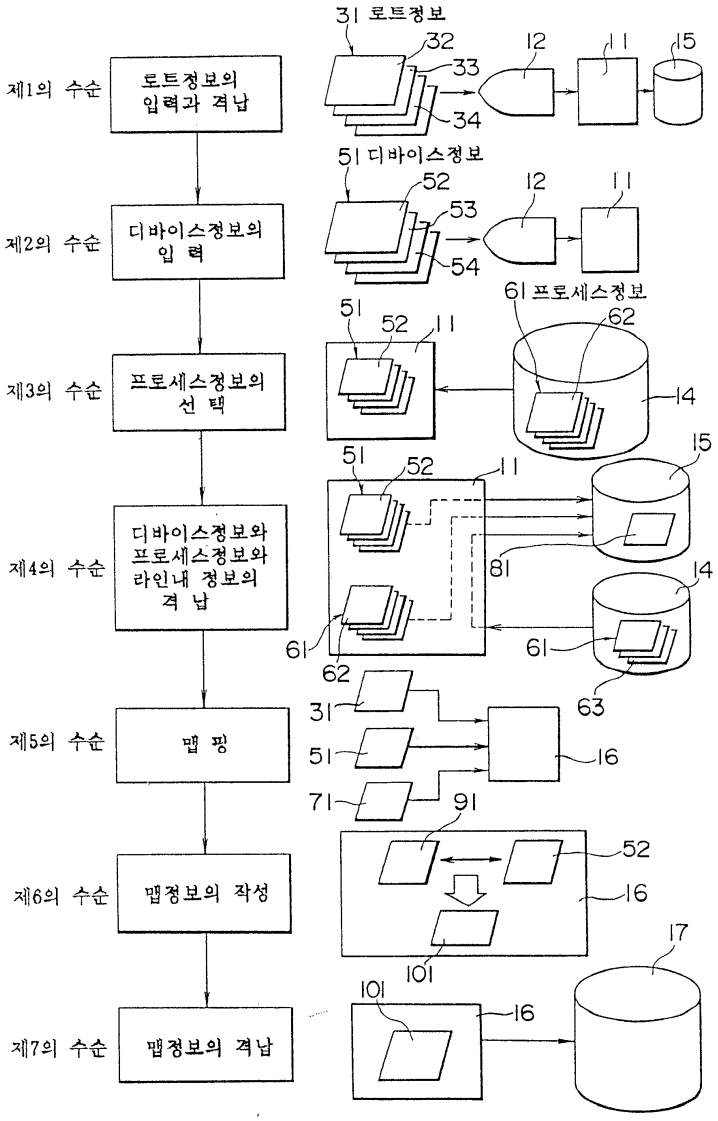
도면 2



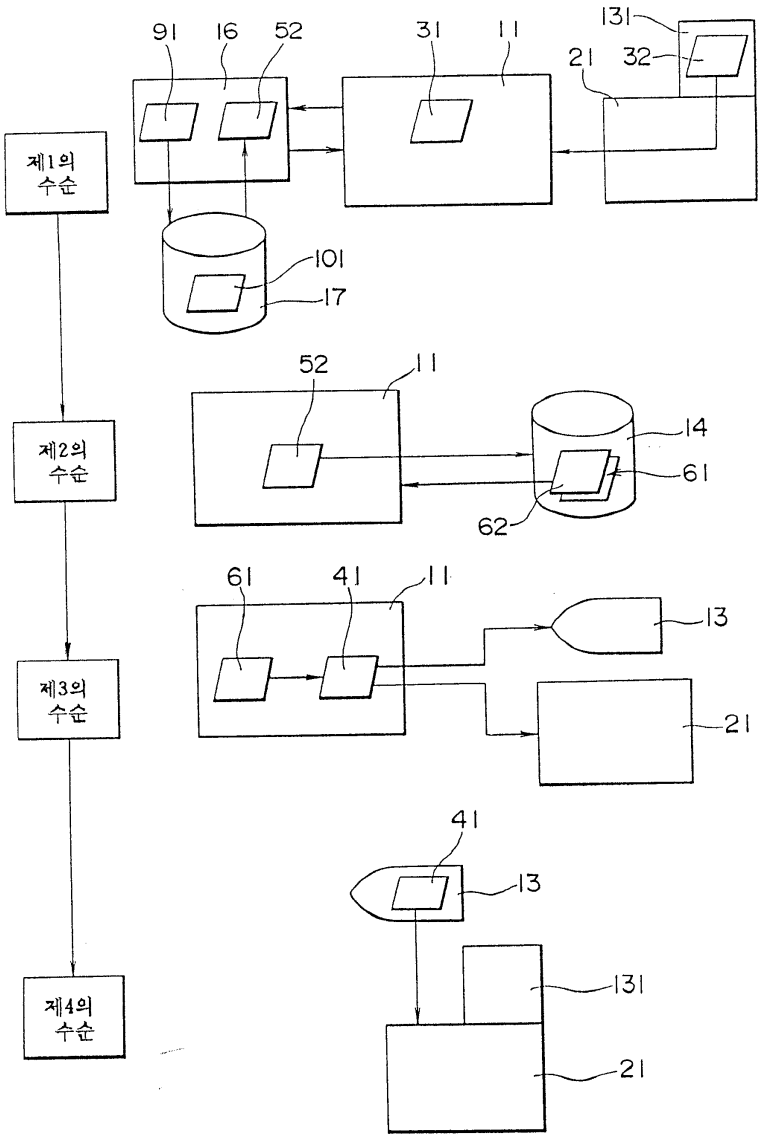
도면 3


2 칩관리시스템
61
31
71
81
52
51
12
111
16
91
52
11
13
101
41
21
101
61
81
14
15
17

도면 4


제1의 수순
토트정보의 입력과 격납
제2의 수순
디바이스정보의 입 력
제3의 수순
프로세스정보의 선 택
제4의 수순
디바이스정보와 프로세스정보와 라인내 정보의 격 납
제5의 수순
맵 핑
제6의 수순
맵정보의 작성
제7의 수순
맵정보의 격납
31 로트정보
32
33
34
12
11
15
51 디바이스정보
52
53
54
61 프로세스정보
62
14
81
16
71
91
101
17
63

도면 5


91
16
52
31
11
131
21
32
제1의 수순
101
17
52
11
제2의 수순
14
61
62
61
41
11
13
제3의 수순
21
41
13
131
21
제4의 수순