



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

202938
(11) (B1)

(22) Přihlášeno 28 03 79
(21) [PV 2038-79]

(51) Int. Cl.³
G 06 F 3/00

(40) Zveřejněno 30 05 80

(45) Vydáno 15 11 82

(75)

Autor vynálezu

SLOVÁČEK PAVEL ing. a BAROCH KAREL ing., PRAHA

(54) Způsob a zapojení pro vyhodnocení binární informace obsažené
v trojstavovém signálu

1

Vynález se týká způsobu a zapojení pro vyhodnocení binární informace obsažené v trojstavovém signálu, používaném pro přenos binární informace ve výpočetní technice po budovách a rozlehlých výrobních objektech, obzvláště mezi počítačem a periferními zařízeními, umístěnými ve větší vzdálenosti od počítače.

Doposud známé způsoby vyhodnocení trojstavového signálu využívají dvou způsobů rozlišení časového sledu komplementárních úrovní:

Buď přímého rozlišení časového sledu komplementárních úrovní trojstavového signálu po zpracování v napěťových komparátorech rozdělením do dvou kanálů o úrovních TTL a střídavým blokováním těchto větví monostabilními obvody v závislosti na polaritě první části bitu tak, že impuls časově odpovídající druhé části bitu se objeví pouze na výstupu jednoho kanálu podle logického obsahu bitu. Hlavní nevýhoda tkví v tom, že zařízení k provádění tohoto způsobu nejsou odolná vůči poruchám, které mohou proniknout až na výstupy obou kanálů, popřípadě zablokovat cestu užitečného signálu.

Nebo nepřímého rozlišení časového sledu komplementárních úrovní trojstavového signálu převedením na jednoduchý trojúhelní-

2

kovitý signál pomocí integrátoru, přičemž okamžitá polarita takto získaného signálu je v relaci s pořadím napěťových úrovní trojstavového signálu a tedy i s logickým obsahem bitu. Hlavní nevýhoda tkví v tom, že zařízení k provádění tohoto způsobu vyžadují trojstavový signál o nulové střední hodnotě.

Uvedené nevýhody odstraňuje způsob vyhodnocení binární informace obsažené v trojstavovém signálu tvořeném časovým sledem kladných, záporných a nulových napěťových úrovní s definovanou konstantní dobou trvání nenulových úrovní, v němž jednotlivé bity jsou tvořeny sledem kladné, záporné a nulové úrovně v rámci sledu jednoho bitu, využívající zpracování trojstavového signálu ve dvou napěťových komparátorech, jejichž rozhodovací úrovně jsou určeny zdrojem prahového napětí, přičemž v závislosti na polaritě právě přijímané napěťové úrovně trojstavového signálu se vytváří jednoduchý impuls na výstupu buď jednoho nebo druhého napěťového komparátoru, podle vynálezu, jehož podstata spočívá v tom, že náběžnou hranou prvního takto získaného impulsu na výstupu jednoho z dvojice napěťových komparátorů se spustí první zpožďovací obvod generující impuls s dobou trvání kratší, než je doba trvání re-

gulárního impulsu na výstupu napětového komparátoru, odpovídajícího první napětové úrovni v rámci sledu jednoho bitu trojstavového signálu. Závěrnou hranou impulsu z prvního zpožďovacího obvodu se provede primární zápis logických úrovní z výstupů obou napětových komparátorů do první dvojice jednobitových pamětí za podmínky, že stavy výstupů napětových komparátorů jsou v okamžiku primárního zápisu vzájemně inverzní, v každém jiném případě se zápis neprovede a jednobitové paměti zůstanou ve výchozím stavu připraveny na příjem. V případě, že k zápisu došlo, spustí se druhý zpožďovací obvod generující impuls, jehož závěrná hrana spadá do doby výskytu regulárního impulsu na výstupu druhého z dvojice napětových komparátorů, odpovídajícího napětové úrovni opačné polaritě v rámci sledu téhož bitu trojstavového signálu. Závěrnou hranou impulsu z druhého zpožďovacího obvodu se provede sekundární zápis logických úrovní z výstupů obou napětových komparátorů do druhé dvojice jednobitových pamětí za podmínky, že stav výstupu každého napětového komparátoru je v okamžiku sekundárního zápisu inverzní vůči předchozímu stavu zapsanému do první dvojice jednobitových pamětí, v každém jiném případě se zápis neprovede a všechny jednobitové paměti se uvedou do výchozího stavu buď po ukončení impulsu z druhého zpožďovacího obvodu nebo, trvali dosud impuls na výstupu alespoň jednoho napětového komparátoru, po ukončení tohoto impulsu. V případě, že k zápisu došlo, uvedou se všechny jednobitové paměti do výchozího stavu po ukončení impulsu na výstupu druhého z dvojice napětových komparátorů. Tím je dosaženo vyhodnocení informace výskytem jednoduchého impulsu na výstupu právě jedné z druhé dvojice jednobitových pamětí podle logického obsahu příjateho bitu.

Výhoda způsobu dle vynálezu spočívá v tom, že se podstatně snižuje pravděpodobnost chybného vyhodnocení vzniklého náhodnou poruchou na přenosové lince vlivem použitého vzorkovacího principu a logického zabezpečení, které potlačuje vyhodnocení nesprávného sledu napětových polarit trojstavového signálu.

K provádění způsobu vyhodnocování binární informace obsažené v trojstavovém signálu slouží zapojení se symetrizačním členem a dvěma komparátory podle vynálezu, jehož podstata spočívá v tom, že výstup prvního napětového komparátoru je spojen s přímým vstupem prvního logického inhibičního obvodu, s prvním vstupem prvního logického součtového obvodu, s inhibičním vstupem druhého logického inhibičního obvodu a s prvním vstupem obvodu pro logickou funkci negace součtu, výstup druhého napětového komparátoru je spojen s inhibičním vstupem prvního logického inhibič-

ního obvodu, s druhým vstupem prvního logického součtového obvodu, s přímým vstupem druhého logického inhibičního obvodu a s druhým vstupem obvodu pro logickou funkci negace součtu, výstup prvního logického součtového obvodu je spojen se spouštěcím vstupem prvního zpožďovacího členu, výstup prvního zpožďovacího členu je spojen s hodinovými vstupy první a druhé jednobitové paměti, výstup prvního logického inhibičního obvodu je spojen s datovým vstupem první jednobitové paměti a s prvním vstupem prvního logického součtového obvodu, výstup druhého logického inhibičního obvodu je spojen s datovým vstupem druhé jednobitové paměti a s prvním vstupem druhého logického součtového obvodu, datový výstup první jednobitové paměti je spojen s prvním vstupem druhého logického součtového obvodu a s druhým vstupem druhého logického součtového obvodu, výstup druhého logického součtového obvodu je spojen se spouštěcím vstupem druhého zpožďovacího členu, výstup druhého zpožďovacího členu je spojen s hodinovými vstupy třetí a čtvrté jednobitové paměti, dále se třetím vstupem obvodu pro logickou funkci negace součtu a s blokovacím vstupem prvního zpožďovacího členu, výstup prvního logického součtového obvodu je spojen s datovým vstupem třetí jednobitové paměti a výstup druhého logického součtového obvodu je spojen s datovým vstupem čtvrté jednobitové paměti, výstup obvodu pro logickou funkci negace součtu je spojen s nulovacími vstupy všech jednobitových pamětí, výstupy třetí a čtvrté jednobitové paměti jsou výstupy jednoduchých impulsů pro vyhodnocování binární informace obsažené v trojstavovém signálu na vstupu symetrizačního členu.

Způsob dle vynálezu je blíže objasněn na příkladu zapojení k provádění tohoto způsobu znázorněnému ve formě blokového schématu na výkrese.

Trojstavový signál se přivádí na vstup 20 symetrizačního členu 1, jehož první výstup 21 je propojen s prvním vstupem 24 prvního napětového komparátoru 3 a druhý výstup 22 je propojen s prvním vstupem 28 druhého napětového komparátoru 4. Druhý vstup 25 prvního napětového komparátoru 3 a druhý vstup 27 druhého napětového komparátoru 4 jsou spojeny s výstupem 23 zdroje prahového napětí 2. Výstup 26 prvního napětového komparátoru 3 je spojen s přímým vstupem 30 prvního logického inhibičního obvodu 5, s prvním vstupem 33 prvního logického součtového obvodu 6, s inhibičním vstupem 36 druhého logického inhibičního obvodu 7 a s prvním vstupem 71 obvodu 17 realizujícího logickou funkci ne-

gace součtu. Výstup 29 druhého napětového komparátoru 4 je spojen s inhibičním vstupem 31 prvního logického inhibičního obvodu 5, s druhým vstupem 34 prvního logického součtového obvodu 6, s přímým vstupem 37 druhého inhibičního obvodu 7 a s druhým vstupem 70 obvodu 17 realizujícího logickou funkci negace součtu, výstup 35 prvního logického součtového obvodu 6 je spojen se spouštěcím vstupem 39 prvního zpožďovacího členu 8, výstup 41 prvního zpožďovacího členu 8 je spojen s na závěrnou hranu reagujícími hodinovými vstupy 43, 46 první a druhé jednobitové paměti 9, 10, výstup 32 prvního logického inhibičního obvodu 5 je spojen s datovým vstupem 42 první jednobitové paměti 9 a s prvním vstupem 50 prvního logického součtinového obvodu 11, výstup 38 druhého logického inhibičního obvodu 7 je spojen s datovým vstupem 47 druhé jednobitové paměti 10 a s prvním vstupem 57 druhého logického součtinového obvodu 13. Datový výstup 45 první jednobitové paměti 9 je spojen s prvním vstupem 53 druhého logického součtového obvodu 12 a s druhým vstupem 56 druhého logického součtinového obvodu 13. Datový výstup 49 druhé jednobitové paměti 10 je spojen s druhým vstupem 54 druhého logického součtového obvodu 12 a s druhým vstupem 51 prvního logického součtinového obvodu 11, výstup 55 druhého logického součtového obvodu 12 je spojen se spouštěcím vstupem 59 druhého zpožďovacího členu 14. Výstup 60 druhého zpožďovacího členu 14 je spojen s na závěrnou hranu reagujícími hodinovými vstupy 62, 65 třetí a čtvrté jednobitové paměti 15, 16, dále se třetím vstupem 69 obvodu 17 realizujícího negaci součtu a s blokovacím vstupem 40 prvního zpožďovacího členu 8, výstup 52 prvního logického součtinového obvodu 11 je spojen s datovým vstupem 61 třetí jednobitové paměti 15 a výstup 58 druhého logického součtinového obvodu 13 je spojen s datovým vstupem 66 čtvrté jednobitové paměti 16. Výstup 72 obvodu 17 realizujícího negaci součtu je spojen s nulovacími vstupy 44, 48, 63, 67 všech jednobitových pamětí 9, 10, 15, 16. Výstupy 64, 68 třetí a čtvrté jednobitové paměti 15, 16 jsou výstupy, z nichž je odebírána vyhodnocená binární informace.

V příkladu zapojení podle výkresu symetrického členu 1 rozděluje vstupní trojstavový signál na dva navzájem komplementární signály, jejichž okamžitá napěťová úroveň se porovnává v komparátorech 3, 4, s napětím dodávaným ze zdroje prahového napětí 2. Na výstupech 26, 29 komparátorů 3, 4 se v případě, že příslušný vstupní signál překročil hodnotu prahového napětí, objeví binární signál ve tvaru jednoduchého impulsu s aktivní úrovní časově korespondující s příslušnou polaritou vstupního trojstavového signálu. Prvním takto získaným binár-

ním signálem se přes první součtový obvod 6 vygeneruje v prvním zpožďovacím členu 8 vzorkovací signál, který působí na hodinové vstupy 43, 46 první a druhé jednobitové paměti 9, 10 v době odpovídající první nenulové úrovni trojstavového signálu. Datové vstupy 42, 47 první a druhé jednobitové paměti 9, 10 jsou od výstupů 26, 29 prvního a druhého napětového komparátoru 3, 4 odděleny prvním a druhým inhibičním členem 5, 7, které zabezpečují, že stav výstupů 26, 29 se zapíše do první a druhé jednobitové paměti 9, 10 pouze za podmínky, že v okamžiku vzorkování byly logické úrovně na výstupech 26, 29 komparátorů 3, 4 navzájem inverzní. V každém jiném případě zůstane stav prvé dvojice jednobitových pamětí 9, 10 nezměněn a obvod se uvede do výchozího stavu. Zápisem aktivní úrovně do libovolné z prvé dvojice pamětí 9, 10 se přes druhý součtový obvod 12 vygeneruje v druhém zpožďovacím členu 14 vzorkovací signál, který působí na hodinové vstupy 62, 65 třetí a čtvrté jednobitové paměti 15, 16 v době odpovídající druhé nenulové úrovni trojstavového signálu. Současně během doby mezi prvním a druhým vzorkováním je blokován přes blokovací vstup 40 první zpožďovací člen 8 z výstupu 60 druhého zpožďovacího členu 14. Na datový vstup 61 třetí jednobitové paměti 15 působí logický signál tvořený logickým součinem signálů z výstupu 32 prvního inhibičního obvodu 5 a z výstupu 49 druhé jednobitové paměti 10, takže stav třetí jednobitové paměti 15 se změní na aktivní úroveň pouze za podmínky, že v okamžiku druhého vzorkování je na výstupu 26 prvního komparátoru 3 aktivní úroveň a současně na výstupu 29 druhého komparátoru 4 neaktivní úroveň a současně na výstupu 49 druhé jednobitové paměti 10 je aktivní úroveň. Na datový vstup 66 čtvrté jednobitové paměti 16 působí logický signál tvořený logickým součinem signálů z výstupu 33 druhého logického inhibičního obvodu 7 a z výstupu 45 první jednobitové paměti 9, takže stav čtvrté jednobitové paměti 16 se změní na aktivní úroveň pouze za podmínky, že v okamžiku druhého vzorkování je na výstupu 29 druhého napětového komparátoru 4 aktivní úroveň a současně na výstupu 26 prvního napětového komparátoru 3 neaktivní úroveň a současně na výstupu 45 první jednobitové paměti 9 je aktivní úroveň. V každém jiném případě zůstane stav druhé dvojice jednobitových pamětí 15, 16 nezměněn a obvod se uvede do výchozího stavu. V případě regulérního tvaru vstupního trojstavového signálu trvá aktivní úroveň signálů na výstupech 64, 68 druhé dvojice jednobitových pamětí 15, 16 od okamžiku druhého vzorkování do odeznění nenulových napěťových úrovní trojstavového signálu, kdy všechny jednobitové paměti 9, 10, 15, 16 jsou vynulovány signálem z výstupu 72 logického obvodu negace součtu 17.

Způsob vyhodnocení trojstavového signálu dle vynálezu je možno využít při přenosu dat po symetrických i nesymetrických linkách a v oblasti telemetrických přenosů.

Pro zvýšenou odolnost vůči rušení je vhodný též k ovládání číslicově řízených obráběcích strojů.

PŘEDMĚT VYNÁLEZU

1. Způsob vyhodnocení binární informace obsažené v trojstavovém signálu tvořeném časovým sledem kladných, záporných a nulových napětových úrovní s definovanou konstantní dobou trvání nenulových úrovní, v němž jednotlivé bity jsou tvořeny sledem kladné, záporné a nulové úrovně v rámci sledu jednoho bitu, využívající zpracování trojstavového signálu ve dvou napětových komparátorech, jejichž rozhodovací úrovně jsou určeny zdrojem prahového napětí, přičemž v závislosti na polaritě právě přijímané úrovně trojstavového signálu se vytváří jednoduchý impuls na výstupu buď jednoho nebo druhého napětového komparátoru, vyznačující se tím, že náběžnou hranou prvního takto získaného impulsu na výstupu jednoho z dvojice napětových komparátorů se spustí první zpožďovací obvod generující impuls s dobou trvání kratší než je doba trvání regulérního impulsu na výstupu napětového komparátoru, odpovídajícího první napětové úrovni v rámci sledu jednoho bitu trojstavového signálu, závěrnou hranu impulsu z prvního zpožďovacího obvodu se provede primární zápis logických úrovní z výstupu obou napětových komparátorů do první dvojice jednobitových pamětí za podmínky, že stavy výstupů napětových komparátorů jsou v okamžiku primárního zápisu vzájemně inverzní, v každém jiném případě se zápis neprovede a jednobitové paměti zůstanou ve výchozím stavu připraveny na příjem, v případě, že k zápisu došlo, spustí se druhý zpožďovací obvod generující impuls, jehož závěrná hrana spadá do doby výskytu regulérního impulsu na výstupu druhého z dvojice napětových komparátorů, odpovídajícího napětové úrovni opačné polaritě v rámci sledu téhož bitu trojstavového signálu, a závěrnou hranou impulsu z druhého zpožďovacího obvodu se provede sekundární zápis logických úrovní z výstupů obou napětových komparátorů do druhé dvojice jednobitových pamětí za podmínky, že stav výstupu každého napětového komparátoru je v okamžiku sekundárního zápisu inverzní vůči předchozímu stavu zapsanému do první dvojice jednobitových pamětí, v každém jiném případě se zápis neprovede a všechny jednobitové paměti se uvedou do výchozího stavu buď po ukončení impulsu z druhého zpožďovacího obvodu nebo, trvá-li dosud impuls na výstupu alespoň jednoho napětového komparátoru, po ukončení tohoto impulsu, v případě, že k zápisu došlo, uvedou se všechny jednobitové paměti do výchozího stavu po ukončení impulsu na

výstupu druhého z dvojice napětových komparátorů a tím je dosaženo vyhodnocení informace výskytem jednoduchého impulsu na výstupu právě jedné z druhé dvojice jednobitových pamětí podle logického obsahu přijatého bitu.

2. Zapojení pro provádění způsobu podle bodu 1, se symetrizačním členem a dvěma komparátory, vyznačující se tím, že výstup (26) prvního napětového komparátoru (3) je spojen s přímým vstupem (30) prvního logického inhibičního obvodu (5), s prvním vstupem (33) prvního logického součtového obvodu (6), s inhibičním vstupem (36) druhého logického inhibičního obvodu (7) a s prvním vstupem (71) obvodu (17) pro logickou funkci negace součtu, výstup (29) druhého napětového komparátoru (4) je spojen s inhibičním vstupem (31) prvního logického inhibičního obvodu (5), s druhým vstupem (34) prvního logického součtového obvodu (6), s přímým vstupem (37) druhého logického inhibičního obvodu (7) a s druhým vstupem (70) obvodu (17) pro logickou funkci negace součtu, výstup (35) prvního logického součtového obvodu (6) je spojen se spouštěcím vstupem (39) prvního zpožďovacího členu (8), výstup (41) prvního zpožďovacího členu (8) je spojen s hodinovými vstupy (43, 46) první a druhé jednobitové paměti (9, 10), výstup (32) prvního logického inhibičního obvodu (5) je spojen s datovým vstupem (42) první jednobitové paměti (9) a s prvním vstupem (50) prvního logického součtového obvodu (11), výstup (38) druhého logického inhibičního obvodu (7) je spojen s datovým vstupem (47) druhé jednobitové paměti (10) a s prvním vstupem (57) druhého logického součtového obvodu (13), datový výstup (45) první jednobitové paměti (9) je spojen s prvním vstupem (53) druhého logického součtového obvodu (12) a s druhým vstupem (56) druhého logického součtového obvodu (13), datový výstup (49) druhé jednobitové paměti (10) je spojen s druhým vstupem (54) druhého logického součtového obvodu (12) a s druhým vstupem (51) prvního logického součtového obvodu (11), výstup (55) druhého logického součtového obvodu (12) je spojen se spouštěcím vstupem (59) druhého zpožďovacího členu (14), výstup (60) druhého zpožďovacího členu (14) je spojen s hodinovými vstupy (62, 65) třetí a čtvrté jednobitové paměti (15, 16), dále se třetím vstupem (69) obvodu (17) pro logickou funkci negace součtu a s blokovacím vstupem (40) prvního zpožďovacího členu

[8], výstup [52] prvního logického součinového obvodu [11] je spojen s datovým vstupem [61] třetí jednobitové paměti [15] a výstup [58] druhého logického součinového obvodu [13] je spojen s datovým vstupem [66] čtvrté jednobitové paměti [16], výstup [72] obvodu [17] pro logickou funkci negace součtu je spojen s nulovacími vstupy [44,

48, 63, 67] všech jednobitových pamětí [9, 10, 15, 16], výstupy [64, 68] třetí a čtvrté jednobitové paměti [15, 16] jsou výstupy jednoduchých impulsů pro vyhodnocování binární informace obsažené v trojstavovém signálu na vstupu [20] symetrizačního členu [1].

1 list výkresů

