



BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

---

(57) 要約 : シングルゲート型 IGBT を使用した PWM 制御インバータ装置よりも電力損失が少なく、かつ脈動が小さく低ノイズの交流波を出力する PWM 制御インバータ装置を提供するために、インバータ装置として、3相各相の上下アームに第1および第2のデュアルゲート IGBT を使用し逆並列にダイオードを接続する構成であり、第1のデュアルゲート IGBT の第1のゲート端子は、電圧指令信号に基づいて導通幅を変調した第1の PWM 信号を用いて生成した第1のゲート信号により駆動され、第2のゲート端子は、第1の PWM 信号に基づいて当該第1の PWM 信号の導通幅より短い導通幅に変調しかつ当該第1の PWM 信号の導通幅の期間内に位置する第3の PWM 信号を用いて生成した第2のゲート信号により駆動され、第2のデュアルゲート IGBT の第1および第2のゲート信号は、第1の PWM 信号を正負逆相にした第2の PWM 信号から同様に生成する。

## 明 細 書

発明の名称：インバータ装置およびその駆動方法

### 技術分野

[0001] 本発明は、インバータ装置に関し、特に、鉄道車両等に使用されるモータをPWM（Pulse Width Modulation：パルス幅変調）制御により駆動するインバータ装置に好適である。

### 背景技術

[0002] 近年の省エネ、地球環境保全の世界的な動向に連動して、交流モータを用いる様々な製品に対して、そのモータの駆動源に電力変換装置が適用されている。中でも、電気鉄道車両や風力発電システムなど、モータ容量の大きな分野へ拡大している。特に、電気鉄道用のモータ駆動システムは、高効率を達成するためにモータ本体の高効率化やそれを駆動する変換器の高効率化が進められている。

[0003] 一般に、交流モータを可変速駆動するためには、直流電力を任意の周波数と電圧に変換する電力変換装置としてインバータが用いられ、インバータを構成する半導体スイッチング素子をPWM制御することにより、交流モータへの印加電圧および周波数を制御している。

[0004] 従来一般的なインバータ装置の回路構成としては、例えば、特許文献1にも示されるように（図1）、交流モータを構成する3相の誘導性負荷に対し、上アームと下アームから構成される半導体スイッチング素子であるIGBTが接続される。インバータとして動作する際、IGBTには、導通損失とスイッチング損失と呼ばれる電力損失が発生する。

[0005] 図16は、IGBTの導通時72および非導通時73における、ゲート信号68、コレクタ・エミッタ間の電圧波形69、コレクタ電流波形70および双方による電流・電圧積71を示す図である。ゲートにオン信号が印加されることによるIGBTの導通時においては、導通により電流が流れると共に、オン電圧がコレクタ・エミッタ間に印加される。これは、IGBTの内

部のキャリアに起因した抵抗による電圧降下であり、このオン電圧と電流の積78によって電力損失140が発生する。次に、ゲートにオフ信号が印加されると、IGBTの内部のキャリアが排出されてコレクタ・エミッタ間電圧が上昇し、その電圧がインバータの印加電圧75に達すると、キャリアの排出が止まり、電流が低下する。このオン状態からオフ状態に推移する際に電流・電圧積78は上昇し、ターンオフ損失と呼ぶ電力損失141が生じる。さらに、ゲートにオフ状態からオン信号が印加する際も、同様の原理で電流・電圧積が上昇し、ターンオン損失と呼ぶ電力損失が生じる。このターンオフ損失とターンオン損失との和がスイッチング損失である。

[0006] インバータでは、このIGBTの導通損失とスイッチング損失とによって、素子が発熱する。そこで、これによる温度上昇を抑制するため、IGBT1つの素子に流す電流を制限し、並列数を増加することで温度規格を保ち所望の性能を得る対策を行っている。従って、1素子当たりが発生する電力損失を下げ、許容電流定格を増加することによって、体積当たりの変換効率の向上を図り、また素子の並列数が低減して素子の占有体積やコストの低減といった効果を生み出すことができる。

[0007] また、IGBTの電力損失を低減できる技術として、特許文献2および3に示される2つのゲート端子から構成されるデュアルゲートIGBTがある。図17は、デュアルゲートIGBT79のシンボル図である。1つのコレクタ端子82、1つのエミッタ端子83に対し、2つのゲート端子80、81を有し、2つのゲート端子に入力するゲート信号によって、IGBTの導通・非導通を制御できるデュアルゲートIGBTである。図18は、デュアルゲートIGBT導通時のキャリア濃度プロファイルを示す図である。2つのゲートにオン信号を与えた場合85および1つのゲートにオン信号を与えてもう1つのゲートにオフ信号を与えた場合84のそれぞれのキャリア濃度を示している。2つのゲートにオン信号を与えた場合85は、エミッタからの正孔キャリアの注入が促進し、IGBT内部は高いキャリア濃度となり、これによってIGBT導通時のオン電圧を低減することができる。一方、1

つのゲートにオン信号を与えて1つのゲートにオフ信号を与えた場合84は、正孔キャリアがエミッタへ排出され、これによって内部のキャリア濃度を低減することができる。つまり、デュアルゲートIGBTでは、新たに付加した1つのゲートとそれに与えるゲート電圧によって、IGBT導通時のキャリア濃度を変調することが可能である。この特徴を利用し、ターンオフスイッチングの直前に1つのゲート信号を先行してオフする駆動方式を適用することで、ターンオフ直前のキャリア濃度が下がり、低ターンオフ損失の特長を導出することができる。

### 先行技術文献

### 特許文献

- [0008] 特許文献1：国際公開第2012/165196号  
特許文献2：特開2005-191221号公報  
特許文献3：国際公開第2014/038064号

### 発明の概要

### 発明が解決しようとする課題

- [0009] 本願発明者が、デュアルゲートIGBTをモータ駆動用のPWM制御インバータ装置に適用することについて鋭意検討した結果、次の知見を得るに至った。
- [0010] 本発明は、デュアルゲートIGBTの2つのゲート信号を適当なタイミングで導入することで、低損失な効果を導出するものである。図19は、デュアルゲートIGBTの導通時72および非導通時73における、2つのゲート信号68と143、コレクタ・エミッタ間の電圧波形69、コレクタ電流波形70および双方による電流・電圧積71を示す図である。なお、図19で示すコレクタ・エミッタ間の電圧波形69、コレクタ電流波形70および電流・電圧積71において、実線がデュアルゲートIGBTの特性を示し、破線が従来のシングルゲート型IGBTの特性を示している。デュアルゲートIGBTでは、スイッチングゲート68がオン状態72からオフ信号が入

力する直前において、もう一方のキャリア制御ゲート143に先行してオフ信号を導入する駆動手法を適用する。キャリア制御ゲート143がオフすることで、IGBT内部のキャリア濃度が低減し、オン電圧が一時的に増加する。その後にスイッチングゲート68がオフすることで、IGBTは導通状態から非導通状態へ推移するが、キャリア濃度が低い状態から非導通状態へ推移することで、IGBT内部の空乏化が促進し、従来に対し高速にコレクタ・エミッタ間電圧69が上昇する（波形86）。さらに、キャリアも高速に排出されることから、電流70も短時間で0Aへ推移する（波形87）こととなる。これによって、電流・電圧積71の時間積分により導出されるターンオフ損失142は、従来のシングルゲート型IGBTにおけるターンオフ損失141に比べて大幅に低減されることとなる。この特性により、デュアルゲートIGBTとその駆動手法は、電力変換機能の低損失化、高効率化に有効な技術である。

[0011] 一方で、デュアルゲートIGBTをモータ駆動用のPWM制御インバータ装置に適用するためには、交流出力波形の品質と動作信頼性を維持して低損失性能を導出することのできる上下アームの駆動方式や、2つの駆動信号を生み出す回路およびその回路配置の最適化が必要不可欠であった。

[0012] 本発明は、従来型のIGBTを用いたPWM制御のインバータ装置に対し、インバータの相各相の上下アームを構成するIGBTにデュアルゲートIGBTを適用して電力損失の低いインバータ装置を提供することを目的とする。

### 課題を解決するための手段

[0013] 上記課題を解決するため、本発明に係るインバータ装置は、半導体スイッチング素子として、第1および第2のゲート端子を有し、少なくとも一つのゲート端子に閾値電圧以上の電圧を印加することで非導通状態から導通状態へ移行し、第1および第2のゲート端子に閾値電圧未満の電圧を印加することで導通状態から非導通状態へ移行する特性を有するデュアルゲートIGBTを用いて、3相各相の上アームに接続される第1のデュアルゲートIGBT

Tおよび当該3相各相の下アームに接続される第2のデュアルゲートIGBTと、第1および第2のデュアルゲートIGBTそれぞれに逆並列に接続されるダイオードとから構成され、第1のデュアルゲートIGBTの第1のゲート端子は、負荷を駆動制御するための電圧指令信号に基づいて導通幅を変調した第1のPWM信号を用いて生成した第1のゲート信号により駆動され、第1のデュアルゲートIGBTの第2のゲート端子は、第1のPWM信号に基づいて当該第1のPWM信号の導通幅より短い導通幅に変調しかつ当該第1のPWM信号の導通幅の期間内に位置する第3のPWM信号を用いて生成した第2のゲート信号により駆動され、第2のデュアルゲートIGBTの第1のゲート端子は、第1のPWM信号の正負を逆相にした第2のPWM信号を用いて生成した第3のゲート信号により駆動され、第2のデュアルゲートIGBTの第2のゲート端子は、第2のPWM信号に基づいて当該第2のPWM信号の導通幅より短い導通幅に変調しかつ当該第2のPWM信号の導通幅の期間内に位置する第4のPWM信号を用いて生成した第4のゲート信号により駆動されることを特徴とする。

### 発明の効果

[0014] 本発明によれば、インバータ動作において、IGBTがスイッチングする際のターンオフスイッチング損失およびターンオンスイッチング損失を低減させる効果を奏することにより、低損失と高品質を両立したモータ駆動用インバータ装置を提供することができる。

### 図面の簡単な説明

[0015] [図1]本発明の実施例1に係るインバータ装置の回路図である。

[図2]実施例1に係るインバータ動作を実現するための制御信号を示す図である。

[図3]デュアルゲートIGBTのターンオフおよびターンオン時のスイッチング波形を示す図である。

[図4]従来のインバータ装置および本発明に係るインバータ装置のインバータ損失を示す図である。

[図5]本発明を適用したインバータ装置および適用しないインバータ装置の入力信号および出力波形を示す図である。

[図6]本発明の実施例2に係るインバータ装置の回路図である。

[図7]実施例2に係るインバータ動作を実現するための制御信号を示す図である。

[図8]実施例2におけるデュアルゲートIGBTの制御信号を決定するシーケンスを示すフローチャートである。

[図9]通常幅動作時および狭幅動作時における指令信号を示す図である。

[図10]本発明の実施例3に係るインバータ装置の回路図である。

[図11]実施例3におけるフィードバック信号および異常検知信号をゲート制御信号と共に示す図である。

[図12]本発明の実施例4に係るインバータ装置の回路図である。

[図13]実施例4におけるフィードバック信号および異常検知信号（Gs誤オン動作時）をゲート制御信号と共に示す図である。

[図14]実施例4におけるフィードバック信号および異常検知信号（Gc誤オン動作時）をゲート制御信号と共に示す図である。

[図15]本発明の実施例5に係るインバータ装置の回路図である。

[図16]IGBTの導通および非導通時における、ゲート信号、コレクタ・エミッタ間電圧、コレクタ電流および電流・電圧積を示す図である。

[図17]デュアルゲートIGBTのシンボル図である。

[図18]デュアルゲートIGBT導通時のキャリア濃度プロファイルを示す図である。

[図19]デュアルゲートIGBTの導通および非導通時における、2つのゲート信号、コレクタ・エミッタ間電圧、コレクタ電流および電流・電圧積を示す図である。

### 発明を実施するための形態

[0016] 以下、図面を参照して、本発明の実施形態として、実施例1～実施例5について説明する。

## 実施例 1

[0017] 図1は、本発明の実施例1に係るインバータ装置100の回路図である。

本実施例1は、IGBTとして2つの独立制御が可能であるゲートを有するデュアルゲートIGBTを適用したインバータ装置である。交流モータを構成する3相の誘導性負荷10（以下では、「モータ10」という場合もある）に対し、上アームと下アームから構成される半導体スイッチング素子であるデュアルゲートIGBT1～6が接続される。デュアルゲートIGBT1～6には、それぞれ逆並列にダイオード9が接続される。

[0018] デュアルゲートIGBT1～6は、2つの絶縁ゲート端子7および8（以下、単に「ゲート端子」と称す）と1つのエミッタ端子26から構成され、該2つのゲート端子それぞれに印加するゲート・エミッタ間電圧（以下、「ゲート電圧」と称す）によって導通・非導通を制御する。すなわち、少なくとも1つのゲート端子に印加された閾値電圧以上のゲート電圧によって、導通状態となり、2つのゲート端子に印加された閾値電圧未満のゲート電圧によって、非導通状態となる。

[0019] インバータ装置100には、電圧源11から直流電力が供給され、IGBT1～6のゲート端子7および8に印加されるゲート電圧によって、IGBT1～6それぞれが高速にターンオン、ターンオフを繰り返して、誘導性負荷10に交流電力を供給する。これにより、交流モータに回転力が与えられる。

[0020] デュアルゲートIGBT1のゲート電圧は、3相上下アームのIGBT1～6の各々に接続したゲート駆動回路12～17によって生成される。ここで、デュアルゲートIGBTの2つのゲート端子7および8と、ゲート駆動回路12から出力され2つのゲート端子7および8それぞれに接続される2つのゲート配線は、各々が電氣的に絶縁され、ゲート駆動回路12によって独立に制御される。また、エミッタ端子26もゲート駆動回路12に接続され、内部の基準電位に固定される。

[0021] ゲート駆動回路の構成については、ゲート駆動回路12を例に採ると、デ

デュアルゲート IGBT 1 のゲート 7 および 8 を駆動する信号を生成する PWM 信号変換部 20 と 2 つの出力バッファ 18 および 19 とから構成される。2 つの出力バッファ 18 および 19 は、PWM 信号変換回路 20 で生成された 2 つの PWM 信号を、IGBT 1 のゲート 7 および 8 をオン・オフできる電圧に調整するためのスイッチング素子（図示せず）等から構成される。PWM 信号変換部 20 それぞれは、3 相上下アームに対する各 PWM 信号を受けて、ディレイを設けた 2 つの PWM 信号に変換する機能を有し、かつ入力された PWM 信号を絶縁された信号に変換する機能を有する。

[0022] ゲート駆動回路 12 の入力信号である PWM 信号は、ゲート駆動回路 12 と電氣的に分離した基板上に配置される PWM インバータ制御装置 21 が備える PWM 制御演算部 22 により生成される。PWM 制御演算部 22 は、モータ 10 を駆動する 3 相各相の電圧指令信号（変調波）、搬送波（キャリア波）およびベクトル制御演算部 25 からの信号に基づいて、導通幅の変調された PWM 信号を生成する比較器や演算器（図示せず）を有する。また、PWM インバータ制御装置 21 が備えるベクトル制御演算部 25 は、インバータの出力線に設けた電流センサ（図示せず）により検出される IGBT の出力電流値と設定値との編差を小さくするための演算を行い、高品質なインバータ交流出力信号を実現するための制御信号を PWM 制御演算部 22 へ伝える。

[0023] 図 2 は、本実施例 1 に係るインバータ動作を実現するための制御信号を示す図である。図 2 には、インバータを構成する 3 相の内、1 相の上下アームに配置されたデュアルゲート IGBT を指令する PWM 信号 90 および 93、それぞれを基に生成されたゲート駆動信号として、2 つの上ゲート信号 91 と 92 および下アームゲート信号 94 と 95 を示している。ここで、それ以外の 2 相の上下アームに配置されたデュアルゲート IGBT を指令する PWM 信号およびゲート駆動信号は、図 2 に図示した信号から 120° 位相をずらした信号である（図示せず）。

[0024] PWM 制御演算部 22 より生成された上下アームの信号は、逆相にてオン

・オフするタイミングを有し、また上下アームが同時にオンの信号を導入し、デュアルゲート IGBT が短絡状態となることを防ぐために、オン・オフの切替時に、上下アームが同時にオフする非ラップ期間 102 を設けている。非ラップ期間 102 としては、 $2\ \mu\text{秒} \sim 20\ \mu\text{秒}$  が望ましい。

[0025] ここで、デュアルゲート IGBT の 2 つのゲートの一方をスイッチングゲート ( $G_s$ )、他方をキャリア制御ゲート ( $G_c$ ) と定義する。 $G_s$  信号 91 は、PWM 信号 90 と同じ導通幅および非導通幅で駆動する。この  $G_s$  信号 91 のタイミングにより、デュアルゲート IGBT は導通または非導通状態となり、スイッチング動作を行う。一方、 $G_c$  信号 92 は、 $G_s$  信号 91 がオフからオン状態に変化した後、一定のディレイ時間 99 を設けてオフからオン状態に移行する。この制御により、デュアルゲート IGBT は低いトランスコンダクタンスによってターンオンするため、コレクタ・エミッタ間電圧 ( $V_{ce}$ ) の急峻な変化  $d v_{ce} / d t$  が抑制される。これによって、ターンオン時のノイズ低減の効果を奏することができる。

[0026] 一方、 $G_s$  信号 91 が PWM 信号 90 と同じ導通幅の後、オンからオフ信号が入ってデュアルゲート IGBT がターンオフすることになるが、このタイミングの直前において、 $G_s$  信号 91 に先行して  $G_c$  信号 92 にオフ指令が入る。この制御により、デュアルゲート IGBT は、ターンオフスイッチング直前に、 $G_c$  信号 92 のオフ指令によって IGBT 内部のキャリア濃度が低減し、より高速でかつ低いテール電流でのターンオフスイッチングが可能となる。これによって、ターンオフ時の低電力損失の効果を奏することができる。さらに、デュアルゲート IGBT が導通時は、 $G_s$  信号 91 と  $G_c$  信号 92 の両者のゲートにオン指令が入るため、IGBT 内部のキャリア濃度を高め、低い導通損失の効果も奏することができる。ここで、ターンオン時の  $G_s$  信号と  $G_c$  信号とのタイミング遅延 (ディレイ) 99 は、 $1\ \mu\text{秒}$  以上が望ましく、また、ターンオフ時の  $G_c$  信号と  $G_s$  信号とのタイミング遅延 (ディレイ) 101 は、 $5\ \mu\text{秒}$  以上が望ましい。

[0027] 対アームのデュアルゲート IGBT、また別相のデュアルゲート IGBT

についても、入力PWM信号に応じて、上記と同じタイミングと導通幅でGsとGcの信号が入るものとする。ここで、PWM信号90を受けて、上述した2つのGs信号91およびGc信号92、それらの遅延時間99および101は、3相上下アーム毎に配置されたゲート駆動回路12の内部に設けられたPWM信号変換回路20により導出される。

[0028] 次に、図3から5を参照して、本実施例1による効果を説明する。図3(a)に、デュアルゲートIGBTのターンオフスイッチング時の電圧および電流の波形103を、図3(b)に、デュアルゲートIGBTのターンオンスイッチング時の電圧および電流の波形104を示す。ここで、実線はデュアルゲートIGBT、破線は従来のシングルゲート型IGBT、の各特性を示し、電圧波形が76と86で、電流波形が77と87である。

[0029] ターンオフスイッチング時において(図3(a))、デュアルゲートIGBTは、ターンオフスイッチング直前に、GcをGsに先行してオフする指令が適用されることにより、キャリア濃度を低下させる。これにより、従来に対し、 $dv_{ce}/dt$ が上昇し、高速に電源電圧75へ $V_{ce}$ が上昇する(電圧波形86)。さらにその後、高速に電流が0Aへ推移し、電流のテール期間が低減する(電流波形87)。この特性によって、電流と電圧の積により発生する電力損失が、デュアルゲートIGBTでは、従来のシングルゲート型IGBT(電圧波形76および電流波形77)に対し小さくなり、ターンオフ損失を低減させる効果を奏する。

[0030] 一方、ターンオンスイッチング時において(図3(b))、片側のゲート即ちGsのオン信号によってターンオンするため、その瞬間のIGBTのトランスコンダクタンスが下がり、コレクタ電流(Ic)の上昇 $dI_c/dt$ が低下する(電流波形87)。この際、対アームのデュアルゲートIGBTに逆並列接続されたダイオードが、通流状態から逆阻止状態へ推移するリカバリ状態となる。デュアルゲートIGBTの低 $dI_c/dt$ の特性によって、対アームダイオードのリカバリ電流起因の電流跳ね上がりが抑制され、ターンオン損失が下がると共に、その電流起因のノイズも抑制され低減す

る。

以上のように、デュアルゲート IGBT を適用することによって、損失低減と低ノイズ化の効果を奏することができる。

[0031] 図4は、従来のシングルゲート型 IGBT を適用したインバータ装置によるインバータ損失 105（左側の棒グラフ）と、本発明に係るデュアルゲート IGBT を適用したインバータ装置によるインバータ損失 106（右側の棒グラフ）とを示す図である。図4では、インバータ装置の内の IGBT 素子で発生する電力損失とその内訳を示している。IGBT でインバータ動作時に発生する電力損失は、導通損失 107、ターンオフスイッチング損失 108 およびターンオンスイッチング損失 109 で占められる。この内、ターンオフスイッチング損失 108 およびターンオンスイッチング損失 109 が、IGBT が導通と非導通の間を推移する際に発生するスイッチング損失である。

[0032] 図示のとおり、デュアルゲート IGBT を採用することによって、IGBT 特有の低い導通損失 107 を維持し、ターンオフスイッチング損失 108 およびターンオンスイッチング損失 109 をそれぞれ低減することができる。その効果はそれぞれ、およそ 30% および 10% の低減率である。これにより、インバータ装置にあって IGBT で発生する電力損失を、数 10% 低減できる効果を奏する。

[0033] 図5は、図5(a)に、本発明に係るデュアルゲート IGBT によるインバータ装置の入力信号 110 および 1 相の出力電流波形 114 を示し、図5(b)に、本発明を適用しないデュアルゲート IGBT によるインバータ装置の入力信号 111 および 1 相の出力電流波形 154 を示す図である。ここで、本発明を適用しないデュアルゲート IGBT によるインバータ装置では、PWM 信号に対して Gs 信号の導通幅が長い場合の 1 例を示す。

[0034] 本発明に係るインバータ装置では、Gs 信号の導通幅と PWM 信号の導通幅とが等しく（図5(a)）、本発明を適用しないインバータ装置と比較して、出力電流 114 において電流脈動（リップル）の小さい正弦波を生成で

き、交流波形の品質が高い。これは、PWM信号のオン・オフ指令に対して、デュアルゲート IGBT の導通・非導通の幅をそれぞれ等しく制御することによる効果である。

[0035] 一方、本発明を適用しないインバータ装置では、PWM信号のオン指令に対し、Gs 信号の導通幅が長いため、PWMオン指令と次のPWMオン指令の間隔が狭くなる際に、Gs 信号と次のGs 信号の間隔が無くなることで、IGBT の導通時間が指令に対し長くなる（図5（b））。この制御では、導通時間が指令に対し実質長くなることから出力電流154の脈動が大きくなり、変調波の再現性が低く、交流波形の品質が劣ることとなる。

[0036] したがって、本発明では、PWM指令におけるオン指令幅とGs 信号の幅とを等しく設定することによって、交流出力波形の高い品質を実現する効果を奏することができる。

## 実施例 2

[0037] 図6は、本発明の実施例2に係るインバータ装置200の回路図である。

本実施例2も、先の実施例1と同様に、IGBT に2つの独立制御が可能であるゲートを有するデュアルゲート IGBT を適用したインバータ装置である。回路構成において、実施例1と同様の構成要素には、同じ付番をしている。実施例1との相違点は、ゲート駆動回路12～17およびPWM制御演算部22における内部構成にあり、その他の構成要素については実施例1と同様であるので、説明は省略する。

[0038] 次に、2つのPWM信号も、実施例1と同様に、ゲート駆動回路12～17と電気的に分離した基板上に配置されるPWMインバータ制御装置21内部のPWM制御演算部22により生成される。PWM制御演算部22は、キャリア周波数演算部23、変調波演算部24およびベクトル制御演算部25の信号を受けて生成される最適な指令信号に基づいて、3相上下アームの各デュアルゲート IGBT 1～6の導通・非導通タイミングを決める2つのPWM信号を出力し、各ゲート駆動回路12～17と接続する。本実施例2に係るPWM信号変換部20は、実施例1とは異なり、ゲート駆動回路12～

17を構成する基板に配置せずに、PWM制御演算部22に内蔵された構成を採り、デュアルゲートIGBTの駆動を指令する2つのPWM信号が生成される。

[0039] 各ゲート駆動回路12~17は、各相、各アームそれぞれ2つのPWM信号の入力を受ける。例えば、ゲート駆動回路12を例に採ると、2つのPWM信号は絶縁された信号に変換され、出力バッファ18および19によってそれぞれ電圧変換される。PWM制御演算部22は、ゲート駆動回路12と電氣的に分離した基板上に配置されるPWMインバータ制御装置21内部で構成される。本実施例2の構成では、各ゲート駆動回路12~17にはPWM信号変換部が不要であり、実施例1と比較してインバータ装置の省体積化を計ることが可能である。

[0040] 図7は、本実施例2におけるインバータ動作を実現するための制御信号を示す図である。図7には、インバータを構成する3相の内、1相の上下アームに配置されたデュアルゲートIGBTを指令する制御信号として、それぞれ2つのPWM<sub>u1</sub> 116とPWM<sub>u2</sub> 117、および、PWM<sub>x1</sub> 118とPWM<sub>x2</sub> 119を示している。ここで、それ以外の2相の上下アームに配置されたデュアルゲートIGBTの指令信号およびゲートの駆動信号は、図7に図示した信号から120°位相をずらした信号である。

[0041] また、デュアルゲートIGBTの2つのゲートの内、スイッチングゲート(G<sub>s</sub>)は、u<sub>1</sub>、x<sub>1</sub>、v<sub>1</sub>、y<sub>1</sub>、w<sub>1</sub>およびz<sub>1</sub>の指令信号を受け、キャリア制御ゲート(G<sub>c</sub>)は、u<sub>2</sub>、x<sub>2</sub>、v<sub>2</sub>、y<sub>2</sub>、w<sub>2</sub>およびz<sub>2</sub>の指令信号を受けて動作するものとする。デュアルゲートIGBTの導通時間はG<sub>s</sub>のオン時間で決まり、PWM信号の内、u<sub>1</sub>、x<sub>1</sub>、v<sub>1</sub>、y<sub>1</sub>、w<sub>1</sub>およびz<sub>1</sub>の指令信号は、インバータの交流出力正弦波を実現するため、キャリア周波数演算部23、変調波演算部24およびベクトル制御演算部25により算出された信号である。

[0042] 一方、u<sub>2</sub>、x<sub>2</sub>、v<sub>2</sub>、y<sub>2</sub>、w<sub>2</sub>およびz<sub>2</sub>の指令信号は、u<sub>1</sub>、x

1、v1、y1、w1およびz1の指令におけるオン幅より短く、u1、x1、v1、y1、w1およびz1のオン指令が入った後にオン指令が入り、u1、x1、v1、y1、w1およびz1のオフ指令が入る前にオフ指令が入る。

[0043] 上下アームの信号は、逆相にてオン・オフするタイミングを有しており、また上下アームが同時にオンの信号を導入し、デュアルゲートIGBTが短絡状態となることを防ぐために、オン・オフの切替時に、上下アームが同時にオフする非ラップ期間102が、u1とx1との間、v1とy1との間およびw1とz1との間に設けている。ここで、非ラップ期間102は、2μ秒～20μ秒が望ましい。

[0044] デュアルゲートIGBTの導通、非導通の制御は、u1、x1、v1、y1、w1およびz1のタイミングにより行われ、それぞれにゲート駆動回路を介して接続されたGsのゲート電圧により行われる。デュアルゲートIGBTのターンオン動作は、Gsがu1、x1、v1、y1、w1およびz1のPWM指令を受けて、オフからオン状態に変化した後一定のディレイ時間を設け、u2、x2、v2、y2、w2およびz2のPWM指令を受けて、オフからオン状態に変化するシーケンスにより行われる。この制御により、デュアルゲートIGBTは低いトランスコンダクタンスによってターンオンするため、急峻なコレクタ・エミッタ間電圧(Vce)の変化 $dv_{ce}/dt$ が抑制される。これによって、実施例1と同様に、前述したターンオン時のノイズ低減の効果を奏することができる。

[0045] 一方、デュアルゲートIGBTのターンオフ動作は、Gsがu1、x1、v1、y1、w1およびz1のPWM指令を受けて、オンからオフ状態に変化する直前に、Gcが先行してu2、x2、v2、y2、w2およびz2のPWM指令を受けて、オンからオフ状態に変化するシーケンスにより行われる。この制御により、デュアルゲートIGBTは、ターンオフスイッチング直前に、Gcのオフ信号によってIGBT内部のキャリア濃度が低減し、より高速でかつ低いテール電流でのターンオフスイッチングが可能となる。こ

れによって、実施例1と同様に、前述したターンオフ時の低電力損失の効果を導出できる。

[0046] さらに、デュアルゲートIGBTが導通時は、GsとGc両者のゲートにオン信号が入るため、IGBT内部のキャリア濃度を高められ、低い導通損失の効果を導出できる。ここで、ターンオン時のGs信号とGc信号のタイミング遅延（ディレイ）は、1 $\mu$ 秒以上が望ましく、また、ターンオフ時のGc信号とGs信号のタイミング遅延（ディレイ）は、5 $\mu$ 秒以上が望ましい。以上のディレイを確保できるように、u1、x1、v1、y1、w1およびz1、また、u2、x2、v2、y2、w2およびz2のPWM指令が設定される。なお、以上のディレイ時間を有した2つのPWM信号は、PWM制御演算部22に配置されたPWM信号変換部20において生成される。

[0047] 次に、図8および9を参照して、先の実施例1で説明した効果に加え、本実施例2が奏する効果を説明する。

デュアルゲートIGBTの2つのゲート信号の動作タイミングを決める2つのPWM信号は、PWM制御演算部22を構成するプログラム可能な集積回路（例えば、ゲートアレイ）によって生成されるが、指令パルス幅に応じて異なるパターンの信号を生成できる。図8は、本実施例2におけるデュアルゲートIGBTの2つのゲート信号（GsおよびGc）を決定するシーケンスを示すフローチャートである。PWM制御においては、導通幅の変調された様々なオン指令幅をもった入力信号でIGBTを動作させる必要があるが、2つのゲート信号に設定するタイミングディレイよりも短いオン指令幅（狭幅指令）においても、本実施例2により正常に動作させることができる。

[0048] PWM制御演算部22は、ステップS1で、キャリア周波数および変調波周波数に基づいてPWM指令パルス幅を算出する。ステップS2で、この算出した指令パルス幅がタイミングディレイよりも大きいか否かを判断する。

[0049] 判断が「no」の場合、すなわち、狭幅指令の時には、Gc信号は非導通を維持する片側通流（Gcオフ）指令を設定して、以下のステップS4へ移

行する。これにより、狭幅動作においても、導通・非導通の制御がデュアルゲート IGBT において可能となる。

一方で、判断が「yes」の場合、すなわち、タイミングディレイよりも長い通常幅のオン指令をステップ S4 に対して設定する。

[0050] PWM制御演算部 22 は、ステップ S4 で、ステップ S2 または S3 の指令に基づいて、前述のようにディレイを有した 2 つのゲート信号 (Gs および Gc) のパターンを算出し、例えば、u1 および u2 の指令信号を出力する。

以上のシーケンスにより、前述した低インバータ損失の効果を奏することができる。

[0051] 図 9 は、通常幅動作時および狭幅動作時における u1 および u2 の指令信号 116 ~ 119 を示す図である。図 9 (a) が通常幅動作時で、図 9 (b) が狭幅動作時である。

通常幅動作時では、図 9 (a) に示すように、タイミングディレイを有した 2 つの指令信号 u1 および u2 がデュアルゲート IGBT を駆動する。一方、狭幅動作時では、図 9 (b) に示すように、u2 はオフ状態を維持し、u1 のみにオン・オフのパターンを有した指令を出力する。このように、キャリア周波数演算部 23、変調波演算部 24 およびベクトル制御演算部 25 により算出されたオン指令幅に応じ、2 つの指令信号を最適に変化させることが可能となる。

### 実施例 3

[0052] 図 10 は、本発明の実施例 3 に係るインバータ装置 300 の回路図である。

本実施例 3 も、先の実施例 1 および 2 と同様に、IGBT に 2 つの独立制御が可能であるゲートを有するデュアルゲート IGBT を適用したインバータ装置である。回路構成において、実施例 1 と同様の構成要素には、同じ付番をしている。実施例 1 との相違点は、異常動作の検知機能をゲート駆動回路 12 ~ 17 および PWM 制御演算部 22 に設けた点にあり、その他の構成

要素については実施例 1 と同様であるので、説明は省略する。

[0053] 本実施例 3 は、異常な動作を検知するために、以下の構成を実施例 1 の回路構成に追加している。3 相上下アームの各デュアルゲート IGBT 1~6 において同様の構成を追加しているので、デュアルゲート IGBT 1 を例に採って説明する。デュアルゲート IGBT 1 の導通・非導通のタイミングを制御するスイッチングゲート (Gs) 端子 7 の信号線をゲート駆動回路 12 内部のレベル変換部 27 で受け、PWM インバータ制御装置 21 内の PWM 制御演算部 22 へ戻すフィードバック信号線 28 を設ける。このフィードバック信号線 28 は、デュアルゲート IGBT 1 の Gs 端子 7 の端子電圧を検知することにより Gs 端子 7 における動作信号をセンスし、Gs のオン・オフ動作の情報をフィードバック信号として PWM 制御演算部 22 へ通知する。プログラム可能な集積回路 (例えば、ゲートアレイ) から構成される PWM 制御演算部 22 は、PWM 指令とフィードバック信号とを比較して、PWM 指令に対するフィードバック信号の相異を判断し、異なっていればアラームを発する機能やオン指令を遮断してオフ指令を発する機能を有する。

[0054] 次に、実施例 1 で説明した効果に加え、本実施例 3 が奏する効果を説明する。図 11 は、本実施例 3 におけるフィードバック (FB) 信号および異常検知信号をゲート制御信号と共に示す図である。

[0055] フィードバック信号線 28 が、制御された Gs 信号と同一のオン・オフ動作のタイミングに関する情報をフィードバック信号として通知することから、PWM 制御演算部 22 は、PWM 指令とフィードバック信号とを比較して、PWM 指令に対するフィードバック信号の相異を判断することができる。したがって、PWM 指令に対して、デュアルゲート IGBT が PWM 指令と異なる動作をした際に、警告信号等を PWM 制御演算部 22 から発することが可能となる。

[0056] 例えば、図 11 に示すように、PWM 信号 90 がオフの指令をデュアルゲート IGBT に与えている間に、何らかの原因によりデュアルゲート IGBT が自らの Gs 端子を介して誤オン動作 130 して導通した際に、フィード

バック（FB）信号128を受けたPWM制御演算部22は、PWM指令90との比較によって異常を検知できる。この機能により、誤オン動作による上下アーム短絡によってデュアルゲートIGBT素子が破壊し得る事態が発生することを、異常検知信号129に基づいてPWM指令を再設定することで防止することができる。例えば、PWM制御演算部22は、異常を検知したデュアルゲートIGBTおよび該異常を検知したデュアルゲートIGBTと対になって上下アームを構成する他方のデュアルゲートIGBTに対して、それぞれのGs信号およびGc信号に対するPWM指令を非導通指令に再設定する。

また、本実施例3におけるフィードバック（FB）信号128は、インバータ装置内部の故障検知にも有効な情報源となる。

[0057] 以上では、本実施例3として、実施例1の回路構成に対して、Gs端子7からの信号線とフィードバック信号線28を設けるようにしたが、実施例2の回路構成に対して、これらの信号線を設けるようにしてもよい。

#### 実施例 4

[0058] 図12は、本発明の実施例4に係るインバータ装置400の回路図である。

本実施例4も、先の実施例1から3と同様に、IGBTに2つの独立制御が可能であるゲートを有するデュアルゲートIGBTを適用したインバータ装置である。本実施例4の回路構成は、実施例2の回路構成をベースとするもので、すなわち、実施例1とは異なり、PWM信号変換部20は、ゲート駆動回路12～17を構成する基板には存在せず、PWM制御演算部22に内蔵され、また、実施例3に倣って、3相上下アームの各デュアルゲートIGBT1～6において、デュアルゲートIGBTの導通・非導通のタイミングを制御するスイッチングゲート（Gs）端子7の端子電圧を検知する信号線を設け、さらに追加して、キャリア制御ゲート（Gc）端子8の端子電圧を検知する信号線も設けたものである（ここでは、デュアルゲートIGBT1を例に採って説明）。

[0059] 具体的には、ゲート駆動回路12の内部にレベル変換部27および29を設け、PWMインバータ制御装置21の内部のPWM制御演算部22へ戻すフィードバック信号線28および30を設けたものである。フィードバック信号線28および30は、デュアルゲートIGBT1のGs端子7の端子電圧およびGc端子8の端子電圧それぞれを検知し、Gs信号およびGc信号それぞれと同一のオン・オフ動作の情報をフィードバック信号として通知する。また、プログラム可能な集積回路（例えば、ゲートアレイ）から構成されるPWM制御演算部22は、PWM指令に対するフィードバック信号の相異を判断し、異なっていればアラームを発する機能やオン指令を遮断してオフ指令を発する機能を有する。

[0060] 次に、実施例2で説明した効果に加え、本実施例4が奏する効果を説明する。図13および14は、本実施例4におけるフィードバック（FB）信号および異常検知信号をゲート制御信号と共に示す図である。

フィードバック信号線28が、Gs信号と同一のオン・オフ動作のタイミングに関する情報をフィードバック信号として通知することから、PWM制御演算部22は、PWM指令に対するフィードバック信号（デュアルゲートIGBTの導通・非導通の動作）の相異を判断することができる。また同様に、フィードバック信号線30が、Gc信号と同一のオン・オフ動作のタイミングに関する情報をフィードバック信号として通知することから、PWM制御演算部22は、PWM指令に対するフィードバック信号（Gc信号による動作）の相異を判断することができる。したがって、PWM指令に対して、デュアルゲートIGBTのGs信号およびGc信号がPWM指令と異なる動作をした際に、警告信号をPWM制御演算部22から発することが可能となる。

[0061] 例えば、図13に示すように、PWM\_u1信号116がオフの指令をデュアルゲートIGBTにGs信号91として与えている間に、何らかの原因によりデュアルゲートIGBTが自らのGs端子を介して誤オン動作130して導通した際に、フィードバック信号線28を介してフィードバック信号

F B\_\_u 1 信号 1 3 1 を受けた PWM 制御演算部 2 2 は、PWM 指令 (P W M\_\_u 1 信号 1 1 6) との比較によって異常を検知できる。

[0062] また例えば、図 1 4 に示すように、P W M\_\_u 2 信号 1 1 7 がオフの指令をデュアルゲート I G B T に G c 信号 9 2 として与えている間に、何らかの原因によりデュアルゲート I G B T が自らの G c 端子を介して誤オン動作 1 3 0 をした際に、フィードバック信号線 3 0 を介してフィードバック信号 F B\_\_u 2 信号 1 3 2 を受けた PWM 制御演算部 2 2 は、PWM 指令 (P W M\_\_u 2 信号 1 1 7) との比較によって異常を検知できる。

[0063] 以上の機能により、デュアルゲート I G B T の G s 信号または G c 信号から誤オン動作による上下アーム短絡によって I G B T 素子が破壊し得る事態が発生することを、異常検知信号 1 2 9 に基づいて PWM 指令を再設定することで防止することができる。例えば、PWM 制御演算部 2 2 は、異常を検知したデュアルゲート I G B T および該異常を検知したデュアルゲート I G B T と対になって上下アームを構成する他方のデュアルゲート I G B T に対して、それぞれの G s 信号および G c 信号に対する PWM 指令を非導通指令に再設定する。

また、本実施例 4 における各フィードバック信号は、インバータ装置内部の故障検知にも有効な情報源となる。

[0064] 以上では、本実施例 4 として、実施例 2 の回路構成に対して、G s 端子 7 および G c 端子 8 からの各信号線とフィードバック信号線 2 8 およびフィードバック信号線 2 9 を設けるようにしたが、実施例 1 の回路構成に対して、これらの信号線を設けるようにしてもよい。

## 実施例 5

[0065] 図 1 5 は、本発明の実施例 5 に係るインバータ装置 5 0 0 の回路図である。

本実施例 5 は、先の実施例 1 から 4 と同様に、I G B T に 2 つの独立制御が可能であるゲートを有するデュアルゲート I G B T を適用したインバータ装置であるところ、デュアルゲート I G B T と逆並列に接続するダイオード

として、半導体基体にSiC（炭化ケイ素、シリコンカーバイド）を用いたショットキーバリアダイオード（SiC-SBD）を採用した点が先の実施例1～4と異なるものである。

[0066] 図15に示す回路構成は、前述のショットキーバリアダイオードの相違を除くと、先の実施例1の回路構成とその動作態様も含めて同様であるので、説明は省略する。また、本実施例5の回路構成については、先の実施例1の回路構成に拘束されるものではなく、先の実施例2から4それぞれの回路構成としてもよい。

[0067] 次に、先の実施例1から4で説明した効果に加え、本実施例5が奏する効果を説明する。インバータ動作により発生するインバータ装置内の電力損失は、前述したIGBTの導通損失、ターンオフ損失およびターンオン損失に加え、逆並列に接続したダイオードのリカバリー損失および導通損失により構成される。ダイオードの対アームに配置されたIGBTがターンオンスイッチングすることで、ダイオードは順方向に通流した状態から逆阻止状態に推移し、リカバリー電流と呼ぶ順方向電流とは逆方向の電流が一時的に通流する。

[0068] ここで、リカバリー損失とは、このリカバリー電流と印加される逆方向電圧から、電流・電圧積により発生する電力損失である。このリカバリー電流は、ダイオードの導通状態におけるキャリアに依存し、キャリアが正孔と電子の両者から構成されるpnダイオードでは、伝導度変調に寄与したキャリアが消滅するまでに時間を要するため、リカバリー電流が大きくなるが、ショットキーバリアダイオードは、キャリアが電子もしくは正孔の一方から構成されるため、逆阻止状態となった際に即座にキャリアが消滅し、リカバリー電流が小さくなる特長がある。特に、半導体基体にSiCを適用したSiC-SBDは、高耐圧な性能も併せ持つ。

[0069] したがって、インバータ装置500として、SiC-SBD31とデュアルゲートIGBT1を組み合わせた本実施例5は、ターンオフ損失とターンオン損失に加え、リカバリー損失も小さくすることができ、さらに低損失なイ

ンバータ装置を提供できることになる。

[0070] 以上、先の実施例1から5において説明したとおり、本発明を適用することにより、低電力損失でかつ低ノイズな交流出力を得ることができるインバータ装置を提供することができ、また併せて、短いパルスでも動作可能な高品質な交流正弦波を維持でき、さらに、異常な動作を検知し安全性を確保できる高信頼性も実現可能である。

## 符号の説明

[0071] 1…U相上アームのデュアルゲートIGBT、2…U相下アームのデュアルゲートIGBT、3…V相上アームのデュアルゲートIGBT、4…V相下アームのデュアルゲートIGBT、5…W相上アームのデュアルゲートIGBT、6…W相下アームのデュアルゲートIGBT、7…スイッチングゲート(Gs)、8…キャリア制御ゲート(Gc)、9…ダイオード、10…3相の誘導性負荷(モータ)、11…電源電圧、12…U相上アームのゲート駆動回路、13…U相下アームのゲート駆動回路、14…V相上アームのゲート駆動回路、15…V相下アームのゲート駆動回路、16…W相上アームのゲート駆動回路、17…W相下アームのゲート駆動回路、18…Gs駆動用出力バッファ、19…Gc駆動用出力バッファ、20…PWM信号変換部、21…PWMインバータ制御装置、22…PWM制御演算部、23…キャリア周波数演算部、24…変調波演算部、25…ベクトル制御演算部、26…エミッタ端子、27…Gsレベル変換部、28…Gsフィードバック信号線、29…Gcレベル変換部、30…Gcフィードバック信号線、31…SiCのショットキーバリアダイオード(SiC-SBD)、40…ダイオード、41…U相上アームのIGBT(従来のシングルゲート型)、42…U相下アームのIGBT(従来のシングルゲート型)、43…V相上アームのIGBT(従来のシングルゲート型)、44…V相下アームのIGBT(従来のシングルゲート型)、45…W相上アームのIGBT(従来のシングルゲート型)、46…W相下アームのIGBT(従来のシングルゲート型)、47…ゲート、48…U相上アームのゲート駆動回路、49…U相下アーム

のゲート駆動回路、50…V相上アームのゲート駆動回路、51…V相下アームのゲート駆動回路、52…W相上アームのゲート駆動回路、53…W相下アームのゲート駆動回路、54…PWM回路、55…電流センサ、56…変調波（出力したい周波数の正弦波）、57…キャリア波（三角波信号）、58…PWM波形、59…U相のゲート信号、60…V相のゲート信号、61…W相のゲート信号、62…U-V線間電圧、63…V-W線間電圧、64…W-U線間電圧、65…U相電流、66…V相電流、67…W相電流、68…ゲート信号、69…電圧、70…電流、71…電流・電圧積、72…導通時、73…非導通時、74…IGBTの閾値電圧、75…電源電圧、76…従来IGBTのコレクタ・エミッタ間電圧、77…従来IGBTのコレクタ電流、78…従来IGBTの電流・電圧積、79…デュアルゲートIGBT、80…第1のゲート端子、81…第2のゲート端子、82…コレクタ端子、83…エミッタ端子、84…第1のゲートにオン信号を与え、第2のゲートにオフ信号を与えた場合のキャリア濃度分布、85…第1のゲートと第2のゲートにオン信号を与えた場合のキャリア濃度分布、86…デュアルゲートIGBTのコレクタ・エミッタ間電圧、87…デュアルゲートIGBTのコレクタ電流、88…デュアルゲートIGBTの電流・電圧積、90…上アームPWM信号、91…上アームGs信号、92…上アームGc信号、93…下アームPWM信号、94…下アームGs信号、95…下アームGc信号、96…PWM信号の導通指令期間、97…Gs信号の導通指令期間、98…Gc信号の導通指令期間、99…ターンオンディレイ期間、100…実施例1に係るインバータ装置、101…ターンオフディレイ期間、102…非ラップ期間、103…ターンオフスイッチング時の電圧、電流波形、104…ターンオンスイッチング時の電圧、電流波形、105…シングルゲート型IGBT（従来）を適用したインバータ装置、106…デュアルゲートIGBT（本発明）を適用したインバータ装置、107…導通損失、108…ターンオフスイッチング損失、109…ターンオンスイッチング損失、110…本発明を適用したPWM信号、Gs信号、Gc信号、導通／非導通期

間、 1 1 1 …本発明を適用しないPWM信号、G<sub>s</sub>信号、G<sub>c</sub>信号、導通／非導通期間、 1 1 2 …本発明を適用したG<sub>s</sub>信号、 1 1 3 …変調波（インバータのターゲット波形）、 1 1 4 …本発明を適用した出力電流波形、 1 1 6 …上アームPWM<sub>u1</sub>信号、 1 1 7 …上アームPWM<sub>u2</sub>信号、 1 1 8 …下アームPWM<sub>x1</sub>信号、 1 1 9 …下アームPWM<sub>x2</sub>信号、 1 2 0 …上アームPWM<sub>u1</sub>信号の導通指令期間、 1 2 1 …上アームPWM<sub>u2</sub>信号の導通指令期間、 1 2 2 …PWM指令パルス幅算出、 1 2 3 …片側通流（G<sub>c</sub>オフ）指令、 1 2 4 …G<sub>s</sub>、G<sub>c</sub>パターン算出、 1 2 5 …PWM<sub>u1</sub>、PWM<sub>u2</sub>信号指令、 1 2 6 …狭幅オンパルス幅、 1 2 7 …非導通指令、 1 2 8 …フィードバック信号、 1 2 9 …異常検知信号、 1 3 0 …デュアルゲートIGBTの誤オン動作、 1 3 1 …上アームフィードバック<sub>u1</sub>信号、 1 3 2 …上アームフィードバック<sub>u2</sub>信号、 1 3 3 …正常／異常動作信号、 1 4 0 …導通損失、 1 4 1 …従来IGBTのターンオフスイッチング損失、 1 4 2 …デュアルゲートIGBTのターンオフスイッチング損失、 1 4 3 …第2のゲート信号、 1 5 2 …本発明を適用しないG<sub>s</sub>信号、 1 5 4 …本発明を適用しないインバータの出力電流波形、 2 0 0 …実施例2に係るインバータ装置、 3 0 0 …実施例3に係るインバータ装置、 4 0 0 …実施例4に係るインバータ装置、 5 0 0 …実施例5に係るインバータ装置、 6 0 0 …従来のインバータ装置

## 請求の範囲

### [請求項1]

3相各相の上アームに接続される第1のデュアルゲートIGBTおよび当該3相各相の下アームに接続される第2のデュアルゲートIGBTと、

前記第1および前記第2のデュアルゲートIGBTそれぞれに逆並列に接続されるダイオードとから構成されるインバータ装置であって、

前記第1および前記第2のデュアルゲートIGBTそれぞれは、第1および第2のゲート端子を有し、少なくとも一つのゲート端子に閾値電圧以上の電圧を印加することで非導通状態から導通状態へ移行し、前記第1および第2のゲート端子に閾値電圧未満の電圧を印加することで導通状態から非導通状態へ移行する特性を有し、

前記第1のデュアルゲートIGBTの前記第1のゲート端子は、負荷を駆動制御するための電圧指令信号に基づいて導通幅を変調した第1のPWM信号を用いて生成した第1のゲート信号により駆動され、前記第1のデュアルゲートIGBTの前記第2のゲート端子は、前記第1のPWM信号に基づいて当該第1のPWM信号の導通幅より短い導通幅に変調しかつ当該第1のPWM信号の導通幅の期間内に位置する第3のPWM信号を用いて生成した第2のゲート信号により駆動され、

前記第2のデュアルゲートIGBTの前記第1のゲート端子は、前記第1のPWM信号の正負を逆相にした第2のPWM信号を用いて生成した第3のゲート信号により駆動され、前記第2のデュアルゲートIGBTの前記第2のゲート端子は、前記第2のPWM信号に基づいて当該第2のPWM信号の導通幅より短い導通幅に変調しかつ当該第2のPWM信号の導通幅の期間内に位置する第4のPWM信号を用いて生成した第4のゲート信号により駆動されることを特徴とするインバータ装置。

- [請求項2]           請求項1に記載のインバータ装置であって、  
前記第3のPWM信号は、前記第1のPWM信号が非導通から導通へ変化するタイミングから少なくとも1 $\mu$ 秒経過した後に非導通から導通へ変化し、前記第1のPWM信号が導通から非導通へ変化するタイミングから少なくとも5 $\mu$ 秒以前に導通から非導通へ変化し、  
前記第4のPWM信号は、前記第2のPWM信号が非導通から導通へ変化するタイミングから少なくとも1 $\mu$ 秒経過した後に非導通から導通へ変化し、前記第2のPWM信号が導通から非導通へ変化するタイミングから少なくとも5 $\mu$ 秒以前に導通から非導通へ変化することを特徴とするインバータ装置。
- [請求項3]           請求項1または2に記載のインバータ装置であって、  
前記第1のPWM信号は、前記第2のPWM信号が非導通の期間幅より短い導通幅であり、かつ当該導通幅が前記第2のPWM信号の非導通の期間内に生成され、  
前記第2のPWM信号は、前記第1のPWM信号が非導通の期間幅より短い導通幅であり、かつ当該導通幅が前記第1のPWM信号の非導通の期間内に生成される  
ことを特徴とするインバータ装置。
- [請求項4]           請求項3に記載のインバータ装置であって、  
前記第1のPWM信号は、前記第2のPWM信号が導通から非導通に変化するタイミングから少なくとも2 $\mu$ 秒経過した後に非導通から導通に変化し、  
前記第2のPWM信号は、前記第1のPWM信号が導通から非導通に変化するタイミングから少なくとも2 $\mu$ 秒経過した後に非導通から導通に変化する  
ことを特徴とするインバータ装置。
- [請求項5]           請求項1から4のいずれか1項に記載のインバータ装置であって、  
前記第1のPWM信号の導通幅と、前記第3のPWM信号が導通か

ら非導通に変化するタイミングから前記第1のPWM指令が導通から非導通に変化するタイミングまでの遅延時間とを比較し、前記第1のPWM信号の導通幅が当該遅延時間より短い場合には、前記第3のPWM信号は導通することなく非導通を維持し、

前記第2のPWM信号の導通幅と、前記第4のPWM信号が導通から非導通に変化するタイミングから前記第2のPWM指令が導通から非導通に変化するタイミングまでの遅延時間とを比較し、前記第2のPWM信号の導通幅が当該遅延時間より短い場合には、前記第4のPWM信号は導通することなく非導通を維持することを特徴とするインバータ装置。

[請求項6]

請求項1から5のいずれか1項に記載のインバータ装置であって、  
前記第1のデュアルゲートIGBTの前記第1のゲート端子の端子電圧を検知し、当該端子電圧を第1のフィードバック信号として前記第1のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力し、

前記第2のデュアルゲートIGBTの前記第1のゲート端子の端子電圧を検知し、当該端子電圧を第2のフィードバック信号として前記第2のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力することを特徴とするインバータ装置。

[請求項7]

請求項6に記載のインバータ装置であって、  
前記第1のデュアルゲートIGBTの前記第2のゲート端子の端子電圧を検知し、当該端子電圧を第3のフィードバック信号として前記第3のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力し、

前記第2のデュアルゲートIGBTの前記第2のゲート端子の端子電圧を検知し、当該端子電圧を第4のフィードバック信号として前記第4のPWM信号と比較し、当該双方の信号が異なる際には警告信号

を出力する

ことを特徴とするインバータ装置。

[請求項8]

請求項6または7に記載のインバータ装置であって、

上記警告信号に基づいて、前記第1から第4のPWM信号全てを非導通とする

ことを特徴とするインバータ装置。

[請求項9]

請求項1から8のいずれか1項に記載のインバータ装置であって、

前記ダイオードは、半導体基体に炭化ケイ素を用いたショットキーバリアダイオードである

ことを特徴とするインバータ装置。

[請求項10]

請求項1から9のいずれか1項に記載のインバータ装置であって、

前記第1および第2のPWM信号を生成するPWM制御演算部と、  
前記第1のPWM信号を受けて前記第3のPWM信号を生成する第1のPWM信号変換部と、

前記第2のPWM信号を受けて前記第4のPWM信号を生成する第2のPWM信号変換部と、

前記第1から第4のPWM信号をそれぞれを受けて前記第1から第4のゲート信号を生成する第1から第4のゲート出力回路部とを備え、

前記第1のPWM信号変換部、前記第1のゲート出力回路部および前記第3のゲート出力回路部により第1のゲート駆動回路を構成し、

前記第2のPWM信号変換部、前記第2のゲート出力回路部および前記第4のゲート出力回路部により第2のゲート駆動回路を構成することを特徴とするインバータ装置。

[請求項11]

請求項1から9のいずれか1項に記載のインバータ装置であって、

前記第1および第2のPWM信号を生成するPWM制御演算部と、  
前記第1のPWM信号を受けて前記第3のPWM信号を生成する第1のPWM信号変換部と、

前記第2のPWM信号を受けて前記第4のPWM信号を生成する第2のPWM信号変換部と、

前記第1から第4のPWM信号をそれぞれを受けて前記第1から第4のゲート信号を生成する第1から第4のゲート出力回路部とを備え、

前記第1のゲート出力回路部および前記第3のゲート出力回路部により第1のゲート駆動回路を構成し、

前記第2のゲート出力回路部および前記第4のゲート出力回路部により第2のゲート駆動回路を構成し、

前記第1のPWM信号変換部および前記第2のPWM信号変換部を前記PWM制御演算部内に設けることを特徴とするインバータ装置。

[請求項12]

請求項10または11に記載のインバータ装置であって、

前記PWM制御演算部は、プログラム可能な集積回路から構成される

ことを特徴とするインバータ装置。

[請求項13]

請求項1から12のいずれか1項に記載のインバータ装置を搭載した電気鉄道車両。

[請求項14]

3相各相の上アームに接続される第1のデュアルゲートIGBTおよび当該3相各相の下アームに接続される第2のデュアルゲートIGBTと、前記第1および前記第2のデュアルゲートIGBTそれぞれに逆並列に接続されるダイオードとから構成されるインバータ装置の駆動方法であって、

前記第1のデュアルゲートIGBTの第1のゲート端子を、負荷を駆動制御するための電圧指令信号に基づいて導通幅を変調した第1のPWM信号を用いて生成した第1のゲート信号により駆動し、前記第1のデュアルゲートIGBTの第2のゲート端子を、前記第1のPWM信号に基づいて当該第1のPWM信号の導通幅より短い導通幅に変

調しかつ当該第1のPWM信号の導通幅の期間内に位置する第3のPWM信号を用いて生成した第2のゲート信号により駆動し、前記第1または前記第2のゲート端子の少なくとも一つに閾値電圧以上の電圧を印加して非導通状態から導通状態へ移行させ、前記第1および前記第2のゲート端子に閾値電圧未満の電圧を印加することで導通状態から非導通状態へ移行させ、

前記第2のデュアルゲートIGBTの第1のゲート端子を、前記第1のPWM信号の正負を逆相にした第2のPWM信号を用いて生成した第3のゲート信号により駆動し、前記第2のデュアルゲートIGBTの第2のゲート端子を、前記第2のPWM信号に基づいて当該第2のPWM信号の導通幅より短い導通幅に変調しかつ当該第2のPWM信号の導通幅の期間内に位置する第4のPWM信号を用いて生成した第4のゲート信号により駆動し、前記第1または前記第2のゲート端子の少なくとも一つに閾値電圧以上の電圧を印加して非導通状態から導通状態へ移行させ、前記第1および前記第2のゲート端子に閾値電圧未満の電圧を印加することで導通状態から非導通状態へ移行させることを特徴とするインバータ装置の駆動方法。

[請求項15]

請求項14に記載のインバータ装置の駆動方法であって、

前記第3のPWM信号を、前記第1のPWM信号が非導通から導通へ変化するタイミングから少なくとも1 $\mu$ 秒経過した後に非導通から導通へ変化させ、前記第1のPWM信号が導通から非導通へ変化するタイミングから少なくとも5 $\mu$ 秒以前に導通から非導通へ変化させ、

前記第4のPWM信号を、前記第2のPWM信号が非導通から導通へ変化するタイミングから少なくとも1 $\mu$ 秒経過した後に非導通から導通へ変化させ、前記第2のPWM信号が導通から非導通へ変化するタイミングから少なくとも5 $\mu$ 秒以前に導通から非導通へ変化させることを特徴とするインバータ装置の駆動方法。

[請求項16]

請求項14または15に記載のインバータ装置の駆動方法であって

、  
前記第1のPWM信号を、前記第2のPWM信号が非導通の期間幅より短い導通幅であり、かつ当該導通幅が前記第2のPWM信号の非導通の期間内に生成し、

前記第2のPWM信号を、前記第1のPWM信号が非導通の期間幅より短い導通幅であり、かつ当該導通幅が前記第1のPWM信号の非導通の期間内に生成する

ことを特徴とするインバータ装置の駆動方法。

[請求項17]

請求項16に記載のインバータ装置であって、

前記第1のPWM信号を、前記第2のPWM信号が導通から非導通に変化するタイミングから少なくとも2 $\mu$ 秒経過した後に非導通から導通に変化させ、

前記第2のPWM信号を、前記第1のPWM信号が導通から非導通に変化するタイミングから少なくとも2 $\mu$ 秒経過した後に非導通から導通に変化させる

ことを特徴とするインバータ装置の駆動方法。

[請求項18]

請求項14から17のいずれか1項に記載のインバータ装置の駆動方法であって、

前記第1のPWM信号の導通幅と、前記第3のPWM信号が導通から非導通に変化するタイミングから前記第1のPWM指令が導通から非導通に変化するタイミングまでの遅延時間とを比較し、前記第1のPWM信号の導通幅が当該遅延時間より短い場合には、前記第3のPWM信号を導通させることなく非導通を維持させ、

前記第2のPWM信号の導通幅と、前記第4のPWM信号が導通から非導通に変化するタイミングから前記第2のPWM指令が導通から非導通に変化するタイミングまでの遅延時間とを比較し、前記第2のPWM信号の導通幅が当該遅延時間より短い場合には、前記第4のPWM信号は導通させることなく非導通を維持させる

ことを特徴とするインバータ装置の駆動方法。

[請求項19]

請求項14から18のいずれか1項に記載のインバータ装置の駆動方法であって、

前記第1のデュアルゲートIGBTの前記第1のゲート端子の端子電圧を検知し、当該端子電圧を第1のフィードバック信号として前記第1のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力し、

前記第2のデュアルゲートIGBTの前記第1のゲート端子の端子電圧を検知し、当該端子電圧を第2のフィードバック信号として前記第2のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力する

ことを特徴とするインバータ装置の駆動方法。

[請求項20]

請求項19に記載のインバータ装置の駆動方法であって、

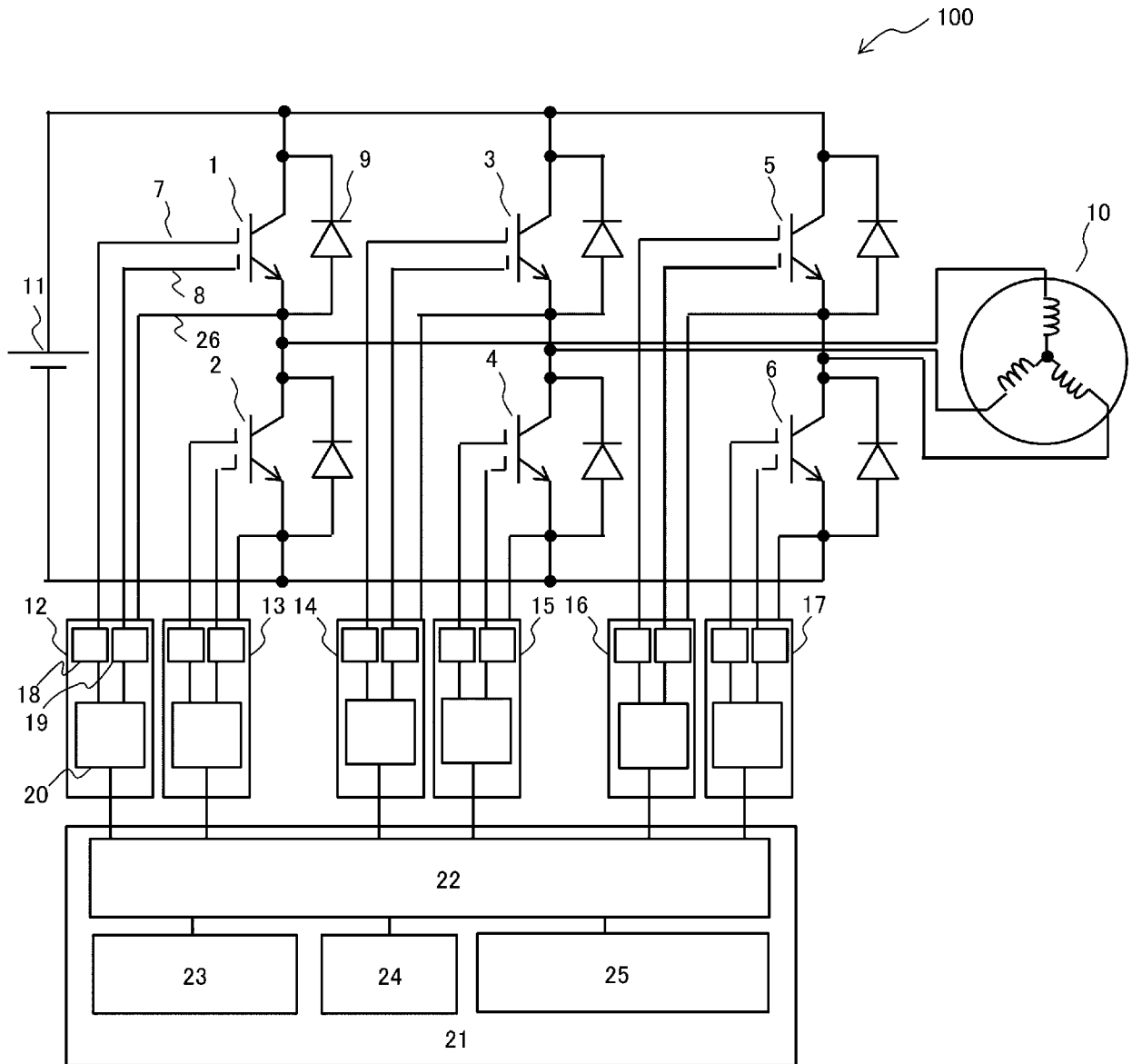
前記第1のデュアルゲートIGBTの前記第2のゲート端子の端子電圧を検知し、当該端子電圧を第3のフィードバック信号として前記第3のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力し、

前記第2のデュアルゲートIGBTの前記第2のゲート端子の端子電圧を検知し、当該端子電圧を第4のフィードバック信号として前記第4のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力する

ことを特徴とするインバータ装置の駆動方法。

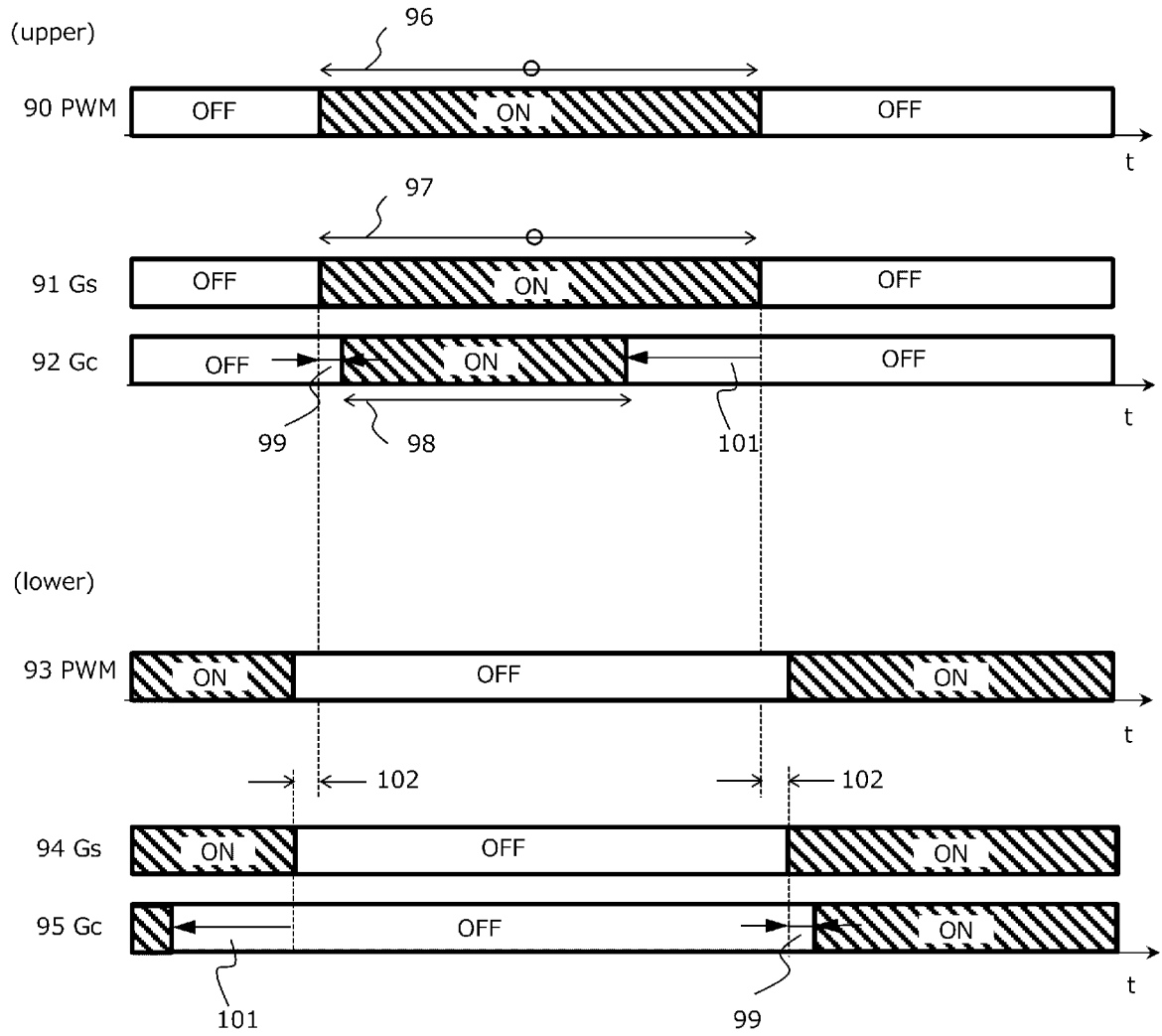
[図1]

図1



[図2]

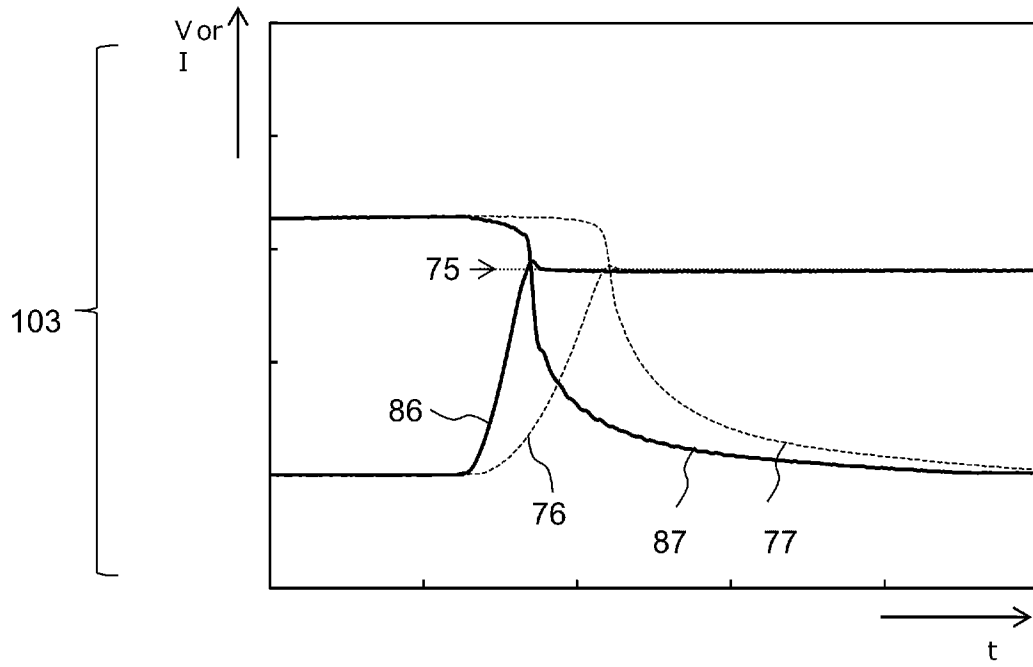
図2



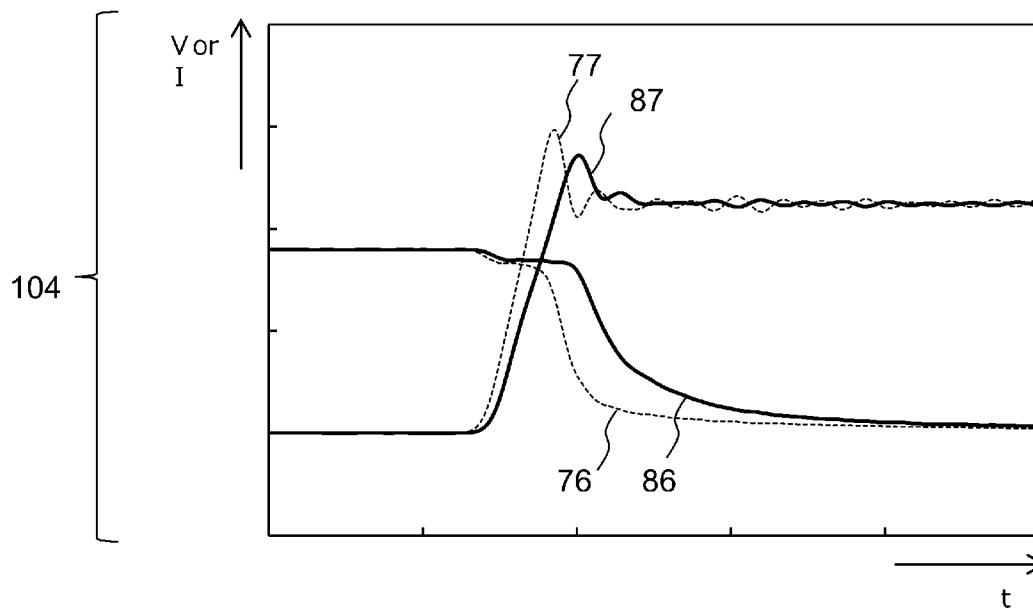
[図3]

図3

(a)

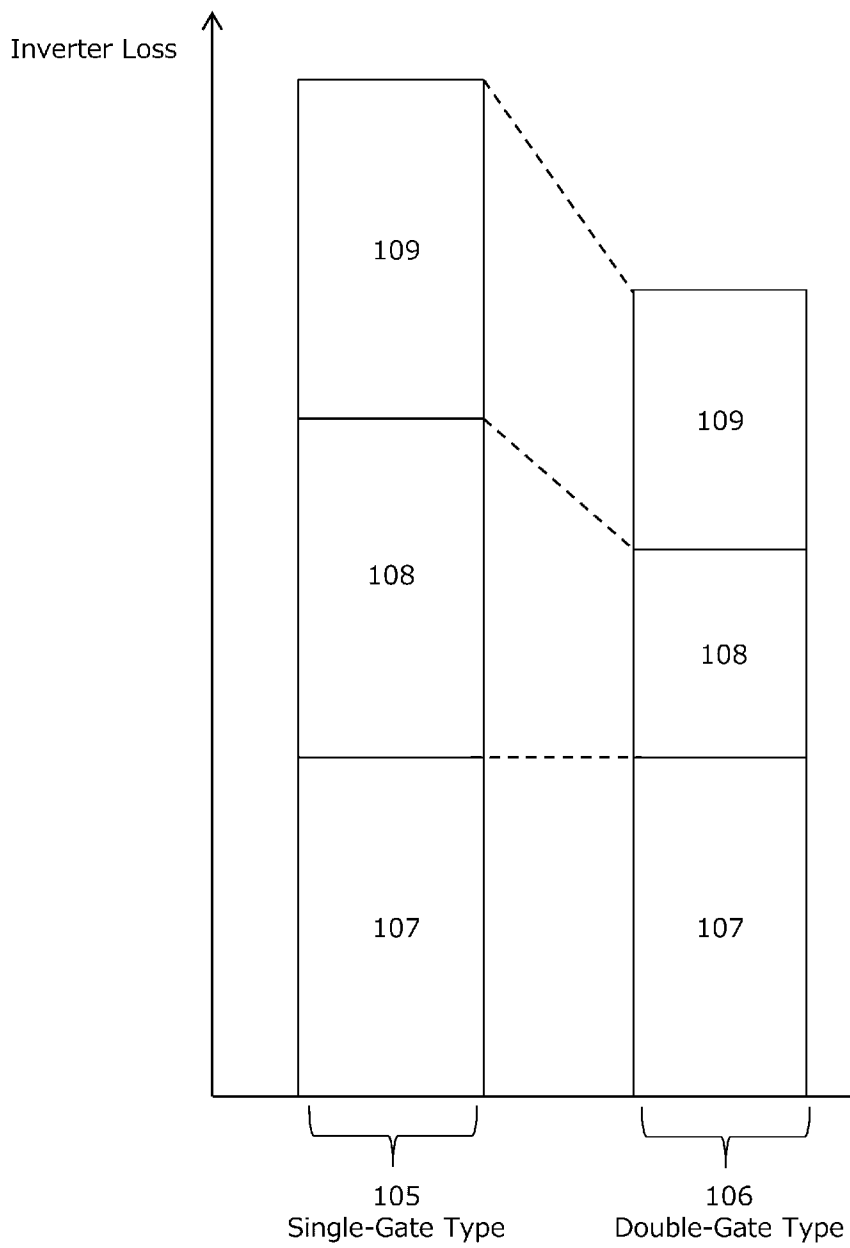


(b)



[図4]

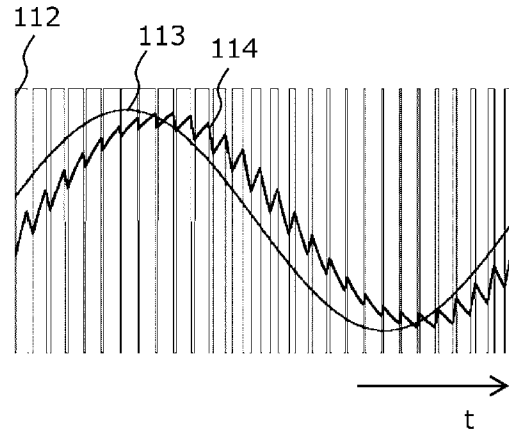
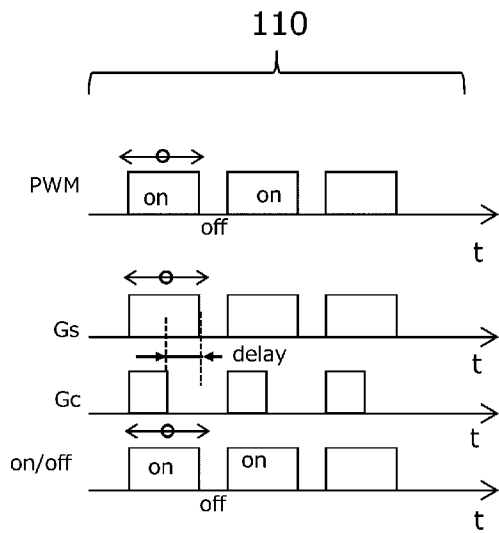
図4



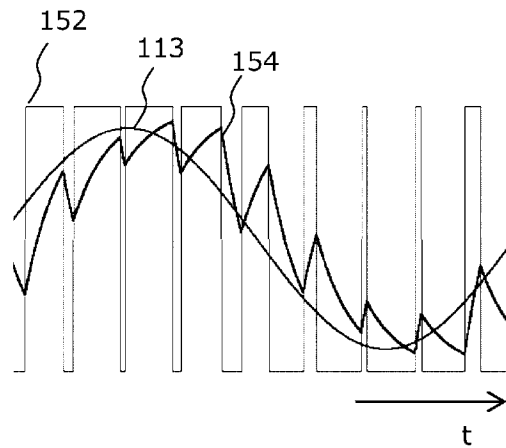
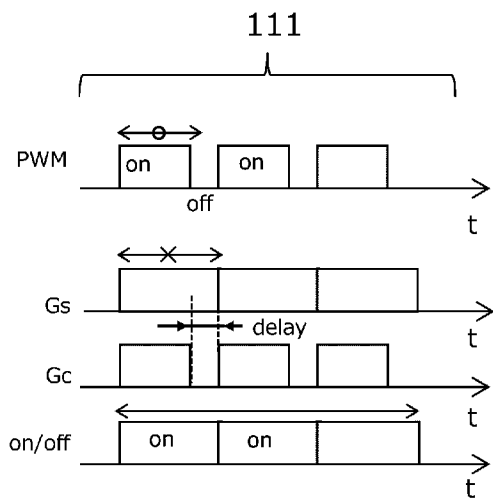
[図5]

図5

(a)

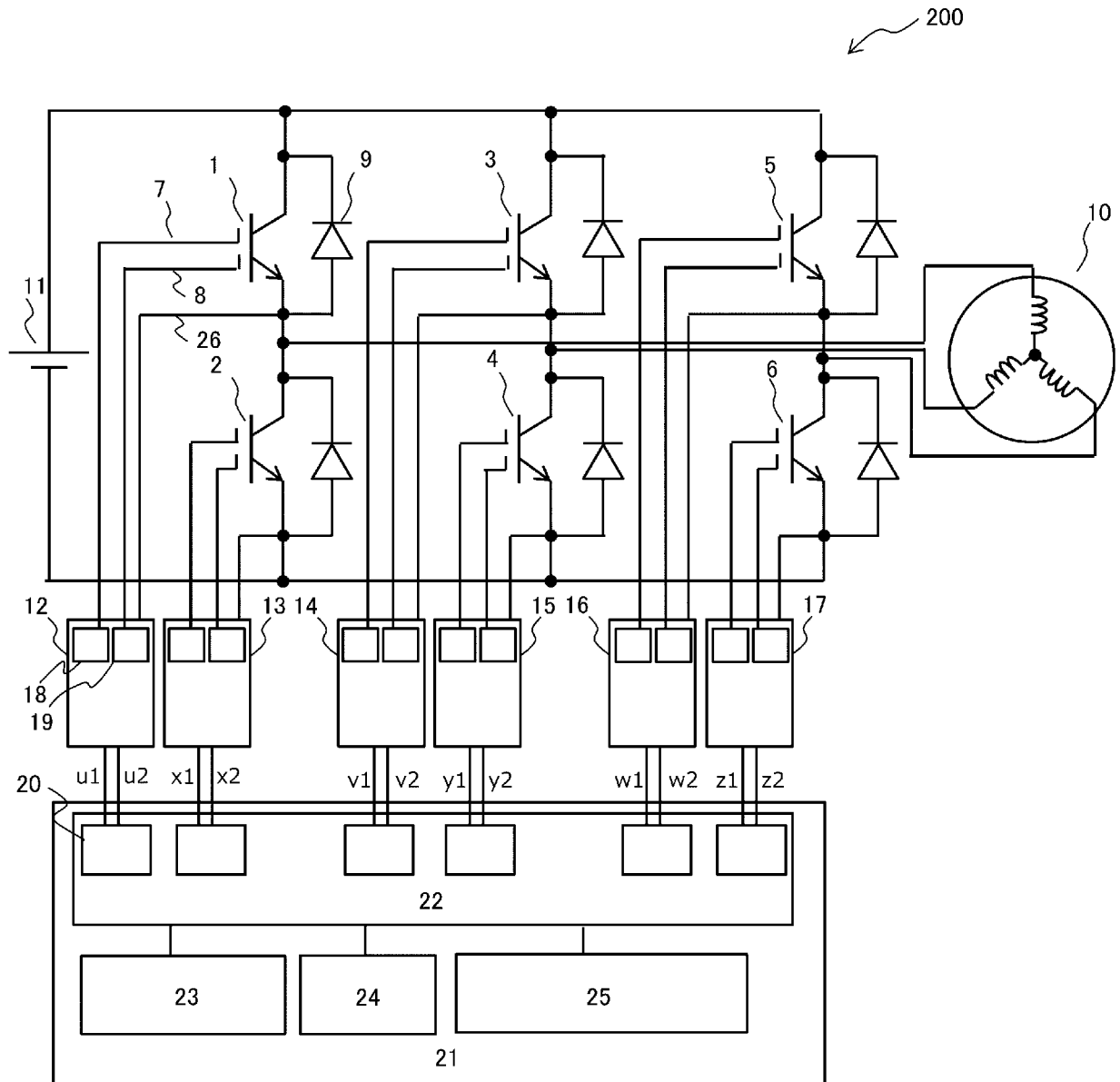


(b)



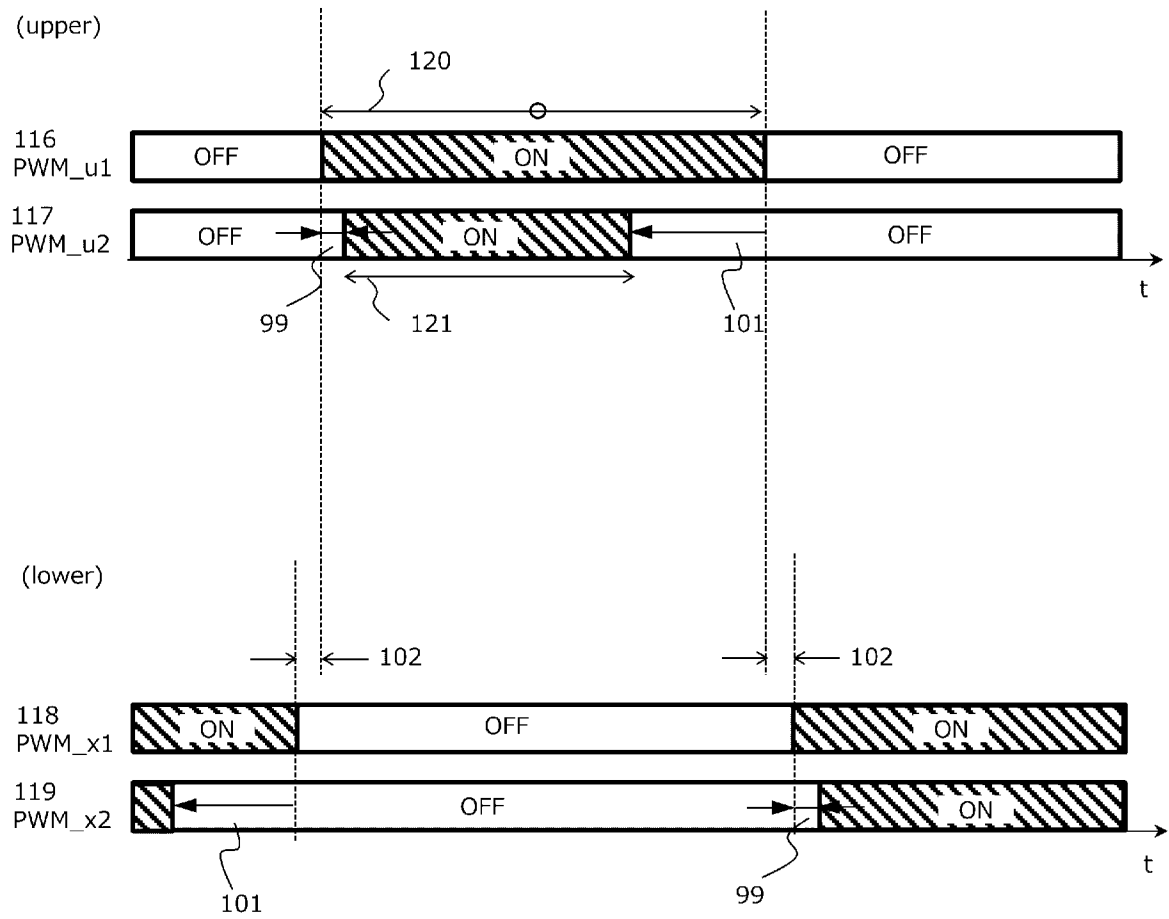
[図6]

図6



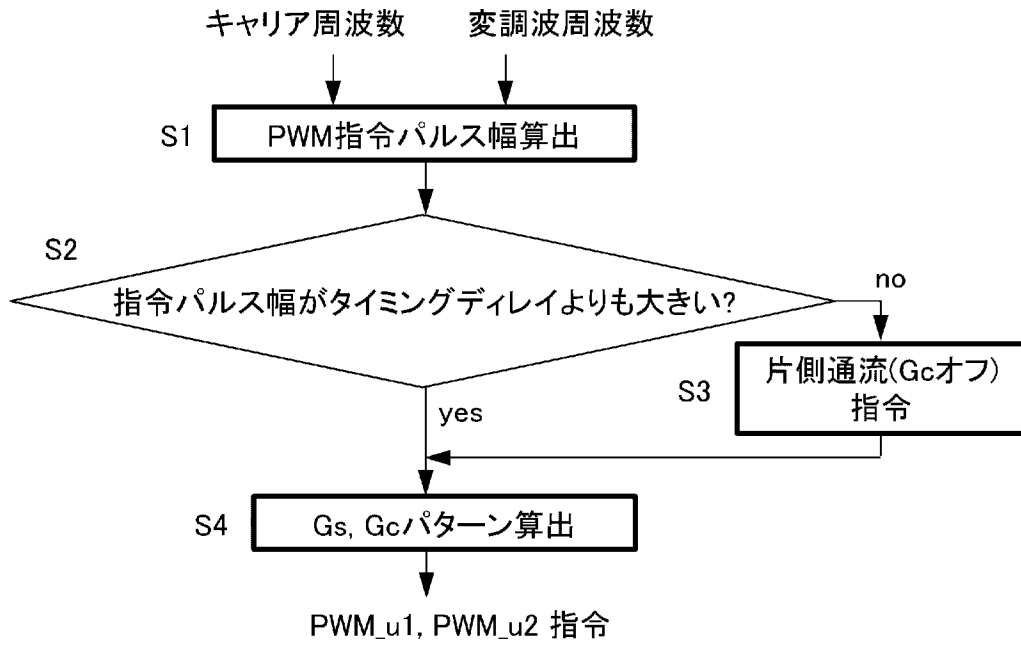
[図7]

図7



[図8]

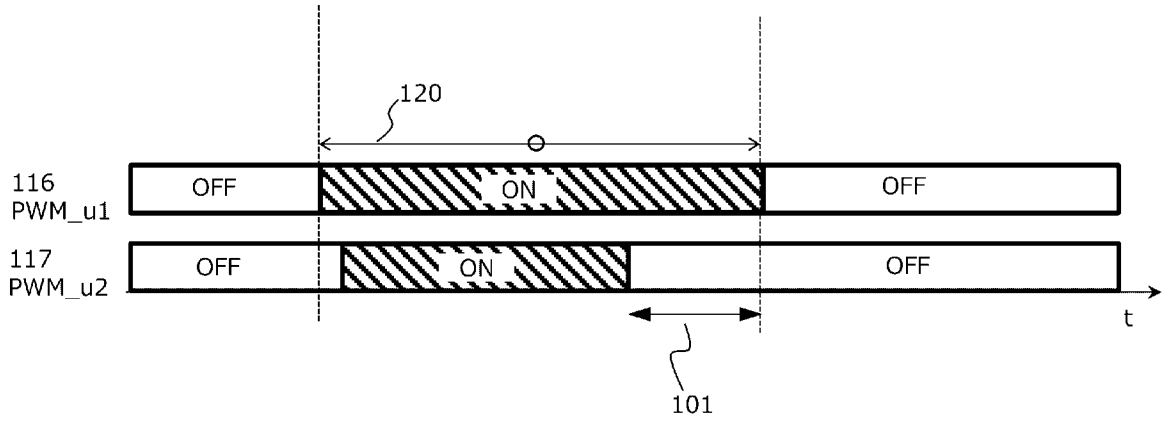
図8



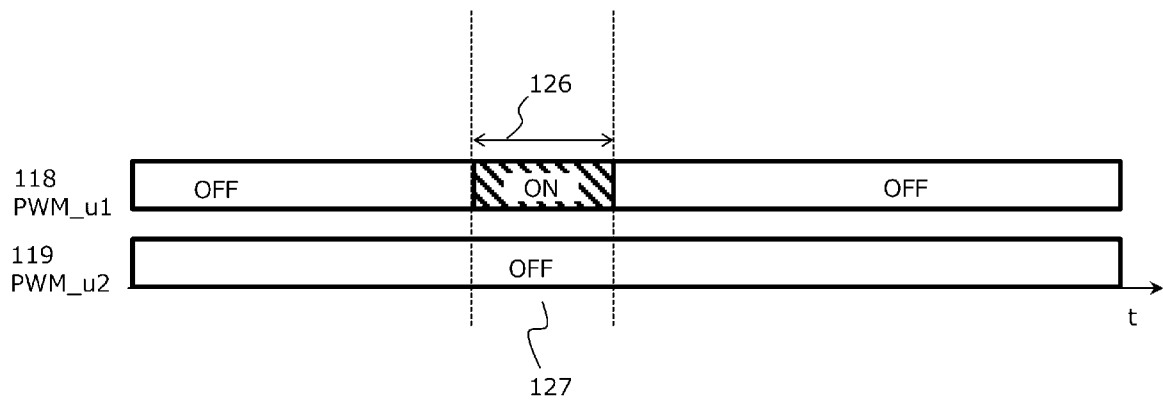
[図9]

図9

(a)

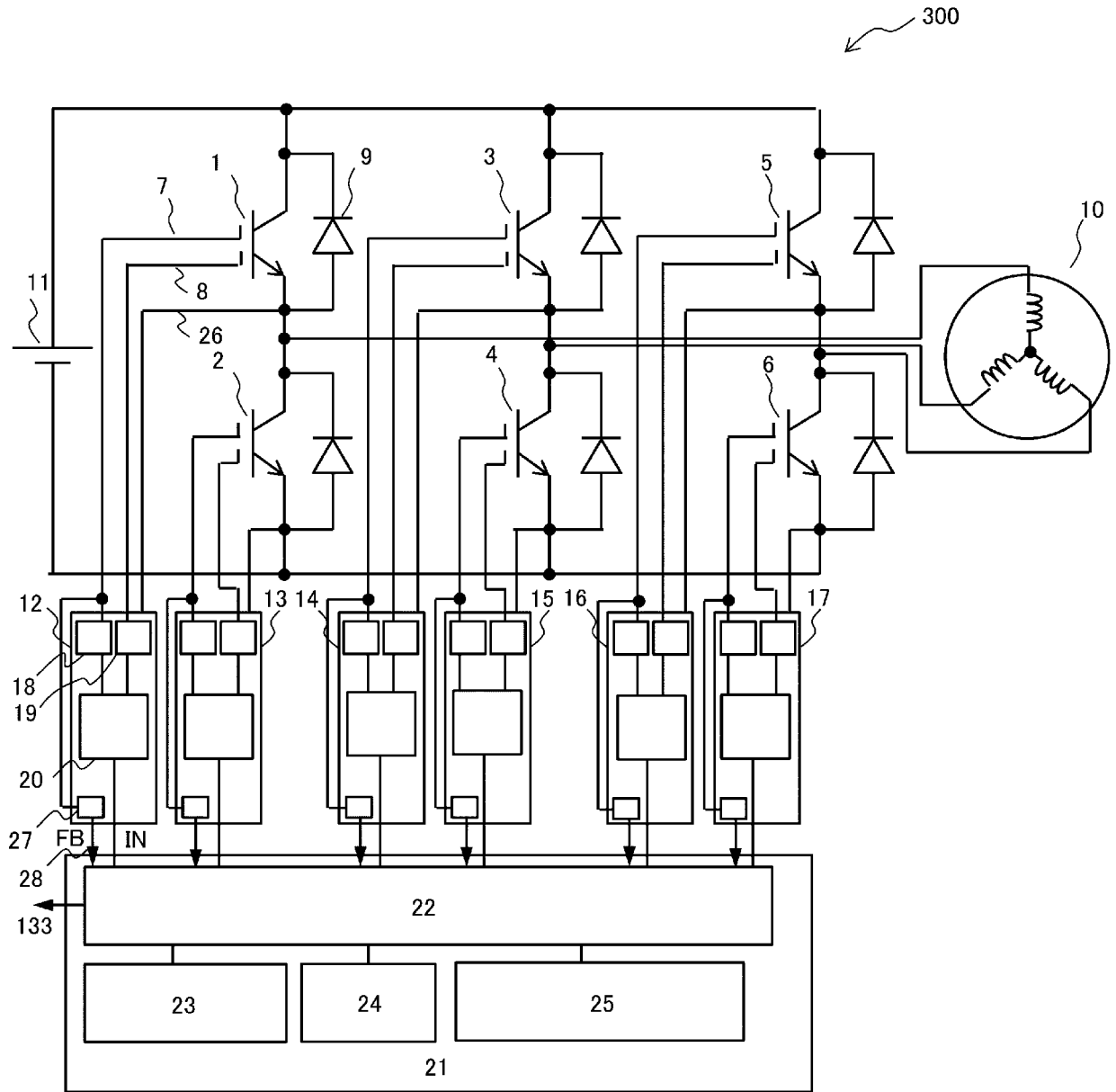


(b)



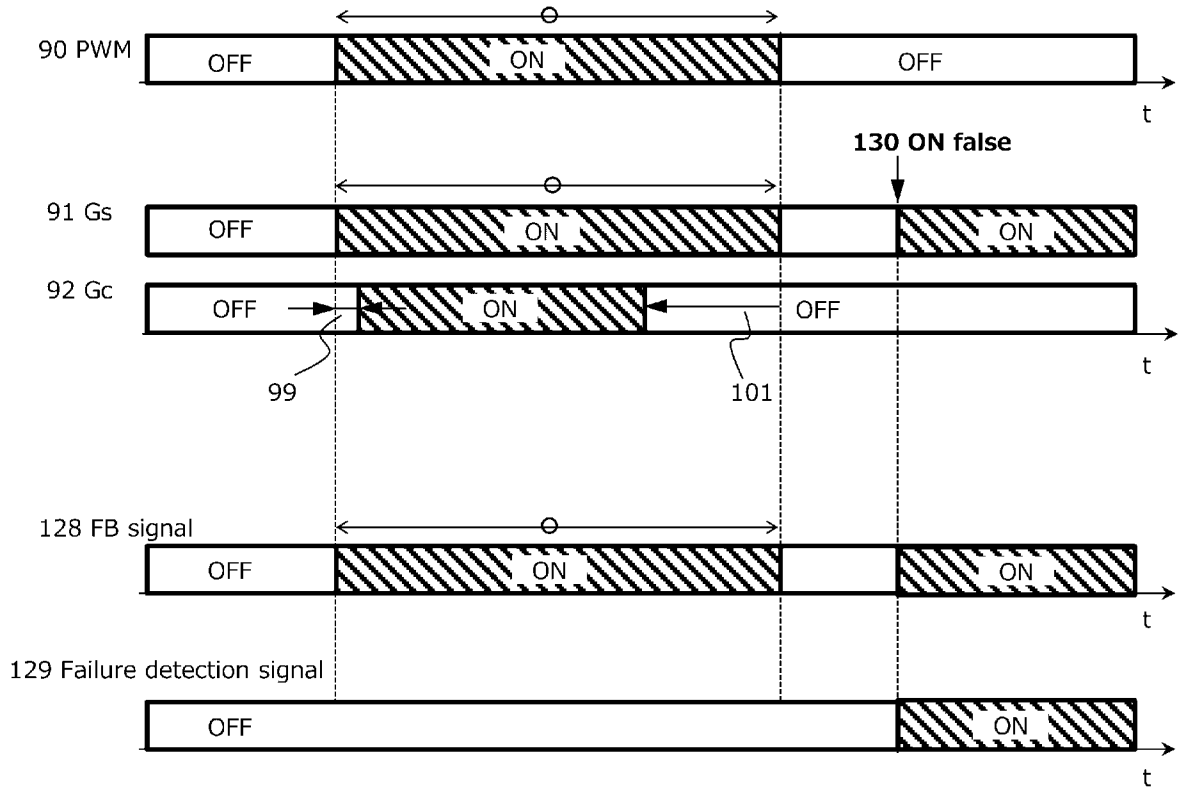
[図10]

図10



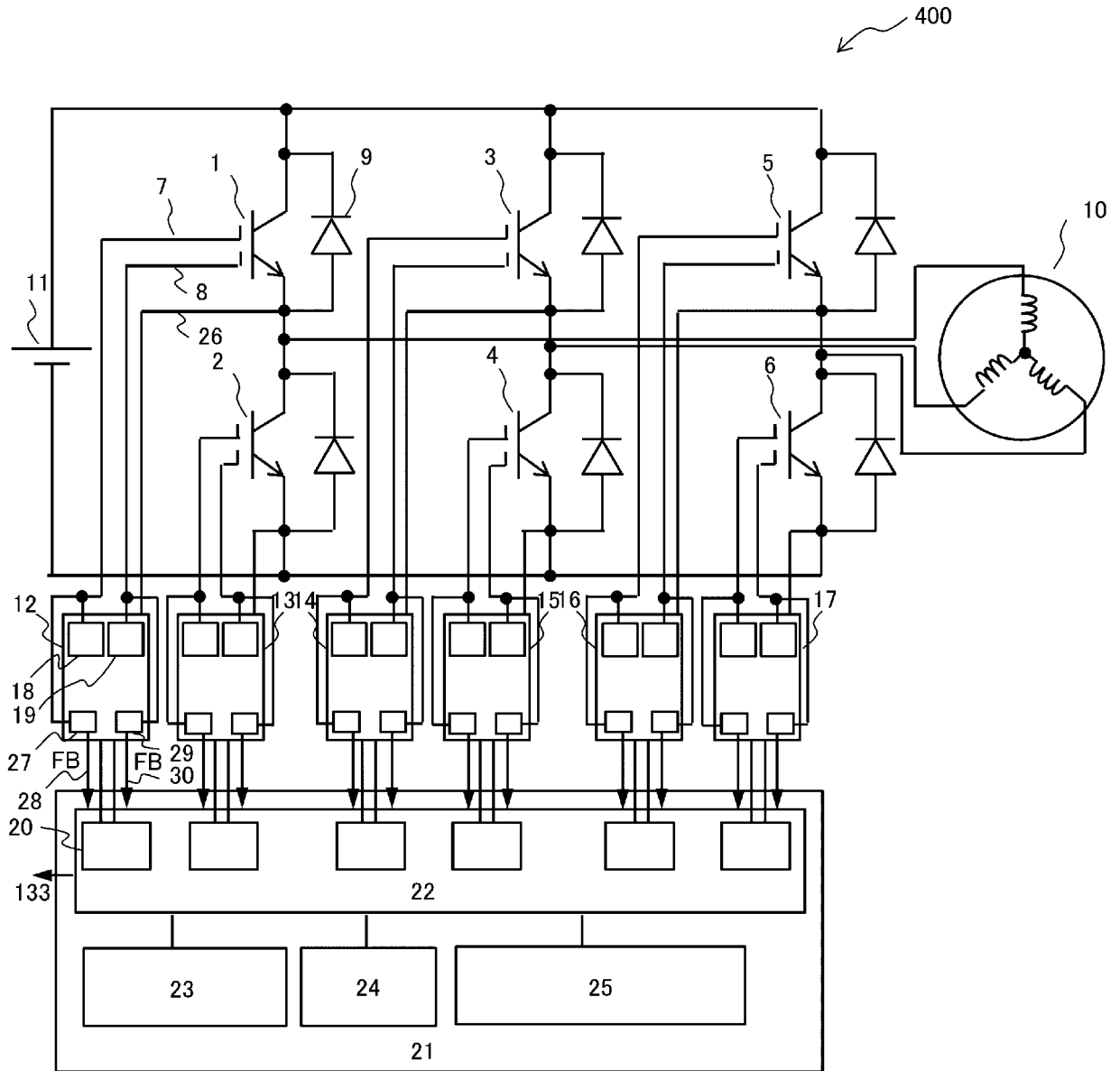
[図11]

図11



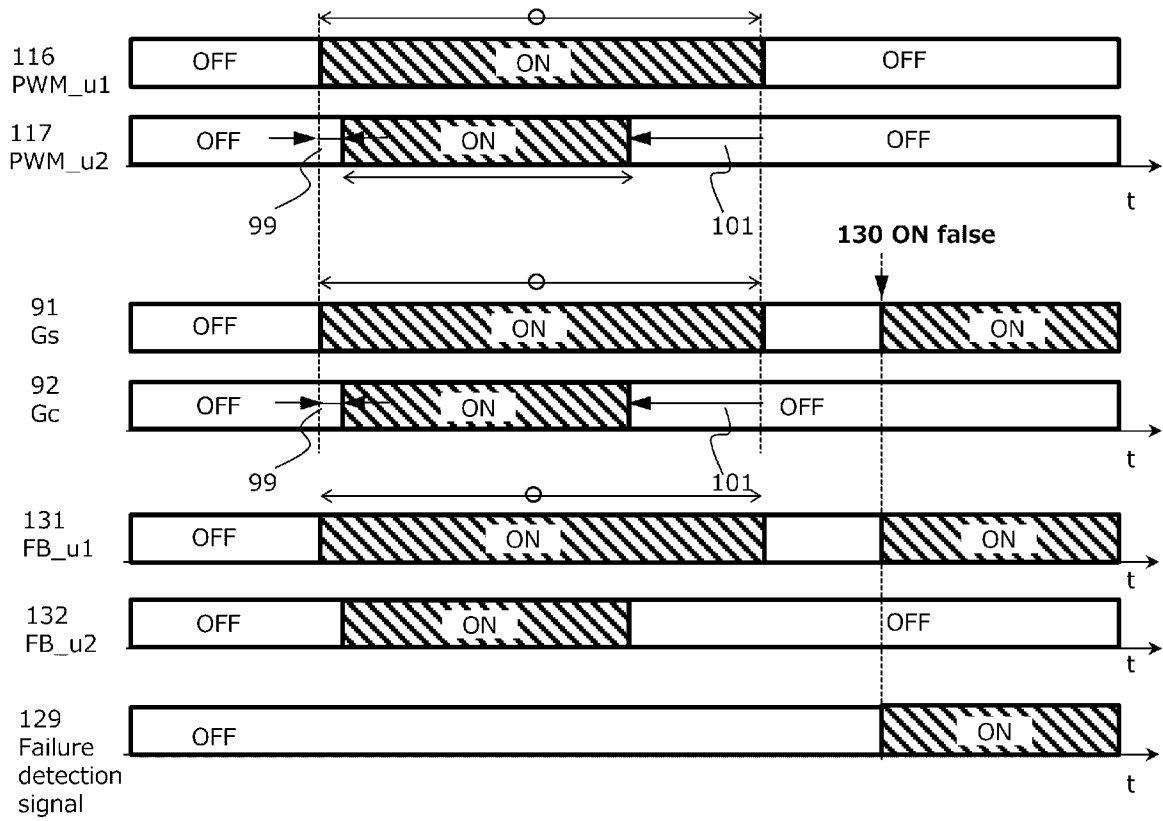
[図12]

図12



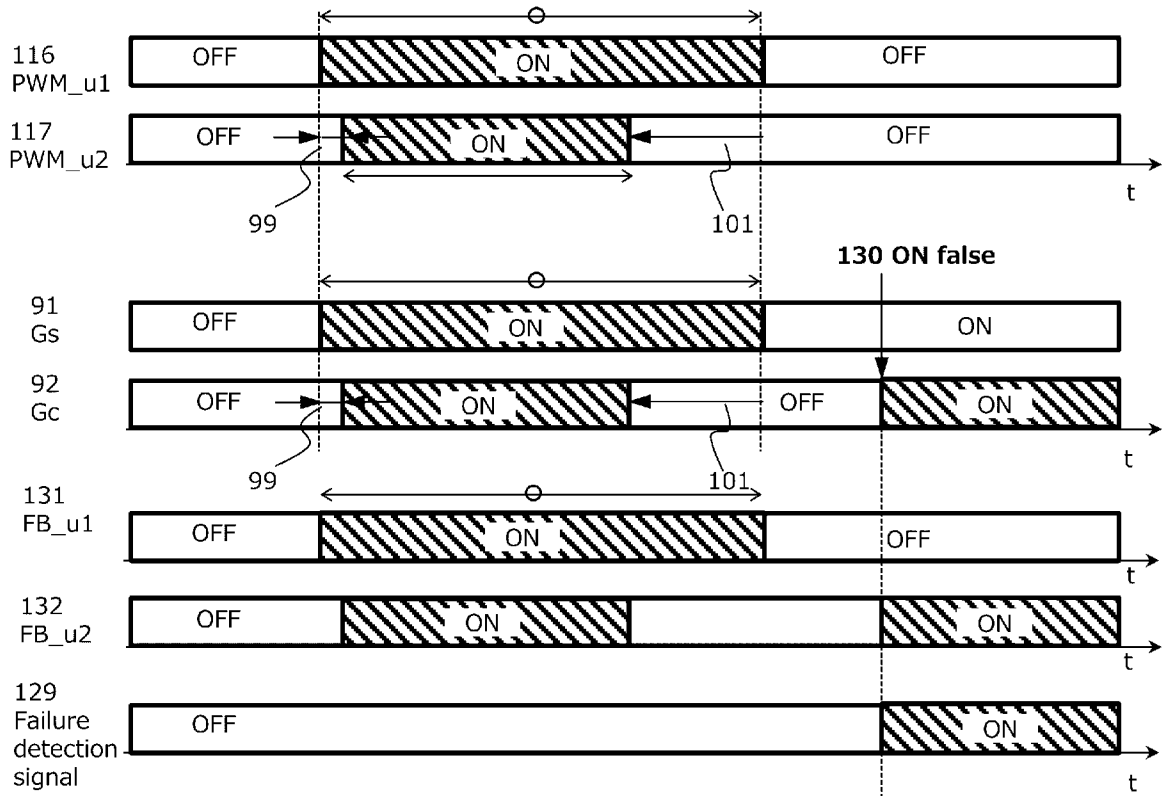
[図13]

図13



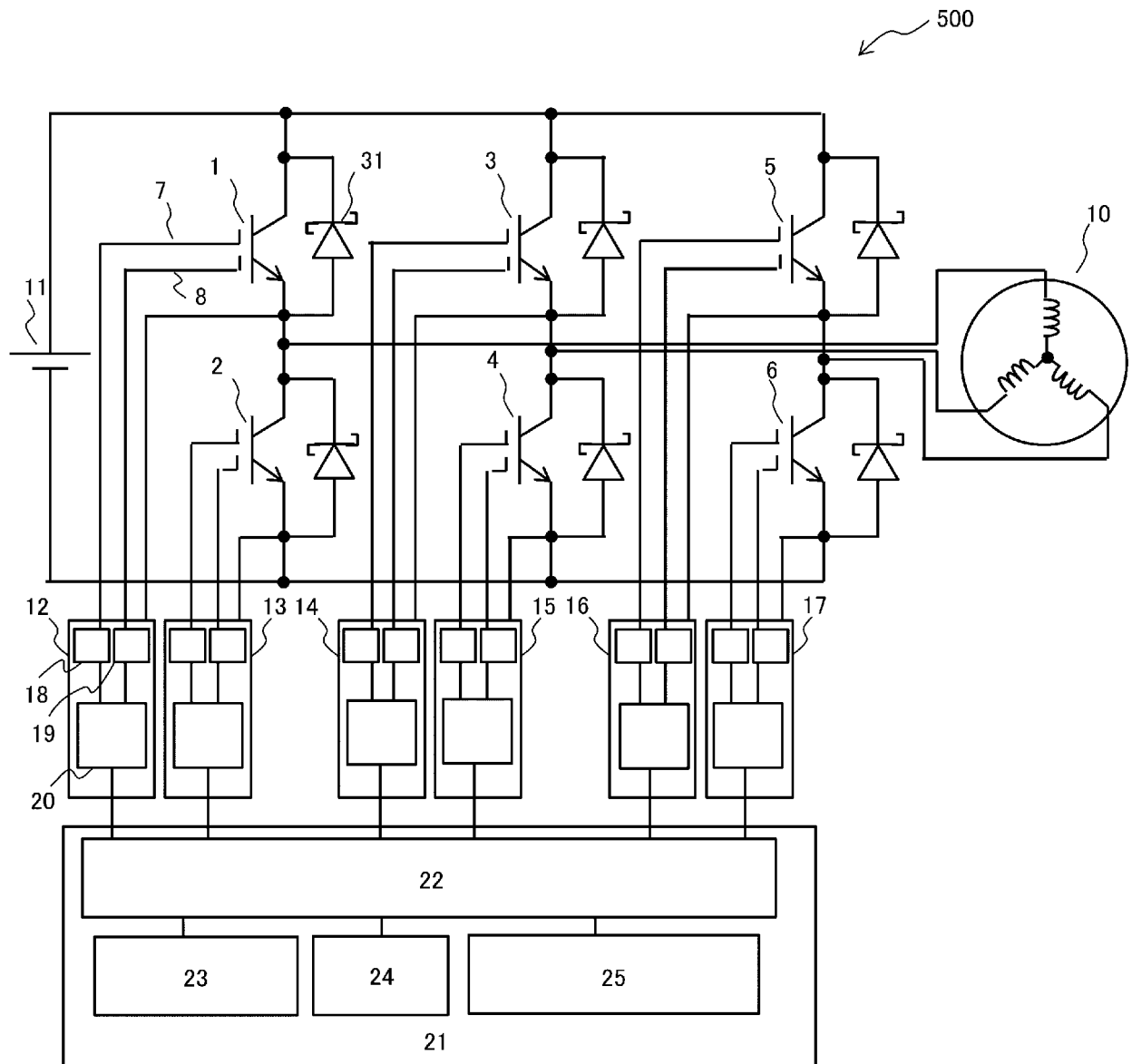
[図14]

図14



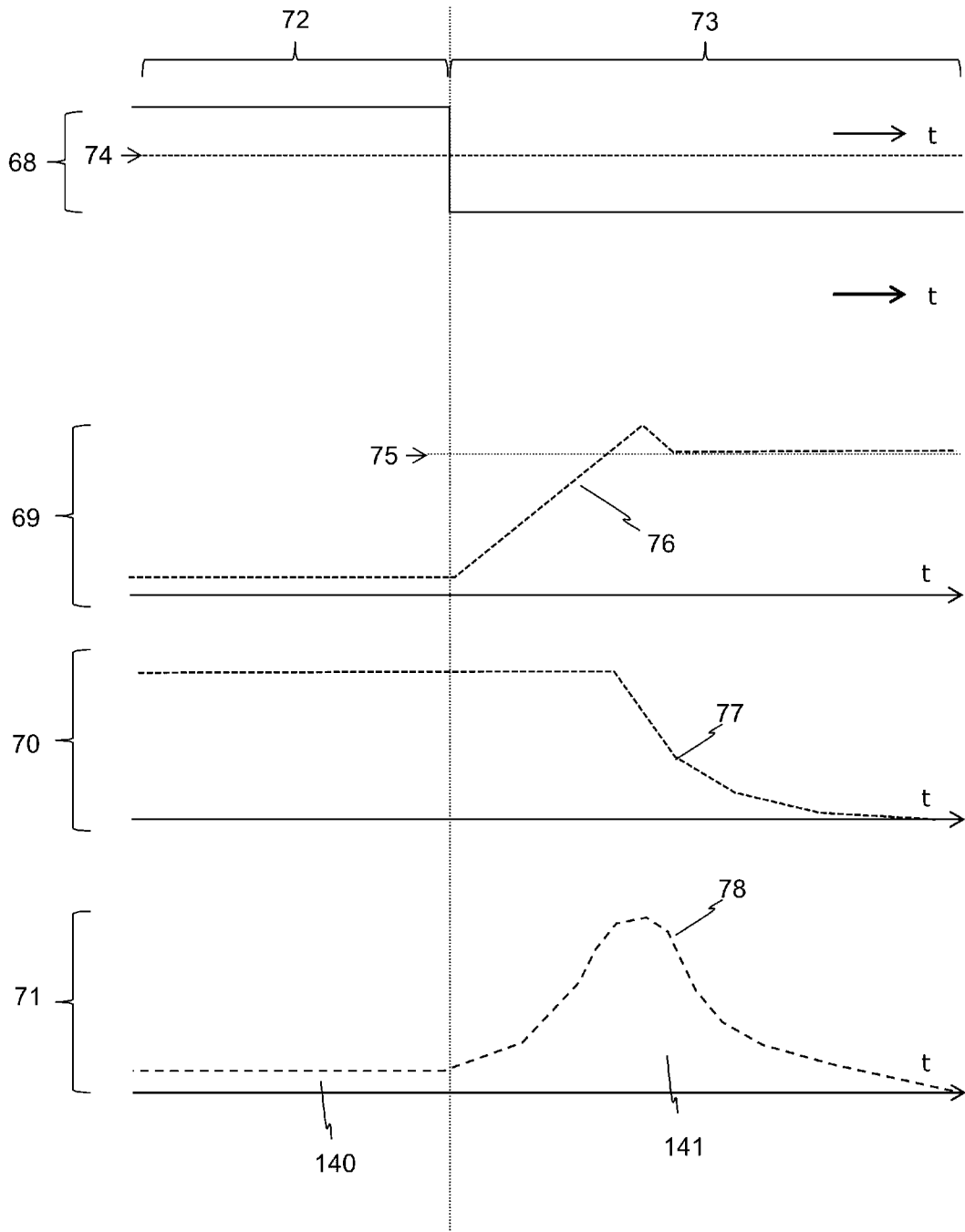
[図15]

図15



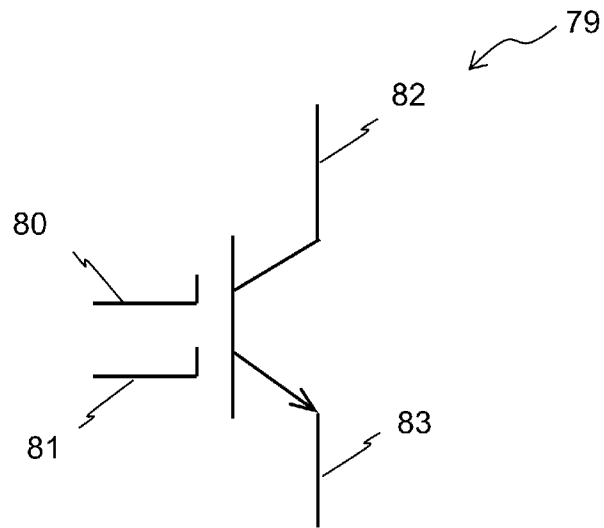
[図16]

図16



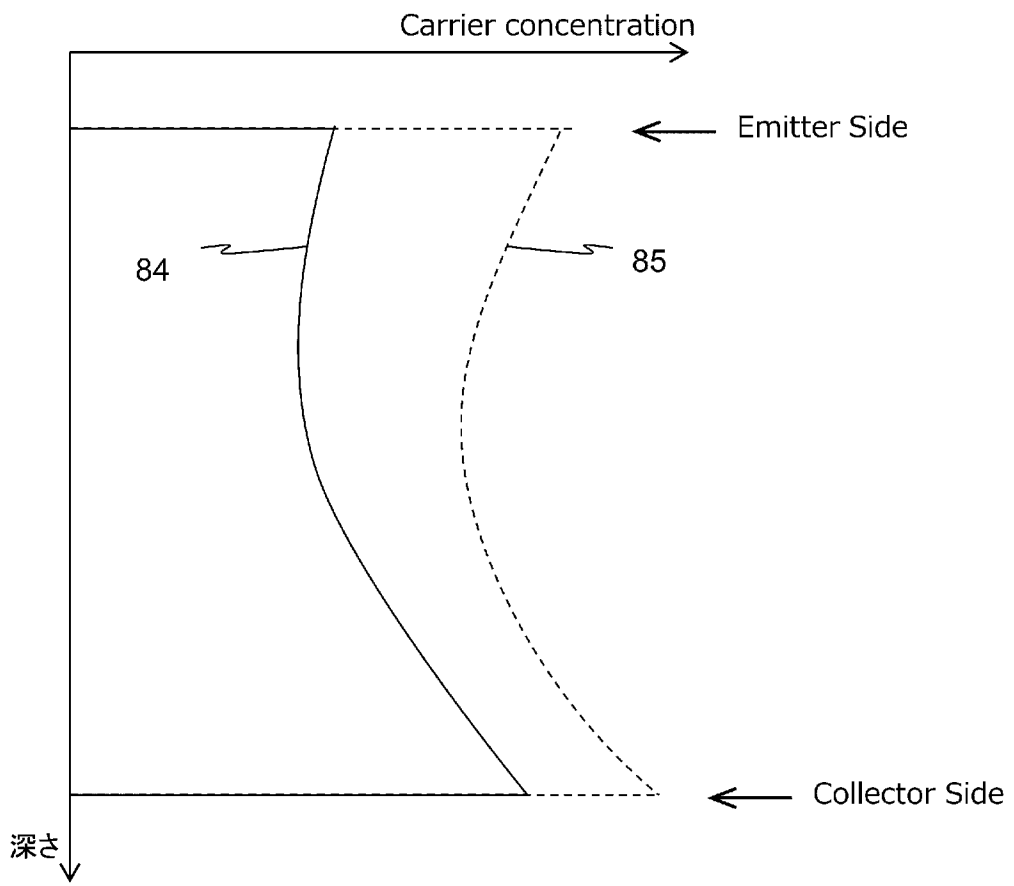
[図17]

図17



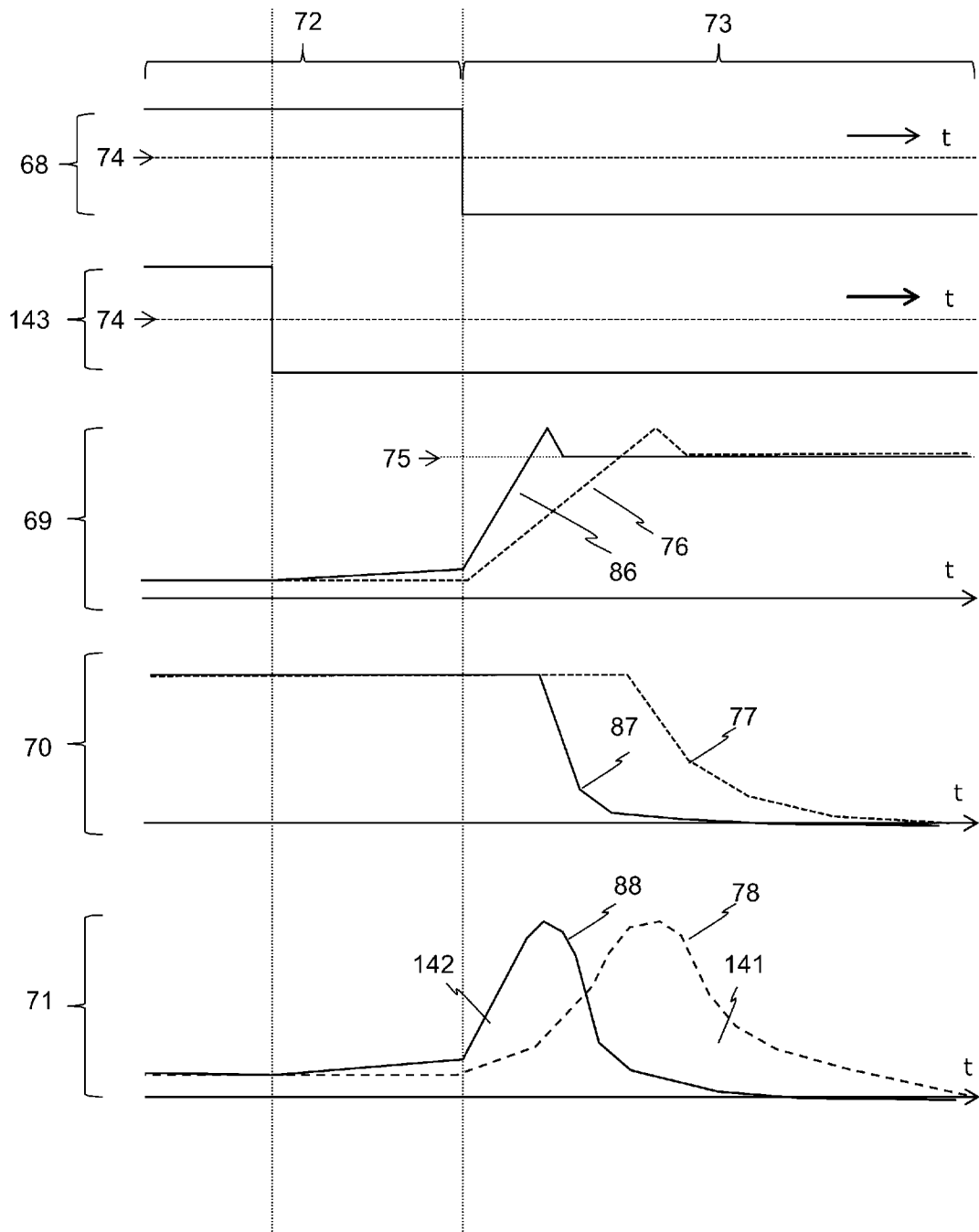
[図18]

図18



[図19]

図19



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2019/001524

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl. H02M7/48 (2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M1/00-7/98

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-028811 A (DENSO CORP.) 02 February 2017, paragraphs [0001]-[0061], fig. 1-4 & US 2017/0026034 A1 paragraphs [0002]-[0065], fig. 1-4	1-20

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

- “A” document defining the general state of the art which is not considered to be of particular relevance
- “E” earlier application or patent but published on or after the international filing date
- “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- “O” document referring to an oral disclosure, use, exhibition or other means
- “P” document published prior to the international filing date but later than the priority date claimed

- “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- “&” document member of the same patent family

Date of the actual completion of the international search  
27 March 2019 (27.03.2019)

Date of mailing of the international search report  
09 April 2019 (09.04.2019)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer  
  
Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/001524

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 06-125256 A (FUJI ELECTRIC CO., LTD.) 06 May 1994, paragraphs [0001]-[0072], fig. 1-23 & US 5459339 A & US 5561393 A & EP 848497 A2 & EP 854575 A2 & EP 568353 A1 column 1, line 2 to column 21, line 47, fig. 1A-22	1-20
Y	JP 2017-078927 A (HITACHI, LTD.) 27 April 2017, paragraphs [0001]-[0065], fig. 1-16 & US 2018/0301549 A paragraphs [0001]-[0243], fig. 1-16 & WO 2017/069073 A1 & CN 108337917 A	1-20
Y	WO 2014/038064 A1 (HITACHI, LTD.) 13 March 2014, paragraphs [0001]-[0101], fig. 1-18 & US 2015/0303288 A1 paragraphs [0001]-[0159], fig. 1-18 & US 2017/0141677 A1 & CN 104488085 A	1-20
Y	JP 2017-204918 A (DENSO CORP.) 16 November 2017, paragraphs [0001]-[0073], fig. 1-16 & US 2017/0331410 A1 paragraphs [0002]-[0147], fig. 1-16B	1-20
Y	JP 2004-222367 A (TOSHIBA CORP.) 05 August 2004, paragraphs [0001]-[0064], fig. 1-6 (Family: none)	6-13, 19-20
Y	JP 2008-054375 A (HITACHI, LTD.) 06 March 2008, paragraphs [0001]-[0053], fig. 1-8 & CN 101132145 A & KR 10-2008-0018099 A & CN 101707432 A & CN 102263489 A	6-13, 19-20

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H02M7/48(2007.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H02M1/00-7/98			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2019年 日本国実用新案登録公報 1996-2019年 日本国登録実用新案公報 1994-2019年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	J P 2017-028811 A (株式会社デンソー) 2017.02.02, 段落 [0001] - [0061], 図1-4 & US 2017/0026034 A1 段落 [0002] - [0065], 図1-4	1-20	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。			
<input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願			
の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 27.03.2019		国際調査報告の発送日 09.04.2019	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 白井 孝治	5G 8843
		電話番号 03-3581-1101 内線 3526	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 06-125256 A (富士電機株式会社) 1994.05.06, 段落 [0001] - [0072], 図1-23 & US 5459339 A & US 5561393 A & EP 848497 A2 & EP 854575 A2 & EP 568353 A1 第1欄第2行-第21欄第47行, 図1A-図22	1-20
Y	JP 2017-078927 A (株式会社日立製作所) 2017.04.27, 段落 [0001] - [0065], 図1-16 & US 2018/0301549 A 段落 [0001] - [0243], 図1-16 & WO 2017/069073 A1 & CN 108337917 A	1-20
Y	WO 2014/038064 A1 (株式会社日立製作所) 2014.03.13, 段落 [0001] - [0101], 図1-18 & US 2015/0303288 A1 段落 [0001] - [0159], 図1-18 & US 2017/0141677 A1 & CN 104488085 A	1-20
Y	JP 2017-204918 A (株式会社デンソー) 2017.11.16, 段落 [0001] - [0073], 図1-16 & US 2017/0331410 A1 段落 [0002] - [0147], 図1-16B	1-20
Y	JP 2004-222367 A (株式会社東芝) 2004.08.05, 段落 [0001] - [0064], 図1-6 (ファミリーなし)	6-13, 19-20

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-054375 A (株式会社日立製作所) 2008.03.06, 段落 [0001] - [0053], 図1-8 & CN 101132145 A & KR 10-2008-0018099 A & CN 101707432 A & CN 102263489 A	6-13, 19-20