



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월07일
 (11) 등록번호 10-1230299
 (24) 등록일자 2013년01월31일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)

(21) 출원번호 10-2005-0001609

(22) 출원일자 2005년01월07일

심사청구일자 2010년01월07일

(65) 공개번호 10-2006-0081152

(43) 공개일자 2006년07월12일

(56) 선행기술조사문헌

KR100441433 B1*

KR1020040045099 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

이청

경기도 용인시 기흥구 중부대로788번길 20, 쌍용아파트 315동 702호 (상하동)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 10 항

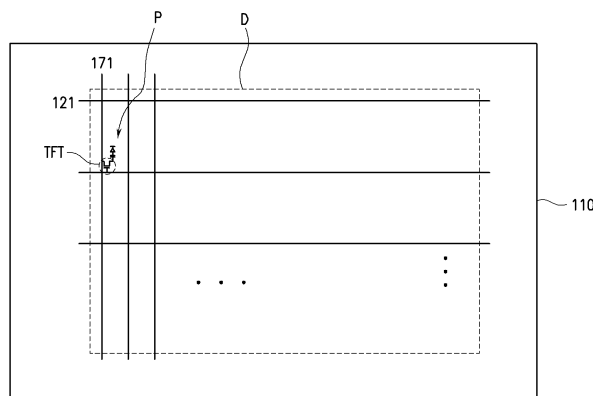
심사관 : 임동재

(54) 발명의 명칭 박막 트랜지스터 표시판

(57) 요약

본 발명의 실시예에 따른 박막 트랜지스터 표시판은 기판, 기판 위에 형성되어 있는 복수의 게이트선, 게이트선과 교차하는 복수의 데이터선, 게이트선과 데이터선과 각각 연결되어 있는 복수의 박막 트랜지스터, 그리고 박막 트랜지스터와 각각 연결되어 있는 복수의 화소 전극을 포함하고, 복수의 박막 트랜지스터는 다양한 누설 전류 값을 가지며 기판 전체에서 불규칙적으로 분포한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관,
 상기 기관 위에 형성되어 있는 복수의 게이트선,
 상기 복수의 게이트선과 교차하는 복수의 데이터선,
 상기 복수의 게이트선 및 상기 복수의 데이터선과 각각 연결되어 있는 복수의 박막 트랜지스터, 그리고
 상기 복수의 박막 트랜지스터와 각각 연결되어 있는 복수의 화소 전극
 을 포함하고,
 상기 복수의 박막 트랜지스터 각각은,
 상기 복수의 게이트선 중 한 게이트선과 연결되어 있는 게이트 전극,
 상기 게이트 전극과 중첩하는 반도체, 그리고
 상기 게이트 전극을 중심으로 마주하는 입력 전극 및 출력 전극
 을 포함하고,
 상기 복수의 박막 트랜지스터에 있어서, 상기 반도체 및 상기 게이트 전극의 중첩 면적은 일정하지 않은
 박막 트랜지스터 표시판

청구항 2

제1항에서,
 상기 복수의 박막 트랜지스터에 있어서, 상기 반도체 및 상기 게이트 전극의 중첩 면적은 불규칙적으로 정해지
 는 박막 트랜지스터 표시판.

청구항 3

제1항에서,
 상기 복수의 박막 트랜지스터에 있어서, 상기 게이트 전극이 연결되어 있는 상기 게이트선의 뺀 방향과 이루
 는 각도는 일정하지 않고 불규칙한 박막 트랜지스터 표시판.

청구항 4

삭제

청구항 5

기관,
 상기 기관 위에 형성되어 있는 복수의 게이트선,
 상기 복수의 게이트선과 교차하는 복수의 데이터선,
 상기 복수의 게이트선 및 상기 복수의 데이터선과 각각 연결되어 있는 복수의 박막 트랜지스터, 그리고
 상기 복수의 박막 트랜지스터와 각각 연결되어 있는 복수의 화소 전극
 을 포함하고,
 상기 복수의 박막 트랜지스터 각각은,
 상기 복수의 게이트선 중 한 게이트선과 연결되어 있는 게이트 전극,
 상기 게이트 전극과 중첩하는 반도체, 그리고

상기 게이트 전극을 중심으로 마주하는 입력 전극 및 출력 전극
을 포함하고,

상기 복수의 박막 트랜지스터에 있어서, 상기 게이트 전극이 연결되어 있는 상기 게이트선의 뺀 방향과 이루
는 각도는 일정하지 않고 불규칙한

박막 트랜지스터 표시판.

청구항 6

제1항 및 제5항 중 어느 한 항에서,

상기 반도체는 다결정 규소로 이루어지며, 순차적 측면 고상화 또는 엑시머 레이저 열처리 기술로 만들어진 박
막 트랜지스터 표시판.

청구항 7

제1항 및 제5항 중 어느 한 항에서,

상기 복수의 게이트선과 나란한 유지 전극선을 더 포함하는 박막 트랜지스터 표시판.

청구항 8

제1항 및 제5항 중 어느 한 항에서,

상기 기판과 상기 반도체 사이에 형성되어 있는 차단막을 더 포함하는 박막 트랜지스터 표시판.

청구항 9

제1항 및 제5항 중 어느 한 항에서,

상기 복수의 게이트선 및 상기 복수의 데이터선과 상기 복수의 화소 전극 사이에 형성되어 있는 보호막을 더 포
함하는 박막 트랜지스터 표시판.

청구항 10

제1항 및 제5항 중 어느 한 항에서,

상기 복수의 게이트선과 상기 복수의 데이터선 사이에 형성되어 있는 층간 절연막을 더 포함하는 박막 트랜지스
터 표시판.

청구항 11

제1항 및 제5항 중 어느 한 항에서,

상기 복수의 화소 전극 상부에 형성되어 있는 격벽, 그리고

상기 격벽에 의해 둘러싸인 발광층

을 더 포함하는 박막 트랜지스터 표시판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0019] 본 발명은 박막 트랜지스터 표시판에 관한 것으로 특히, 다결정 규소로 이루어지는 반도체를 가지는 박막 트랜
지스터 표시판에 관한 것이다.

[0020] 박막 트랜지스터 표시판은 박막 트랜지스터에 의하여 구동되는 복수의 화소를 가지는 액정 표시 장치 또는 유기

발광 표시 장치(organic light display, OLED) 등 평판 표시 장치의 한 기관으로 사용된다.

- [0021] 액정 표시 장치는 전기장을 생성하는 전계 생성 전극과 그 사이의 액정층을 포함한다. 이러한 액정 표시 장치에서는 두 전계 생성 전극에 전압을 인가하여 액정층에 전계를 형성함으로써 액정 분자들의 배향을 결정하고 입사광의 편광을 조절하여 영상을 표시한다. 이 경우 박막 트랜지스터는 전극에 인가되는 신호를 제어하는 데 사용된다.
- [0022] 유기 발광 표시 장치는 발광성 유기 물질을 여기 발광시켜 영상을 표시하는 자기 발광형 표시 장치이다. 유기 발광 표시 장치는 정공 주입 전극(애노드)과 전자 주입 전극(캐소드)과 이들 사이에 들어 있는 유기 발광층을 포함하고, 유기 발광층에 정공과 전자를 주입하면, 이들이 쌍을 이룬 후 소멸하면서 빛을 낸다. 유기 발광 표시 장치의 각 화소에는 두 개의 박막 트랜지스터 즉, 구동 박막 트랜지스터와 스위칭 트랜지스터가 구비되어 있다. 발광을 위한 전류를 공급하는 구동 박막 트랜지스터의 전류량은 스위칭 트랜지스터를 통해 인가되는 데이터 신호에 의해 제어된다.
- [0023] 널리 사용되는 박막 트랜지스터는 비정질 규소(amorphous silicon) 또는 다결정 규소(crystalline silicon) 등으로 이루어진다. 비정질 규소는 낮은 온도에서 증착하여 박막(thin film)을 형성하는 것이 가능하며, 주로 낮은 용융점을 가지는 유리를 기관으로 사용하는 표시 장치에 많이 사용된다.
- [0024] 그러나 비정질 규소 박막은 낮은 전계 효과 이동도 등의 문제점으로 표시 소자의 대면적화에 어려움이 있다. 그래서 높은 전계 효과 이동도와 고주파 동작 특성 및 낮은 누설 전류(leakage current)의 전기적 특성을 가진 다결정 규소(poly crystalline silicon)의 응용이 요구되고 있다.
- [0025] 다결정 규소를 형성하는 방법에는 엑시머 레이저 열처리(eximer laser anneal, ELA), 로 열처리(chamber annal) 등이 있으며 최근에는 레이저로 규소 결정의 측면 성장을 유도하여 다결정 규소를 제조하는 순차적 측면 고상화(sequential lateral solidification, SLS) 기술이 제안되었다.
- [0026] 순차적 측면 고상화 기술은 규소 입자가 액상 규소와 고상 규소의 경계면에서 그 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용한 것으로, 레이저빔 에너지의 크기와 레이저빔의 조사 범위의 이동을 광계(optic system) 및 마스크를 이용하여 적절하게 조절하여 규소 입자를 소정의 길이만큼 측면 성장 시킴으로서 비정질 규소를 결정화하는 것이다.
- [0027] 그리고 엑시머 레이저 열처리 기술은 광원으로 엑시머 레이저를 사용하여 비정질 규소막에 레이저광을 조사하여 다결정화하는 것으로 레이저광의 조사 영역을 조금씩 이동 시키면서 결정화한다. 즉, 엑시머 레이저 열처리 기술은 여러 번의 조사를 실시하면서 조사 영역의 일부는 중첩되도록 레이저빔을 정렬하여 조사하며, 임의 부분에 대하여 여러 번 중복하여 조사하면서 결정화 공정을 진행한다.
- [0028] 그러나 순차적 측면 고상화 기술은 반대 방향에서 성장해오는 결정이 만나서 돌기를 형성하는데, 돌기는 전류의 흐름을 방해하여 표시 장치의 화질을 고르지 못하게하여 사선 얼룩, 가로줄 얼룩 등의 문제점을 발생한다. 그리고 엑시머 레이저 열처리 기술은 레이저 빔의 폭과 이동 피치(pitch)차로 인해서 반도체의 위치에 따라 조사 횟수가 달라지며 이에 따라 결정화 상태가 달라져 줄 형태의 얼룩을 발생한다.

발명이 이루고자 하는 기술적 과제

- [0029] 이는 박막 트랜지스터에 있는 반도체의 결정화 정도 차이에 의해서 특성 편차가 발생하고 이것이 규칙성을 나타낼 때 줄무늬 또는 사선 형태로 나타나는 것으로, 본 발명의 기술적 과제는 결정화 상태에 영향을 받지 않으면서 균일한 화질을 가지는 표시 장치 및 그의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

- [0030] 위와 같은 과제를 이루기 위하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판은 기관, 기관 위에 형성되어 있는 복수의 게이트선, 상기 복수의 게이트선과 교차하는 복수의 데이터선, 상기 복수의 게이트선 및 상기 복수의 데이터선과 각각 연결되어 있는 복수의 박막 트랜지스터, 그리고 상기 복수의 박막 트랜지스터와 각각 연결되어 있는 복수의 화소 전극을 포함하고, 상기 복수의 박막 트랜지스터 각각은, 상기 게이트선과 연결되어 있는 게이트 전극, 상기 게이트 전극과 중첩하는 반도체, 그리고 상기 반도체와 중첩하는 입력 전극 및 출력 전극을 포함하고, 상기 복수의 박막 트랜지스터에 있어서, 상기 반도체 및 상기 게이트 전극의 중첩 면적은 일정하지 않다.

- [0031] 상기 복수의 박막 트랜지스터에 있어서, 상기 반도체 및 상기 게이트 전극의 중첩 면적은 불규칙적으로 정해질

수 있다.

상기 복수의 박막 트랜지스터에 있어서, 상기 게이트 전극이 상기 게이트선의 뺨는 방향과 이루는 각도는 일정하지 않고 불규칙할 수 있다.

상기한 과제를 해결하기 위한 다른 실시예에 따른 박막 트랜지스터 표시판은 기판, 상기 기판 위에 형성되어 있는 복수의 게이트선, 상기 게이트선과 교차하는 복수의 데이터선, 상기 복수의 게이트선 및 상기 복수의 데이터선과 각각 연결되어 있는 복수의 박막 트랜지스터, 그리고 상기 복수의 박막 트랜지스터와 각각 연결되어 있는 복수의 화소 전극을 포함하고, 상기 복수의 박막 트랜지스터 각각은, 상기 게이트선과 연결되어 있는 게이트 전극, 상기 게이트선과 중첩하는 반도체, 그리고 상기 반도체와 중첩하는 입력 전극 및 출력 전극을 포함하고, 상기 복수의 박막 트랜지스터에 있어서, 상기 게이트 전극이 상기 게이트선의 뺨는 방향과 이루는 각도는 일정하지 않고 불규칙하다.

[0032] 삭제

[0033] 삭제

[0034] 삭제

[0035] 여기서 반도체는 다결정 규소로 이루어지며, 순차적 측면 고상화 또는 엑시머 레이저 열처리 기술로 만들어진 것이 바람직하다.

그리고 게이트선과 나란한 유지 전극선을 더 포함할 수 있다.

또한, 절연 기판과 반도체 사이에 형성되어 있는 차단막을 더 포함할 수 있다.

또한, 게이트선 및 데이터선과 화소 전극 사이에 형성되어 있는 보호막을 더 포함할 수 있다.

[0036] 삭제

[0037] 삭제

[0038] 삭제

[0039] 또한, 게이트선과 데이터선의 사이에 형성되어 있는 층간 절연막, 그리고 층간 절연막과 보호막 사이에 형성되어 있으며 드레인 영역과 화소 전극에 연결되어 있는 출력 전극을 더 포함할 수 있다.

[0040] 또한, 화소 전극 상부에 형성되어 있는 격벽, 격벽에 둘러싸인 발광층을 더 포함할 수 있다.

[0041] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0042] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0043] 첨부한 도면을 참고하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판에 대해서 설명한다.

[0044] 먼저 본 발명의 한 실시예에 따른 다결정 규소 박막 트랜지스터 표시판에 대하여 도 1 및 도 2를 참고하여 상세하게 설명한다.

- [0045] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터의 개략적인 등가 회로도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 3은 도 2의 액정 표시 장치용 박막 트랜지스터 표시판을 III-III'-III"선을 따라 잘라 도시한 단면도이고, 도 4는 본 발명의 실시예에 따른 반도체와 게이트 전극의 관계를 도시한 도면이다.
- [0046] 도 1에 도시한 바와 같이, 액정 표시 장치용 박막 트랜지스터 표시판은 투명한 절연 기판(110) 위에 절연되어 교차하는 복수의 게이트선(gate line)(121)과 데이터선(data line)이 형성되어 있다. 게이트선(121)은 주사 신호를 전달하고 데이터선(data line)(171)은 화상 신호를 전달한다.
- [0047] 게이트선(121)과 데이터선(171)에 의해 정의되는 복수의 화소 영역(P)은 모여서 액정 표시 장치의 영상을 표시하는 표시 영역(D)을 이룬다. 여기서 게이트선(121) 및 데이터선(171)의 한쪽 끝부분은 외부 신호를 입력 받기 위해서 표시 영역(D)을 벗어난 주변 영역까지 뻗어 있다. 액정 표시 장치에서 표시 영역(D)을 제외한 나머지 부분을 주변 영역이라 한다.
- [0048] 그리고 복수의 화소 영역(P)에는 각각 스위칭 소자인 박막 트랜지스터(TFT)가 형성되어 있으며 박막 트랜지스터(TFT)는 주사 신호에 따라 화상 신호를 온(on)오프(Off)한다.
- [0049] 박막 트랜지스터(TFT)는 게이트선(121)과 연결되어 있는 게이트 전극, 게이트 전극과 중첩하는 반도체, 반도체와 중첩하며 데이터선과 연결되어 있는 입력 전극, 반도체와 중첩하며 입력 전극과 떨어져 있는 출력 전극을 포함한다.
- [0050] 그리고 각각의 박막 트랜지스터(TFT)는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질로 이루어져 있는 화소 전극(190)과 연결되어 있으며, 화소 전극(190)은 박막 트랜지스터(TFT)로부터 화상 신호 전압을 인가 받는다. 여기서 반사형 액정 표시 장치인 경우 화소 전극(190)은 투명한 물질로 이루어지지 않을 수도 있고, 이 경우에는 하부 편광판 및 하부 보상 필름도 불필요하게 된다.
- [0051] 도 2 내지 도 4를 참조하여 박막 트랜지스터 표시판의 한 화소에 대해서 좀 더 구체적으로 설명한다.
- [0052] 도 2 및 도 3에 도시한 바와 같이, 투명한 절연 기판(110) 위에 산화 규소(SiO₂) 또는 질화 규소(SiNx) 등으로 이루어진 차단막(blocking film)(111)이 형성되어 있다. 차단막(111)은 복층 구조를 가질 수도 있다.
- [0053] 차단막(111) 위에는 다결정 규소 따위로 이루어진 복수의 섬형 반도체(151)가 형성되어 있다. 섬형 반도체(151)는 가로로 길며 그 양 쪽 끝부분은 다른 층과의 접촉을 위하여 면적이 넓다.
- [0054] 복수의 섬형 반도체(151)는, 도 4에 도시한 바와 같이 그 폭(W)이 다양하며 폭이 다른 섬형 반도체(151)가 기판(11)에 걸쳐 불규칙하게(random) 분포한다. 이때, 반도체(151)는 순차적 측면 고상화 또는 엑시머 레이저 열처리를 통하여 비정질 규소를 결정화한 것으로 그 결정 상태가 위치에 따라 다를 수 있다.
- [0055] 각각의 반도체(151)는 도전성 불순물을 함유하는 불순물 영역(extrinsic region)과 도전성 불순물을 거의 함유하지 않은 진성 영역(intrinsic region)을 포함하며, 불순물 영역에는 불순물 농도가 높은 고농도 영역(heavily doped region)과 불순물 농도가 낮은 저농도 영역(lightly doped region)이 있다.
- [0056] 진성 영역은 채널 영역(channel region)(154)을 포함한다. 그리고 고농도 불순물 영역은 채널 영역(154)을 중심으로 서로 분리되어 있는 복수의 소스 영역(source region)(153) 및 드레인 영역(drain region)(155)을 포함한다.
- [0057] 그리고 소스 영역 및 드레인 영역(153, 155)과 채널 영역(154) 사이에 위치한 저농도 불순물 영역(152)은 저농도 도핑 드레인 영역(lightly doped drain region, LDD region)이라고 하며 그 폭이 다른 영역보다 좁다.
- [0058] 여기에서 도전성 불순물로는 붕소(B), 갈륨(Ga) 등의 P형 불순물과 인(P), 비소(As) 등의 N형 불순물을 들 수 있다. 저농도 도핑 영역(152)은 박막 트랜지스터의 누설 전류(leakage current)나 펀치스루(punch through) 현상이 발생하는 것을 방지하며, 저농도 도핑 영역(152)은 불순물이 들어있지 않은 오프셋(offset) 영역으로 대체할 수 있다.
- [0059] 반도체(151) 및 차단막(111) 위에는 질화규소 또는 산화규소로 이루어진 수백 두께의 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0060] 게이트 절연막(140) 위에는 주로 가로 방향으로 뻗은 복수의 게이트선(gate line)(121)과 복수의 유지 전극선(storage electrode line)(131)이 형성되어 있다.

- [0061] 게이트선(121)은 게이트 신호를 전달하며 위로 돌출하여 반도체(151)의 채널 영역(154)과 중첩하는 복수의 게이트 전극(124)을 포함한다. 게이트 전극(124)은 저농도 도핑 영역(152)과도 중첩할 수 있으며, 그 폭(L)이 일정하지 않다. 나아가 기판(110) 전체에 걸쳐 폭이 다른 게이트 전극(124)이 불규칙하게 분포한다.
- [0062] 게이트 전극(124)은 반도체(151)의 채널 영역(154), 소스 및 드레인 영역(153, 155)과 더불어 박막 트랜지스터를 이루며, 게이트 전극(124) 아래에 박막 트랜지스터의 채널이 형성된다. 박막 트랜지스터는 꺼져 있을 때에도 누설 전류를 흘릴 수 있는데 누설 전류의 크기는 채널의 폭(W)/채널 길이(L)에 따라 다르다.
- [0063] 따라서 도 4에 도시한 바와 같이, 반도체(151)와 게이트 전극(124)의 폭을 변화시켜 이들의 중첩 면적을 다양하게 하면, 즉 중첩 면적을 일정하지 않고 불규칙하게 하면, 채널의 폭(W)/채널 길이(L)가 변화하므로 일정하지 않고 불규칙한 누설 전류 값을 가지며 무작위로 분포되어 있는 박막 트랜지스터를 얻을 수 있다.
- [0064] 도 4에서는 게이트 전극(124)의 폭(L)과 반도체(151)의 폭(W)을 동시에 변화시켰으나 어느 하나의 폭만을 변화시켜도 일정하지 않고 불규칙한 누설 전류값을 얻을 수 있다.
- [0065] 게이트선(121)의 한 쪽 끝 부분은 다른 층 또는 외부의 구동 회로와 접속하기 위하여 면적이 넓을 수 있으며, 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)가 기판(110) 위에 집적되는 경우 게이트선(121)이 게이트 구동 회로에 바로 연결될 수 있다.
- [0066] 유지 전극선(131)은 두 게이트선(121)의 사이에 위치하며 두 게이트선(121) 중 아래 쪽에 인접해 있다. 유지 전극선(131)은 위쪽의 게이트선(121) 부근까지 세로 방향으로 뻗은 유지 전극(133)을 포함하며, 공통 전극(도시하지 않음)에 인가되는 공통 전압(common voltage) 등 소정의 전압을 인가 받는다.
- [0067] 게이트선(121)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 이루어질 수 있다. 그러나 게이트선(121)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 이중 한 도전막은 게이트선(121)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열의 금속, 은 계열의 금속, 구리 계열의 금속으로 이루어진다. 다른 하나의 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 또는 티타늄 등으로 이루어질 수 있다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다.
- [0068] 이들 도전막 중 하나는 게이트선(121) 및 유지 전극선(131)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열의 금속, 은 계열의 금속, 구리 계열의 금속으로 이루어질 수 있다. 다른 하나의 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를 테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 또는 티타늄 등으로 이루어질 수 있다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다.
- [0069] 게이트선(121) 및 유지 전극선(131)의 측면은 상부의 박막이 부드럽게 연결될 수 있도록 기판(110)의 표면에 대하여 경사져 있다.
- [0070] 게이트선(121), 유지 전극선(131) 및 게이트 절연막(140) 위에는 층간 절연막(interlayer insulating film)(160)이 형성되어 있다. 층간 절연막(160)은 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 플라즈마 화학 기상 증착으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 또는 무기 물질인 질화 규소 따위로 형성할 수 있다. 층간 절연막(160) 및 게이트 절연막(140)에는 가장 바깥 쪽에 위치한 소스 영역 및 드레인 영역(153, 155)을 각각 노출하는 복수의 접촉 구멍(163, 165)이 형성되어 있다.
- [0071] 층간 절연막(160) 위에는 게이트선(121)과 교차하는 복수의 데이터선(data line)(171) 및 복수의 출력 전극(175)이 형성되어 있다.
- [0072] 각각의 데이터선(171)은 접촉 구멍(163)을 통해 소스 영역(153)과 연결되어 있는 입력 전극(173)을 포함한다. 데이터선(171)의 한쪽 끝 부분은 다른 층 또는 외부의 구동 회로와 접속하기 위하여 면적이 넓을 수 있으며, 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기판(110) 위에 집적되는 경우 데이터선(171)이 데이터 구동 회로에 바로 연결될 수 있다. 인접한 두 데이터선(171) 사이에는 유지 전극(133)이 위치한다.

- [0073] 출력 전극(175)은 입력 전극(173)과 떨어져 있으며 접촉 구멍(165)을 통해 드레인 영역(155)과 연결되어 있다.
- [0074] 데이터선(171) 및 출력 전극(175)은 몰리브덴, 크롬, 탄탈륨, 티타늄 따위의 내화성 금속(refractory metal) 또는 이들의 합금으로 이루어지는 것이 바람직하다. 그러나 이들 또한 게이트선(121)과 같이 저항이 낮은 도전막과 접촉 특성이 좋은 도전막을 포함하는 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.
- [0075] 데이터선(171) 및 출력 전극(175)의 측면 또한 기관(110) 면에 대하여 경사진 것이 바람직하다.
- [0076] 데이터선(171), 출력 전극(175) 및 층간 절연막(160) 위에는 평탄화 특성이 우수한 유기물 따위로 만들어진 보호막(passivation)(180)이 형성되어 있다. 보호막(180)은 감광성(photosensitivity)을 가지는 물질로 사진 공정만으로 만들어질 수도 있다. 보호막(180)은 또한 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등 유전 상수 4.0 이하의 저유전율 절연 물질 또는 질화 규소 따위의 무기물로 이루어질 수도 있으며, 무기물로 이루어진 하부막과 유기물로 이루어진 상부막을 포함할 수도 있다. 그리고 보호막(180)은 출력 전극(175)을 노출하는 복수의 접촉 구멍(185) 및 데이터선(171)의 한쪽 끝부분을 노출하는 복수의 접촉 구멍(182)을 가진다.
- [0077] 보호막(180b) 위에는 IZO(indium zinc oxide) 또는 ITO(indium tin oxide) 등과 같이 투명한 도전 물질 또는 알루미늄이나 은 등 불투명한 반사성 도전 물질로 이루어지는 화소 전극(pixel electrode)(190) 및 접촉 보조 부재(82)가 형성되어 있다.
- [0078] 화소 전극(190)은 접촉 구멍(185)을 통해 드레인 영역(155)에 연결된 출력 전극(175)과 연결되어 드레인 영역(155) 및 출력 전극(175)으로부터 데이터 전압을 인가 받는다.
- [0079] 접촉 보조 부재(82)는 데이터선(171)의 끝 부분과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 한다. 데이터 전압이 인가된 화소 전극(190)은 공통 전압을 인가 받는 공통 전극과 함께 전기장을 생성함으로써 두 전극 사이의 액정층(도시하지 않음)의 액정 분자들의 방향을 결정한다. 액정 분자들의 방향이 결정되면 액정층을 통과하는 빛의 편광 변화가 결정되며 이에 따라 액정층을 통과하는 빛이 투과율이 달라진다.
- [0080] 그런데 앞서 설명한 바와 같이 박막 트랜지스터에 누설 전류가 있으며 화소 전극(190)의 전압이 일정하지 않고 변하며, 이에 따라 투과율 또한 변화한다. 따라서 누설 전류가 다른 박막 트랜지스터들이 불규칙하게 분포하면, 그렇지 않은 경우에 비하여, 누설 전류로 인한 평균 투과율 변화량이 위치에 따라 다르지 않고 균일하다. 그러므로 얼룩 등이 발생하지 않고 균일한 화질을 얻을 수 있다.
- [0081] 화소 전극(190)과 공통 전극은 축전기[이하 '액정 축전기(liquid crystal capacitor)라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며, 이를 유지 축전기(storage capacitor)라 한다. 유지 축전기는 화소 전극(190)과 유지 전극(133)을 비롯한 유지 전극선(131)의 중첩으로 만들어진다. 필요로 하는 유지 축전량에 따라서 유지 전극(133)을 형성하지 않을 수 있다.
- [0082] 화소 전극(190)은 데이터선(171)과 중첩할 수 있으며 이는 개구율을 향상하기 위한 것이다.
- [0083] 이상 설명한 바와 같이, 다양한 누설 전류값을 가지는 박막 트랜지스터 표시판은 유기 발광 표시 장치에도 사용할 수 있다.
- [0084] 도 5 내지 도 9를 참고로 유기 발광 표시 장치에 대해서 설명한다.
- [0085] 도 5는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판의 개략적인 회로도이고, 도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 구조를 도시한 배치도이고, 도 7 및 8은 도 6의 유기 발광 표시 장치를 VII-VII', VIII-VIII'선을 따라 잘라 도시한 단면도이고, 도 9는 도 6의 유기 발광 표시 장치에서 반도체와 게이트 전극의 관계를 도시한 도면이다.
- [0086] 도 5에 도시한 바와 같이, 유기 발광 표시 장치용 박막 트랜지스터 표시판은 일방향으로 긴 복수개의 게이트선(121)이 형성되어 있고, 게이트선(121)과 절연되어 교차하여 화소 영역을 정의하는 복수 개의 데이터선(171)이 형성되어 있다. 그리고 각각의 화소 영역(P)의 게이트선(121) 및 데이터선(171)에는 박막 트랜지스터가 연결되어 있고, 각각이 박막 트랜지스터는 화소 전극(도시하지 않음)과 연결되어 있다.

- [0087] 이러한 유기 발광 표시 장치는 게이트선(121)에 온 펄스가 인가되면 제1 박막 트랜지스터(TFT1)가 동작되어 데이터선(171)을 통하여 인가되는 화상 신호 전압이 제2 박막 트랜지스터로 전달된다. 제2 박막 트랜지스터에 화상 신호가 인가되면 제2 박막 트랜지스터(TFT2)가 동작되어 전원 전압용 전극(172)를 통하여 전달되는 전류가 화소 전극과 유기 발광층을 통하여 대향 표시판의 공통 전극(도시하지 않음)으로 흐르게 된다. 여기서 전원 전압용 전극(172)은 정전압 전원에 연결되어 있다.
- [0088] 유기 발광층(EL)은 전류가 흐르면 특정 파장대의 빛을 방출한다. 흐르는 전류의 양에 따라 유기 발광층(EL)이 방출하는 빛의 양이 달라져 휘도가 변하게 된다. 이때 제2 박막 트랜지스터(TFT2)가 전류를 흘릴 수 있는 양은 제1 박막 트랜지스터(TFT1)를 통하여 전달되는 화상 신호 전압의 크기에 의하여 결정된다.
- [0089] 이러한 유기 발광 표시 장치의 한 화소에 대해서 도 6 내지 도 9를 참고하여 설명한다.
- [0090] 도 6 내지 도 8에 도시한 바와 같이, 절연 기판(110) 위에는 산화 규소 또는 질화 규소 등으로 이루어진 차단층(111)이 형성되어 있고, 차단층(111) 위에 제1 및 제2 반도체(151a, 151b)가 형성되어 있고, 제2 반도체(151b)에는 축전기용 반도체(157)가 연결되어 있다.
- [0091] 제1 반도체(151a)는 제1 소스 영역, 채널 영역 및 드레인 영역(153a, 154a, 155a)을 포함하고 있다. 이때 채널 영역(154a)은 채널 길이를 길게 하기 위해서 두 군데 형성할 수 될 수 있으며 채널 영역(154a)과 채널 영역(154a) 사이의 영역은 소스/드레인 영역(150P)이 된다.
- [0092] 그리고 제2 반도체(151b)는 제2 소스 영역, 채널 영역 및 드레인 영역(153b, 154b, 155b)을 포함한다.
- [0093] 복수의 제2 반도체(151b)는, 도 9에 도시한 바와 같이 그 폭(W)이 다양하며 폭이 다른 제2 반도체(151b)가 기판(110) 전체에 불규칙하게 분포한다. 이때, 반도체(151b)는 순차적 측면 고상화 또는 엑시머 레이저 열처리를 통하여 비정질 규소를 결정화한 것으로 그 결정 상태가 위치에 따라 다를 수 있다. 도시하지 않았으나 제1 반도체(151a)도 제2 반도체(151b)와 같이 다양한 폭(W)을 가지도록 형성할 수 있다.
- [0094] 제1 반도체(151a)의 제1 소스 및 드레인 영역(153a, 155a, 150p)과 제1 드레인 영역(155a)은 n형 불순물로 도핑되어 있고, 제2 반도체(151b)의 제2 소스 영역(153b)과 제2 드레인 영역(155b)는 p형 불순물로 도핑되어 있다. 구동 조건에 따라서는 제1 소스 영역(153a) 및 제1 드레인 영역(155a)이 p형 불순물로 도핑되고 제2 소스 영역(153b) 및 제2 드레인 영역(155b)이 n형 불순물로 도핑될 수도 있다.
- [0095] 여기서, 제1 반도체(151a)는 스위칭 박막 트랜지스터의 반도체이며, 제2 반도체(151)는 구동 박막 트랜지스터의 반도체이다.
- [0096] 반도체(151a, 151b, 157) 위에는 산화 규소 또는 질화 규소로 이루어진 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 게이트선(121) 및 유지 전극(133)이 형성되어 있다. 제1 게이트 전극(124a)은 게이트선(121)에 연결되어 가지 모양으로 형성되어 있고 제1 트랜지스터의 채널부(제1 채널부, 154a)와 중첩하고 있으며, 제2 게이트 전극(124b)은 게이트선(121)과는 분리되어 있고 제2 트랜지스터의 채널부(제2 채널부, 154b)와 중첩하고 있다. 유지 전극(133)은 제2 게이트 전극(124b)과 연결되어 있고, 반도체의 유지 전극부(157)와 중첩되어 있다. 이때 복수의 제1 게이트 전극(124a)도 다양한 크기로 형성 될 수 있으며, 기판 전체에서는 크기 별로 분포하지 않고 불규칙하게 분포한다.
- [0097] 제2 게이트 전극(124b)은 제2 반도체(151b)의 채널 영역(154b), 소스 영역(151b), 드레인 영역(155b)와 더불어 박막 트랜지스터를 이루며, 게이트 전극(124b) 아래에 박막 트랜지스터의 채널이 형성된다. 박막 트랜지스터는 꺼져 있을 때도 누설 전류를 흘릴 수 있는데 누설 전류의 크기는 채널의 폭/채널 길이의 변화에 따라 다르다.
- [0098] 따라서 도 9에 도시한 바와 같이, 반도체(151b)와 게이트 전극(124b)의 크기를 변화시켜 이들의 중첩 면적을 다양하게 하면, 채널의 폭(W)/채널 길이(L)가 변화하므로 일정하지 않고 불규칙한 누설 전류 값을 가지며, 무작위로 분포되어 있는 박막 트랜지스터를 얻을 수 있다.
- [0099] 도 9에서는 반도체(151b)의 폭(W)과 게이트 전극(124b)의 폭(L)을 함께 변경하였으나 어느 하나의 폭만을 변경하여도 일정하지 않고 불규칙한 누설 전류값을 얻을 수 있다. 또한, 제1 게이트 전극(124a)의 폭을 조절하여서 도 누설 전류 값을 다양하게 변경할 수 있다.
- [0100] 게이트선(121)과 제1 및 제2 게이트 전극(124a, 124b) 및 유지 전극(133)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 이루어질

수 있다. 그러나 게이트선(121)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 이 중 한 도전막은 게이트선(121)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열의 금속, 은 계열의 금속, 구리 계열의 금속으로 이루어진다. 다른 하나의 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 또는 티타늄 등으로 이루어질 수 있다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다.

- [0101] 게이트선(121)과 제1 및 제2 게이트 전극(124a, 124b) 및 유지 전극(133)의 위에는 제1 층간 절연막(801)이 형성되어 있고, 제1 층간 절연막(801) 위에는 데이터 신호를 전달하는 데이터선(171), 전원 전압을 공급하는 선형의 전원 전압용 전극(172), 제1 및 제2 입력 전극(173a, 173b) 및 제1 및 제2 출력 전극(175a, 175b)이 형성되어 있다.
- [0102] 제1 입력 전극(173a)은 데이터선(171)의 일부이며 분지의 형태를 취하고 있으며 제1 층간 절연막(801)과 게이트 절연막(140)을 관통하고 있는 접촉구(181)를 통하여 제1 소스 영역(153a)와 연결되어 있고, 제2 소스 영역(173b)는 전원 전압용 전극(172)의 일부로 분지의 형태를 취하고 있으며 제1 층간 절연막(801)과 게이트 절연막(140)을 관통하고 있는 접촉구(184)를 통하여 제2 소스 영역(153b)와 연결되어 있다.
- [0103] 제1 드레인 영역(175a)은 제1 층간 절연막(801)과 게이트 절연막(140)을 관통하고 있는 접촉구(182, 183)를 통하여 제1 드레인 영역(155a) 및 제2 게이트 전극(124b)과 접촉하여 이들을 서로 전기적으로 연결하고 있다. 제2 출력 전극(175b)은 제1 층간 절연막(801)과 게이트 절연막(140)을 관통하고 있는 접촉구(186)를 통하여 제2 드레인 영역(155b)과 연결되어 있으며, 데이터선(171)과 동일한 물질로 이루어져 있다.
- [0104] 데이터선(171), 전원 전압용 전극(172) 및 제1 및 제2 출력 전극(175a, 175b) 위에는 질화 규소 또는 산화 규소 또는 유기 절연 물질 등으로 이루어진 제2 층간 절연막(802)이 형성되어 있으며, 제2 층간 절연막(802)은 제2 출력 전극(175b)을 드러내는 접촉구(185)를 가진다.
- [0105] 제2 층간 절연막(802) 상부에는 접촉구(185)를 통하여 제2 출력 전극(175b)과 연결되어 있는 화소 전극(190)이 형성되어 있다. 화소 전극(190)은 알루미늄 또는 은 합금 등의 반사성이 우수한 물질로 형성하는 것이 바람직하다.
- [0106] 그러나, 필요에 따라서는 화소 전극(190)을 ITO (Indium Tin Oxide) 또는 IZO(Indium zinc Oxide) 등의 투명한 절연 물질로 형성할 수도 있다. 투명한 도전 물질로 이루어진 화소 전극(190)은 표시판의 아래 방향으로 화상을 표시하는 바텀 방출(bottom emission) 방식의 유기 발광에 적용한다. 불투명한 도전 물질로 이루어진 화소 전극(190)은 표시판의 상부 방향으로 화상을 표시하는 탑 방출(top emission) 방식의 유기 발광에 적용한다.
- [0107] 제2 층간 절연막(802) 상부에는 유기 절연 물질로 이루어져 있으며, 유기 발광 셀을 분리시키기 위한 격벽(803)이 형성되어 있다. 격벽(803)은 화소 전극(190) 주변을 둘러싸서 유기 발광층(70)이 채워질 영역을 한정하고 있다. 격벽(803)은 검정색 안료를 포함하는 감광제를 노광, 현상하여 형성함으로써 차광막의 역할을 하도록 하고, 동시에 형성 공정도 단순화할 수 있다. 격벽(803)에 둘러싸인 화소 전극(190) 위의 영역에는 유기 발광층(70)이 형성되어 있다. 유기 발광층(70)은 적색, 녹색, 청색 중 어느 하나의 빛을 내는 유기 물질로 이루어지며, 적색, 녹색 및 청색 유기 발광층(70)이 순서대로 반복적으로 배치되어 있다.
- [0108] 유기 발광층(70)과 격벽(803) 위에는 버퍼층(804)이 형성되어 있다. 버퍼층(804)은 필요에 따라서는 생략될 수 있다.
- [0109] 버퍼층(804) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있다. 만약 화소 전극(190)이 ITO 또는 IZO 등의 투명한 도전 물질로 이루어지는 경우에는 공통 전극(270)은 알루미늄 등의 반사성이 좋은 금속으로 이루어질 수 있다.
- [0110] 한편, 도시하지는 않았으나 공통 전극(270)의 전도성을 보완하기 위하여 저항이 낮은 금속으로 보조 전극을 형성할 수도 있다. 보조 전극은 공통 전극(270)과 버퍼층(804) 사이 또는 공통 전극(270) 위에 형성할 수 있으며, 유기 발광층(70)과는 중첩하지 않도록 격벽(803)을 따라 매트릭스 모양으로 형성하는 것이 바람직하다.
- [0111] 유기 발광층(70)의 발광량은 유기 발광층에 전달되는 전류량에 따라 달라지며 앞에서 설명한 바와 같이 박막 트랜지스터에 누설 전류가 있으며 화소 전극(190)에 전달되는 전류량이 일정하지 않고 변하며, 이에 따라 발광량도 변화한다. 따라서 누설 전류가 다른 박막 트랜지스터들이 불규칙하게 분포하면 그렇지 않은 경우에 비하여,

누설 전류로 인한 평균 발광량이 위치에 따라 다르지 않고 균일하다. 그러므로 얼룩 등이 발생하지 않고 균일한 화질을 얻을 수 있다.

- [0112] 그리고 제1 박막 트랜지스터에 누설 전류를 일정하지 않고 불규칙하게 변화시키면서 무작위로 분포시키면 얼룩 등이 발생하지 않고 균일한 화질을 얻을 수 있다.
- [0113] 이상은 누설 전류 값을 게이트 전극과 반도체의 중첩 면적을 달리하여 변화시켰으나 다음과 같은 방법으로 누설 전류 값을 일정하지 않고 불규칙하게 할 수 있다.
- [0114] 도 10은 액정 표시 장치용 박막 트랜지스터 표시판의 반도체와 게이트 전극의 관계를 도시한 도면이고, 도 11은 유기 발광 표시 장치용 박막 트랜지스터 표시판의 반도체와 게이트 전극의 관계를 도시한 배치도이다.
- [0115] 도 10 및 도 11에 도시한 바와 같이, 반도체(151, 151a)의 크기는 기 설명한 실시예와 달리 균일한 크기를 가진다. 그러나 게이트 전극(124, 124a)은 기 설명한 실시예와 달리 게이트 선(121)에 대해서 기울어져 반도체(151, 151a)와 중첩하고 있다. 도 11에 도시한 유기 발광 표시 장치용 박막 트랜지스터 표시판에서 제1 박막 트랜지스터의 게이트 전극(124a)의 기울기만을 변경하였으나 제2 박막 트랜지스터의 게이트 전극(124b)을 변경할 수도 있다.
- [0116] 이와 같이 게이트 전극을 게이트선에 대해서 기울기를 변화시키면 게이트 전극 아래의 채널폭(W)/채널 길이(L)의 비가 변화되고 따라서 일정하지 않고 불규칙한 누설 전류 값을 얻을 수 있다. 그러므로 기판(110) 전체에 대해서 일정하지 않은 누설 전류 값을 불규칙적으로 분포시키면 반도체의 결정화 상태에 영향을 받지 않으며 균일한 화질을 얻을 수 있다.

발명의 효과

- [0117] 이처럼, 본 발명에서는 기판 전체에서 박막 트랜지스터의 누설 전류값을 일정하지 않게 변화시키면서 불규칙하게 분포하도록 함으로써 박막 트랜지스터의 특성 편차에 의한 줄 무늬 얼룩, 사선 무늬 얼룩, 가로 줄 얼룩 등이 발생하지 않는 고품질의 표시 특성을 확보할 수 있는 표시 장치용 표시판을 얻을 수 있다.
- [0118] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

- [0001] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터의 개략적인 등가 회로도이다.
- [0002] 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.
- [0003] 도 3은 도 2의 액정 표시 장치용 박막 트랜지스터 표시판을 III-III'-III"선을 따라 잘라 도시한 단면도이다.
- [0004] 도 4는 본 발명의 실시예에 따른 반도체와 게이트 전극의 관계를 도시한 도면이다.
- [0005] 도 5는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판의 개략적인 회로도이다.
- [0006] 도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 구조를 도시한 배치도이다.
- [0007] 도 7 및 8은 도 6의 유기 발광 표시 장치를 VII-VII', VIII-VIII'선을 따라 잘라 도시한 단면도이다.
- [0008] 도 9는 도 6의 유기 발광 표시 장치에서 반도체와 게이트 전극의 관계를 도시한 도면이다.
- [0009] 도 10은 유기 발광 표시 장치의 반도체와 게이트 전극의 관계를 도시한 도면이다.
- [0010] 도 11은 유기 발광 표시 장치의 반도체와 게이트 전극의 관계를 도시한 배치도이다.
- [0011] *도면의 주요 부분에 대한 부호 설명*
- [0012] 70: 발광층
- [0013] 110: 기판
- [0014] 121: 게이트선
- [0015] 133: 유지 전극

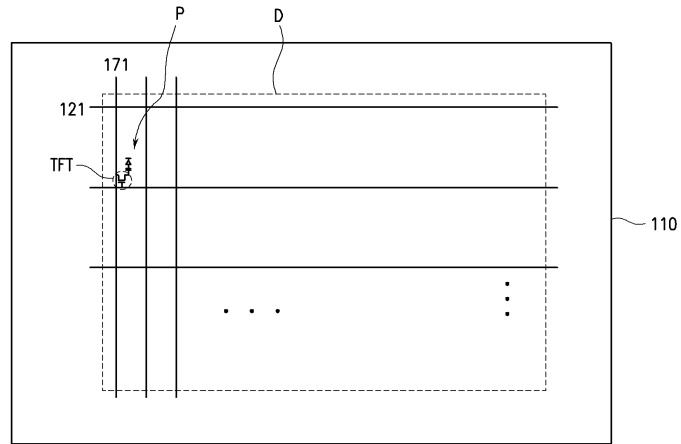
[0016] 151, 151a, 151b: 반도체

[0017] 171: 데이터선

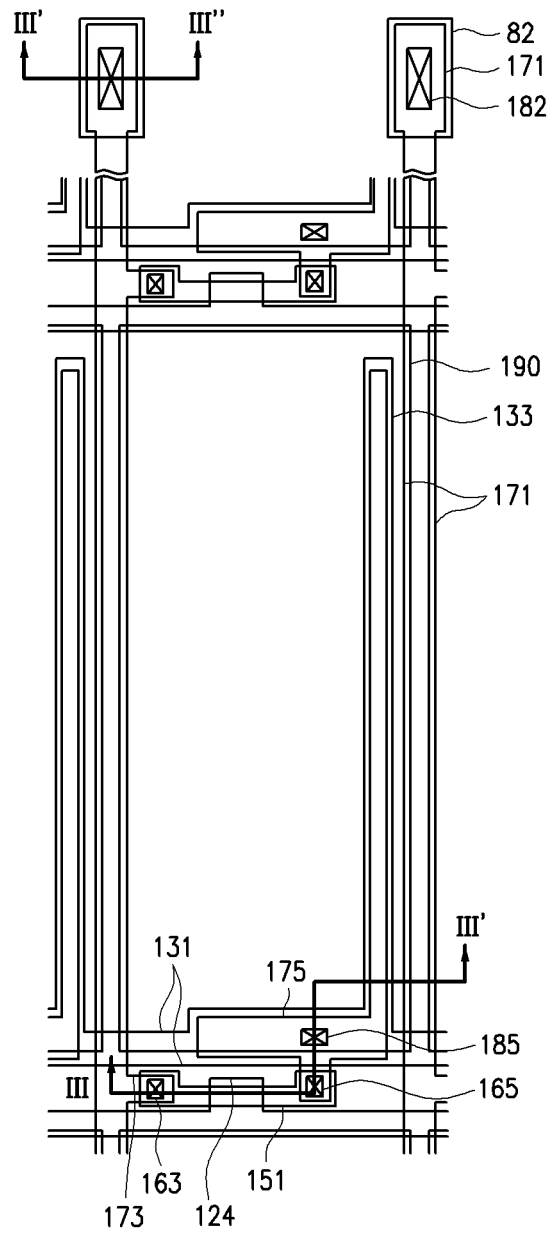
[0018] 190: 화소 전극

도면

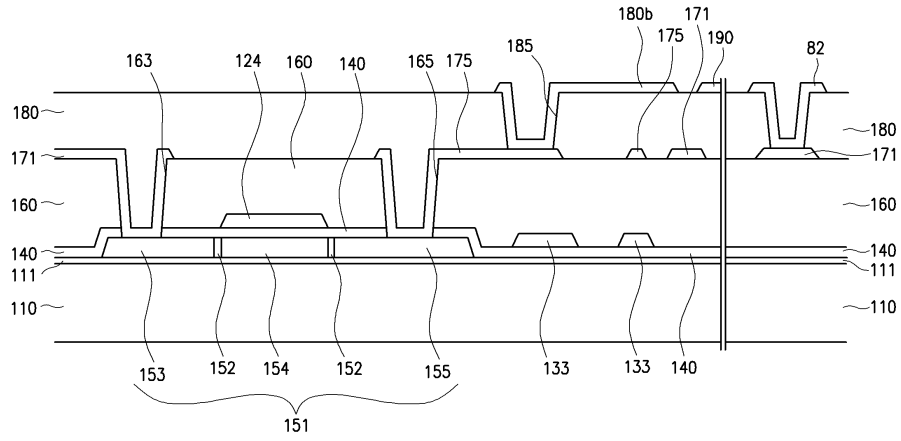
도면1



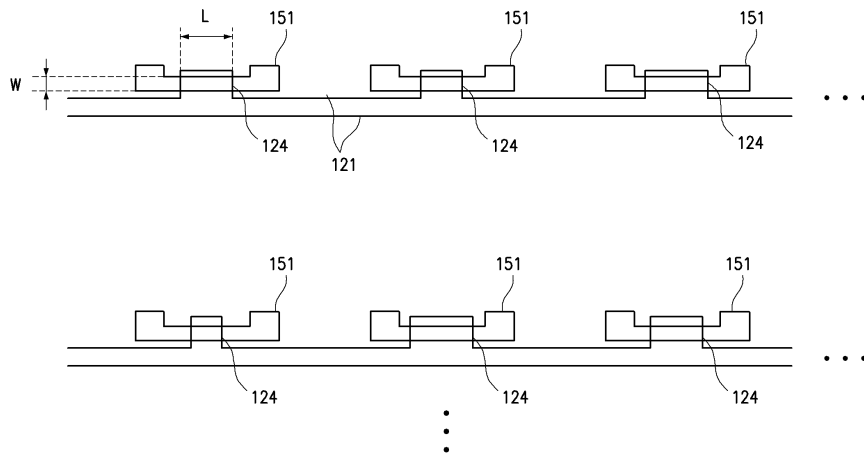
도면2



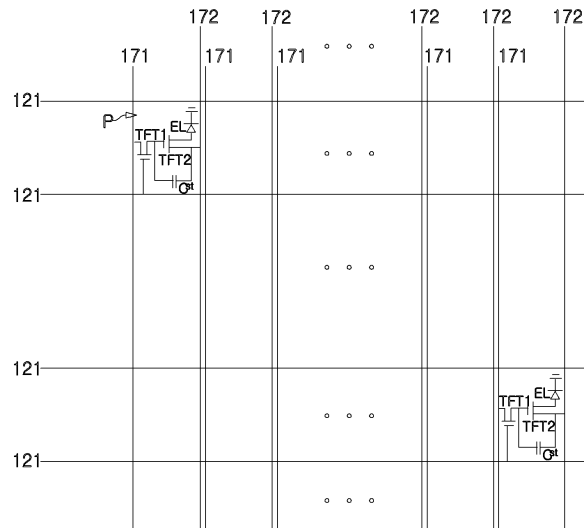
도면3



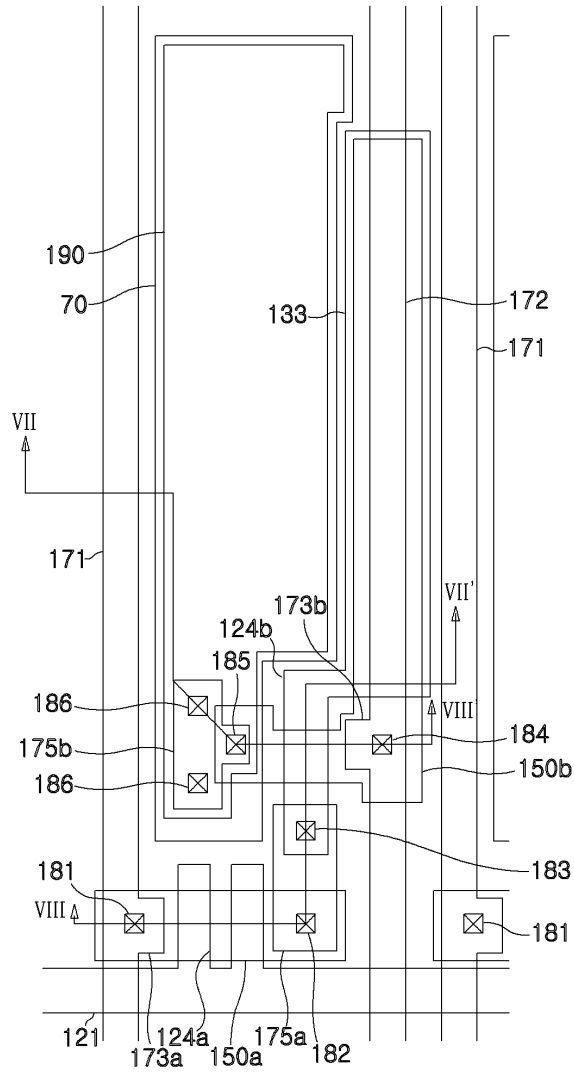
도면4



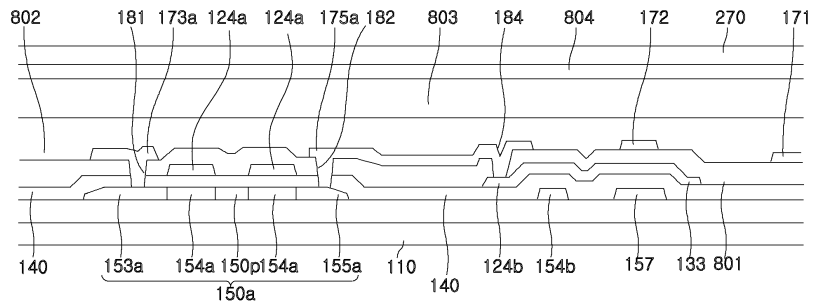
도면5



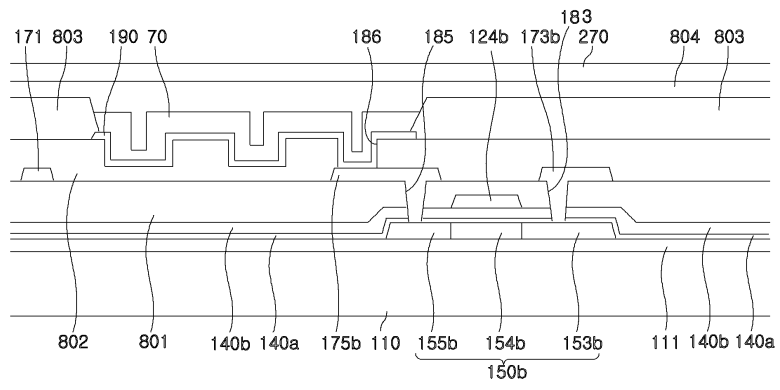
도면6



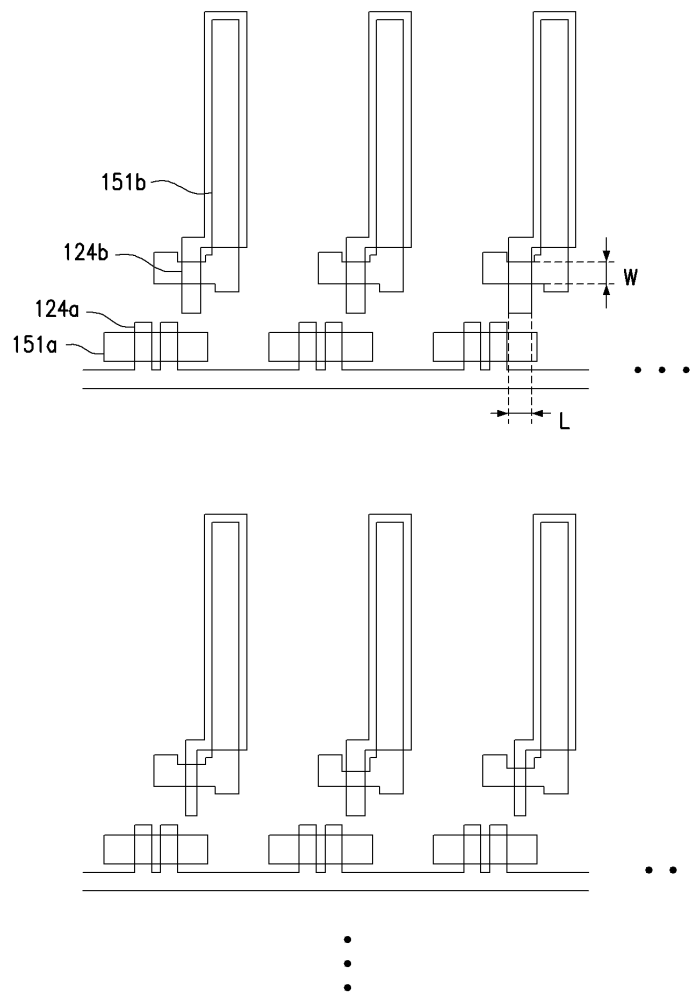
도면7



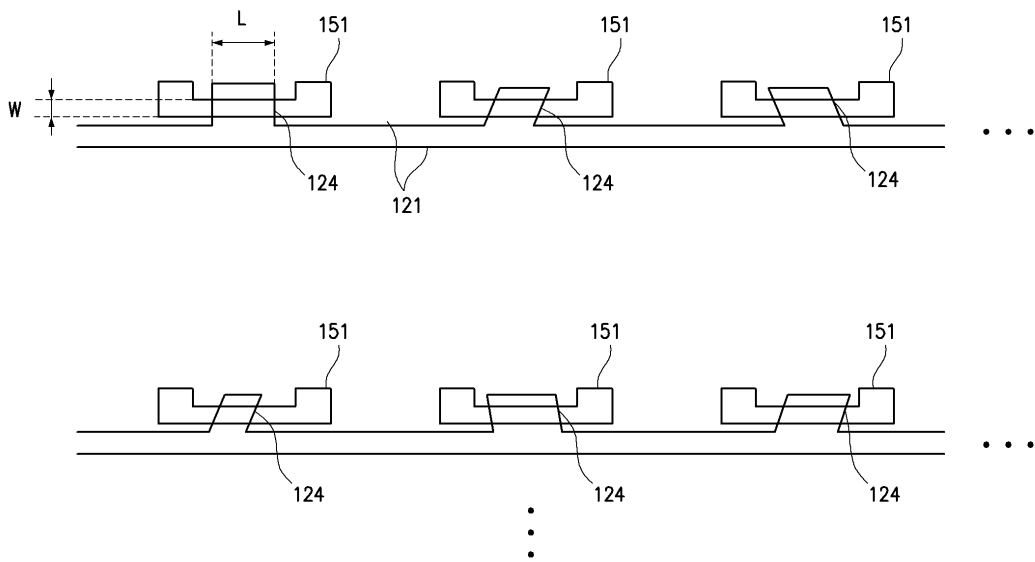
도면8



도면9



도면10



도면11

