



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0045101
(43) 공개일자 2009년05월07일

(51) Int. Cl.

H04J 11/00 (2006.01) H03M 13/11 (2006.01)

(21) 출원번호 10-2008-0107327

(22) 출원일자 2008년10월30일

심사청구일자 없음

(30) 우선권주장

0721269.9 2007년10월30일 영국(GB)

(뒷면에 계속)

(71) 출원인

소니 가부시키 가이사

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

테일러, 매튜 폴 애틀

영국 비에이치24 1제이큐 햄프셔 링우드 사우샘프턴 로드 224

어팅시리, 사무엘 아산벵

영국 알지21 4비에스 햄프셔 베이싱스토크 시몬스 워크 13

(뒷면에 계속)

(74) 대리인

장수길, 이중희, 박충범

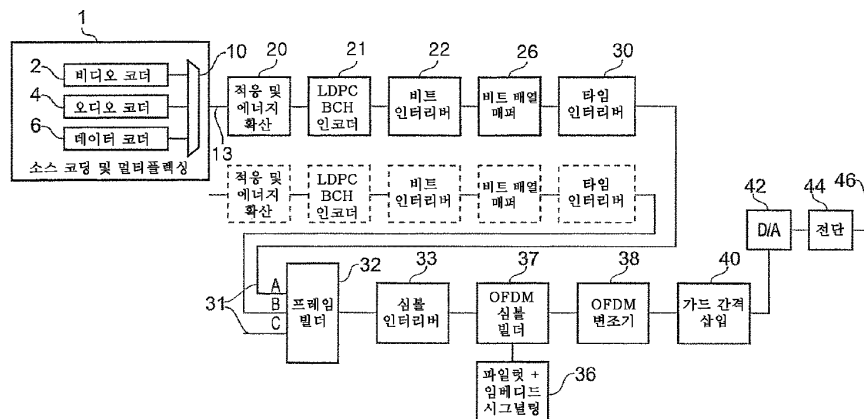
전체 청구항 수 : 총 18 항

(54) 데이터 처리 장치 및 방법

(57) 요약

데이터 처리 장치는 OFDM(Orthogonal Frequency Division Multiplexed) 심볼의 선정된 수의 부반송파(sub-carrier) 신호들을 통해 데이터 비트들을 통신한다. 데이터 처리 장치는, LDPC(Low Density Parity Check) 코드의 패리티 비트에 대응하는 패리티 행렬을 포함하는 LDPC 코드의 패리티 검사 행렬에 따라 LDPC 인터리빙을 수행함으로써 획득된 LDPC 인코딩 데이터 비트들에 대해 패리티 인터리빙을 수행하도록 동작 가능한 패리티 인터리버를 포함하여서, LDPC 인코딩 데이터 비트의 패리티 비트가 상이한 패리티 비트 위치로 인터리빙된다. 상기 패리티 행렬은 단계적 구조(stepwise structure)를 갖는다. 매핑부(mapping unit)는 OFDM 부반송파 신호들의 변조 방식(modulation scheme)의 변조 심볼에 대응하는 데이터 심볼들로 패리티 인터리빙된 비트들을 매핑한다. 심볼 인터리버는, OFDM 부반송파 신호들로의 매핑을 위한 선정된 수의 데이터 심볼들을 심볼 인터리버 메모리에 입력하고, 매핑을 달성하기 위해 OFDM 부반송파 신호들에 대한 데이터 심볼들을 인터리버 메모리로부터 판독하는 동작을 하도록 구성된다. 상기 판독은 상기 입력과 상이한 순서이며, 상기 순서는 어드레스 세트로부터 결정되고, 데이터 심볼은 부반송파 신호에 인터리브된다. 어드레스 세트는, DVB-T2 또는 DVB-C2용 32K 동작 모드와 같은 OFDM 시스템의 소정의 동작 모드에 대하여 OFDM 반송파 신호들의 부반송파 신호들에 데이터 심볼들을 인터리브하도록 최적화된 어드레스 생성기에 의해 생성된다.

대표도



(72) 발명자

요코가와 다카시

일본 도쿄도 미나토꾸 고난 1-7-1 소니 가부시끼가
이샤 내

야마모토 마끼코

일본 도쿄도 미나토꾸 고난 1-7-1 소니 가부시끼가
이샤 내

(30) 우선권주장

0721270.7 2007년10월30일 영국(GB)

0721271.5 2007년10월30일 영국(GB)

0721272.3 2007년10월30일 영국(GB)

0722645.9 2007년11월19일 영국(GB)

0722728.3 2007년11월20일 영국(GB)

JP-P-2007-304689 2007년11월26일 일본(JP)

JP-P-2007-304690 2007년11월26일 일본(JP)

특허청구의 범위

청구항 1

OFDM(Orthogonal Frequency Division Multiplexed) 심볼의 선정된 수의 부반송파(sub-carrier) 신호들을 통해 데이터 비트들을 통신하기 위한 데이터 처리 장치로서,

LDPC(Low Density Parity Check) 인코딩 데이터 비트의 패리티 비트가 상이한 패리티 비트 위치로 인터리빙되도록, LDPC 코드의 패리티 비트에 대응하는 패리티 행렬을 포함하는 LDPC 코드의 패리티 검사 행렬에 따라 데이터 비트들을 LDPC 인코딩함으로써 획득된 LDPC 인코딩 데이터 비트들에 대해 패리티 인터리빙을 수행하도록 동작 가능한 패리티 인터리버 - 상기 패리티 행렬은 단계적 구조(stepwise structure)를 가짐 - 와,

OFDM 부반송파 신호들의 변조 방식(modulation scheme)의 변조 심볼에 대응하는 데이터 심볼들로 패리티 인터리빙된 비트들을 매핑하는 매핑부(mapping unit)와,

OFDM 부반송파 신호들로의 매핑을 위한 선정된 수의 데이터 심볼들을 심볼 인터리버 메모리에 입력(read-into)하고, 매핑을 달성하기 위해 OFDM 부반송파 신호들에 대한 데이터 심볼들을 인터리버 메모리로부터 판독(read-out)하도록 동작하도록 구성된 심볼 인터리버 - 상기 판독은 상기 입력과 상이한 순서이며, 상기 순서는 어드레스 세트로부터 결정되고, 상기 데이터 심볼은 OFDM 심볼의 부반송파 신호에 인터리빙됨 - 와,

어드레스 세트를 생성하도록 동작 가능한 어드레스 생성기 - 어드레스는 데이터 심볼이 매핑되는 부반송파 신호들 중 하나를 나타내기 위해 입력 심볼들 각각에 대해 생성됨 - 를 포함하며,

상기 어드레스 생성기는,

선정된 수의 레지스터 스테이지들(register stages)을 포함하고 생성 다항식(generator polynomial)에 따라 의사 난수(pseudo-random) 비트 시퀀스를 생성하도록 동작 가능한 선형 피드백 시프트 레지스터(linear feedback shift register)와,

상기 시프트 레지스터 스테이지들의 콘텐츠를 수신하고, 치환 코드에 따라 상기 레지스터 스테이지들에 존재하는 상기 비트들을 치환(permute)해서, 상기 OFDM 부반송파들 중 하나의 어드레스를 형성하도록 동작 가능한 치환 회로와,

생성된 어드레스가 선정된 최대 유효 어드레스를 초과하면 어드레스를 재생성하도록 어드레스 검사 회로와 결합하여 동작 가능한 제어부를 포함하고,

상기 선정된 최대 유효 어드레스는 대략 32000이고,

상기 선형 피드백 시프트 레지스터는 상기 선형 피드백 시프트 레지스터에 대해 생성 다항식

$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$ 과 함께 14개의 레지스터 스테이지들을 갖고, 상기 치환 코드는, 추가 비트와 함께, 표

R' _i 비트 위치	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R _i 비트 위치	6	5	0	10	8	1	11	12	2	9	4	3	13	7

에 따라 상기 n번째 레지스터 스테이지 $R'_i[n]$ 에 존재하는 상기 비트로부터 상기 i번째 데이터 심볼에 대한 15 비트 어드레스 $R_i[n]$ 를 형성하는,

데이터 처리 장치.

청구항 2

제1항에 있어서,

상기 LDPC 코드의 패리티 비트 수 M이 비-소수 값(non-prime value)이고, P 및 q는 1 및 M을 제외한 상기 패리티 비트 수 M의 두 제수이며, 상기 두 제수 P 및 q의 곱은 상기 패리티 비트 수 M과 동일하고, K는 상기 LDPC

코드의 정보 비트의 수이며, x 는 0 이상 P 미만의 정수이고, y 는 0 이상 q 미만의 정수일 때,

상기 패리티 인터리버는, 상기 LDPC 코드의 $K+1$ 내지 $K+M$ 번째 코드 비트를 포함하는 패리티 비트 중에서 $K + qx + y + 1$ 번째 코드 비트를 $K + Py + x + 1$ 번째 코드 비트 위치로 인터리빙하는 데이터 처리 장치.

청구항 3

제1항에 있어서,

LDPC의 두 개 이상의 코드 비트들이 데이터 심볼들 중 하나의 데이터 심볼로서 송신될 때, 상기 패리티 검사 행렬의 임의의 행의 값 1에 대응하는 복수의 코드 비트들이 동일한 데이터 심볼로 결합되지 않도록 상기 패리티 인터리빙된 LDPC 인코딩 데이터 비트를 치환하기 위해 상기 패리티 인터리빙된 LDPC 인코딩 데이터 비트에 치환 처리를 수행하는 치환부(permuter)를 포함하는 데이터 처리 장치.

청구항 4

제3항에 있어서,

상기 LDPC 코드의 패리티 검사 행렬은 상기 LDPC 코드의 정보 비트에 대응하는 정보 행렬을 포함하고, 상기 정보 행렬은 순환적 구조(cyclic structure)를 가지며, LDPC 인코딩 데이터 비트가 열 방향으로 비트 인터리버 메모리에 기록되고, 행 방향으로 비트 인터리버 메모리로부터 판독되어 심볼을 구성할 때 - 각각의 LDPC 코드의 인코딩 비트들은 행 방향 및 열 방향으로 저장됨 - , 치환부는, LDPC 코드의 인코딩 비트가 비트 인터리버 메모리의 각각의 열의 열 방향으로 기록되기 시작하는 기록 개시 위치를 변경하기 위해 치환 처리로서 열 트위스트 인터리빙(column twist interleaving)을 수행하는 데이터 처리 장치.

청구항 5

제4항에 있어서,

패리티 인터리빙에 대응하는 열 치환을 통해, LDPC 코드의 패리티 검사 행렬의 패리티 행렬은 의사 순환적 구조(pseudo-cyclic structure)로 변환되어서, 패리티 행렬의 특정 부분을 제외한 패리티 행렬의 일부는 순환적 구조를 갖는 데이터 처리 장치.

청구항 6

제5항에 있어서,

상기 LDPC 인코딩 데이터 비트들 m 개가 일 심볼을 구성하고, 상기 LDPC 코드는 N 비트의 코드 길이를 가지며, b 는 양의 정수 일 때,

상기 비트 인터리버 메모리는 상기 행 방향으로 mb 비트를 저장하고 상기 열 방향으로 N/mb 비트를 저장하며;

상기 LDPC 인코딩 데이터 비트들은 상기 비트 인터리버 메모리에 상기 열 방향으로 기록되고, 그 후 상기 비트 인터리버 메모리로부터 상기 행 방향으로 판독되며;

상기 비트 인터리버 메모리로부터 상기 행 방향으로 판독된 mb 인코딩 비트들은 b 개의 심볼들을 구성하는 데이터 처리 장치.

청구항 7

제1항에 있어서,

OFDM 심볼은 공지된 심볼들을 캐리하도록 구성된 파일럿 부반송파를 포함하고, 선정된 최대 유효 어드레스는 상기 OFDM 심볼에 존재하는 파일럿 부반송파 심볼들의 수에 좌우되는 데이터 처리 장치.

청구항 8

OFDM 심볼의 선정된 수의 부반송파를 사용하여 데이터 비트를 송신하기 위한 송신기로서,

LDPC 코드의 패리티 비트에 대응하는 패리티 행렬을 포함하는 LDPC 코드의 패리티 검사 행렬에 따라 데이터 비트들을 LDPC 인코딩하는 동작을 하도록 구성된 LDPC 인코더 - 상기 패리티 행렬은 단계적 구조를 가짐 - 와,

상기 LDPC 코드의 패리티 비트가 상이한 패리티 비트 위치로 인터리빙되도록 LDPC 인코딩 데이터 비트들에 대해 패리티 인터리빙을 수행하도록 동작 가능한 패리티 인터리버와,

OFDM 부반송파와 신호들의 변조 방식의 변조 심볼에 대응하는 데이터 심볼들로 패리티 인터리빙된 데이터 비트들을 매핑하도록 동작 가능한 매핑부와,

OFDM 부반송파와 신호들의 매핑을 위한 선정된 수의 데이터 심볼들을 심볼 인터리버 메모리에 입력하고, 매핑을 달성하기 위해 OFDM 부반송파에 대한 데이터 심볼들을 인터리버 메모리로부터 관독 동작하도록 구성된 심볼 인터리버 - 상기 관독은 상기 입력과 상이한 순서이며, 상기 순서는 어드레스 세트로부터 결정되고, 데이터 심볼이 OFDM 심볼의 부반송파 신호에 인터리빙됨 - 와,

어드레스 세트를 생성하도록 동작 가능한 어드레스 생성기 - 어드레스는 데이터 심볼이 매핑되는 부반송파 신호들 중 하나를 나타내기 위해 데이터 심볼들 각각에 대해 생성됨 - 를 포함하며,

상기 어드레스 생성기는,

선정된 수의 레지스터 스테이지들을 포함하고 생성 다항식에 따라 의사 난수 비트 시퀀스를 생성하도록 동작 가능한 선형 피드백 시프트 레지스터와,

상기 시프트 레지스터 스테이지들의 콘텐츠를 수신하고, 치환 코드에 따라 상기 레지스터 스테이지들에 존재하는 상기 비트들을 치환해서, 상기 OFDM 부반송파들 중 하나의 어드레스를 형성하도록 동작 가능한 치환 회로와,

생성된 어드레스가 선정된 최대 유효 어드레스를 초과하면 어드레스를 재생성하도록 어드레스 검사 회로와 결합하여 동작 가능한 제어부를 포함하고,

상기 선정된 최대 유효 어드레스는 대략 32000이고,

상기 선형 피드백 시프트 레지스터는 상기 선형 피드백 시프트 레지스터에 대해 생성 다항식

$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$ 과 함께 14개의 레지스터 스테이지들을 갖고, 상기 치환 코드는, 추가 비트와 함께, 표

R' _i 비트 위치	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R _i 비트 위치	6	5	0	10	8	1	11	12	2	9	4	3	13	7

에 따라 상기 n번째 레지스터 스테이지 $R'_i[n]$ 에 존재하는 상기 비트로부터 상기 i번째 데이터 심볼에 대한 15비트 어드레스 $R_i[n]$ 를 형성하는 송신기.

청구항 9

제8항에 있어서,

상기 송신기는, DVB-T(Digital Video Broadcasting-Terrestrial), DVB-H(Digital Video Broadcasting-Handheld), DVB-T2(Digital Video Broadcasting-Terrestrial2) 표준 또는 DVB-C2(Digital Video Broadcasting Cable2) 표준과 같은 DVB 표준(Digital Video Broadcasting standard)에 따라, 데이터를 송신 동작하도록 구성된 송신기.

청구항 10

OFDM 심볼의 선정된 수의 부반송파와 신호들을 통해 데이터 비트들을 통신하는 방법으로서,

상기 LDPC 코드의 패리티 비트가 상이한 패리티 비트 위치로 인터리빙되도록, LDPC 코드의 패리티 비트에 대응하는 패리티 행렬을 포함하는 LDPC 코드의 패리티 검사 행렬에 따라 데이터 비트들을 LDPC 인코딩함으로써 획득된 LDPC 인코딩 데이터 비트들을 패리티 인터리빙하는 단계 - 상기 패리티 행렬은 단계적 구조를 가짐 - 와,

OFDM 부반송파와 신호들의 변조 방식의 변조 심볼에 대응하는 데이터 심볼들로 패리티 인터리빙된 비트들을 매핑하는 단계와,

OFDM 부반송파와 신호들의 매핑을 위한 선정된 수의 데이터 심볼들을 심볼 인터리버 메모리에 입력하는 단계와,

매핑을 달성하기 위해 OFDM 부반송파들에 대한 데이터 심볼들을 인터리버 메모리로부터 판독하는 단계 - 상기 판독하는 단계는 상기 입력하는 단계와 상이한 순서이며, 상기 순서는 어드레스 세트로부터 결정되고, 데이터 심볼이 부반송파 신호에 인터리빙됨 - 와,

어드레스 세트를 생성하는 단계 - 어드레스는 데이터 심볼이 매핑되는 부반송파 신호들 중 하나를 나타내기 위해 입력 심볼들 각각에 대해 생성됨 - 를 포함하며,

상기 어드레스 세트를 생성하는 단계는,

생성 다항식에 따라 의사 난수 비트 시퀀스를 생성하도록 선정된 수의 레지스터 스테이지들을 포함한 선형 피드백 시프트 레지스터를 이용하는 단계와,

상기 시프트 레지스터 스테이지들의 콘텐츠를 수신하고, 상기 레지스터 스테이지들에 존재하는 상기 비트들을 치환하여, 어드레스를 형성하도록 동작 가능한 치환 회로를 이용하는 단계와,

생성된 어드레스가 선정된 최대 유효 어드레스를 초과하면 어드레스를 재생성하는 단계를 포함하고,

상기 선정된 최대 유효 어드레스는 대략 32000 이고,

상기 선형 피드백 시프트 레지스터는 상기 선형 피드백 시프트 레지스터에 대해 생성 다항식 $R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$ 과 함께 14개의 레지스터 스테이지들을 갖고, 상기 치환 코드는, 추가 비트와 함께,

R'_i 비트 위치	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R_i 비트 위치	6	5	0	10	8	1	11	12	2	9	4	3	13	7

에 따라 상기 n번째 레지스터 스테이지 $R'_i[n]$ 에 존재하는 상기 비트로부터 상기 i번째 데이터 심볼에 대한 15 비트 어드레스 $R_i[n]$ 를 형성하는 방법.

청구항 11

제10항에 있어서,

상기 LDPC 코드의 패리티 비트 수 M이 비-소수 값이고, P 및 q는 1 및 M을 제외한 상기 패리티 비트 수 M의 두 제수이며, 상기 두 제수 P 및 q의 곱은 상기 패리티 비트 수 M과 동일하고, K는 상기 LDPC 코드의 정보 비트의 수이며, x는 0 이상 P 미만의 정수이고, y는 0 이상 q 미만의 정수일 때,

상기 패리티 인터리빙 단계는, 상기 LDPC 코드의 K+1 번째 내지 K+M 번째 코드 비트를 포함하는 패리티 비트 중에서 K + qx + y + 1 번째 코드 비트를 K + Py + x + 1 번째 코드 비트 위치로 인터리빙하는 단계를 포함하는 방법.

청구항 12

제11항에 있어서,

LDPC 인코딩 데이터 비트들의 두 개 이상의 인코딩 비트들이 데이터 심볼들 중 하나의 데이터 심볼로서 송신될 때, 상기 패리티 검사 행렬의 임의의 행의 값 1에 대응하는 복수의 인코딩 데이터 비트들이 동일한 데이터 심볼로 결합되지 않도록 상기 패리티 인터리빙된 LDPC 인코딩 데이터 비트들의 인코딩 비트들을 치환하는 단계를 포함하는 방법.

청구항 13

제12항에 있어서,

상기 LDPC 코드의 패리티 검사 행렬은 상기 LDPC 코드의 정보 비트에 대응하는 정보 행렬을 포함하고, 상기 정보 행렬은 순환적 구조를 가지며; LDPC 코드의 인코딩 데이터 비트가 열 방향으로 비트 인터리버 메모리에 기록되고, 행 방향으로 비트 인터리버 메모리로부터 판독되어 심볼을 구성할 때 - 각각의 LDPC 코드의 인코딩 비트들은 행 방향 및 열 방향으로 저장됨 - , 상기 치환하는 단계는, LDPC 코드의 인코딩 데이터 비트가 비트 인터

리버 메모리의 각각의 열의 열 방향으로 기록되기 시작하는 기록 개시 위치를 변경하기 위해 치환 처리로서 열 트위스트 인터리빙하는 단계를 포함하는 방법.

청구항 14

제13항에 있어서,

상기 패리티 행렬의 특정 부분을 제외한 패리티 행렬의 일부는 순환적 구조를 갖도록, 상기 열 트위스트 인터리빙 단계는, 패리티 인터리빙에 대응하는 열 치환을 통해, LDPC 코드의 패리티 검사 행렬의 패리티 행렬을의 사 순환적 구조로 치환하는 단계를 포함하는 방법.

청구항 15

제14항에 있어서,

상기 LDPC 코드의 m 개의 인코딩 데이터 비트들이 일 심볼을 구성하고, 상기 LDPC 코드는 N 비트의 코드 길이를 가지며, b 는 양의 정수 일 때,

상기 비트 인터리버 메모리에 저장하는 단계는 상기 행 방향으로 mb 비트를 저장하고 상기 열 방향으로 N/mb 비트를 저장하는 단계를 포함하며;

상기 LDPC 인코딩 데이터 비트들을 상기 비트 인터리버 메모리에 상기 열 방향으로 기록하는 단계와,

상기 비트 인터리버 메모리로부터 상기 행 방향으로 판독하는 단계와,

상기 행 방향으로 상기 비트 인터리버 메모리로부터 mb 인코딩 비트들을 판독하여 b 개의 심볼들을 구성하는 단계를 포함하는 방법.

청구항 16

제10항에 있어서,

OFDM 심볼은 공지된 심볼들을 캐리하도록 구성된 파일럿 부반송파를 포함하고, 선정된 최대 유효 어드레스는 상기 OFDM 심볼에 존재하는 파일럿 부반송파 심볼들의 수에 좌우되는 방법.

청구항 17

OFDM 심볼의 선정된 수의 부반송파 신호들을 통해 데이터 비트들을 송신하는 방법으로서,

LDPC 코드의 패리티 비트에 대응하는 패리티 행렬을 포함하는 LDPC 코드의 패리티 검사 행렬에 따라 데이터 비트들을 LDPC 인코딩하는 단계 - 상기 패리티 행렬은 단계적 구조를 가짐 - 와,

상기 LDPC 코드의 패리티 비트가 상이한 패리티 비트 위치로 인터리빙되도록 LDPC 인코딩 데이터 비트들을 패리티 인터리빙하는 단계와,

OFDM 부반송파 신호들의 변조 방식의 변조 심볼에 대응하는 데이터 심볼들로 패리티 인터리빙된 인코딩 비트들을 매핑하는 단계와,

OFDM 부반송파 신호들의 매핑을 위한 선정된 수의 데이터 심볼들을 심볼 인터리버 메모리에 입력하는 단계와,

매핑을 달성하기 위해 OFDM 부반송파 신호들에 대한 데이터 심볼들을 심볼 인터리버 메모리로부터 판독하는 단계 - 상기 판독은 상기 입력과 상이한 순서이며, 상기 순서는 어드레스 세트로부터 결정되고, 데이터 심볼이 부반송파 신호에 인터리빙됨 - 와,

어드레스 세트를 생성하는 단계 - 어드레스는 데이터 심볼이 매핑되는 부반송파 신호들 중 하나를 나타내기 위해 입력 심볼들 각각에 대해 생성됨 - 를 포함하며,

상기 어드레스 세트를 생성하는 단계는,

생성 다항식에 따라 의사 난수 비트 시퀀스를 생성하도록 선정된 수의 레지스터 스테이지들을 포함한 선형 피드백 시프트 레지스터를 이용하는 단계와,

상기 시프트 레지스터 스테이지들의 콘텐츠를 수신하고, 상기 레지스터 스테이지들에 존재하는 상기 비트들을

치환하여, 어드레스를 형성하도록 동작 가능한 치환 회로를 이용하는 단계와,

생성된 어드레스가 선정된 최대 유효 어드레스를 초과하면 어드레스를 재생성하는 단계를 포함하고,

상기 선정된 최대 유효 어드레스는 대략 32000 이고,

상기 선형 피드백 시프트 레지스터는 상기 선형 피드백 시프트 레지스터에 대해 생성 다항식 $R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$ 과 함께 14개의 레지스터 스테이지들을 갖고, 상기 치환 코드는, 추가 비트와 함께,

R _i 비트 위치	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R _i 비트 위치	6	5	0	10	8	1	11	12	2	9	4	3	13	7

에 따라 상기 n번째 레지스터 스테이지 $R'_i[n]$ 에 존재하는 상기 비트로부터 상기 i번째 데이터 심볼에 대한 15 비트 어드레스 $R_i[n]$ 를 형성하는 방법.

청구항 18

제17항에 있어서,

DVB-T, DVB-H, DVB-T2 표준 또는 DVB-C2 표준과 같은 DVB 표준에 따라 변조된 OFDM 심볼의 데이터 심볼을 송신하는 단계를 포함하는 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은, 직교 주파수 분할 다중(OFDM; Orthogonal Frequency Division Multiplexed) 심볼의 다수의 부반송파 신호를 통해 데이터 비트를 통신하기 위한 데이터 처리 방법 및 장치에 관한 것이다.

<2> 본 발명의 실시예들은 OFDM 송신기를 제공할 수 있다.

배경기술

<3> 디지털 비디오 방송 지상 표준(DVB-T; Digital Video Broadcasting-Terrestrial)은 OFDM을 활용해서, 비디오 이미지 및 사운드를 나타내는 데이터를 방송 무선 통신 신호를 통해서 수신기에 전달한다. DVB-T 표준에는 2k 및 8k 모드로서 알려진 2개의 모드가 공지되어 있다. 2k 모드는 2048 부반송파를 제공하는 반면, 8k 모드는 8192 부반송파를 제공한다. 디지털 비디오 방송 핸드헬드 표준(DVB-H; Digital Video Broadcasting-Handheld)과 유사하게, 부반송파의 수가 4096개인 4k 모드가 제공되어 왔다.

<4> DVB-T2에 대해 제안된 LDPC/BCH 코딩과 같은 에러 정정 코딩 방식은, 통신에서 기인하는 심볼 값의 하락 및 노이즈가 비상관(un-correlated)되는 경우에, 더욱 잘 수행된다. 지상 방송 채널은 시간 및 주파수 도메인 둘 다에서 상관된 페이딩(fading)으로부터 손상될 수 있다. 이와 같이, 인코딩 데이터 비트를 상이한 데이터 심볼들로 나누고, 데이터 심볼의 통신을 가능한 많이 OFDM 심볼의 상이한 부반송파 신호들로 나눔으로써, 에러 정정 코딩 방식의 성능이 향상될 수 있다.

<5> DVB-T 또는 DVB-H를 사용해서 전달되는 데이터의 무결성(integrity)을 향상시키기 위해서, 심볼들이 OFDM 심볼의 부반송파 신호로 매핑되는 경우에, 입력 데이터 심볼을 인터리빙하기 위해서 심볼 인터리버(symbol interleaver)를 제공하는 것이 공지되어 있다. 매핑을 달성하도록 어드레스를 생성하기 위한 2k 모드 및 8k 모드에 대한 구성이 DVB-T 표준에 개시되어 있다. DVB-H 표준의 4k 모드와 유사하게, 매핑을 위한 어드레스를 생성하기 위한 구성이 제공되고, 이 매핑을 구현하기 위한 어드레스 생성기가 유럽 특허 출원 제04251667.4에 개시되어 있다. 어드레스 생성기는, 의사 난수(pseudo random) 비트 시퀀스를 생성하도록 동작하는 선형 피드백 시프트 레지스터(linear feedback shift register) 및 치환 회로(permutation circuit)를 포함한다. 치환 회로는 어드레스를 생성하기 위해서 선형 피드백 시프트 레지스터의 콘텐츠의 순서를 치환한다. 어드레스는,

OFDM 심볼의 부반송과 신호 중 하나로 매핑을 위해, 입력 데이터 심볼을 인터리버 메모리에 기록하거나 또는 입력 데이터 심볼을 인터리버 메모리로부터 판독하기 위한 인터리버 메모리의 메모리 위치의 표시(indication)를 제공한다. 유사하게, 수신기의 어드레스 생성기는, 수신된 데이터 심볼을 인터리버 메모리에 기록하거나 또는 데이터 심볼을 인터리버 메모리로부터 판독하기 위한 인터리버 메모리의 어드레스를 생성해서, 출력 심볼 스트림을 형성하도록 구성된다.

발명의 내용

해결 하고자하는 과제

<6> DVB-T2로서 공지된 더 개발된 디지털 비디오 방송 지상 표준에 따라서, 데이터 비트의 통신을 향상시키고, 보다 구체적으로, LDPC 코드로 인코딩 데이터 비트 및 데이터 심볼을 OFDM 심볼의 부반송과 신호로 인터리빙하기 위한 개선된 구성을 제공하는 것이 바람직하다.

과제 해결수단

<7> 본 발명에 따라, OFDM 심볼의 선정된 수의 부반송과 신호들을 통해 데이터 비트들을 통신하기 위한 데이터 처리 장치가 제공된다. 데이터 처리 장치는, LDPC 코드의 패리티 비트에 대응하는 패리티 행렬을 포함하는 LDPC 코드의 패리티 검사 행렬에 따라 LDPC 인터리빙을 수행함으로써 획득된 LDPC 인코딩 데이터 비트들에 대해 패리티 인터리빙을 수행하도록 동작 가능한 패리티 인터리버를 포함하여서, LDPC 코드의 패리티 비트가 상이한 패리티 비트 위치로 인터리빙된다. 상기 패리티 행렬은 단계적 구조를 갖는다. 매핑부는 OFDM 부반송과 신호들의 변조 방식의 변조 심볼에 대응하는 데이터 심볼들로 패리티 인터리빙된 비트들을 매핑한다. 심볼 인터리버는, OFDM 부반송과 신호들의 매핑을 위한 선정된 수의 데이터 심볼들을 심볼 인터리버 메모리에 입력하고, 매핑을 달성하기 위해 OFDM 부반송과 신호들에 대한 데이터 심볼들을 인터리버 메모리로부터 판독하는 동작을 하도록 구성된다. 상기 판독은 상기 입력과 상이한 순서이며, 상기 순서는 어드레스 세트로부터 결정되고, 데이터 심볼은 부반송과 신호에 인터리브된다.

<8> 어드레스 생성기는 어드레스 세트를 생성하도록 동작 가능하고, 어드레스는 데이터 심볼이 매핑되는 부반송과 신호들 중 하나의 부반송과 신호를 나타내기 위해 데이터 심볼들 각각에 대해 생성된다.

<9> 상기 어드레스 생성기는,

<10> 선정된 수의 레지스터 스테이지를 포함하고 생성 다항식에 따라서 의사 난수 비트 시퀀스를 생성하도록 동작 가능한 선형 피드백 시프트 레지스터,

<11> 시프트 레지스터 스테이지의 콘텐츠를 수신하고, 치환 코드에 따라서 레지스터 스테이지에 존재하는 비트를 치환하여, OFDM 부반송과들 중 하나의 어드레스를 형성하도록 동작 가능한 치환 회로, 및

<12> 생성된 어드레스가 선정된 최대 유효 어드레스를 초과할 경우 어드레스를 재생성하도록 어드레스 검사 회로와 함께 동작 가능한 제어부를 포함한다.

<13> 32K 모드에 따라 OFDM 심볼이 생성되는 일 예시에서, 상기 선정된 최대 유효 어드레스는 대략 32000이고, 선형 피드백 시프트 레지스터는, $R'_i[13]=R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$ 의 선형 피드백 시프트 레지스터에 대한 생성 다항식을 갖는 14개의 레지스터 스테이지를 갖고, 치환 코드는, 하나의 추가 비트와 함께, 이하의 표에 따라서 n번째 레지스터 스테이지 $R'_i[n]$ 에 존재하는 비트로부터 i번째 데이터 심볼에 대한 15 비트 어드레스 $R_i[n]$ 을 형성한다:

<14>

R'_i 비트 위치	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R_i 비트 위치	6	5	0	10	8	1	11	12	2	9	4	3	13	7

<15> 다른 모드에서, 최대 유효 어드레스, 선형 피드백 시프트 레지스터의 스테이지들의 수, 생성 다항식, 및 치환 코드는 각 모드에서 OFDM 심볼당 부반송과 신호의 선정된 수에 따라서 적용될 수 있다.

<16> 본 발명의 실시예에서는, LDPC 에러 정정 인코딩을 활용하는 OFDM 통신 시스템의 성능을 향상시키도록 심볼 인터리버와 결합되는 비트 인터리버를 포함한다. 비트 인터리버는, LDPC 코드의 2개 이상의 코드 비트들이 일 심

볼로서 송신되고 수신될 때, LDPC 코드의 코드 비트를 치환하는 치환 처리를 수행하는 치환부를 포함하여, LDPC 코드의 정보 비트에 대응하는 정보 행렬의 임의의 행의 1의 값에 대응하는 복수의 코드 비트가 동일한 심볼로 결합되지 않게 한다.

- <17> 데이터 처리 장치는 단독 장치일 수도 있고, 송신기 또는 다른 실시예에서는 수신기와 같은 장치에 포함된 내부 블록일 수도 있다.
- <18> LDPC 코드는, AWGN(Additive White Gaussian Noise) 채널 외의 통신 경로에서의 높은 에러 정정 성능을 제공할 수 있으며, 컨볼루션 코드(convolutional code) 또는 연결 리드 솔로몬(RS; Reed Solomon)-컨볼루션 코드보다 우수하다. 이는, 소거를 야기하는 에러 버스트(burst)를 나타내는 통신 채널에 제공될 수 있다. 따라서, AWGN 통신 경로의 성능을 유지하면서 버스트 에러 또는 소거에 대한 저항성을 증가시키는 방법이 제공될 필요가 있다.
- <19> 본 발명은 상기 환경의 관점에서 이루어진 것이며, LDPC 인코딩 데이터 비트를 위한 비트 인터리버와 심볼 인터리버를 연결시킴으로써, 버스트 에러 또는 소거와 같은 LDPC 코드의 코드 비트에서의 에러에 대한 저항성을 증가시킬 수 있는 데이터 처리 장치 및 방법을 제공한다.
- <20> 즉, 본 발명의 실시예에 따라서, 패리티 인터리빙은, LDPC 코드의 패리티 비트에 대응하는 단계적 구조의 패리티 행렬을 포함하는 패리티 검사 행렬에 따라서 LDPC 인코딩을 수행함으로써 얻어지는 LDPC 코드에서 수행되어, LDPC 코드의 패리티 비트들이 상이한 패리티 비트 위치들로 인터리빙된다.
- <21> 본 발명에서 조사한 출원에서 OFDM 시스템의 다양한 동작 모드가 발견되었다. 예를 들어, 단일 주파수 네트워크 내의 DVB 송신기의 이븐 스파서(even sparser) 개발을 제공하기 위해서, 32k 모드를 제공하는 것이 제안되었다. 32k 모드를 구현하기 위해서, 심볼 인터리버는 OFDM 심볼의 부반송파 신호로 입력 데이터 심볼을 매핑하기 위해 제공되어야만 한다.
- <22> 본 발명의 실시예들은, 대략 32,000개의 부반송파 신호를 갖는 OFDM 심볼로 전달될 데이터 심볼을 매핑하기 위한 심볼 인터리버로서 동작가능한 데이터 처리 장치를 제공할 수 있다. 일 실시예에서, 부반송파 신호의 수는 실질적으로 24,000 와 32,768 사이의 값이 될 수 있다. 또한, OFDM 심볼은, 공지된 심볼을 캐리하도록 구성되는 파일럿 부반송파를 포함하고, 선정된 최대 유효 어드레스는 OFDM 심볼에 존재하는 파일럿 부반송파 심볼의 수에 좌우된다. 이와 같이, 32k 모드는 예를 들어, DVB-T2, DVB-Cable2, DVB-T 또는 DVB-H와 같은 DVB 표준에 대해 제공될 수 있다.
- <23> OFDM 심볼의 부반송파 신호로 송신될 매핑 데이터 심볼 - 여기에서, 부반송파 신호의 수는 대략 32,000임 - 은, 시뮬레이션 분석을 요구하고, 치환 순서 및 선형 피드백 시프트 레지스터에 대한 적절한 생성 다항식을 설정하도록 테스트해야 하는 기술적 문제를 나타낸다. 이는, 매핑이, 에러 정정 코딩 방식의 성능을 최적화하기 위해서 입력 데이터 스트림으로부터 연속하는 심볼들이 가능한 최대의 양으로 주파수에서 분할되는 취지로, 심볼들이 부반송파 신호로 인터리빙될 것을 요구하기 때문이다.
- <24> 후술하는 바와 같이, 상기한 치환 회로 순서와 함께 선형 피드백 시프트 레지스터에 대한 생성 다항식이 우수한 성능을 제공한다는 것이 시뮬레이션 성능 분석으로부터 밝혀졌다. 또한, 선형 피드백 시프트 레지스터에 대한 생성 다항식 및 치환 순서의 탭(tap)을 변경함으로써, 2k 모드, 4k 모드 및 8k 모드 각각에 대해 어드레스를 생성할 수 있는 구성을 제공함으로써, 32k 모드에 대한 심볼 인터리버가 비용 효율적으로 구현될 수 있다. 또한, 송신기 및 수신기는, 생성 다항식 및 치환 순서를 변경함으로써 1K 모드, 2K 모드, 4K 모드, 8K 모드, 16K 모드 및 32K 모드 중에서 변경될 수 있다. 이는 소프트웨어로 (또는 임베디드 시그널링에 의해) 구현될 수 있으며, 유동적으로 구현된다.
- <25> 본 발명의 다양한 양상 및 특징들은 첨부된 청구항에서 정의된다. 본 발명의 다른 양상은, 송신기뿐만 아니라, OFDM 심볼의 선정된 수의 부반송파 신호를 통해 데이터 비트를 통신하도록 동작 가능한 데이터 처리 장치를 포함한다.

발명의 실시를 위한 구체적인 내용

- <26> 도 1은 예를 들어, DVB-T2 표준에 따라서 비디오 이미지 및 오디오 신호를 송신하는데 사용될 수 있는 OFDM 송신기의 예시적 블록도를 제공한다. 도 1에서, 프로그램 소스는 OFDM 송신기에 의해 송신될 데이터를 생성한다. 비디오 코더(2), 오디오 코더(4) 및 데이터 코더(6)는 프로그램 멀티플렉서(10)에 공급되는 송신될 비디오, 오디오 및 다른 데이터를 생성한다. 프로그램 멀티플렉서(10)의 출력은 비디오, 오디오 및 다른 데이터를 통신하

는데 요구되는 다른 정보로 다중화된 스트림을 형성한다. 멀티플렉서(10)는 접속 채널(13) 상의 스트림을 제공한다. 상이한 브랜치 A, B 등으로 공급되는 다수의 멀티플렉스된 스트림이 존재할 수 있다. 명료성을 위해서, 브랜치 A만이 설명될 것이다.

<27> 도 1에 도시된 바와 같이, OFDM 송신기(11)는 멀티플렉서 적응 및 에너지 확산 블록(20)에서 스트림을 수신한다. 멀티플렉서 적응 및 에너지 확산 블록(20)은 데이터를 임의로 추출(randomise)하고, 스트림의 에러 정정 인코딩을 수행하는 순방향(forward) 에러 정정 인코더(21)로 적절한 데이터를 공급한다. 비트 인터리버(22)는, DVB-T2의 예에 있어서 LDPC 인코더 출력인 인코딩 데이터 비트를 인터리빙하도록 제공한다. 비트 인터리버(22)로부터의 출력은, 인코딩 데이터 비트를 전달하는데 사용될 배열 포인트로 비트 그룹을 매핑하는 비트 배열 매핑(a bit into constellation mapper)(26)에 공급된다. 비트 배열 매핑(26)로부터의 출력은 실수 성분 및 허수 성분을 나타내는 배열 포인트 레이블(label)이다. 배열 포인트 레이블은, 사용되는 변조 방식에 따라서 2개 이상의 비트로부터 형성되는 데이터 심볼을 나타낸다. 이들은 데이터 셀로 지칭될 것이다. 이 데이터 셀은, 다수의 LDPC 코드 워드로부터 나온 데이터 셀을 인터리빙하는 타임 인터리버(30)를 통과한다. 그 다음, 타임 인터리버(30)로부터의 데이터 셀은, 송신을 위한 변조 심볼로 데이터 셀을 매핑하는 변조 및 프레임 빌더(frame builder; 27)로 공급된다.

<28> 데이터 셀은 다른 채널(31)을 통해 프레임 빌더(32)에 의해 변조부(27)내에 수신되고, 데이터 셀은 도 1의 브랜치 B에 의해 생성된다. 그 다음, 프레임 빌더(32)는 OFDM 심볼에서 전달될 시퀀스로 다수의 데이터 셀을 형성하고, 여기에서 OFDM 심볼은 다수의 데이터 셀을 포함하고, 각각의 데이터 셀은 부반송파들 중 하나로 매핑된다. 부반송파의 수는 시스템의 동작 모드에 따라 것이고, 이 동작 모드는 1k, 2k, 4k, 8k, 16k 또는 32k 중 하나를 포함할 수 있으며, 이들 각각은 예를 들어, 아래 표에 따라서 상이한 수의 부반송파를 제공한다.

<29>

모드	부반송파
1K	756
2K	1512
4K	3024
8K	6048
16K	12096
32K	24192

<30> DVB-T/H로부터 적응된 부반송파의 수

<31> 따라서, 일 예에서, 32k 모드에 대한 부반송파의 수는 24,192이다. DVB-T2 시스템에서, OFDM 심볼 당 부반송파의 수는 다른 예약된 반송파 및 파일럿의 수에 따라 변할 수 있다. 따라서, DVB-T2에서는, DVB-T와는 다르게, 데이터를 캐리하기 위한 부반송파의 수가 고정되지 않는다. 방송사업자는, 각각 OFDM 심볼 당 데이터에 대한 부반송파의 범위를 제공하는 1k, 2k, 4k, 8k, 16k, 32k로부터 동작 모드들 중 하나를 선택할 수 있고, 이들 모드 각각에 대해 이용가능한 최대 수는 각각 1024, 2048, 4096, 8192, 16384, 32768이다. DVB-T2에서, 물리층 프레임은 다수의 OFDM 심볼로 구성된다. 일반적으로, 프레임은 하나 이상의 프리앰블(preamble) 또는 P2 OFDM 심볼로 시작하고, 그 다음에는 다수의 페이로드(payload) 전달 OFDM 심볼이 후속한다. 물리층 프레임의 종료는 프레임 폐쇄 심볼로 표현된다. 각각의 동작 모드에 대해, 부반송파의 수는 각 심볼 형태에 대해 상이할 수 있다. 또한, 이는, 대역폭 확장이 선택되는지 여부, 톤 예약이 가능하게 되는지 여부 각각과, 어느 파일럿 부반송파 패턴이 선택되는지에 따라서 변할 수 있다. OFDM 심볼 당 부반송파의 특정 수에 대한 일반화는 어렵다. 그러나, 각 모드에 대한 주파수 인터리버는, 그 부반송파의 수가 소정의 모드에 대한 부반송파의 최대 유효 수보다 작거나 같은 임의의 심볼을 인터리빙할 수 있다. 예를 들어, 1k 모드에서, 인터리버는 1024 이하의 부반송파의 수로 심볼에 대해 동작할 수 있고, 16k 모드에 대해서는, 16384 이하의 부반송파의 수로 동작할 수 있다.

<32> 그 다음, 각각의 OFDM 심볼에서 전달될 데이터 셀의 시퀀스는 심볼 인터리버(33)로 보내진다. 다음으로 OFDM 심볼이, 파일럿 및 임베디드 신호 형성기(36)로부터 공급된 파일럿 및 동기화 신호를 도입하는 OFDM 심볼 빌더 블록(37)에 의해 생성된다. 그 다음, OFDM 변조기(38)는 OFDM 심볼을 시간 도메인에서 형성하고, 이 OFDM 심볼은, 심볼들 간의 가드(guard) 간격을 생성하기 위한 가드 삽입 프로세서(40)로 공급된 다음, 디지털 아날로그 변환기(42)로 공급되고, 마지막으로 안테나(46)로부터 OFDM 송신기에 의한 최종 방송을 위해 RF 전단(44) 내의 RF 증폭기로 공급된다.

- <33> 본 발명의 실시예는, 심볼 인터리버와 함께, LDPC 인코더로 인코딩되는 비트를 인터리빙하는 비트 인터리버를 포함하는 OFDM 통신 시스템을 제공하고, 심볼 인터리버는, 하나 이상의 인터리빙되고 인코딩된 비트를 나타내는 심볼을 OFDM 심볼의 부반송파 신호로 인터리빙한다. 예시적 실시예에 따른 비트 인터리버 및 심볼 인터리버는 모두 아래 단락들에서 설명되고, LDPC 인코딩으로 설명되는 비트 인터리버를 먼저 설명한다.
- <34> LDPC 인코딩을 위한 비트 인터리버
- <35> LDPC 에러 정정 코드
- <36> LDPC 코드는 높은 에러 정정 성능을 가지며, 유럽(예를 들어, DVB-S.2:ETSI EN 302 307 V1.1.2(2006-06) 참조)에서 사용이 시작된 DVB-S.2와 같은 위성 디지털 방송을 포함하는 통신 방식에서 최근에 사용되기 시작하였다. 차세대 지상 디지털 방송에 LDPC 코드를 적용하는 것에 대해서도 논의되고 있다.
- <37> 최근의 연구는, 터보 코드와 유사하게, 코드 길이가 증가함에 따라 LDPC 코드의 성능이 새넨 한계(shannon limit)에 접근한다는 것을 보여준다. LDPC 코드는 최소 거리가 코드 길이에 비례한다는 특성을 갖기 때문에, LDPC 코드는, 블록 에러 확률 특성이 우수하고, 터보 코드 등의 디코딩 특성과 관련하여 관찰되는 현상인 에러 플로어(error floor)가 거의 발생하지 않는다는 장점을 갖는다.
- <38> 이제, 이러한 LDPC 코드에 대해 상세하게 살펴볼 것이다. LDPC 코드는 선형 코드이다. LDPC 코드가 반드시 2진수일 필요는 없지만, 아래에서는 2진 LDPC 코드를 참조하여 설명할 것이다.
- <39> LDPC 코드의 가장 중요한 특성은, 각각의 LDPC 코드를 정의하는 패리티 검사 행렬이, 소자 "1"의 수가 매우 작은, 즉, 그 소자가 거의 "0"인 희소 행렬(sparse matrix)이라는 것이다.
- <40> 도 2는 LDPC 코드의 예시적 패리티 검사 행렬 H를 도시한다.
- <41> 도 2의 패리티 검사 행렬 H의 각 열은 3의 가중치(weight)(즉, 3개의 "1" 소자)를 가지며, 각 행은 6의 가중치(즉, 6개의 "1"의 소자)를 갖는다.
- <42> LDPC 코드에 기초한 인코딩(즉, LDPC 인코딩)은, 예를 들어, 패리티 검사 행렬 H에 기초하여 생성 행렬 G를 계산하고, 정보 비트로 생성 행렬 G를 승산하여 코드워드(LDPC 코드)를 생성함으로써 수행된다.
- <43> 구체적으로, LDPC 인코더는 먼저 패리티 검사 행렬 H의 전치 행렬 H^T 로 방정식 $GH^T=0$ 을 만족하는 생성 행렬 G를 계산한다. 여기에서, 생성 행렬 G가 $K \times N$ 행렬이면, 인코더는 생성 행렬 G를 K 비트의 정보 비트 시퀀스(벡터 u)로 승산하여 N 비트의 코드워드 $c(=uG)$ 를 생성한다. 인코더에 의해 생성된 코드워드(LDPC 코드)는 통신 경로를 통해서 수신측에서 수신된다.
- <44> LDPC 코드는 Gallager에 의해 제안된 메시지 전달 알고리즘 및 제안된 "확률적 디코딩 알고리즘"에 의해 디코딩될 수 있다. 메시지 전달 알고리즘은 변수 노드(메시지 노드으로도 지칭됨) 및 검사 노드를 포함하는 태너 그래프(Tanner graph) 상의 신뢰 확산(belief propagation)을 사용한다. 후속하는 설명에서, 변수 노드 및 검사 노드는 각각 간략하게 적절히 "노드"로서 지칭될 것이다.
- <45> 도 3은 LDPC 코드를 디코딩하는 절차를 도시한다.
- <46> 이후에, 수신측에서 수신된 LDPC 코드(코드워드)의 i번째 코드 비트가 "0"의 값을 갖는 확률을 로그 가능성 비율(LLR; log likelihood ratio)로서 나타내는 실제 값(real value)이 적절하게 수신된 값 u_{0i} 로서 지칭된다. 또한, 검사 노드로부터의 메시지 출력은 u_j 로서 지칭되고, 변수 노드로부터의 메시지 출력은 v_i 로서 지칭된다.
- <47> LDPC 코드는 아래와 같은 방식으로 디코딩된다. 우선, 도 3에 도시된 바와 같이, 단계 S11에서, LDPC 코드가 수신되고, 메시지(검사 노드 메시지) u_j 는 "0"으로 초기화되고, 상호적 처리의 카운터로서 정수값을 갖는 변수 k는 "0"으로 초기화된다. 그 다음, 절차는 단계 S12로 진행한다. 단계 S12에서, 수학적 식 1로 표현되는 계산(변수 노드 계산)이 LDPC 코드를 수신하여 얻어지는 수신된 값 u_{0i} 에 기초해서 수행되어, 메시지(변수 노드 메시지) v_i 가 얻어진 다음, 수학적 식 2로 표현되는 계산(검사 노드 계산)이 메시지 v_i 에 기초해서 수행되어, 메시지 u_j 가 얻어진다.

수학식 1

<48>
$$v_i = u_{0i} + \sum_{j=1}^{d_v-1} u_j$$

수학식 2

<49>
$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right)$$

<50> 수학식 1 및 수학식 2의 d_v 및 d_c 는 패리티 검사 행렬 H의 수직 방향(열) 및 수평 방향(행)에서 1의 각각의 수 (the respective numbers of 1s)를 나타내는 임의의 선택가능 파라미터이다. 예를 들어, (3,6) 코드의 경우 $d_v=3$ 이고 $d_c=6$ 이다.

<51> 수학식 1의 변수 노드 계산 및 수학식 2의 검사 노드 계산에서의 계산에 대한 각각의 범위는 1 내지 d_v-1 및 1 내지 d_c-1 이고, 이는, 메시지를 출력하는 에지(즉, 변수 노드 및 검사 노드를 서로 접속하는 라인)로부터 수신된 메시지가 수학식 1 및 2의 각 계산으로부터 제외되기 때문이다. 실제로, 수학식 2의 검사 노드 계산은, 수학식 4로 나타낸 바와 같이, 2개의 입력 v_1 및 v_2 에 대해 하나의 출력으로서 정의되는 수학식 3으로 나타낸 함수 $R(v_1, v_2)$ 의 이전에 생성된 표를 재귀적으로 사용해서 수행된다.

수학식 3

<52>
$$x = 2 \tanh^{-1} \{ \tanh(v_1/2) \tanh(v_2/2) \} = R(v_1, v_2)$$

수학식 4

<53>
$$u_j = R(v_1, R(v_2, R(v_3, \dots R(v_{d_c-2}, v_{d_c-1})))$$

<54> 단계 S12에서, 변수 k는 "1"씩 증가되고, 절차는 단계 S13으로 진행한다. 단계 S13에서, 변수 k가 선정된 디코딩의 반복 횟수 C보다 큰 지 여부가 결정된다. 단계 S13에서 변수 k가 C보다 크지 않다고 결정되면, 절차는 단계 S12로 되돌아가서 동일한 처리를 반복한다.

<55> 단계 S13에서 변수 k가 C보다 크다고 결정되면, 절차는 단계 S14로 진행하여, 수학식 5로 나타낸 계산을 수행하여 최종 디코딩 결과로서 메시지 v_i 를 획득하고 출력한다. 그 다음 LDPC 코드 디코딩 절차가 종료된다.

수학식 5

<56>
$$v_i = u_{0i} + \sum_{j=1}^{d_i} u_j$$

<57> 여기에서, 수학식 1의 변수 노드와 다르게, 수학식 5의 계산은 변수 노드에 접속된 모든 에지로부터의 메시지 u_j 를 사용해서 수행된다.

<58> 도 4는 1/2의 코드 레이트(code rate) 및 12의 코드 길이를 갖는 (3,6) LDPC 코드의 예시적 패리티 검사 행렬 H를 도시한다.

<59> 도 2의 패리티 검사 행렬 H로서, 도 4의 패리티 검사 행렬 H는 3의 열 가중치와 6의 행 가중치를 갖는다.

<60> 도 5는 도 4의 패리티 검사 행렬 H의 태너 그래프를 도시한다.

<61> 도 5에서, "+"는 검사 노드를 나타내고, "="는 변수 노드를 나타낸다. 검사 노드 및 변수 노드는 패리티 검사 행렬 H의 행 및 열에 각각 대응한다. 검사 노드 및 변수 노드의 쌍을 연결하는 각 연결 라인은 패리티 검사 행렬 H의 소자 "1"에 대응하는 에지이다.

<62> 구체적으로, 패리티 검사 행렬의 j번째 행 소자 및 i번째 열 소자가 "1"이면, i번째 변수 노드 "=" (상부로부터

카운팅) 및 j번째 검사 노드 "+" (상부로부터 카운팅)는 도 5의 에지를 통해 접속된다. 에지는, 변수 노드에 대응하는 코드 비트가 검사 노드에 대응하는 제한을 갖는다는 것을 나타낸다.

<63> LDPC 코드 디코딩 알고리즘인 점 프로덕트(sum product) 알고리즘은 변수 노드 계산 및 검사 노드 계산을 반복적으로 수행한다.

<64> 도 6은 변수 노드에서 수행되는 변수 노드 계산을 도시한다.

<65> 계산용 에지에 대응하는 메시지 v_i 는, 변수 노드에 접속된 잔여 에지로부터의 메시지 u_1 및 u_2 및 수신된 값 u_{0i} 을 사용해서 수학적 식 1의 변수 노드 계산에 따라 구해진다. 다른 에지에 대응하는 메시지는 동일한 방식으로 구해진다.

<66> 도 7은 검사 노드에서 수행되는 검사 노드 계산을 도시한다.

<67> 검사 노드 계산을 위한 상기 수학적 식 2는, $a \times b = \exp\{\ln(|a|) + \ln(|b|)\} \times \text{sign}(a) \times \text{sign}(b)$ (여기에서, $x \geq 0$ 일 때 $\text{sign}(x)$ 는 1이고 $x < 0$ 일 때 $\text{sign}(x)$ 는 -1임)의 관계식을 사용해서 수학적 식 6으로 재기록될 수 있다.

수학적 식 6

$$\begin{aligned}
 u_j &= 2 \tanh^{-1} \left(\prod_{i=1}^{d_c-1} \tanh \left(\frac{v_i}{2} \right) \right) \\
 &= 2 \tanh^{-1} \left[\exp \left\{ \sum_{i=1}^{d_c-1} \ln \left(\left| \tanh \left(\frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign} \left(\tanh \left(\frac{v_i}{2} \right) \right) \right] \\
 &= 2 \tanh^{-1} \left[\exp \left\{ - \left(\sum_{i=1}^{d_c-1} - \ln \left(\tanh \left(\frac{|v_i|}{2} \right) \right) \right) \right\} \right] \times \prod_{i=1}^{d_c-1} \text{sign}(v_i)
 \end{aligned}$$

<68>

<69> 또한, $x \geq 0$ 일 때 함수 $\phi(x) = \ln(\tanh(x/2))$ 가 정의되면, 방정식 $\phi^{-1}(x) = 2 \tanh^{-1}(e^{-x})$ 가 만족되고, 이에 따라 수학적 식 6이 수학적 식 7로 재정리될 수 있다.

수학적 식 7

$$u_j = \phi^{-1} \left(\sum_{i=1}^{d_c-1} \phi(|v_i|) \right) \times \prod_{i=1}^{d_c-1} \text{sign}(v_i)$$

<70>

<71> 검사 노드에서, 수학적 식 2의 검사 노드 계산은 수학적 식 7에 따라 수행된다.

<72> 즉, 검사 노드에서, 계산용 에지에 대응하는 메시지 u_j 는, 도 7에 도시된 바와 같이 검사 노드에 접속된 잔여 에지로부터의 메시지 v_1, v_2, v_3, v_4 , 및 v_5 를 사용해서 수학적 식 7의 검사 노드 계산에 따라 구해진다. 다른 에지에 대응하는 메시지는 동일한 방식으로 구해진다.

<73> 수학적 식 7의 함수 $\phi(x)$ 는, $x > 0$ 일 때 $\phi(x) = \ln((e^x+1)/(e^x-1))$ 및 $\phi(x) = \phi^{-1}(x)$ 와 같이 표현될 수도 있다. 함수 $\phi(x)$ 및 $\phi^{-1}(x)$ 이 하드웨어에 내장되는 경우, 이들은 동일한 룩업 테이블(LUT)을 사용해서 내장될 수 있다.

<74> LDPC 코드가 AWGN 통신 경로에서 매우 우수한 성능을 나타내는 것으로 공지되었지만, 최근에, 종래의 컨볼루션 코드 또는 연결 리드 솔로몬(RS)-컨볼루션 코드에 비해, LDPC 코드가 다른 통신 경로에서 높은 에러 정정 성능을 갖는다는 것도 공지되었다.

<75> 즉, AWGN 통신 경로에서의 우수한 성능을 갖는 코드가 선택되면, 선택된 코드는 일반적으로 다른 통신 경로에서도 다른 코드들에 비해 뛰어난 우수한 성능을 나타낸다.

<76> 예를 들어, LDPC 코드가 지상 디지털 방송에 적용되면서, DVB-S.2 사양에 정의된 LDPC 코드 및 DVB-T 사양에 정의된 변조 방식이 결합되고, LDPC 코드의 코드 비트를 인터리빙하는 비트 인터리버가 LDPC 인코더와 변조기 간에 제공되어, AWGN 통신 경로의 LDPC 코드의 성능을 향상시키는 것이 제안되었다.

<77> 그러나, 소거 또는 버스트 에러는 지상파로 가정된 통신 경로에서 발생할 수 있다. 예를 들어, 직교 주파수 분

할 다중(OFDM) 시스템에서, D/U(Desired to Undesired Ratio)가 0dB가 되어 바람직한 파워로서의 주경로 파워가 바람직하지 않은 파워로서의 에코 파워와 동일한 다중 경로 환경에서, 주경로 외의 다른 경로인 에코의 지연으로 인해 특정 심볼이 소거될(즉, 전원이 0으로 떨어질) 수 있다.

- <78> D/U가 0dB이면, 특정 시간에서의 모든 OFDM 심볼은 또한, 도플러 주파수가 적용되고 지연이 "0"인 에코가 부가된 통신 경로인 플러터(flutter)의 도플러 주파수로 인해 소거될(즉, 전원이 0으로 떨어질) 것이다.
- <79> 또한, 안테나로부터 수신기로의 와이어에서의 바람직하지 않은 조건 또는 불안정한 파워로 인해 버스트 에러가 발생할 수 있다.
- <80> 관련 기술에서, AWGN 통신 경로에서 우수한 성능을 갖는 에러 정정 코드가 또한, 버스트 에러 또는 소거가 상술한 바와 같이 발생하는 통신 경로에서 빈번하게 사용된다.
- <81> 반면에, LDPC 코드가 디코딩되면, 패리티 검사 행렬 H의 열뿐만 아니라 LDPC 코드의 코드 비트에 대응하는 변수 노드가, 도 6에 도시된 바와 같은 LDPC 코드의 코드 비트(수신된 값 u_{0i})의 부가와 관련된 수학적 식에 따라 계산된다. 따라서, 획득된 메시지의 정확도는, 변수 노드 계산에서 사용되는 코드 비트에서 에러가 발생하면 감소된다.
- <82> 또한, LDPC 코드가 디코딩되면, 검사 노드에 접속된 변수 노드에서 획득된 메시지를 사용해서 수학적 식 7에 따라 검사 노드가 계산된다. 따라서, 디코딩 성능은, 소거를 포함하는 에러가 다수의 검사 노드 각각에 접속된 복수의 변수 노드(에 대응하는 LDPC 코드의 복수의 코드 비트)에서 동시에 발생하면, 저하된다.
- <83> 보다 구체적으로, 예를 들어, 검사 노드에 접속된 2개 이상의 변수 노드가 동시에 소거되면, 검사 노드는, "1"의 확률과 동일한 "0"의 확률을 갖는 메시지를 검사 노드에 접속된 모든 변수 노드로 반환한다. 이 경우, "0" 및 "1"의 확률이 동등한 메시지를 반환하는 검사 노드는, 변수 노드 계산 및 검사 노드 계산의 세트인 일 디코딩 처리에 도움을 주지 않는다. 이는, 요구되는 디코딩 처리의 수를 증가시키고, 이에 따라 디코딩 성능을 저하시키며, LDPC 코드 디코딩을 수행하는 수신기의 파워 소비를 증가시킨다.
- <84> 따라서, AWGN 통신 경로의 성능을 유지하면서 버스트 에러 또는 소거에 대한 저항성을 증가시키는 방법을 제공할 필요가 있다.
- <85> 여기에서는, LDPC 코드의 코드 비트를 인터리빙하는 비트 인터리버가 LDPC 인코더와 변조기 간에 제공되어 상술한 바와 같이 AWGN 통신 경로에서의 LDPC 코드의 성능을 향상시키고, 비트 인터리버가, 검사 노드에 접속된 복수의 변수 노드(에 대응하는 LDPC 코드의 복수의 코드 비트)에서 에러가 동시에 발생할 확률을 낮추도록 인터리빙을 수행할 수 있도록 설계되면, 디코딩 성능을 향상시킬 수 있다.
- <86> 본 발명은 상술한 환경의 관점에서 이루어진 것이며, 버스트 에러 또는 소거와 같은 LDPC 코드의 코드 비트에서의 에러에 대한 저항성을 증가시킬 수 있는 데이터 처리 장치 및 방법을 제공한다.
- <87> 본 발명의 일 실시예에 따라서 데이터를 인터리빙하는 데이터 처리 장치는, LDPC 코드의 패리티 비트에 대응하는 패리티 행렬을 포함하는 패리티 검사 행렬에 따라서 LDPC 인코딩을 수행하여 획득되는 LDPC 코드에서 패리티 인터리빙을 수행하는 패리티 인터리버 - 여기에서 패리티 행렬은 단계적 구조를 가짐 - 를 포함하여, LDPC 코드의 패리티 비트가 상이한 패리티 비트 위치들로 인터리빙된다.
- <88> 본 발명의 일 실시예에 따라서 데이터를 인터리빙하는 데이터 처리 장치의 데이터 처리 방법은, 데이터 처리 장치가, LDPC 코드의 패리티 비트에 대응하는 패리티 행렬을 포함하는 패리티 검사 행렬에 따라서 LDPC 인코딩을 수행하여 획득되는 LDPC 코드에서 패리티 인터리빙을 수행하도록 하는 단계 - 여기에서 패리티 행렬은 단계적 구조를 가짐 - 를 포함하여, LDPC 코드의 패리티 비트가 상이한 패리티 비트 위치로 인터리빙된다.
- <89> 즉, 본 발명의 실시예에 따라서, 패리티 인터리빙은, LDPC 코드의 패리티 비트에 대응하는 단계적 구조의 패리티 행렬을 포함하는 패리티 검사 행렬에 따라서 LDPC 인코딩을 수행하여 획득되는 LDPC 코드에서 수행되어, LDPC 코드의 패리티 비트가 상이한 패리티 비트 위치들로 인터리빙된다.
- <90> 데이터 처리 장치는 단독 장치일 수도 있고, 장치에 포함된 내부 블록일 수도 있다.
- <91> 예시적 비트 인터리버의 상세한 설명
- <92> 도 8은 도 1에 도시된 송신기의 부분들을 보다 상세하게 나타내고, 비트 인터리버의 동작을 도시한다. 이제 LDPC 인코더(21)에 대해서 구체적으로 설명될 것이다. LDPC 인코더(21)는 패리티 검사 행렬에 따라 타겟 데이

터에 대응하는 정보 비트를 포함하는 타겟 데이터를 LDPC 인코딩 데이터 비트로 인코딩하고, LDPC 코드의 패리티 비트에 대응하는 패리티 행렬은 단계적 구조를 갖는다.

- <93> 구체적으로, LDPC 인코더(21)는 예를 들어, DVB-S.2 사양에 따라서 정의된 LDPC 코드로 타겟 데이터를 인코딩하여, 그 LDPC 코드를 출력한다.
- <94> DVB-S.2 사양에 따라서 정의된 LDPC 코드는 IRA(Irregular Repeat Accumulate) 코드이고, LDPC 코드의 패리티 검사 행렬의 패리티 행렬은 단계적 구조를 갖는다. 패리티 행렬 및 그 단계적 구조의 상세가 후술될 것이다. IRA 코드의 일례가 2000년 9월, 터보 코드 및 관련 주제에 관한 2차 국제 심포지엄 회보의 H.Jin, A. Khandekar, 및 R.J. McEliece의 "Irregular Repeat-Accumulate Codes"에 기술되어 있다.
- <95> LDPC 인코더(21)로부터의 LDPC 코드 출력은 비트 인터리버(22)에 제공된다.
- <96> 비트 인터리버(22)는 데이터를 인터리빙하는 데이터 처리 장치이고, 패리티 인터리버(23), 열 트위스트 인터리버(24), 및 디멀티플렉서(25)를 포함한다.
- <97> 패리티 인터리버(23)는 LDPC 인코더(21)로부터의 LDPC 코드에서 패리티 인터리빙을 수행하여 LDPC 코드의 패리티 비트를 상이한 패리티 비트 위치로 인터리빙하고, 패리티 인터리빙된 LDPC 코드를 열 트위스트 인터리버(24)에 제공한다.
- <98> 열 트위스트 인터리버(24)는 패리티 인터리버(23)로부터의 LDPC 코드에서 열 트위스트 인터리빙을 수행한 다음, 열 트위스트 인터리빙된 LDPC 코드를 디멀티플렉서(25)에 제공한다.
- <99> 따라서, LDPC 코드는, LDPC 코드의 2개 이상의 코드 비트가 후술되는 매핑부(26)를 통해서 하나의 직교 변조된 심볼로 매핑된 후에, 송신된다.
- <100> 열 트위스트 인터리버(24)는 패리티 인터리버(23)로부터 수신된 LDPC 코드의 코드 비트에서 치환(예를 들어, 후술될 열 트위스트 인터리빙) 처리를 수행하여, LDPC 인코더(21)에 의해 사용되는 패리티 검사 행렬의 임의의 행에서 "1"에 대응하는 LDPC 코드의 복수의 코드 비트가 하나의 심볼로 매핑되지 않게 한다.
- <101> 디멀티플렉서(25)는 열 트위스트 인터리버(24)로부터 수신된 LDPC 코드에 재정렬(reordering) 처리를 수행하여, 하나의 심볼로 매핑될 LDPC 코드의 2개 이상의 코드 비트의 위치가 재정렬되어, AWGN에 대한 저항성이 증가된 LDPC 코드를 얻은 다음, 매핑부(26)에 획득된 LDPC 코드를 제공한다.
- <102> 매핑부(26)는 디멀티플렉서(25)로부터의 LDPC 코드의 2개 이상의 코드 비트를 각 신호 포인트로 매핑하고, 이 신호 포인트는 직교 변조기(27)가 직교 변조(다중-값 변조)를 수행하는데 사용하는 변조 방식에 따라서 결정된다.
- <103> 보다 구체적으로, 매핑부(26)는 디멀티플렉서(25)로부터의 LDPC 코드를, IQ 면(IQ 배열)의 변조 방식에 따라 결정되는 신호 포인트에 의해 표현되는 심볼(심볼 값)로 변환하고, 이 IQ 면은, I 축은 반송파와 동일한 위상의 I 성분을 나타내고, Q 축은 반송파에 직교하는 Q 성분을 나타내는 것으로 정의된다.
- <104> 도 1의 OFDM 송신기가 직교 변조를 수행하는데 사용하는 변조 방식은 DVB-T 사양에 정의된 변조 방식을 포함하고, 예로서 직교 위상 편이 변조(QPSK; Quadrature Phase Shift Keying), 16직교 진폭 변조(QAM; Quadrature Amplitude Modulation), 64QAM, 256QAM, 1024QAM, 4096QAM을 포함한다. 직교 변조기(27)가 직교 변조를 수행하는데 사용하는 변조 방식 중 하나는, 예를 들어, 도 1의 송신기를 동작시키는 오퍼레이터에 의한 동작을 통해 사전 설정된다. 직교 변조기(27)가 직교 변조를 수행하는데 사용하는 다른 변조 방식의 예는 4 펄스 진폭 변조(4PAM; 4 Pulse Amplitude Modulation)를 포함한다.
- <105> 매핑부(26)에서 얻어지는 심볼은, 상이한 LDPC 코드 워드를 상이한 OFDM 심볼로 인터리빙하는 타임 인터리버에 제공된다. 타임 인터리버(30)의 출력은 도 1의 프레임 빌더에 공급된다. 도 1에 도시된 송신기의 나머지 부분은 매핑부(26)로부터 수신된 OFDM 심볼의 부반송파 신호의 직교 변조를 수행하여 변조 신호를 생성한 다음, 그 변조 신호를 송신한다.
- <106> 도 9는, 도 8의 LDPC 인코더(21)가 LDPC 인코딩에 사용하는 패리티 검사 행렬 H를 도시한다.
- <107> 패리티 검사 행렬 H는 저밀도 생성 행렬(LDGM; Low-Density Generation Matrix) 구조를 가지며, 좌측 성분으로서 정보 행렬 H_A 를 우측 성분으로서 패리티 행렬 H_T 를 포함하는 방정식 " $H=[H_A | H_T]$ "로 표현될 수 있고, 여기에서 정보 행렬 H_A 는 LDPC 코드의 코드 비트들 중 정보 비트에 대응하고, 패리티 행렬 H_T 는 패리티 비트에 대응한

다.

- <108> 여기에서, 하나의 LDPC 코드(하나의 코드워드)의 코드 비트들 중 정보 비트의 수 및 패리티 비트의 수는 정보 길이 K 및 패리티 길이 M으로 정의되고, 코드 비트의 수는 코드 길이 $N(=K+M)$ 으로 정의된다.
- <109> 코드 길이 N의 LDPC 코드의 정보 길이 K 및 패리티 길이 M은 코드 레이트에 기초해서 결정된다. 따라서, 패리티 검사 행렬 H는 $M \times N$ 행렬이다. 또한, 정보 행렬 H_A 는 $M \times K$ 행렬이고, 패리티 행렬 H_T 는 $M \times M$ 행렬이다.
- <110> 도 10은 DVB-S.2 사양에 정의된 LDPC 코드의 패리티 검사 행렬 H의 패리티 행렬 H_T 를 도시한다.
- <111> DVB-S.2 사양에 정의된 LDPC 코드의 패리티 검사 행렬 H의 패리티 행렬 H_T 는 단계적 구조를 가져서, 패리티 행렬 H_T 의 "1"의 소자가 도 10에 도시된 바와 같이 단계적으로 배열된다. 패리티 검사 행렬 H의 제1 행은 1의 가중치를 갖고, 나머지 행은 2의 가중치를 갖는다.
- <112> 단계적 구조의 패리티 행렬 H_T 를 갖는 패리티 검사 행렬 H의 LDPC 코드는 패리티 검사 행렬 H를 사용해서 용이하게 생성될 수 있다.
- <113> 보다 구체적으로, 행 벡터 c는 LDPC 코드(코드워드)를 나타내고, C^T 는 행 벡터를 전치함으로써 얻어지는 열 벡터를 나타내는 것으로 한다. 또한, 행 벡터 A는 LDPC 코드인 행 벡터 c의 정보 비트 부분을 나타내고, 행 벡터 T는 그 패리티 비트 부분을 나타내는 것으로 한다.
- <114> 이 경우에, 행 벡터 c는, 좌측 성분으로서 행 벡터 A를 가지며 우측 성분으로서 행 벡터 T를 갖는 방정식 " $c=[A | T]$ "로 표현될 수 있고, 여기에서 행 벡터 A는 정보 비트에 대응하고, 행 벡터 T는 패리티 비트에 대응한다.
- <115> 패리티 검사 행렬 H, 및 LDPC 코드에 대응하는 행 벡터 $c=[A | T]$ 는 방정식 " $Hc^T=0$ "을 만족해야 한다. 따라서, 행 벡터 $c=[A | T]$ 에 포함된 패리티 비트에 대응하는 행 벡터 T의 각 소자의 값은, 패리티 검사 행렬 $H=[H_A | H_T]$ 의 패리티 행렬 H_T 가 도 10에 도시된 바와 같이 단계적 구조를 갖는다면, 제1 행의 소자에서 시작하는 순서로, 방정식 " $Hc^T=0$ "의 열 벡터 Hc^T 의 각 행의 소자를 0으로 설정함으로써 순차적으로 얻어질 수 있다.
- <116> 도 12A 및 12B는 DVB-S.2 사양에 정의된 열 가중치 및 LDPC 코드의 패리티 검사 행렬 H를 도시한다.
- <117> 즉, 도 111A는 DVB-S.2 사양에 정의된 LDPC 코드의 패리티 검사 행렬 H를 도시한다.
- <118> 먼저, 패리티 검사 행렬 H의 KX번째 열은 X의 열 가중치를 갖고, 다음의 K3 열은 3의 열 가중치를 갖고, 다음의 M-1 열은 2의 열 가중치를 갖고, 마지막 열은 1의 열 가중치를 갖는다.
- <119> 여기에서, 열 수의 합 " $KX+K3+M-1+1$ "은 코드 길이 N과 같다.
- <120> DVB-S.2 사양에서, 열 수 KX, K3, 및 M(패리티 길이) 및 열 가중치 X는 도 111B에 도시된 바와 같이 정의된다.
- <121> 즉, 도 111B는 DVB-S.2 사양에 정의된 LDPC 코드의 각 코드 레이트에 대한 열 수 KX, K3 및 M과 열 가중치 X를 도시한다.
- <122> 각각 64800 비트 및 16200 비트의 N 코드 길이를 갖는 2개의 LDPC 코드가 DVB-S.2 사양에 정의된다.
- <123> 또한, 도 111B에 도시된 바와 같이, 11개의 공칭 코드 레이트 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9, 및 9/10이 코드 길이 N이 64800 비트인 LDPC 코드에 대해 정의되고, 10개의 공칭 코드 레이트 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 및 8/9가 코드 길이 N이 16200 비트인 LDPC 코드에 대해 정의된다.
- <124> LDPC 코드에 있어서, 패리티 검사 행렬 H의 코드 비트에 대응하는 열의 가중치가 증가함에 따라 코드 비트의 에러 레이트가 감소한다고 공지되어 있다.
- <125> 도 12A 및 12B에 도시된 DVB-S.2 사양에 정의된 패리티 검사 행렬 H의 경우, 열의 서수(ordinal number)가 감소함에 따라(즉, 열이 패리티 검사 행렬 H의 좌측단으로 근접함에 따라) 열의 가중치가 증가하고, 이에 따라, 코드 비트의 서수가 감소함에 따라 패리티 검사 행렬 H에 대응하는 LDPC 코드의 코드 비트가 에러에 대해(저항해서) 더욱 강해지고(즉, 제1 코드 비트가 가장 저항성이 크고), 코드 비트의 서수가 증가함에 따라 에러에 대해 더욱 약해지게 된다(즉, 마지막 코드 비트가 가장 약해진다).
- <126> 도 12A 및 도 12B는 16QAM이 도 8의 직교 변조기(27)에서 수행되는 경우의 IQ면의 16개의 심볼(에 대응하는 신

호 포인트)의 구성을 도시한다.

- <127> 즉, 도 13A는 16QAM의 심볼을 도시한다.
- <128> 16QAM에서, 하나의 심볼은 4 비트를 나타내고, $16(=2^4)$ 개의 심볼이 제공된다. 또한, 16개의 심볼은 I 및 Q 방향으로 4×4 심볼의 거듭제곱(square)으로 배열되고, IQ면의 원점을 중심으로 한다.
- <129> 여기에서, y_0, y_1, y_2, y_3 이 16QAM 중 하나의 심볼로 표현되는 4개의 비트를 나타낼 때, 실질적으로 최상위 비트(MSB)로부터 시작하여, 도 8의 매핑부(26)는 LDPC 코드의 4개의 코드 비트를, 변조 방식이 16QAM인 경우의 4 코드 비트에 대응하는 4개의 비트 y_0 내지 y_3 의 심볼로 매핑한다.
- <130> 도 13B는 16QAM 심볼로 표현되는 4개의 비트 y_0 내지 y_3 의 비트 경계를 도시한다.
- <131> 여기에서, 비트 y_i (도 12A 및 12B에서 $i=0, 1, 2, 3$)의 비트 경계는 비트 y_i 가 "0"인 심볼과 비트 y_i 가 "1"인 심볼 간의 경계이다.
- <132> 도 13B에 도시된 바와 같이, IQ면의 Q 축에 대응하는 경계는 16QAM 심볼로 표현되는 4개의 비트 y_0 내지 y_3 의 제 1 비트(즉, MSB) y_0 에 대한 유일한 비트 경계이고, IQ면의 I 축에 대응하는 경계는 제2 비트(즉, 제2 MSB) y_1 에 대한 유일한 비트 경계이다.
- <133> 또한, 4×4 심볼 중 심볼의 제1 및 제2 열 (좌측으로부터 카운팅) 간의 하나의 경계와, 제3 및 제4 열 간의 다른 하나의 경계, 즉, 2개의 경계들은 제3 비트 y_2 에 대한 비트 경계이다.
- <134> 또한, 4×4 심볼 중 제1 및 제2 행의 심볼들 (상부로부터 카운팅) 간의 하나의 경계와, 제3 및 제4 행 간의 다른 하나의 경계, 즉, 2개의 경계들은 제4 비트 y_3 에 대한 비트 경계이다.
- <135> 심볼로 표현되는 각각의 비트 y_i 는, 비트 경계에서 먼 심볼의 수가 증가할수록 에러에 대해 더 강해지고, 비트 경계에서 가까운 심볼의 수가 증가할수록 에러에 대해 더 약해진다.
- <136> 에러에 대해 저항성이 있는(강력한) 비트는 "강한 비트(strong bit)"로 불리고, 에러에 대해 약한(민감한) 비트는 "약한 비트(weak bit)"로 불리며, 도 12A 및 12B에 도시된 바와 같이, 제1 비트(즉, MSB) y_0 및 제2 비트 y_1 는 강한 비트이고, 제3 비트 y_2 및 제4 비트 y_3 는 약한 비트이다.
- <137> 도 13 내지 도 15는, 64QAM이 도 8의 직교 변조기(27)에서 수행되는 경우의 IQ면의 64개의 심볼(에 대응하는 신호 포인트)의 구성을 도시한다.
- <138> 64QAM에서, 하나의 심볼은 6개의 비트를 나타내고, $64(=2^6)$ 개의 심볼이 제공된다. 또한, 64개의 심볼은 I 및 Q 방향으로 8×8 심볼의 스퀘어로 배열되고, IQ면의 원점을 중심으로 한다.
- <139> 여기에서, $y_0, y_1, y_2, y_3, y_4, y_5$ 가 64QAM 중 하나의 심볼로 표현되는 6개의 비트를 나타낼 때, 실질적으로 최상위 비트(MSB)로부터 시작하여, 도 8의 매핑부(26)는 LDPC 코드의 6개의 코드 비트를, 변조 방식이 64QAM인 경우의 6 코드 비트에 대응하는 6개의 비트 y_0 내지 y_5 의 심볼로 매핑한다.
- <140> 도 13은 64QAM 심볼로 표현되는 6개의 비트 y_0 내지 y_5 중 제1 및 제2 비트 y_0 및 y_1 의 비트 경계를 도시하고, 도 14는 제3 및 제4 비트 y_2 및 y_3 의 비트 경계를 도시하고, 도 15는 제5 및 제6 비트 y_4 및 y_5 의 비트 경계를 도시한다.
- <141> 하나의 비트 경계가 도 14에 도시한 바와 같이 제1 및 제2 비트 y_0 및 y_1 각각에 대해 존재한다. 2개의 비트 경계가 도 14에 도시한 바와 같이 제3 및 제4 비트 y_2 및 y_3 각각에 대해 존재하고, 4개의 비트 경계가 도 15에 도시한 바와 같이 제5 및 제6 비트 y_4 및 y_5 각각에 대해 존재한다.
- <142> 따라서, 64QAM 심볼로 표현되는 6개의 비트 y_0 내지 y_5 중 제1 및 제2 비트 y_0 및 y_1 는 가장 강한 비트이고, 제3 및 제4 비트 y_2 및 y_3 는 두번째로 강한 비트이고, 제5 및 제6 비트 y_4 및 y_5 는 약한 비트이다.

- <143> 도 12, 도 13, 및 도 15로부터, 직교 변조된 심볼의 비트의 경우에, 더 중요한 비트는 강한 비트이고, 덜 중요한 비트는 약한 비트라는 것을 알 수 있다.
- <144> 도 8의 LDPC 인코더(21)로부터의 LDPC 코드 출력은 도 111을 참조해서 상술한 바와 같이 에러에 약한 코드 비트와 에러에 강한 코드 비트를 포함한다.
- <145> 직교 변조기(27)에 의해 직교 변조된 심볼의 비트는 도 12 내지 도 15를 참조해서 상술한 바와 같이 강한 비트와 약한 비트를 포함한다.
- <146> 따라서, LDPC 코드의 에러에 약한 코드 비트가 직교 변조된 심볼의 약한 비트로 매핑되면, 에러에 대한 전체적인 저항성이 낮아진다.
- <147> 따라서, 본 발명은 LDPC 코드의 코드 비트를 인터리빙하여, LDPC 코드의 에러에 약한 코드 비트가 직교 변조된 심볼의 강한 비트로 매핑되게 하는 인터리버를 제안한다.
- <148> 도 8의 디멀티플렉서(25)는 이 인터리버의 동작을 수행한다.
- <149> 도 16A 내지 16D는 도 8의 디멀티플렉서(25)의 동작을 도시한다.
- <150> 구체적으로, 도 16A는 디멀티플렉서(25)의 예시적 기능적 구성을 도시한다.
- <151> 디멀티플렉서(25)는 메모리(31) 및 재정렬부(32)를 포함한다. LDPC 코드는 메모리(31)에 제공된다. 메모리(31)는 행(수평) 방향으로 mb 비트를 저장하고 열(수직) 방향으로 N/mb 비트를 저장하기 위한 저장 용량을 갖는다. 메모리(31)에 제공되는 LDPC 코드의 코드 비트는 메모리(31)에 열 방향으로 기록되고, 메모리(31)로부터 행 방향으로 판독된 다음, 판독된 코드 비트가 재정렬부(32)에 제공된다.
- <152> 여기에서, "m"은 하나의 심볼에 매핑된 LDPC 코드의 코드 비트의 수를 나타내고, "b"는 "m"이 승산되어 "m"의 정수배(integral multiple)를 얻게 하는 특정 양의 정수(즉, 팩터)를 나타낸다. 또한, "N"(= 정보 길이 K + 패리티 길이 M)은 상술한 바와 같이 LDPC 코드의 코드 길이를 나타낸다.
- <153> 도 16A는 변조 방식이 64QAM일 때의 디멀티플렉서(25)의 예시적 구성을 도시한다. 따라서, 하나의 심볼로 매핑되는 LDPC 코드의 코드 비트의 수 "m"은 6이다.
- <154> 도 16A에서, 팩터 "b"는 1이고, 이에 따라 메모리(31)는 열 및 행 방향으로 $N/(6 \times 1) \times (6 \times 1)$ 비트의 저장 용량을 갖는다.
- <155> 아래에서, 행 방향으로 1 비트이고 열 방향으로 확장하는, 메모리(31)의 저장 영역은 적절히 열로서 지칭된다. 도 16A의 예에서, 메모리(31)는 $6(=6 \times 1)$ 열을 포함한다.
- <156> 디멀티플렉서(25)는, 최좌측으로부터 시작하여 우측으로 순차적으로, 각 열의 상부로부터 하부로의 열 방향으로 메모리(31)에 LDPC 코드의 코드 비트를 기록한다.
- <157> 코드 비트가 최우측 열의 바닥부까지 완전히 기록되면, 코드 비트는, 6 비트(즉, mb 비트)의 단위로 메모리(31)의 모든 열의 제1 행으로부터 시작하여 순차적으로, 행 방향으로 메모리(31)로부터 판독되고, 판독된 코드 비트는 재정렬부(32)에 제공된다.
- <158> 재정렬부(32)는 메모리(31)로부터 수신된 6개의 코드 비트의 위치를 재정렬하고, 6개의 재정렬된 비트를, 하나의 64QAM 심볼을 나타내는 6 비트 $y_0, y_1, y_2, y_3, y_4,$ 및 y_5 로서 출력한다.
- <159> 보다 구체적으로, 행 방향으로 메모리(31)로부터 판독된 6개의 코드 비트가 MSB로부터 순차적으로 시작하여 $b_0, b_1, b_2, b_3, b_4,$ 및 b_5 로 표현되면, 도 111을 참조해서 상술한 바와 같은 열 가중치 관계에 따라서, 비트 " b_0 "에 인접하며 이를 포함하는 코드 비트는 에러에 강한 코드 비트이고, 비트 " b_5 "에 인접하며 이를 포함하는 코드 비트는 에러에 약한 코드 비트이다.
- <160> 재정렬부(32)는 메모리(31)로부터 수신된 6개의 코드 비트 b_0 내지 b_5 의 위치를 재정렬하여, 메모리(31)로부터 6개의 코드 비트 b_0 내지 b_5 중 에러에 약한 코드 비트가 하나의 64QAM 심볼을 나타내는 6개의 비트 y_0 내지 y_5 중 강한 비트에 할당되게 한다.
- <161> 다수의 회사들이 메모리(31)로부터 6개의 코드 비트 b_0 내지 b_5 를 재정렬하고 이들을 하나의 64QAM 심볼을 나타

내는 6개의 비트 y_0 내지 y_5 로 각각 할당하는 여러 가지 방법을 제안해 왔다.

- <162> 도 16B는 제1 재정렬 방법을 도시하고, 도 16C는 제2 재정렬 방법을 도시하고, 도 16D는 제3 재정렬 방법을 도시한다.
- <163> 도 16B 내지 16D에서, 비트 b_i 와 y_j 를 연결하는 라인은, 후술될 도 17A 및 17B와 유사하게, 코드 비트 b_i 가 심볼 비트 y_j 에 할당됨(즉, 코드 비트 b_i 의 위치가 심볼 비트 y_j 의 위치로 변함)을 나타낸다.
- <164> 도 16B의 제1 재정렬 방법은 3개의 재정렬 형태 중 하나를 사용하는 것을 제안하고, 도 16C의 제2 재정렬 방법은 2개의 재정렬 형태 중 하나를 사용하는 것을 제안한다.
- <165> 도 16D의 제3 재정렬 방법은 6개의 재정렬 형태의 순차적 선택 및 사용을 제안한다.
- <166> 도 17A 및 도 17B는 디멀티플렉서(25)의 예시적 구성, 및 변조 방법이 64QAM이고(따라서 도 16에서와 같이 하나의 심볼에 매핑된 LDPC 코드의 코드 비트의 수 "m"이 6임) 팩터 "b"가 2인 경우의 제4 재정렬 방법을 도시한다.
- <167> 팩터 "b"가 2일 때, 메모리(31)는 열 및 행 방향으로 $N/(6 \times 2) \times (6 \times 2)$ 비트의 저장 용량을 갖고, $12(=6 \times 2)$ 개의 열을 갖는다.
- <168> 도 17A는, LDPC 코드의 코드 비트가 메모리(31)에 기록되는 순서를 도시한다.
- <169> 디멀티플렉서(25)는, 도 16A를 참조해서 상술한 바와 같이 최좌측 열로부터 시작하여 우측으로 순차적으로, 각 열의 상부로부터 하부로의 열 방향으로 메모리(31)에 LDPC 코드의 코드 비트를 기록한다.
- <170> 코드 비트가 최우측 열의 바닥부까지 완전히 기록되면, 코드 비트는, 12 비트(즉, mb 비트)의 단위로 메모리(31)의 모든 열의 제1 행으로부터 시작하여 순차적으로, 행 방향으로 메모리(31)로부터 판독되고, 판독된 코드 비트는 재정렬부(32)에 제공된다.
- <171> 재정렬부(32)는 메모리(31)로부터 수신된 12개의 코드 비트의 위치를 재정렬하고, 12개의 재정렬된 비트를, 64QAM의 2개의 심볼(즉, b 심볼)을 나타내는 12 비트, 즉, 하나의 64QAM 심볼을 나타내는 6 비트 y_0, y_1, y_2, y_3, y_4 , 및 y_5 와 다른 심볼을 나타내는 6 비트 y_0, y_1, y_2, y_3, y_4 , 및 y_5 로서 출력한다.
- <172> 도 17B는 도 17A의 재정렬부(32)에 의해 수행되는 제4 재정렬 방법을 도시한다.
- <173> AWGN 통신 경로에서의 에러 레이트를 최소화하는 최적의 재정렬 방법은 LDPC 코드 등의 코드 레이트에 좌우된다.
- <174> 이제 도 8의 패리티 인터리버(23)가 어떻게 패리티 인터리빙을 수행하는 지에 대해서 도 18 내지 20을 참조해서 설명될 것이다.
- <175> 도 18은 LDPC 코드의 패리티 검사 행렬의 태너 그래프(의 일부)를 도시한다.
- <176> 소거와 같은 에러가 검사 노드(또는 이에 대응하는 2개 이상의 코드 비트)에 접속된 2개 이상의 변수 노드에서 동시에 발생하면, 검사 노드는, "1"의 확률과 동일한 "0"의 확률을 갖는 메시지를 도 18에 도시한 바와 같은 검사 노드에 접속된 모든 변수 노드로 반환한다. 따라서, 동일한 검사 노드에 접속된 다수의 변수 노드가 소거되면 디코딩 성능은 저하된다.
- <177> 도 8의 LDPC 인코더(21)에 의해 출력되는 DVB-S.2 사양에 정의된 LDPC 코드는 IRA 코드이고, 패리티 검사 행렬 H 의 패리티 행렬 H_T 는 도 11에 도시된 바와 같은 단계적 구조를 갖는다.
- <178> 도 19A 및 19B는 단계적 구조를 갖는 패리티 행렬 H_T 및 패리티 행렬 H_T 에 대응하는 태너 그래프를 도시한다.
- <179> 즉, 도 19A는 단계적 구조를 갖는 패리티 행렬 H_T 를 도시하고, 도 19B는 도 19A의 패리티 행렬 H_T 에 대응하는 태너 그래프를 도시한다.
- <180> 패리티 행렬 H_T 가 단계적 구조를 가지면, 패리티 행렬 H_T 에서 "1"의 값을 갖는 소자를 포함하는 열에 대응하는, LDPC 코드의 인접하는 코드 비트(패리티 비트)를 사용해서 메시지가 얻어지는 변수 노드는 패리티 행렬 H_T 의 태너 그래프의 동일한 검사 노드에 연결된다.
- <181> 따라서, 버스트 에러 또는 소거와 같은 에러가 인접하는 패리티 비트에서 동시에 발생하면, 에러가 있는 패리티

비트에 각각 대응하는 변수 노드(즉, 메시지가 패리티 비트를 사용해서 얻어지는 변수 노드)에 접속된 검사 노드가, "1"의 확률과 동일한 "0"의 확률을 갖는 메시지를 검사 노드에 접속된 모든 변수 노드로 반환하기 때문에, 디코딩 성능은 저하된다. 디코딩 성능은, 또한, 버스트로 인한 에러가 있는 비트의 수인 버스트 길이가 최대일 때, 저하된다.

- <182> 다음으로, 도 8의 패리티 인터리버(23)는 LDPC 인코더(21)로부터의 LDPC 코드에서 패리티 인터리빙을 수행하여, 디코딩 성능의 저하를 막기 위해서 LDPC 코드의 패리티 비트를 상이한 패리티 비트 위치들로 인터리빙한다.
- <183> 도 20은 도 8의 패리티 인터리버(23)가 LDPC 코드에 대한 패리티 인터리빙을 수행한 후에 LDPC 코드에 대응하는 패리티 검사 행렬 H 의 패리티 행렬 H_T 를 도시한다.
- <184> 여기에서, LDPC 인코더(21)로부터 출력된 DVB-S.2 사양에 정의된 LDPC 코드에 대응하는 패리티 검사 행렬 H 의 정보 행렬 H_A 는 순환적 구조를 갖는다.
- <185> 용어 "순환적 구조"는, 열이 순환적으로 시프트될 때, 다른 열에 매칭되는 구조를 지칭한다. 순환적 구조의 예는, 매 P 열의 각 행의 소자 "1"의 위치가, 패리티 길이 " M "을 나누어서 얻어지는 값 " q "에 비례하는 값에 의해 열 방향으로 순환적으로 시프트되는 P 열의 제1 위치에 대응하는 구조를 포함한다. 다음으로, 순환적 구조의 열의 수 " P "는 적절히 순환적 구조를 갖는 열의 단위 수로서 지칭된다.
- <186> LDPC 인코더(21)로부터 출력된 DVB-S.2 사양에 정의된 LDPC 코드의 예는, 도 12를 참조해서 상술한 바와 같이 64800 비트 및 16200 비트의 각 코드 길이 N 을 갖는 LDPC 코드의 2개의 형태를 포함한다.
- <187> 이제, 64800 비트 및 16200 비트의 각 코드 길이 N 을 갖는 LDPC 코드의 2개의 형태 중 64800 비트의 코드 길이 N 을 갖는 LDPC 코드의 형태에 초점을 맞추어 설명될 것이다. 11개의 공칭 코드 레이트가, 도 12를 참조해서 상술한 바와 같이 그 코드 길이 N 이 64800인 LDPC 코드에 대해 정의된다.
- <188> 11개의 공칭 코드 레이트 각각의 64800 비트의 코드 길이 N 을 갖는 임의의 LDPC 코드에 대해서, 순환적 구조를 갖는 열의 단위수 P 는 DVB-S.2 사양의, 패리티 길이 M 의 제수들(1 및 M 제외) 중 하나인 "360"으로 정의된다.
- <189> 11개의 공칭 코드 레이트 각각의 64800 비트의 코드 길이 N 을 갖는 LDPC 코드에 대해서, 패리티 길이 M 은 코드 레이트에 따라 변하는 값 " q "를 사용해서 $M=q \times P=q \times 360$ 에 따라 비-소수 값(non-prime value)으로 계산된다. 따라서, 순환적 구조를 갖는 열의 단위수 P 와 유사하게, 값 " q "는 패리티 길이 M 의 또 다른 제수(1 및 M 제외)이고, 순환적 구조를 갖는 열의 단위수 P 에 의해 패리티 길이 M 을 나눔으로써 계산된다(즉, 패리티 길이 M 은 패리티 길이 M 의 제수 " P " 및 " q "의 곱이다).
- <190> K 가 정보 길이일 때, x 는 0 이상이고 P 미만의 정수이고, y 는 0 이상이고 q 미만의 정수이고, 패리티 인터리버(23)는 LDPC 인코더(21)로부터 수신된 LDPC 코드에 대해 패리티 인터리빙을 수행하여, LDPC 코드의 $K+1$ 번째 내지 $K+M(=N)$ 번째 코드 비트인 패리티 비트들 중 $K + qx + y + 1$ 번째 코드 비트를 $K + Py + x + 1$ 번째 코드 비트 위치로 인터리빙한다.
- <191> 이러한 패리티 인터리빙 방법에 따라서, 동일한 검사 노드에 접속된 변수 노드(에 대응하는 패리티 비트)는 순환적 구조를 갖는 열의 단위수 P (이 예에서는 360 비트)에 대응하는 거리에 있고, 이에 따라, 동일한 검사 노드에 접속된 복수의 변수 노드에서 에러가 동시에 발생하는 것이 방지된다. 이는 버스트 에러에 대한 저항성을 향상시킬 수 있다.
- <192> 패리티 인터리빙 동작이 수행되어 $K + qx + y + 1$ 번째 코드 비트가 $K + Py + x + 1$ 번째 코드 비트 위치로 인터리빙되게 되는 LDPC 코드는, 원래의 패리티 검사 행렬 H 에 열 치환을 수행하여, 원래의 패리티 검사 행렬 H 의 $K + Py + x + 1$ 번째 열을 $K + qx + y + 1$ 번째 열로 대체(구체적으로, 교환)함으로써 얻어지는 패리티 검사 행렬(이후에, 변환된 패리티 검사 행렬로서 지칭됨)의 LDPC 코드와 동일하다.
- <193> 변환된 패리티 검사 행렬의 패리티 행렬은, 도 20에 도시된 바와 같이 열의 단위 수가 " P "(도 20에서는 "360")인 의사 순환적 구조를 갖는다.
- <194> 여기에서, 용어 "의사 순환적 구조(pseudo-cyclic structure)"는, 패리티 행렬의 특정 부분을 제외한 패리티 행렬의 일 부분이 순환적 구조를 갖는 구조를 지칭한다. DVB-S.2 사양에 정의된 LDPC 코드의 패리티 검사 행렬에 대해 패리티 인터리빙에 대응하는 열 치환을 수행함으로써 얻어지는 변환된 패리티 검사 행렬은 소자 "1"이 단 하나인 짧은 순환적 구조의 (후술하는 시프트된 행렬에 대응하는) 360×360 우측 코너부를 갖는다(즉, 360×360 우측 코너부는 순환적 구조에서 요구되는 "1"이 아닌 "0"의 소자를 갖는다). 변환된 패리티 검사 행렬이 (완

전한) 순환적 구조를 갖지 않기 때문에, "의사 순환적 구조"를 갖는 것으로 지칭된다.

- <195> 실제로, 도 20의 변환된 패리티 검사 행렬은, 패리티 인터리빙에 대응하는 열 치환에 더하여, 원래의 패리티 검사 행렬 H에 행 치환을 수행하여 얻어져서, 변환된 패리티 검사 행렬이 후술되는 성분 행렬을 포함하도록 한다.
- <196> 이제, 도 8의 열 트위스트 인터리버(24)가 어떻게 치환 처리로서 열 트위스트 인터리빙을 수행하는지에 대해서 도 21 내지 도 24를 참조해서 설명할 것이다.
- <197> 도 8의 송신기(11)는, 주파수의 사용 효율을 향상시키기 위해서 상술한 바와 같이 LDPC 코드의 2개 이상의 코드 비트를 하나의 심볼로서 송신한다. 예를 들어, 2개의 코드 비트가 하나의 심볼로서 송신될 때 QPSK가 변조 방법으로서 사용되고, 4개의 코드 비트가 하나의 심볼로서 송신될 때 16QAM이 변조 방법으로서 사용된다.
- <198> 2개 이상의 코드 비트가 상술한 바와 같이 심볼로서 송신되는 경우에 일 심볼에서 소거 에러와 같은 에러가 발생하면, 심볼의 모든 코드 비트가 에러가 있게 된다(즉, 소거된다).
- <199> 따라서, 디코딩 성능의 향상을 위해, 동일한 검사 노드에 접속된 변수 노드(에 대응하는 코드 비트)가 동시에 소거되는 확율을 낮추기 위해서, 하나의 심볼의 코드 비트에 대응하는 변수 노드가 동일한 검사 노드에 접속되는 것을 방지할 필요가 있다.
- <200> 한편, LDPC 인코더(21)로부터 출력된 DVB-S.2 사양에 정의된 LDPC 코드의 패리티 검사 행렬 H의 경우에, 패리티 검사 행렬 H의 정보 행렬 H_A 는 순환적 구조를 갖고, 패리티 행렬 H_P 는 상술한 바와 같이 단계적 구조를 갖는다. 패리티 인터리빙되는 LDPC 코드의 패리티 검사 행렬인 변환된 패리티 검사 행렬의 경우에, 패리티 행렬은 또한 도 20을 참조해서 상술한 바와 같이 순환적 구조(구체적으로, 의사 순환적 구조)를 갖는다.
- <201> 도 21A 및 도 21B는 변환된 패리티 검사 행렬을 도시한다.
- <202> 구체적으로, 도 21A는 64800 비트의 코드 길이 N 및 3/4의 코드 레이트(r)를 갖는 LDPC 코드의 패리티 검사 행렬 H의 변환된 패리티 검사 행렬을 도시한다.
- <203> 도 21A에서, 변환된 패리티 검사 행렬에서 "1"의 값을 갖는 각 소자의 위치는 점 "."으로 도시된다.
- <204> 도 21B는 도 8의 디멀티플렉서(25)가 도 21A의 변환된 패리티 검사 행렬의 LDPC 코드, 즉, 패리티 인터리빙되는 LDPC 코드에서 수행하는 동작을 도시한다.
- <205> 도 21B에서, 변조 방법으로서 16QAM을 사용하여, 패리티 인터리빙된 LDPC 코드의 코드 비트는, 디멀티플렉서(25)의 메모리(31)를 구성하는 4개의 열에 열 방향으로 기록된다.
- <206> 메모리(31)의 4개의 열에 열 방향으로 기록된 코드 비트는 하나의 심볼로서 4 비트의 단위로 행 방향으로 관독된다.
- <207> 이 경우에, 하나의 심볼의 4개의 코드 비트 B_0, B_1, B_2, B_3 은 도 21A의 변환된 패리티 검사 행렬에서 임의의 행의 "1"에 대응하는 복수의 코드 비트를 포함할 수 있다. 이 경우, 4개의 코드 비트 B_0, B_1, B_2, B_3 에 대응하는 변수 노드는 동일한 검사 노드에 접속된다.
- <208> 따라서, 심볼의 4개의 코드 비트 B_0, B_1, B_2, B_3 이 변환된 패리티 검사 행렬에서 임의의 행의 "1"에 대응하는 코드 비트를 포함하는 경우에 심볼에서 소거가 발생하면, 코드 비트 B_0, B_1, B_2, B_3 에 각각 대응하는 변수 노드에 접속된 동일한 검사 노드에 대해 적절한 메시지를 얻는 것이 어렵고, 이에 따라 디코딩 성능이 저하된다.
- <209> 3/4 이외의 코드 레이트가 이용되면, 동일한 검사 노드에 접속된 복수의 변수 노드에 대응하는 복수의 코드 비트가 하나의 16QAM 심볼을 구성할 수 있다.
- <210> 따라서, 열 트위스트 인터리버(24)는 패리티 인터리버(23)로부터의 패리티 인터리빙된 LDPC 코드에 열 트위스트 인터리빙을 수행하여, 패리티 인터리빙된 LDPC 코드의 코드 비트를 인터리빙함으로써, 변환된 패리티 검사 행렬에서 임의의 행의 "1"에 대응하는 복수의 코드 비트가 하나의 심볼로 매핑되지 않게 된다.
- <211> 도 22는 열 트위스트 인터리빙이 어떻게 수행되는 지를 도시한다.
- <212> 구체적으로, 도 22는 도 16 및 도 17에 도시된 디멀티플렉서(25)의 메모리(31)를 도시한다.
- <213> 메모리(31)는 행(수평) 방향으로 mb 비트를 저장하고 열(수직) 방향으로 N/mb 비트를 저장하기 위한 저장 용량

을 갖고, 도 16을 참조해서 상술한 바와 같이 mb 열을 포함한다. 열 트위스트 인터리버(24)는, LDPC 코드의 코드 비트가 열 방향으로 메모리(31)에 기록되고 행 방향으로 메모리(31)로부터 판독될 때, 열에서 기록이 개시되는 메모리(31)의 각 열에서의 기록 개시 위치를 제어함으로써 열 트위스트 인터리빙을 수행한다.

- <214> 보다 구체적으로, 열 트위스트 인터리버(24)는, 코드 비트가 복수의 열 각각에 기록되기 시작하는 기록 개시 위치를 적절히 변경하여, 하나의 심볼을 구성하도록 행 방향으로 판독된 복수의 코드 비트가, 변환된 패리티 검사 행렬에서 임의의 행의 "1"에 대응하는 복수의 코드 비트를 포함하지 않게 된다. 즉, 열 트위스트 인터리버(24)는 LDPC 코드의 코드 비트를 치환하여, 패리티 검사 행렬에서 임의의 행의 "1"에 대응하는 복수의 코드 비트가 동일한 심볼로 결합되지 않게 한다.
- <215> 도 22는, 16QAM이 변조 방법으로서 사용되고 도 16을 참조해서 설명된 팩터 "b"가 "1"인 경우의 메모리(31)의 예시적 구성을 도시한다. 따라서, 하나의 심볼로 매핑되는 LDPC 코드의 코드 비트의 수 "m"은 4이고, 메모리(31)는 4(=mb)개의 열을 포함한다.
- <216> (도 16의 디멀티플렉서(25) 대신에) 도 22의 열 트위스트 인터리버(24)는, 최좌측 열로부터 시작하여 우측으로 순차적으로, 메모리(31)의 4개의 열 각각의 상부로부터 하부로의 열 방향으로 메모리(31)에 LDPC 코드의 코드 비트를 기록한다.
- <217> 코드 비트가 최우측 열까지 완전히 기록되면, 열 트위스트 인터리버(24)는, 메모리(31)의 모든 열의 제1 행으로부터 시작하여, 행 방향으로 4개의 비트(mb 비트)의 단위로 코드 비트를 판독하고, 판독된 코드 비트를 열 트위스트 인터리빙된 LDPC 코드로서, 도 16 및 17에 도시된 디멀티플렉서(25)의 재정렬부(32)에 출력한다.
- <218> 각 열의 제1(상부) 위치의 어드레스가 "0"으로 표현되고, 열 방향에 따른 각 위치의 어드레스가 순차적으로 증가하는 정수로 표현되면, 도 22의 열 트위스트 인터리버(24)는, 최좌측 열의 기록 개시 위치의 어드레스가 "0"이고, 2번째 열의 기록 개시 위치의 어드레스가 "2"이고, 3번째 열의 기록 개시 위치의 어드레스가 "4"이고, 4번째 열의 기록 개시 위치의 어드레스가 "7"이라고 결정한다.
- <219> 코드 비트가, 열의 하부 위치까지 "0" 이외의 어드레스에서 기록 개시 위치를 갖는 열에 기록된 후에, 열 트위스트 인터리버(24)는 어드레스 "0"에서의 열의 제1 위치로 돌아가서, 기록 개시 위치 직전의 위치까지 열에 코드 비트를 계속 기록한다. 그 다음 열 트위스트 인터리버(24)는 다음 우측 열에 기록을 수행한다.
- <220> 상술한 바와 같이 열 트위스트 인터리빙을 수행하는 것은, 동일한 검사 노드에 접속된 복수의 변수 노드에 대응하는 복수의 코드 비트가, DVB-S.2 사양에 정의된 바와 같은 64800의 코드 길이 N을 갖는 매 코드 레이트의 LDPC 코드에 대해 16QAM의 하나의 심볼에 할당되는 것(즉, 동일한 심볼로 결합되는 것)을 방지할 수 있다. 이는 소거가 발생하는 통신 경로에서의 디코딩 성능을 향상시킬 수 있다.
- <221> 도 23은 열 트위스트 인터리빙에 요구되는 메모리(31)의 열의 수, 및 DVB-S.2 사양에 정의된 바와 같은 64800의 코드 길이 N을 갖는 11개의 코드 레이트 각각의 LDPC 코드에 대한 각각의 변조 방법과 관련된 기록 개시 위치의 어드레스를 도시한다.
- <222> 도 16의 제1 내지 제3 재정렬 방법 중 하나가 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, QPSK가 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 2이고, 팩터 "b"는 1이다.
- <223> 이 경우에, 메모리(31)는 행 방향으로 $2 \times 1 (=mb)$ 비트를 저장하기 위한 2개의 열을 갖고, 도 23에 도시된 바와 같이 열 방향으로 $64800 / (2 \times 1)$ 비트를 저장한다. 메모리(31)의 2개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "2"에 있다.
- <224> 또한, 도 17의 제4 재정렬 방법이 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, QPSK가 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 2이고, 팩터 "b"는 2이다.
- <225> 이 경우에, 메모리(31)는 행 방향으로 2×2 비트를 저장하기 위한 4개의 열을 갖고, 도 23에 도시된 바와 같이 열 방향으로 $64800 / (2 \times 2)$ 비트를 저장한다. 메모리(31)의 4개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "7"에 있다.
- <226> 또한, 도 16의 제1 내지 제3 재정렬 방법 중 하나가 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 16QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 4이고, 팩터 "b"는 1이다.
- <227> 이 경우에, 메모리(31)는 행 방향으로 4×1 비트를 저장하기 위한 4개의 열을 갖고, 도 23에 도시된 바와 같이

열 방향으로 64800/(4×1) 비트를 저장한다. 메모리(31)의 4개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "7"에 있다.

- <228> 또한, 도 17의 제4 재정렬 방법이 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 16QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 4이고, 팩터 "b"는 2이다.
- <229> 이 경우에, 메모리(31)는 행 방향으로 4×2 비트를 저장하기 위한 8개의 열을 갖고, 도 23에 도시된 바와 같이 열 방향으로 64800/(4×2) 비트를 저장한다. 메모리(31)의 8개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "7"에 있다.
- <230> 또한, 도 16의 제1 내지 제3 재정렬 방법 중 하나가 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 64QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 6이고, 팩터 "b"는 1이다.
- <231> 이 경우에, 메모리(31)는 행 방향으로 6×1 비트를 저장하기 위한 6개의 열을 갖고, 도 23에 도시된 바와 같이 열 방향으로 64800/(6×1) 비트를 저장한다. 메모리(31)의 6개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "9"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "10"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "13"에 있다.
- <232> 또한, 도 17의 제4 재정렬 방법이 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 64QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 6이고, 팩터 "b"는 2이다.
- <233> 이 경우에, 메모리(31)는 행 방향으로 6×2 비트를 저장하기 위한 12개의 열을 갖고, 도 23에 도시된 바와 같이 열 방향으로 64800/(6×2) 비트를 저장한다. 메모리(31)의 12개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 9번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 10번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 11번째 열의 기록 개시 위치는 어드레스 "8"에 있고, 12번째 열의 기록 개시 위치는 어드레스 "9"에 있다.
- <234> 또한, 도 16의 제1 내지 제3 재정렬 방법 중 하나가 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 256QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 8이고, 팩터 "b"는 1이다.
- <235> 이 경우에, 메모리(31)는 행 방향으로 8×1 비트를 저장하기 위한 8개의 열을 갖고, 도 23에 도시된 바와 같이 열 방향으로 64800/(8×1) 비트를 저장한다. 메모리(31)의 8개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "7"에 있다.
- <236> 또한, 도 17의 제4 재정렬 방법이 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 256QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 8이고, 팩터 "b"는 2이다.
- <237> 이 경우에, 메모리(31)는 행 방향으로 8×2 비트를 저장하기 위한 16개의 열을 갖고, 도 23에 도시된 바와 같이 열 방향으로 64800/(8×2) 비트를 저장한다. 메모리(31)의 16개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "15"에 있고, 9번째 열의 기록 개시 위치는 어드레스 "16"에 있고, 10번째 열의 기록 개시 위치는 어드레스 "20"에 있고, 11번째 열의 기록 개시 위치는 어드레스 "22"에 있고, 12번째 열의 기록 개시 위치는 어드레스 "22"에 있고, 13번째 열의 기록 개시 위치는 어드레스 "27"에 있고, 14번째 열의 기록 개시 위치는 어드레스 "27"에 있고, 15번째 열의 기록 개시 위치는 어드레스 "28"에 있고, 16번째 열의 기록 개시 위치는 어드레스 "28"에 있다.

기록 개시 위치는 어드레스 "32"에 있다.

- <238> 또한, 도 16의 제1 내지 제3 재정렬 방법 중 하나가 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 1024QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 10이고, 팩터 "b"는 1이다.
- <239> 이 경우에, 메모리(31)는 행 방향으로 10×1 비트를 저장하기 위한 10개의 열을 갖고, 도 23에 도시된 바와 같이 열 방향으로 $64800 / (10 \times 1)$ 비트를 저장한다. 메모리(31)의 10개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "6"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "8"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "11"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "13"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "15"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "17"에 있고, 9번째 열의 기록 개시 위치는 어드레스 "18"에 있고, 10번째 열의 기록 개시 위치는 어드레스 "20"에 있다.
- <240> 또한, 도 17의 제4 재정렬 방법이 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 1024QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 10이고, 팩터 "b"는 2이다.
- <241> 이 경우에, 메모리(31)는 행 방향으로 10×2 비트를 저장하기 위한 20개의 열을 갖고, 도 23에 도시된 바와 같이 열 방향으로 $64800 / (10 \times 2)$ 비트를 저장한다. 메모리(31)의 20개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "1"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "6"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "6"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "9"에 있고, 9번째 열의 기록 개시 위치는 어드레스 "13"에 있고, 10번째 열의 기록 개시 위치는 어드레스 "14"에 있고, 11번째 열의 기록 개시 위치는 어드레스 "14"에 있고, 12번째 열의 기록 개시 위치는 어드레스 "16"에 있고, 13번째 열의 기록 개시 위치는 어드레스 "21"에 있고, 14번째 열의 기록 개시 위치는 어드레스 "21"에 있고, 15번째 열의 기록 개시 위치는 어드레스 "23"에 있고, 16번째 열의 기록 개시 위치는 어드레스 "25"에 있고, 17번째 열의 기록 개시 위치는 어드레스 "25"에 있고, 18번째 열의 기록 개시 위치는 어드레스 "26"에 있고, 19번째 열의 기록 개시 위치는 어드레스 "28"에 있고, 20번째 열의 기록 개시 위치는 어드레스 "30"에 있다.
- <242> 또한, 도 16의 제1 내지 제3 재정렬 방법 중 하나가 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 4096QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 12이고, 팩터 "b"는 1이다.
- <243> 이 경우에, 메모리(31)는 행 방향으로 12×1 비트를 저장하기 위한 12개의 열을 갖고, 도 23에 도시된 바와 같이 열 방향으로 $64800 / (12 \times 1)$ 비트를 저장한다. 메모리(31)의 12개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 9번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 10번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 11번째 열의 기록 개시 위치는 어드레스 "8"에 있고, 12번째 열의 기록 개시 위치는 어드레스 "9"에 있다.
- <244> 또한, 도 17의 제4 재정렬 방법이 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 4096QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 12이고, 팩터 "b"는 2이다.
- <245> 이 경우에, 메모리(31)는 행 방향으로 12×2 비트를 저장하기 위한 24개의 열을 갖고, 도 23에 도시된 바와 같이 열 방향으로 $64800 / (12 \times 2)$ 비트를 저장한다. 메모리(31)의 24개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "8"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "8"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "8"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "8"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "10"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "10"에 있고, 9번째 열의 기록 개시 위치는 어드레스 "10"에 있고, 10번째 열의 기록 개시 위치는 어드레스 "12"에 있고, 11번째 열의 기록 개시 위치는 어드레스 "13"에 있고, 12번째 열의 기록 개시 위치는 어드레스 "16"에 있고, 13번째 열의 기록 개시 위치는 어드레스 "17"에 있고, 14번째 열의 기록 개시 위치는 어드레스 "19"에 있고, 15번째 열의 기록 개시 위치는 어드레스 "21"에 있고, 16번째 열의 기록 개시 위치는 어드레스 "22"에 있고, 17번째 열의 기록 개시 위치는 어드레스 "23"에 있고, 18번째 열의 기록 개시 위치는 어드레스 "26"에 있고, 19번째 열의 기록 개시 위치는 어드레스 "37"에 있고, 20번째 열의 기록

개시 위치는 어드레스 "39"에 있고, 21번째 열의 기록 개시 위치는 어드레스 "40"에 있고, 22번째 열의 기록 개시 위치는 어드레스 "41"에 있고, 23번째 열의 기록 개시 위치는 어드레스 "41"에 있고, 24번째 열의 기록 개시 위치는 어드레스 "41"에 있다.

- <246> 도 24는, 열 트위스트 인터리빙에 요구되는 메모리(31)의 열의 수, 및 DVB-S.2 사양에 정의된 바와 같은 16200의 코드 길이 N을 갖는 10개의 코드 레이트 각각의 LDPC 코드에 대한 각 변조 방법과 관련된 기록 개시 위치의 어드레스를 도시한다.
- <247> 도 16의 제1 내지 제3 재정렬 방법 중 하나가 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, QPSK가 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 2이고, 팩터 "b"는 1이다.
- <248> 이 경우에, 메모리(31)는 행 방향으로 2×1 비트를 저장하기 위한 2개의 열을 갖고, 도 24에 도시된 바와 같이 열 방향으로 $16200 / (2 \times 1)$ 비트를 저장한다. 메모리(31)의 2개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "0"에 있다.
- <249> 또한, 도 17의 제4 재정렬 방법이 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, QPSK가 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 2이고, 팩터 "b"는 2이다.
- <250> 이 경우에, 메모리(31)는 행 방향으로 2×2 비트를 저장하기 위한 4개의 열을 갖고, 도 24에 도시된 바와 같이 열 방향으로 $16200 / (2 \times 2)$ 비트를 저장한다. 메모리(31)의 4개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "3"에 있다.
- <251> 또한, 도 16의 제1 내지 제3 재정렬 방법 중 하나가 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 16QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 4이고, 팩터 "b"는 1이다.
- <252> 이 경우에, 메모리(31)는 행 방향으로 4×1 비트를 저장하기 위한 4개의 열을 갖고, 도 24에 도시된 바와 같이 열 방향으로 $16200 / (4 \times 1)$ 비트를 저장한다. 메모리(31)의 4개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "3"에 있다.
- <253> 또한, 도 17의 제4 재정렬 방법이 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 16QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 4이고, 팩터 "b"는 2이다.
- <254> 이 경우에, 메모리(31)는 행 방향으로 4×2 비트를 저장하기 위한 8개의 열을 갖고, 도 24에 도시된 바와 같이 열 방향으로 $16200 / (4 \times 2)$ 비트를 저장한다. 메모리(31)의 8개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "1"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "20"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "20"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "21"에 있다.
- <255> 또한, 도 16의 제1 내지 제3 재정렬 방법 중 하나가 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 64QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 6이고, 팩터 "b"는 1이다.
- <256> 이 경우에, 메모리(31)는 행 방향으로 6×1 비트를 저장하기 위한 6개의 열을 갖고, 도 24에 도시된 바와 같이 열 방향으로 $16200 / (6 \times 1)$ 비트를 저장한다. 메모리(31)의 6개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "7"에 있다.
- <257> 또한, 도 17의 제4 재정렬 방법이 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 64QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 6이고, 팩터 "b"는 2이다.
- <258> 이 경우에, 메모리(31)는 행 방향으로 6×2 비트를 저장하기 위한 12개의 열을 갖고, 도 24에 도시된 바와 같이 열 방향으로 $16200 / (6 \times 2)$ 비트를 저장한다. 메모리(31)의 12개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "3"에 있고,

8번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 9번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 10번째 열의 기록 개시 위치는 어드레스 "6"에 있고, 11번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 12번째 열의 기록 개시 위치는 어드레스 "7"에 있다.

- <259> 또한, 도 16의 제1 내지 제3 재정렬 방법 중 하나가 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 256QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 8이고, 팩터 "b"는 1이다.
- <260> 이 경우에, 메모리(31)는 행 방향으로 8×1 비트를 저장하기 위한 8개의 열을 갖고, 도 24에 도시된 바와 같이 열 방향으로 $16200 / (8 \times 1)$ 비트를 저장한다. 메모리(31)의 8개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "1"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "20"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "20"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "21"에 있다.
- <261> 또한, 도 16의 제1 내지 제3 재정렬 방법 중 하나가 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 1024QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 10이고, 팩터 "b"는 1이다.
- <262> 이 경우에, 메모리(31)는 행 방향으로 10×1 비트를 저장하기 위한 10개의 열을 갖고, 도 24에 도시된 바와 같이 열 방향으로 $16200 / (10 \times 1)$ 비트를 저장한다. 메모리(31)의 10개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "1"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "4"에 있고, 9번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 10번째 열의 기록 개시 위치는 어드레스 "7"에 있다.
- <263> 또한, 도 17의 제4 재정렬 방법이 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 1024QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 10이고, 팩터 "b"는 2이다.
- <264> 이 경우에, 메모리(31)는 행 방향으로 10×2 비트를 저장하기 위한 20개의 열을 갖고, 도 24에 도시된 바와 같이 열 방향으로 $16200 / (10 \times 2)$ 비트를 저장한다. 메모리(31)의 20개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 9번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 10번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 11번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 12번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 13번째 열의 기록 개시 위치는 어드레스 "5"에 있고, 14번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 15번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 16번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 17번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 18번째 열의 기록 개시 위치는 어드레스 "8"에 있고, 19번째 열의 기록 개시 위치는 어드레스 "8"에 있고, 20번째 열의 기록 개시 위치는 어드레스 "10"에 있다.
- <265> 또한, 도 16의 제1 내지 제3 재정렬 방법 중 하나가 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 4096QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 12이고, 팩터 "b"는 1이다.
- <266> 이 경우에, 메모리(31)는 행 방향으로 12×1 비트를 저장하기 위한 12개의 열을 갖고, 도 24에 도시된 바와 같이 열 방향으로 $16200 / (12 \times 1)$ 비트를 저장한다. 메모리(31)의 12개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 9번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 10번째 열의 기록 개시 위치는 어드레스 "6"에 있고, 11번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 12번째 열의 기록 개시 위치는 어드레스 "7"에 있다.
- <267> 또한, 도 17의 제4 재정렬 방법이 도 8에 도시된 디멀티플렉서(25)의 재정렬 처리에서 이용되고, 4096QAM이 변조 방법으로서 이용되는 경우, 하나의 심볼의 비트의 수 "m"은 12이고, 팩터 "b"는 2이다.
- <268> 이 경우에, 메모리(31)는 행 방향으로 12×2 비트를 저장하기 위한 24개의 열을 갖고, 도 24에 도시된 바와 같이

이 열 방향으로 16200/(12×2) 비트를 저장한다. 메모리(31)의 24개의 열 중 첫번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 2번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 3번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 4번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 5번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 6번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 7번째 열의 기록 개시 위치는 어드레스 "0"에 있고, 8번째 열의 기록 개시 위치는 어드레스 "1"에 있고, 9번째 열의 기록 개시 위치는 어드레스 "1"에 있고, 10번째 열의 기록 개시 위치는 어드레스 "1"에 있고, 11번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 12번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 13번째 열의 기록 개시 위치는 어드레스 "2"에 있고, 14번째 열의 기록 개시 위치는 어드레스 "3"에 있고, 15번째 열의 기록 개시 위치는 어드레스 "7"에 있고, 16번째 열의 기록 개시 위치는 어드레스 "9"에 있고, 17번째 열의 기록 개시 위치는 어드레스 "9"에 있고, 18번째 열의 기록 개시 위치는 어드레스 "9"에 있고, 19번째 열의 기록 개시 위치는 어드레스 "10"에 있고, 20번째 열의 기록 개시 위치는 어드레스 "10"에 있고, 21번째 열의 기록 개시 위치는 어드레스 "10"에 있고, 22번째 열의 기록 개시 위치는 어드레스 "10"에 있고, 23번째 열의 기록 개시 위치는 어드레스 "10"에 있고, 24번째 열의 기록 개시 위치는 어드레스 "11"에 있다.

- <269> 이제, 도 8의 송신기(11)에 의해 수행되는 송신 절차가 도 25의 플로차트를 참조해서 설명될 것이다.
- <270> LDPC 인코더(21)는 단계 S101에서, 타겟 데이터가 수신될 때까지 대기하고 수신된 타겟 데이터를 LDPC 코드로 인코딩하여 LDPC 코드를 비트 인터리버(22)로 보낸 다음, 절차는 단계 S102로 진행한다.
- <271> 단계 S102에서, 비트 인터리버(22)는 LDPC 인코더(21)로부터의 LDPC 코드에 대해 비트 인터리빙을 수행하고, 비트 인터리빙된 LDPC 코드를 매핑부(26)로 보낸 다음, 절차는 단계 S103으로 진행한다.
- <272> 보다 구체적으로, 단계 S102에서, 비트 인터리버(22)내의 패리티 인터리버(23)는 LDPC 인코더(21)로부터의 LDPC 코드에 대해 패리티 인터리빙을 수행하고, 패리티 인터리빙된 LDPC 코드를 열 트위스트 인터리버(24)로 보낸다.
- <273> 열 트위스트 인터리버(24)는 패리티 인터리버(23)로부터의 LDPC 코드에 대해 열 트위스트 인터리빙을 수행하고, 디멀티플렉서(25)는 열 트위스트 인터리버(24)에 의해 열 트위스트 인터리빙된 LDPC 코드에 대해 재정렬 처리를 수행한다. 그 다음, 디멀티플렉서(25)는 매핑부(26)로 재정렬된 LDPC 코드를 보낸다.
- <274> 단계 S103에서, 매핑부(26)는 디멀티플렉서(25)로부터의 LDPC 코드의 m 코드 비트를, 직교 변조기(27)가 직교 변조를 수행하는데 사용하는 변조 방식에 따라서 결정된 신호 포인트로 표현되는 심볼로 매핑하고, 매핑된 심볼을 직교 변조기(27)로 보낸 다음, 절차는 단계 S104로 진행한다.
- <275> 단계 S104에서, 직교 변조기(27)가 매핑부(26)로부터의 심볼에 반송파의 직교 변조를 수행한 다음, 절차는 단계 S105로 진행하여, 직교 변조된 신호를 송신한 다음, 절차는 종료된다.
- <276> 도 25의 송신 절차는 반복된다.
- <277> 상술한 바와 같은 패리티 인터리빙 또는 열 트위스트 인터리빙을 수행하는 것은, LDPC 코드의 복수의 코드 비트가 하나의 심볼로서 송신될 때 버스트 에러 또는 소거에 대한 저항성을 증가시킬 수 있다.
- <278> 패리티 인터리빙을 수행하는 블록인 패리티 인터리버(23), 열 트위스트 인터리빙을 수행하는 블록인 열 트위스트 인터리버(24)는, 패리티 인터리버(23) 및 열 트위스트 인터리버(24)가 설명의 용이성을 위해서 도 8에서 개별적으로 구성된 것으로 도시되었지만, 일체로 구성될 수도 있다.
- <279> 보다 구체적으로, 패리티 인터리버 및 열 트위스트 인터리버는 둘 다, 메모리에 코드 비트를 기록하고 메모리로부터 코드 비트를 판독할 수 있으며, 코드 비트가 기록되는 어드레스(기록 어드레스)를 코드 비트가 판독되는 어드레스(판독 어드레스)로 변환하는 행렬로 표현될 수 있다.
- <280> 따라서, 패리티 인터리빙을 나타내는 행렬 및 열 트위스트 인터리빙을 나타내는 행렬을 승산함으로써 얻어지는 행렬을 사용해서 코드 비트를 변환함으로써, 패리티 인터리빙되고, 그 후 열 트위스트 인터리빙된 LDPC 코드를 얻을 수 있다.
- <281> 디멀티플렉서(25)도 패리티 인터리버(23) 및 열 트위스트 인터리버(24)와 일체로 구성될 수 있다.
- <282> 보다 구체적으로, 디멀티플렉서(25)에 의해 수행되는 재정렬 처리는, LDPC 코드를 저장하는 메모리(31)의 기록 어드레스를 판독 어드레스로 변환하는 행렬로 표현될 수 있다.
- <283> 따라서, 패리티 인터리빙을 나타내는 행렬, 열 트위스트 인터리빙을 나타내는 행렬, 재정렬 처리를 나타내는 행

렬을 승산함으로써 얻어지는 행렬을 사용해서, 페리티 인터리빙, 열 트위스트 인터리빙, 및 재정렬 처리를 통합적으로 수행할 수 있다.

- <284> 페리티 인터리빙 또는 열 트위스트 인터리빙 중 하나를 단독으로 수행할 수도 있다.
- <285> 이제, 도 8의 송신기(11)로 수행된 비트 에러 레이트를 측정하는 시뮬레이션이 도 26 내지 도 28을 참조해서 설명될 것이다.
- <286> 시뮬레이션은 0dB D/U 필터의 통신 경로를 사용해서 수행되었다.
- <287> 도 26A 및 26B는 시뮬레이션에 사용된 통신 경로의 모델을 도시한다.
- <288> 구체적으로, 도 26A는 시뮬레이션에 사용된 필터의 모델을 도시한다.
- <289> 도 26B는, 그 모델이 도 26A에 도시된 필터를 갖는 통신 경로의 모델을 도시한다.
- <290> 도 26B의 "H"는 도 26A의 필터의 모델을 나타낸다. "N"은 도 26B의 반송파간 간섭(ICI; Inter-Carrier Interference)을 나타낸다. 시뮬레이션에서, ICI의 거듭제곱의 기대값 $E[N^2]$ 는 AWGN에 근접하게 된다.
- <291> 도 27 및 도 28은 필터의 도플러 주파수 f_d 와 시뮬레이션으로부터의 에러 레이트 간의 관계를 도시한다.
- <292> 보다 구체적으로, 도 27은 변조 방식이 16QAM일 때의 도플러 주파수 f_d 와 에러 레이트 간의 관계를 도시하고, 코드 레이트(r)는 3/4이고, 재정렬 방법은 제1 재정렬 방법이다. 도 28은 변조 방식이 64QAM일 때의 도플러 주파수 f_d 와 에러 레이트 간의 관계를 도시하고, 코드 레이트(r)는 5/6이고, 재정렬 방법은 제1 재정렬 방법이다.
- <293> 도 27 및 28에서, 굵은 선은, 페리티 인터리빙, 열 트위스트 인터리빙, 및 재정렬 처리가 모두 수행되었을 때의 도플러 주파수 f_d 와 에러 레이트 간의 관계를 나타내고, 가는 선은, 3개의 처리 중 재정렬 처리만이 수행되었을 때의 도플러 주파수 f_d 와 에러 레이트 간의 관계를 나타낸다.
- <294> 도 27 및 28 중 어느 도에서나, 재정렬 처리만이 수행되었을 때에 비해 페리티 인터리빙, 열 트위스트 인터리빙, 및 재정렬 처리가 모두 수행되었을 때의 에러 레이트가 향상된다(즉, 낮아진다)는 것을 알 수 있다.
- <295> 수신기
- <296> 도 29는, OFDM 심볼을 검출하고 OFDM 심볼의 부반송파 신호로부터 데이터 비트를 복구시키는데 사용될 수 있는 수신기의 예시적 도시를 제공한다. 도 29에 도시된 바와 같이, OFDM 신호는 안테나(500)에 의해 수신되고, 튜너(502)에 의해 검출되어, 아날로그 디지털 변환기(504)에 의해 디지털 형태로 변환된다. 가드 간격 제거 프로세서(506)는, 공지된 기술에 따라서, 내장-시그널링 디코딩부(511)와 함께 동작하는 채널 추정 및 정정기(510)와 함께 고속 푸리에 변환(FFT; Fast Fourier Transform) 프로세서(508)를 사용해서 데이터가 OFDM 심볼로부터 복구되기 전에, 수신된 OFDM 심볼로부터 가드 간격을 제거한다. 복조된 데이터 심볼은 디매핑(512)로부터 복구되어 심볼 디인터리버(514)로 공급되고, 이 심볼 디인터리버(514)는, 수신된 데이터 심볼을 역 매핑하도록 동작하여 디인터리빙된 데이터 심볼로 출력 심볼 스트림을 재생성한다. 심볼 디인터리버(514)는 짧게 보다 상세히 설명될 것이다.
- <297> 비트 인터리버 및 LDPC 디코더
- <298> 도 29에 도시된 바와 같이, 수신기는 또한 디매핑부(52), 디인터리버(53), LDPC 디코더(56)를 포함한다. 디매핑부(52)는, 심볼 디인터리버(514)로부터 (I 및 Q 축 방향의 각 값을 갖는) 심볼을 수신하고, LDPC 코드의 인코딩된 비트로 그 심볼을 디매핑하도록 동작하고, LDPC 코드의 인코딩된 비트를 비트 디인터리버(53)로 보낸다. 수신된 데이터 심볼의 디매핑은, OFDM 심볼의 부반송파 신호로부터 식별된 데이터 심볼로 표현되는 비트를 식별함으로써 수행된다.
- <299> 비트 디인터리버(53)는 디멀티플렉서(54) 및 열 트위스트 디인터리버(55)를 포함하고, 디매핑부(52)로부터의 LDPC 코드의 코드 비트에 대해 디인터리빙을 수행한다.
- <300> 보다 구체적으로, 디멀티플렉서(54)는 디매핑부(52)로부터의 LDPC 코드에 대해, 도 8의 디멀티플렉서(25)에 의해 수행되는 재정렬 처리의 반전인 역 재정렬 처리를 수행한다. 구체적으로, 디멀티플렉서(54)는 역 재정렬 처리를 수행하여 재정렬 처리에 의해 재정렬된 코드 비트의 위치를 원 위치로 복구시키고, 역으로 재정렬된 LDPC 코드를 열 트위스트 디인터리버(55)로 보낸다.

- <301> 열 트위스트 디인터리버(55)는, 디멀티플렉서(54)로부터의 LDPC 코드에 대해, 도 8의 열 트위스트 인터리빙(24)에 의해 수행되는 치환 처리로서의 열 트위스트 인터리빙의 반전인 역 열 트위스트 디인터리빙 처리를 수행한다. 구체적으로, 열 트위스트 디인터리버(55)는, 코드 비트의 치환 처리로서의 열 트위스트 인터리빙에 의해 재정렬되는 LDPC 코드의 코드 비트의 원래 순서를 복구하기 위한 역 치환 처리(예를 들어, 열 트위스트 디인터리빙)를 수행한다.
- <302> 보다 구체적으로, 열 트위스트 디인터리버(55)는, 도 22에 도시된 메모리(31)와 유사하게 구성되는 디인터리빙을 위한 메모리에 LDPC 코드의 코드 비트를 기록하고 상기 메모리로부터 LDPC 코드의 코드 비트를 판독함으로써 열 트위스트 디인터리빙을 수행한다.
- <303> 그러나, 열 트위스트 디인터리버(55)는, 기록 어드레스로서, 코드 비트가 메모리(31)로부터 판독되는 판독 어드레스를 사용하여 디인터리빙을 위한 메모리에 행 방향으로 코드 비트를 기록한다. 또한, 열 트위스트 디인터리버(55)는, 판독 어드레스로서, 코드 비트가 메모리(31)에 기록되는 기록 어드레스를 사용하여 디인터리빙을 위한 메모리로부터 열 방향으로 코드 비트를 판독한다.
- <304> 열 트위스트 디인터리버(55)는 열 트위스트 디인터리빙된 LDPC 코드를 LDPC 디코더(56)로 보낸다.
- <305> 패리티 인터리빙, 열 트위스트 인터리빙, 및 재정렬 처리가 디매핑부(52)로부터 디인터리버(53)로 제공되는 LDPC 코드에 대해 순차적으로 수행되었지만, 디인터리버(53)는 LDPC 코드에 대해 2개의 처리, 즉, 재정렬 처리에 대응하는 역 재정렬 처리 및 열 트위스트 인터리빙에 대응하는 열 트위스트 디인터리빙만을 수행한다. 따라서, 디인터리버(53)는 패리티 인터리빙에 대응하는 패리티 디인터리빙(즉, 패리티 인터리빙의 역 처리)을 수행하지 않는다. 즉, 디인터리버(53)는 패리티 인터리빙에 의해 재정렬되는 LDPC 코드의 코드 비트의 원래 순서를 복구하기 위한 패리티 디인터리빙을 수행하지 않는다.
- <306> 따라서, 역 재정렬 처리 및 열 트위스트 디인터리빙이 수행되고 패리티 디인터리빙이 수행되지 않는 LDPC 코드가 디인터리버(53)의 열 트위스트 디인터리버(55)로부터 LDPC 디코더(56)로 제공된다.
- <307> LDPC 디코더(56)는, 도 8의 LDPC 인코더(21)가 LDPC 인코딩에 사용하는 패리티 검사 행렬 H에 패리티 인터리빙에 대응하는 적어도 열 치환을 수행하여 얻어지는 변환된 패리티 검사 행렬을 사용해서, 디인터리버(53)로부터의 LDPC 코드에 대해 LDPC 디코딩을 수행한 다음, 그 결과로서 나오는 데이터를 디코딩된 타겟 데이터로서 출력한다.
- <308> 도 30은 도 29의 수신기(12)에 의해 수행되는 수신 절차를 도시하는 플로차트이다.
- <309> 직교 복조기(51)는 단계 S111에서 송신기(11)로부터 변조된 신호를 수신한다. 그 다음, 절차는 단계 S112로 진행하여 변조된 신호에 대해 직교 복조를 수행한다. 그 다음, 직교 복조기(51)는 직교 복조를 통해 얻어진 심볼을 디매핑부(52)로 보낸 다음, 절차는 단계 S112로부터 단계 S113으로 진행한다.
- <310> 단계 S113에서, 디매핑부(52)는 직교 복조기(51)로부터의 심볼을 LDPC 코드의 코드 비트로 디매핑하고, LDPC 코드의 코드 비트를 디인터리버(53)로 보낸다. 그 다음, 절차는 단계 S114로 진행한다.
- <311> 단계 S114에서, 디인터리버(53)는 디매핑부(52)로부터의 LDPC 코드의 코드 비트에 대해 디인터리빙을 수행한 다음, 절차는 단계 S115로 진행한다.
- <312> 보다 구체적으로, 단계 S114에서, 디인터리버(53)의 디멀티플렉서(54)는 디매핑부(52)로부터의 LDPC 코드에 대해 역 재정렬 처리를 수행하고, 그 결과로서 나오는 LDPC 코드를 열 트위스트 디인터리버(55)로 보낸다.
- <313> 열 트위스트 디인터리버(55)는 디멀티플렉서(54)로부터의 LDPC 코드에 대해 열 트위스트 디인터리빙을 수행하고, 그 결과로서 나오는 LDPC 코드를 LDPC 디코더(56)로 보낸다.
- <314> 단계 S115에서, LDPC 디코더(56)는, 도 8의 LDPC 인코더(21)가 LDPC 인코딩에 사용하는 패리티 검사 행렬 H에 패리티 인터리빙에 대응하는 적어도 열 치환을 수행하여 얻어지는 변환된 패리티 검사 행렬을 사용해서, 열 트위스트 디인터리버(55)로부터의 LDPC 코드에 대해 LDPC 디코딩을 수행한 다음, 그 결과로서 나오는 데이터를 디코딩된 타겟 데이터로서 제공한다. 그 다음, 절차는 종료한다.
- <315> 도 30의 수신 절차는 반복된다.
- <316> 역 재정렬 처리를 수행하는 디멀티플렉서(54), 열 트위스트 디인터리빙을 수행하는 열 트위스트 디인터리버(55)는, 디멀티플렉서(54) 및 열 트위스트 디인터리버(55)가 설명의 용이성을 위해서 도 8에서와 동일한 방식으로

도 29에서 개별적으로 구성된 것으로 도시되었지만, 일체로 구성될 수도 있다.

- <317> 도 8의 송신기(11)가 열 트위스트 인터리빙을 수행하지 않는 경우에는, 도 29의 수신기(12)에 열 트위스트 디인터리버(55)를 제공할 필요는 없다.
- <318> 이제, 도 29의 LDPC 디코더(56)가 어떻게 LDPC 디코딩을 수행하는 지에 대해 논의될 것이다.
- <319> 도 29의 LDPC 디코더(56)는, 도 8의 LDPC 인코더(21)가 LDPC 인코딩에 사용하는 패리티 검사 행렬 H에 패리티 인터리빙에 대응하는 적어도 열 치환을 수행하여 얻어지는 변환된 패리티 검사 행렬을 사용해서, 역 재정렬 처리 및 열 트위스트 디인터리빙이 수행되고 패리티 인터리빙은 수행되지 않는, 열 트위스트 디인터리버(55)로부터의 LDPC 코드의 LDPC 디코딩을 수행한다.
- <320> 여기에서, 변환된 패리티 검사 행렬을 사용해서 수행되어 충분히 도달가능한 범위내로 동작 주파수를 제한하고 회로의 크기를 감소시키는 LDPC 디코딩이 이전에 제시되었다(예를 들어, 일본 특허 출원 공보 제2004-343170호 참조).
- <321> 우선, 이전에 제안된 변환된 패리티 검사 행렬을 사용하는 LDPC 디코딩이 도 31 내지 34를 참조해서 설명된다.
- <322> 도 31은 코드 길이 N이 90이고 코드 레이트가 2/3인 LDPC 코드의 예시적 패리티 검사 행렬 H를 도시한다.
- <323> 도 31에서, 후술되는 도 32 및 33에서와 같이 "0"은 마침표 "."으로 표현된다.
- <324> 도 31의 패리티 검사 행렬 H의 패리티 행렬은 단계적 구조를 갖는다.
- <325> 도 32는, 도 31의 패리티 검사 행렬 H에 수학식 8의 행 치환 및 수학식 9의 열 치환을 행함으로써 얻어지는 패리티 검사 행렬 H'을 도시한다.

수학식 8

- <326> 행 치환: $6s+t+1$ 번째 행 $\rightarrow 5t+s+1$ 번째 행

수학식 9

- <327> 열 치환: $6x+y+61$ 번째 열 $\rightarrow 5y+x+61$ 번째 열
- <328> 수학식 8 및 수학식 9에서, s, t, x, 및 y는 정수이고, $0 \leq s < 5$, $0 \leq t < 6$, $0 \leq x < 5$, 및 $0 \leq y < 6$ 이다.
- <329> 수학식 8의 행 치환에 따라서, 그 서수를 6으로 나눌 시에 나머지로써 "1"을 갖는 1번째, 7번째, 13번째, 19번째, 및 25번째 행은 1번째, 2번째, 3번째, 4번째, 및 5번째 행으로 각각 변경(구체적으로, 교환)되고, 그 서수를 6으로 나눌 시에 나머지로써 "2"를 갖는 2번째, 8번째, 14번째, 20번째, 및 26번째 행은 6번째, 7번째, 8번째, 9번째, 및 10번째 행으로 각각 변경된다.
- <330> 수학식 9의 열 치환에 따라서, 60번째 열에 후속하는 (패리티) 열들 중에서 그 서수를 6으로 나눌 시에 나머지로써 "1"을 갖는 61번째, 67번째, 73번째, 79번째, 및 89번째 열은 61번째, 62번째, 63번째, 64번째, 및 65번째 열로 각각 변경되고, 그 서수를 6으로 나눌 시에 나머지로써 "2"를 갖는 62번째, 68번째, 74번째, 80번째, 및 86번째 열은 66번째, 67번째, 68번째, 69번째, 및 70번째 열로 각각 변경된다.
- <331> 이러한 방식으로 도 31의 패리티 검사 행렬 H에 행 및 열 치환을 수행함으로써 얻어지는 행렬은 도 32의 패리티 검사 행렬 H'이다.
- <332> 여기에서, 패리티 검사 행렬 H의 행 치환을 수행하는 것은 LDPC 코드의 코드 비트의 순서에 영향을 미치지 않는다.
- <333> 수학식 9의 열 치환은, 정보 길이 K가 "60"이고, 순환적 구조를 갖는 열의 단위수 P가 "5"이고, 패리티 길이 M (본 예에서는 30)의 제수 $q(M/P)$ 가 "6"일 때 상술한 바와 같이 $K+qx+y+1$ 번째 코드 비트를 $K+Py+x+1$ 번째 코드 비트 위치로 인터리빙하도록 수행되는 패리티 인터리빙에 대응한다.
- <334> 제로 벡터는, 이후에 적절히 "변환된 패리티 검사 행렬"로서 지칭되는 도 32의 패리티 검사 행렬 H'이, 이후에 적절히 "원래의 패리티 검사 행렬"로서 지칭되는 도 31의 패리티 검사 행렬 H의 LDPC 코드에 대해 수학식 9와 동일한 치환을 수행함으로써 얻어지는 LDPC 코드에 의해 승산되는 경우에, 출력된다. 보다 구체적으로, "c'"가, 원래의 패리티 검사 행렬 H의 LDPC 코드(코드워드)로서 행 벡터 "c"에 수학식 9의 열 치환을 수행함으

로써 얻어지는 행 벡터를 나타낼 때, 패리티 검사 행렬의 특성으로 인해 Hc^T 는 제로 벡터를 나타내고, 이에 따라 $H'c'^T$ 도 제로 벡터이다.

- <335> 따라서, 도 32의 변환된 패리티 검사 행렬 H'는, 원래의 패리티 검사 행렬 H의 LDPC 코드 c에 수학식 9의 열 치환을 수행함으로써 얻어지는 LDPC 코드 c'의 패리티 검사 행렬이다.
- <336> 따라서, 패리티 검사 행렬 H를 사용하는 디코딩을 통해 얻어지는 것과 동일한 원래의 패리티 검사 행렬 H의 동일한 LDPC 코드는, 도 32의 변환된 패리티 검사 행렬 H'를 사용해서, 원래의 패리티 검사 행렬 H의 LDPC 코드 c에 수학식 9의 열 치환을 수행하여 생성되는 열 치환된 LDPC 코드 c'를 LDPC 디코딩한 다음, 디코딩된 LDPC 코드 c'에 수학식 9의 열 치환의 역 처리를 수행하여 얻어질 수 있다.
- <337> 도 33은, 소자들이 5×5 행렬의 단위로 서로 이격되어 배열된 것으로 도시되는 도 32의 변환된 패리티 검사 행렬 H'를 도시한다.
- <338> 도 33에서, 변환된 패리티 검사 행렬 H'는, 5×5 단위 행렬, 행렬들 각각이 5×5 단위 행렬의 하나 이상의 "1"을 "0"으로 대체함으로써 생성되는 행렬(이후에, 적절히 "준(quasi)-단위 행렬"로서 지칭됨), 단위 행렬 또는 준-단위 행렬을 순환적으로 시프팅함으로써 생성되는 행렬(이후에, 적절히 "시프트된 행렬"로서 지칭됨), 각각이 2개 이상의 단위 행렬, 준-단위 행렬 및 시프트된 행렬의 합인 행렬(이후에, 적절히 "합 행렬"로서 지칭됨), 및 5×5 제로 행렬의 조합으로서 도시된다.
- <339> 즉, 도 33의 변환된 패리티 검사 행렬 H'는 5×5 단위 행렬, 준-단위 행렬, 시프트된 행렬, 합 행렬, 및 5×5 제로 행렬을 포함하는 행렬이 될 수 있다. 따라서, 변환된 패리티 검사 행렬 H'를 구성하는 5×5 행렬은 이제 적절히 "성분 행렬(component matrices)"로서 지칭될 것이다.
- <340> P×P 성분 행렬로 표현되는 패리티 검사 행렬로 표현되는 LDPC 코드의 디코딩은 P 검사 노드 계산 및 P 변수 노드 계산을 동시에 수행하는 구조를 사용해서 수행될 수 있다.
- <341> 도 34는 상술한 바와 같이 디코딩을 수행하는 디코딩 장치의 예시적 구성을 도시하는 블록도이다.
- <342> 보다 구체적으로, 도 34는, 도 31의 원래의 패리티 검사 행렬 H에 수학식 9의 적어도 열 치환을 수행하여 얻어지는 도 33의 변환된 패리티 검사 행렬 H'를 사용하여 LDPC 코드의 디코딩을 수행하는 디코딩 장치의 예시적 구성을 도시한다.
- <343> 도 34의 디코딩 장치는, 6개의 FIFO 300₁ 내지 300₆을 포함하는 에지 데이터 저장 메모리(300), FIFO 300₁ 내지 300₆ 중 하나를 선택하는 선택기(301), 검사 노드 계산부(302), 2개의 순환 시프트 회로(303 및 308), 18개의 FIFO 304₁ 내지 304₁₈를 포함하는 에지 데이터 저장 메모리(304), FIFO 304₁ 내지 304₁₈ 중 하나를 선택하는 선택기(305), 수신된 정보를 저장하는 수신된 데이터 메모리(306), 변수 노드 계산부(307), 디코딩 워드 계산부(309), 수신된 데이터 치환부(310), 및 디코딩된 데이터 치환부(311)를 포함한다.
- <344> 먼저, 에지 데이터 저장 메모리(300 및 304)에 데이터를 저장하는 방법에 대해 논의된다.
- <345> 에지 데이터 저장 메모리(300)는, 도 33의 변환된 패리티 검사 행렬 H'의 행의 수 "30"을 각 성분 행렬의 행의 수 "5"로 나눔으로써 얻어지는 수와 같은 수인 6개의 FIFO 300₁ 내지 300₆를 갖는다. 각각의 FIFO 300_y (y=1, 2, ..., 6)는, 각 성분 행렬의 행의 수 및 열의 수와 동일한 수인 "5" 에지에 대응하는 메시지 각각이 동시에 기록 또는 판독될 수 있는 다수의 스테이지들의 각 저장 영역을 포함한다. 각 FIFO 300_y의 저장 영역의 스테이지들의 수는, 도 33의 변환된 패리티 검사 행렬의 행 방향에서의 1의 수(해밍(Hamming) 가중치)의 최대값과 같은 "9"이다.
- <346> 도 33의 변환된 패리티 검사 행렬 H'의 제1 내지 제5 행의 "1"의 위치에 대응하는 데이터(즉, 변수 노드로부터의 메시지 v_i)는 "0"은 무시하면서 매 행의 수평 방향에서 동시에 FIFO 300₁에 저장된다. 구체적으로, (j,i)가 j번째 행 및 i번째 열의 소자를 나타낼 때, 변환된 패리티 검사 행렬 H'의 (1,1) 내지 (5,5)의 5×5 단위 행렬의 "1"의 위치에 대응하는 데이터가 FIFO 300₁의 제1 스테이지의 저장 영역에 저장된다. 5×5 단위 행렬을 우측으로 3개의 소자만큼 순환적으로 시프팅함으로써 얻어지는, 변환된 패리티 검사 행렬 H'의 (1,21) 내지 (5,25)의 시프트된 행렬의 "1"의 위치에 대응하는 데이터가 제2 스테이지의 저장 영역에 저장된다. 유사하게, 변환된 패리티 검사 행렬 H'와 관련된 제3 내지 제8 스테이지의 저장 영역에 데이터가 저장된다. 5×5 단위 행

렬에서 제1 행의 "1"을 "0"으로 대체하고, 5×5 단위 행렬을 좌측으로 1개의 소자만큼 순환적으로 시프트함으로써 얻어지는, 변환된 패리티 검사 행렬 H'의 (1,81) 내지 (5,90)의 시프트된 행렬의 "1"의 위치에 대응하는 데이터가 제9 스테이지의 저장 영역에 저장된다.

- <347> 도 33의 변환된 패리티 검사 행렬 H'의 제6 내지 제10 행의 "1"의 위치에 대응하는 데이터가 FIFO 300₂에 저장된다. 구체적으로, 5×5 단위 행렬을 우측으로 1개의 소자만큼 순환적으로 시프트하여 얻어진 제1 시프트된 행렬과 5×5 단위 행렬을 우측으로 2개의 소자만큼 순환적으로 시프트하여 얻어진 제2 시프트된 행렬을 합산함으로써 얻어지는, 변환된 패리티 검사 행렬 H'의 (6,1) 내지 (10,5)의 합 행렬에 포함된 제1 시프트된 행렬의 "1"의 위치에 대응하는 데이터가 FIFO 300₂의 제1 스테이지의 저장 영역에 저장된다. 변환된 패리티 검사 행렬 H'의 (6,1) 내지 (10,5)의 합 행렬에 포함된 제2 시프트된 행렬의 "1"의 위치에 대응하는 데이터가 FIFO 300₂의 제2 스테이지의 저장 영역에 저장된다.
- <348> 보다 구체적으로, 2 이상의 가중치를 갖는 성분 행렬이, 1의 가중치를 갖는 2개 이상의 P×P 단위 행렬, 단위 행렬의 하나 이상의 "1"을 "0"으로 대체함으로써 생성되는 준-단위 행렬, 및 단위 행렬 또는 준-단위 행렬을 순환적으로 시프트함으로써 생성되는 시프트된 행렬의 합으로 표현되면, 1의 가중치를 갖는 단위 행렬, 준-단위 행렬, 또는 시프트된 행렬의 "1"의 위치에 대응하는 데이터(즉, 단위 행렬, 준-단위 행렬, 또는 시프트된 행렬에 속하는 에지에 대응하는 메시지)는 동일한 어드레스(FIFO 300₁ 내지 300₆ 중 동일한 FIFO)에 저장된다.
- <349> 데이터는 또한 변환된 패리티 검사 행렬 H'와 관련된 제3 내지 제9 스테이지의 저장 영역에 저장된다.
- <350> 유사하게, 데이터는 변환된 패리티 검사 행렬 H'와 관련된 FIFO 300₃ 내지 300₆에 저장된다.
- <351> 에지 데이터 저장 메모리(304)는 변환된 패리티 검사 행렬 H'의 열의 수 "90"을 각 성분 행렬의 열의 수 "5"로 나눔으로써 얻어지는 수와 같은 수인 18개의 FIFO 304₁ 내지 304₁₈를 갖는다. 각각의 FIFO 304_x (x=1, 2, ..., 18)는, 각각의 변환된 성분 행렬 H'의 행의 수 및 열의 수와 동일한 수인 "5" 에지에 대응하는 메시지 각각이 동시에 기록 또는 관독될 수 있는 다수의 스테이지들의 각 저장 영역을 포함한다.
- <352> 도 33의 변환된 패리티 검사 행렬 H'의 제1 내지 제5 열의 "1"의 위치에 대응하는 데이터(즉, 검사 노드로부터의 메시지 u_i)는 "0"은 무시하면서 매 열의 수직 방향에서 동시에 FIFO 304₁에 저장된다. 구체적으로, 변환된 패리티 검사 행렬 H'의 (1,1) 내지 (5,5)의 5×5 단위 행렬의 "1"의 위치에 대응하는 데이터가 FIFO 304₁의 제1 스테이지의 저장 영역에 저장된다. 5×5 단위 행렬을 우측으로 1개의 소자만큼 순환적으로 시프트하여 생성된 제1 시프트된 행렬과 5×5 단위 행렬을 우측으로 2개의 소자만큼 순환적으로 시프트하여 생성된 제2 시프트된 행렬을 합산함으로써 얻어지는, 변환된 패리티 검사 행렬 H'의 (6,1) 내지 (10,5)의 합 행렬에 포함된 제1 시프트된 행렬의 "1"의 위치에 대응하는 데이터가 제2 스테이지의 저장 영역에 저장된다. 변환된 패리티 검사 행렬 H'의 (6,1) 내지 (10,5)의 합 행렬에 포함된 제2 시프트된 행렬의 "1"의 위치에 대응하는 데이터가 제3 스테이지의 저장 영역에 저장된다.
- <353> 보다 구체적으로, 2 이상의 가중치를 갖는 성분 행렬이, 1의 가중치를 갖는 2개 이상의 P×P 단위 행렬, 단위 행렬의 하나 이상의 "1"을 "0"으로 대체함으로써 생성되는 준-단위 행렬, 및 단위 행렬 또는 준-단위 행렬을 순환적으로 시프트함으로써 생성되는 시프트된 행렬의 합으로 표현되면, 1의 가중치를 갖는 단위 행렬, 준-단위 행렬, 또는 시프트된 행렬의 "1"의 위치에 대응하는 데이터(즉, 단위 행렬, 준-단위 행렬, 또는 시프트된 행렬에 속하는 에지에 대응하는 메시지)는 동일한 어드레스(FIFO 304₁ 내지 304₁₈ 중 동일한 FIFO)에 저장된다.
- <354> 데이터는 또한 변환된 패리티 검사 행렬 H'와 관련된 제4 및 제5 스테이지의 저장 영역에 저장된다. FIFO 304₁의 저장 영역의 스테이지들의 수는, 변환된 패리티 검사 행렬 H'의 제1 내지 제5 열의 행 방향에서의 1의 수(해밍 가중치)의 최대값과 같은 "5"이다.
- <355> 유사하게, 데이터는 변환된 패리티 검사 행렬 H'와 관련된 FIFO 304₂ 및 304₃에 저장되고, 각 FIFO의 길이(즉, 스테이지들의 수)는 "5"이다. 유사하게, 데이터는 변환된 패리티 검사 행렬 H'와 관련된 FIFO 304₄ 내지 304₁₂에 저장되고, 각 FIFO의 길이는 "3"이다. 유사하게, 데이터는 변환된 패리티 검사 행렬 H'와 관련된 FIFO 304₁₃ 내지 304₁₈에 저장되고, 각 FIFO의 길이는 "2"이다.
- <356> 이제, 도 34의 디코딩 장치의 동작에 대해서 논의될 것이다.

- <357> 6개의 FIFO 300₁ 내지 300₆를 포함하는 에지 데이터 저장 메모리(300)에서, 데이터를 저장하는 FIFO가, 에지 데이터 저장 메모리(300)의 위쪽에 위치하는 순환 시프트 회로(308)로부터 수신되는 5개의 메시지 D311가 속하는, 변환된 패리티 검사 행렬 H'의 행을 나타내는 정보(행렬 데이터) D312에 따라 FIFO 300₁ 내지 300₆로부터 선택되고, 5개의 메시지 D311이 모여져서 선택된 FIFO에 순서대로 저장된다. 데이터가 에지 데이터 저장 메모리(300)로부터 판독되면, 우선, 5개의 메시지 D300₁은 FIFO 300₁로부터 순서대로 판독된 다음, 에지 데이터 저장 메모리(300)의 아래쪽에 위치하는 선택기(301)에 제공된다. 메시지가 FIFO 300₁로부터 완전히 판독된 후에, 메시지는 에지 데이터 저장 메모리(300)의 FIFO 300₂ 내지 300₆로부터 순서대로 판독된 다음, 동일한 방식으로 선택기(301)에 제공된다.
- <358> 선택기(301)는 선택 신호 D301에 따라서 FIFO 300₁ 내지 300₆ 중 데이터가 현재 판독되고 있는 FIFO로부터 수신된 5개의 메시지를 선택하여, 선택된 메시지를 메시지 D302로서 검사 노드 계산부(302)에 제공한다.
- <359> 검사 노드 계산부(302)는 5개의 검사 노드 계산기 302₁ 내지 302₅를 포함하고, 선택기(301)를 통해 수신된 (수학식 7의 메시지 v_i에 대응하는) 메시지 D302(D302₁ 내지 D302₅)를 사용해서 수학식 7에 따라 검사 노드 계산을 수행하여, 검사 노드 계산을 통해 얻어진 5개의 메시지 D303(D303₁ 내지 D303₅)를 순환 시프트 회로(303)에 제공한다.
- <360> 순환 시프트 회로(303)는, 원래의 단위 행렬이 순환적으로 시프트되어 변환된 패리티 검사 행렬 H'의 대응하는 각각의 에지를 얻게 하는 소자의 수를 나타내는 정보(행렬 데이터) D305에 기초해서 검사 노드 계산부(302)에 의해 얻어지는 5개의 메시지 D303₁ 내지 D303₅를 순환적으로 시프트하여, 순환적으로 시프트된 메시지를 메시지 D304로서 에지 데이터 저장 메모리(304)에 제공한다.
- <361> 18개의 FIFO 304₁ 내지 304₁₈를 포함하는 에지 데이터 저장 메모리(304)에서, 데이터를 저장하는 FIFO가, 에지 데이터 저장 메모리(304)의 위쪽에 위치하는 순환 시프트 회로(303)로부터 수신되는 5개의 메시지 D304가 속하는, 변환된 패리티 검사 행렬 H'의 행을 나타내는 정보 D305에 따라 FIFO 304₁ 내지 304₁₈로부터 선택되고, 5개의 메시지 D304이 모여져서 선택된 FIFO에 순서대로 저장된다. 데이터가 에지 데이터 저장 메모리(304)로부터 판독되면, 우선, 5개의 메시지 D306₁은 FIFO 304₁로부터 순서대로 판독된 다음, 에지 데이터 저장 메모리(304)의 아래쪽에 위치하는 선택기(305)에 제공된다. 데이터가 FIFO 304₁로부터 완전히 판독된 후에, 메시지는 에지 데이터 저장 메모리(304)의 FIFO 304₂ 내지 304₁₈로부터 순서대로 판독된 다음, 동일한 방식으로 선택기(305)에 제공된다.
- <362> 선택기(305)는 선택 신호 D307에 따라서 FIFO 304₁ 내지 304₁₈ 중 데이터가 현재 판독되고 있는 FIFO로부터 수신된 5개의 메시지를 선택하여, 선택된 메시지를 메시지 D308로서 변수 노드 계산부(307) 및 디코딩 워드 계산기(309) 둘 다에 제공한다.
- <363> 한편, 수신된 데이터 치환부(310)는 수학식 9의 열 치환을 수행하여 통신 경로를 통해 수신된 LDPC 코드 D313을 치환하고, 그 결과로서 나오는 데이터를 수신된 데이터 D314로서 수신된 데이터 메모리(306)에 제공한다. 수신된 데이터 메모리(306)는 수신된 데이터 치환부(310)로부터 수신된 데이터 D314로부터 수신 로그 가능성 비율(LLR)을 계산하여 저장하고, 수신된 값 D309로서 5개의 LLR 그룹의 수신 LLR을 변수 노드 계산부(307) 및 디코딩 워드 계산기(309) 둘 다에 제공한다.
- <364> 변수 노드 계산부(307)는 5개의 변수 노드 계산기 307₁ 내지 307₅를 포함하고, 선택기(305)를 통해 수신된 (수학식 1의 메시지 u_j에 대응하는) 메시지 D308(D308₁ 내지 D308₅) 및 수신된 데이터 메모리(306)로부터 수신된 (수학식 1의 수신된 값 u_{0i}에 대응하는) 5개의 수신된 값 D309를 사용해서 수학식 1에 따라 변수 노드 계산을 수행하여, 변수 노드 계산을 통해 얻어진 (수학식 1의 메시지 v_i에 대응하는) 5개의 메시지 D310(D310₁ 내지 D310₅)를 순환 시프트 회로(308)에 제공한다.
- <365> 순환 시프트 회로(308)는, 소자의 수를 나타내는 정보에 기초하여 변수 노드 계산부(307)에 의해 계산된 5개의 메시지 D310₁ 내지 D310₅를 순환적으로 시프트하며, 이에 의해 변환된 패리티 검사 행렬 H'의 각각의 대응 에지를 획득하도록 원래의 단위 행렬이 순환적으로 시프트되고, 메시지 D311과 같은 순환적으로 시프트된 메시지를

에지 데이터 저장 메모리(300)에 제공한다.

- <366> LDPC 코드는, 상기 동작들을 한 차례 수행함으로써, 한 차례 디코딩될 수 있다. LDPC 코드를 선정된 회수에 걸쳐 디코딩한 후, 도 34의 디코딩 장치는 디코딩 워드 계산부(309) 및 디코딩 데이터 치환부(311)를 통해 최종 디코딩 데이터를 획득하고 출력한다.
- <367> 보다 구체적으로, 디코딩 워드 계산부(309)는 5개의 디코딩 워드 계산기들(309₁ 내지 309₅)을 포함하며, 복수의 디코딩 절차의 최종 처리로서, 선택기(305)로부터 출력된 (수학식 5의 메시지 u_j 에 대응하는) 5개의 메시지들 D308(D308₁ 내지 D308₅) 및 수신 데이터 메모리(306)로부터 (수학식 5의 수신된 값 u_{0i} 에 대응하는) 수신된 5개의 수신된 값들 D309를 이용하여 수학식 5에 기초하여 디코딩 데이터(예컨대, 디코딩 워드)의 계산을 수행하고, 계산된 디코딩 데이터 D315를 디코딩 데이터 치환부(311)에 제공한다.
- <368> 디코딩 데이터 치환부(311)는 디코딩 워드 계산부(309)로부터 수신된 디코딩 데이터 D315에 수학식 9의 열 치환의 반전을 수행하여, 디코딩 데이터 D315의 순서를 변경한 후, 최종 디코딩 데이터 D316으로서 결과 데이터를 출력한다.
- <369> 이상에서 설명한 바와 같이, 행 치환과 열 치환 중 적어도 하나가 패리티 검사 행렬(예컨대, 원래의 패리티 검사 행렬)상에서 수행되어 패리티 검사 행렬(예컨대, 변환된 패리티 검사 행렬)로 변환시킨다. 패리티 검사 행렬은 성분 행렬들의 조합으로 표현될 수 있다. 즉, $P \times P$ 단위 행렬, 단위 행렬의 하나 이상의 "1"들을 "0"들로 대안함으로써 생성되는 준 단위 행렬(quasi-unit matrix), 단위 행렬 또는 준 단위 행렬을 순환적으로 시프트함으로써 생성되는 시프트된 행렬, 두 개 이상의 단위 행렬, 준 단위 행렬 또는 시프트 행렬을 추가함으로써 생성되는 합 행렬 및 $P \times P$ 제로 행렬($P \times P$ zero matrix)의 조합으로 표현될 수 있다. 이러한 패리티 검사 행렬 변환에 의해, LDPC 코드가 디코딩될 때, P 검사 노드 계산 및 P 변수 노드 계산을 동시에 수행하는 아키텍처를 이용할 수 있다. P 노드 계산을 동시에 수행함으로써 충분히 도달 가능한 범위 내로 동작 주파수를 제한하게 되어, 그로 인해 수차례에 걸쳐 디코딩을 수행할 수 있게 된다.
- <370> 도 34의 디코딩 장치와 유사하게, 도 29의 수신기(12)에 포함된 LDPC 디코더(56)는 P 검사 노드 계산 및 P 변수 노드 계산을 동시에 수행함으로써 LDPC 코드를 디코딩하도록 설계된다.
- <371> 보다 구체적으로, 용이한 설명을 위해, 도 8의 송신기(11)에 포함된 LDPC 인코더(21)로부터 출력된 LDPC 코드의 패리티 검사 행렬이, 패리티 행렬이 단계적 구조를 가지고 있는 패리티 검사 행렬 H 라고 가정하면, 송신기(11)의 패리티 인터리버(23)는 패리티 인터리빙을 수행하여 $K + qx + y + 1$ 번째 코드 비트를 $K + Py + x + 1$ 번째 코드 비트 위치로 인터리브하며, 정보 길이 K 가 "60"이고, 순환적 구조를 가지는 열의 단위 수 P 는 5이며, 패리티 길이 M 의 제수 $q(=M/P)$ 는 "6"이다.
- <372> 패리티 인터리빙이 상술한 수학식 9의 열 치환에 대응하기 때문에, LDPC 디코더(56)는 수학식 9의 열 치환을 수행할 필요가 없다.
- <373> 따라서, 도 29의 수신기(12)에서, 패리티 디인터리빙되지 않은 LDPC 코드, 즉 수학식 9의 열 치환이 수행된 LDPC 코드가 열 트위스트 디인터리버(55)로부터, 상술한 LDPC 디코더(56)에 제공된다. LDPC 디코더(56)는 수학식 9의 열 치환이 LDPC 디코더(56)에서 수행되지 않는다는 것을 제외하고는 도 34의 디코딩 장치의 처리와 동일한 처리를 수행한다.
- <374> 보다 구체적으로, 도 35는 도 29의 LDPC 디코더(56)의 예시적 구성을 도시한다.
- <375> 도 35에 도시된 LDPC 디코더(56)는 도 34의 수신 데이터 치환부(310)가 제공되지 않는다는 것을 제외하고 도 34의 디코딩 장치의 구성과 동일한 구성을 가지며, 수학식 9의 열 치환이 LDPC 디코더(56)에서 수행되지 않는다는 것을 제외하고 도 34의 디코딩 장치의 처리와 동일한 처리를 수행하므로, 본 명세서에서 구성 및 처리에 대한 동일한 설명은 생략한다.
- <376> LDPC 디코더(56)가 상술한 수신 데이터 치환부(310) 없이 구성될 수 있기 때문에 도 34의 디코딩 장치에 비해 크기가 더 작을 수 있다.
- <377> 용이한 설명을 위해, 도 31 내지 도 35를, LDPC 코드의 코드 길이 N 이 90이고, 정보 길이 K 는 60이며, 순환적 구조를 가지는 열의 단위 수 P (예컨대, 성분 행렬의 행의 수와 열의 수)가 5이고, 패리티 길이 M 의 제수 $q(=M/P)$ 는 6이며, 코드 길이 N 인, 예시를 참조하여 설명하였지만, 정보 길이 K , 순환적 구조를 가지는 열의 단위 수 P 및 제수 $q(=M/P)$ 는 이러한 값에 한정되지 않는다.

- <378> 따라서, 도 8의 송신기(11)의 LDPC 인코더(21)가 예컨대 코드 길이 N이 64800이고, 정보 길이 K가 $N-Pq(=N-M)$ 이며, 순환적 구조를 가지는 열의 단위 수 P가 360이고, 제수 q가 M/P인 LDPC 코드를 출력하는 반면, 도 35의 LDPC 디코더(56)는 P 검사 노드 계산 및 P 변수 노드 계산을 동시에 수행함으로써 LDPC 코드를 DLPC-디코더하도록 적용될 수 있다.
- <379> 이상의 일련의 처리는 하드웨어뿐만 아니라 소프트웨어에 의해서 수행될 수 있다. 일련의 처리가 소프트웨어에 의해 수행될 때, 소프트웨어를 구현하는 프로그램은 범용 컴퓨터 등에 설치된다.
- <380> 도 36은 이상의 일련의 처리를 수행하는 프로그램을 포함하는 컴퓨터의 실시예의 예시적 구성을 도시한다.
- <381> 프로그램이 컴퓨터에 내장된 기록 매체로서의 하드 디스크(405) 또는 ROM(403)에 미리 기록될 수 있다.
- <382> 또한, 프로그램은, 플로피 디스크, CD-ROM(Compact Disc-Read Only Memory), MOD(Magneto-Optical Disc), DVD(Digital Versatile Disc), 자기 디스크 또는 반도체 메모리 같은 이동식 기록 매체(411)에 일시적으로 또는 영구적으로 저장(또는 기록)될 수 있다. 이동식 기록 매체(411)는 소프트웨어 패키지로서 제공될 수 있다.
- <383> 상술한 이동식 기록 매체(411)로부터 컴퓨터로 프로그램을 설치하는 것 대신, 프로그램을 디지털 위성 방송을 위한 위성을 통해 다운로드 사이트로부터 컴퓨터로 무선으로 송신하거나, LAN(local area network) 또는 인터넷 같은 네트워크를 통해 컴퓨터로 유선으로 송신할 수 있으며, 컴퓨터는 통신부(408)를 통해 송신된 프로그램을 수신하여, 수신한 프로그램을 컴퓨터에 내장되어 있는 하드 디스크(405)에 설치할 수 있다.
- <384> 컴퓨터는 CPU(402)를 포함할 수 있다. CPU(402)는 버스(401)를 통해 입출력(IO) 인터페이스(410)로 연결된다. CPU(402)는, 사용자가 예컨대 키보드, 마우스, 마이크로폰 등과 같은 입력부(407)을 동작시켜 입력한 명령어가 IO 인터페이스(410)를 통해 수신되었을 때, ROM(403; read only memory)에 저장된 프로그램을 실행한다. 대안으로, CPU(402)가 RAM(404; random access memory)에 로딩하고 하드 디스크(405)에 저장된 프로그램을 실행한다. 실행된 프로그램은 통신부(408)를 통해 위성 또는 네트워크로부터 수신된 후 하드 디스크(405)에 설치되었거나, 드라이브(409)에 설치된 이동식 기록 매체(411)로부터 판독된 후 하드 디스크(405)에 설치되었던 프로그램이다. 이러한 방식으로 프로그램을 실행함으로써, CPU(402)는 플로차트를 참고하여 상술한 처리 또는 블록도를 참조하여 상술한 성분에 의해 수행되는 처리를 수행한다. 그 후, 필요한 경우, CPU(402)는 예컨대, I/O 인터페이스(410)를 거쳐 LCD, 스피커 등을 포함하는 출력부(406)를 통해 처리의 결과를 출력하거나, 통신부(408)를 통해 처리 결과를 송신하거나, 하드 디스크(405)에 처리 결과를 기록한다.
- <385> 이상의 설명에서, 컴퓨터가 다양한 형태의 처리를 수행하게 하는 프로그램을 설명하는 단계들은 플로차트를 참조하여 상술한 시간 순서대로 반드시 수행될 필요가 없으며, 병렬적으로 또는 독립적으로 (예컨대 병렬 처리 또는 객체 지향 처리를 통해) 수행될 수 있다.
- <386> 프로그램은 한 개의 컴퓨터 또는 분산 환경의 복수 컴퓨터에 의해 수행될 수 있다. 또한, 프로그램은 원격 컴퓨터에서 수행될 수 있도록 원격 컴퓨터로 송신될 수 있다.
- <387> 당업자는 본 발명의 실시예가 상술한 설명에 한정되지 않고, 다양한 변형이 첨부된 청구범위에서 개시된 본 발명의 범위에서 벗어나지 않고 이루어질 수 있다는 것을 이해할 것이다.
- <388> 보다 구체적으로, 치환 처리인, 패리티 인터리빙 또는 열 트위스트 인터리빙이 이전 실시예의 DVB-S.2 사양에서 정의된 LDPC 코드에 대해 수행되지만, 패리티 인터리빙은 정보 행렬이 순환적 구조를 가지지 않는 패리티 검사 행렬의 LDPC 코드에 적용될 수 있고, 패리티 검사 행렬의 패리티 행렬이 단계적 구조로 되어 있다고 가정하면, 치환 처리로서의 열 트위스트 인터리빙은 예컨대, 적어도 열 치환 또는 전체적으로 순환적 구조를 가지는 패리티 검사 행렬의 QC-LDPC 코드(Quasi-Cyclic-LDPC code)를 통해 의사 순환적 구조(pseudo cyclic structure)로 변환된 패리티 검사 행렬의 LDPC 코드에 적용될 수 있다.
- <389> 즉, 패리티 인터리빙 되는 LDPC 코드의 패리티 검사 행렬은 단계적 구조를 가지는 패리티 행렬을 포함할 필요가 있을 뿐이며, 순환적 구조를 가지는 정보 행렬을 포함할 필요는 없다.
- <390> 치환 처리로서 열 트위스트 인터리빙되는 LDPC 코드의 패리티 검사 행렬은 임의의 특정 구조에 한정되지 않는다.
- <391> 게다가, 치환 처리는 패리티 검사 행렬의 임의의 행의 "1"에 대응하는 복수의 코드 비트가 동일한 심볼로 결합되지 않도록 LDPC 코드의 코드 비트를 치환할 수 있는 것이 필요할 뿐이며, 열 트위스트 인터리빙 이외의 방법을 이용하여 수행될 수 있다. 보다 구체적으로, 치환 처리는, 예컨대 데이터가 행과 열 방향으로 저장된 메모

리(31) 대신 한 방향으로만 데이터가 저장된 메모리를 사용하여 기록 및 판독 어드레스를 제어함으로써, 수행될 수 있다.

<392> 심볼 인터리버

<393> DVB-T2 표준 내에서 유효 모드의 수를 1k 모드, 16k 모드 및 32k 모드를 포함하도록 확장할 것을 제안해왔다. 이하의 설명은 본 기술에 따른 심볼 인터리버의 동작을 설명하기 위해 제공된 것으로, 심볼 인터리버를 기타 모드 및 DVB 표준으로 이용할 수 있다는 것을 이해할 수 있다.

<394> 새로운 모드를 생성하기 위해, 여러 개의 소자들이 정의되며, 그 중 하나는 심볼 인터리버(33)이다. 비트 배열 매핑(26), 심볼 인터리버(33) 및 프레임 빌더(32)가 도 37에서 보다 자세히 도시된다.

<395> 상술한 바와 같이, 본 발명은 데이터 심볼을 OFDM 부반송파 신호로 준-최적화(quasi-optimal) 매핑하는 기술을 제공한다. 예시적 기술에 따르면, 심볼 인터리버는 치환 코드 및 생성 다항식에 따라 입력된 데이터 심볼의 OFDM 부반송파 신호로의 최적화 매핑을 달성하기 위해 제공되며, 이는 시뮬레이션 분석에 의해 검증되었다. 그러므로 심볼 인터리버는 DVB를 위해 제안된 채널과 같은 통신 채널상의 데이터 통신의 성능을 향상시키기 위해 비트 인터리버와 LDPC 인코딩과 조합한다.

<396> 도 37에 도시된 바와 같이, 비트 심볼 배열 매핑(26) 및 프레임 빌더(32)를 도시하는 보다 상세한 예시가 본 발명의 예시적 실시예를 설명하기 위해 제공된다. 채널(62)을 경유한 비트 인터리버(26)로부터 수신된 데이터 비트가 변조 방식에 의해 제공되는 심볼 당 다수의 비트에 따라 비트 세트가 그룹화되어, 데이터 셀로 매핑된다. 데이터 워드를 형성하는 비트의 그룹이 데이터 채널(64)을 경유하여 매핑 프로세서(66)로 병렬로 제공된다. 그 후 매핑 프로세서(66)는 미리 할당된 매핑에 따라 데이터 심볼 중 하나를 선택한다. 실수 및 허수 성분으로 표현되는 배열 포인트(constellation point)는 프레임 빌더(32)로의 한 세트의 입력들 중 하나로서 출력 채널(29)에 제공된다.

<397> 프레임 빌더(32)는 다른 채널(31)로부터의 데이터 셀과 함께, 채널(29)을 통해 비트 배열 매핑(28)로부터 데이터 셀을 수신한다. 다수의 OFDM 셀 시퀀스의 프레임이 작성한 후, 각 OFDM 심볼의 셀이 어드레스 생성기(102)에 의해 생성된 기록 어드레스 및 판독 어드레스에 따라 인터리버 메모리(100)로 기록되고, 그로부터 판독된다. 기록 및 판독 순서에 따라, 적절한 어드레스를 생성함으로써 데이터 셀의 인터리빙이 이루어질 수 있다. 어드레스 생성기(102) 및 인터리버 메모리(100)의 동작을 도 38 내지 도 40을 참고하여 짧게 보다 상세하게 설명한다. 인터리빙된 데이터 셀은, 파일럿 및 임베디드 신호 형성기(36)로부터 OFDM 심볼 작성기(37)로 수신된 파일럿 및 동기화 심볼과 조합된 후, OFDM 심볼을 형성하며, 상기 OFDM 심볼은 상술한 OFDM 변조기(38)에 제공된다.

<398> 도 38은 인터리빙 심볼을 위한 본 발명을 설명하는 심볼 인터리버(33)의 예시적 부분들을 제공한다. 도 38에서, 프레임 빌더(32)로부터 입력된 데이터 셀이 인터리버 메모리(100)에 기록된다. 데이터 셀이, 채널(104) 상에서 어드레스 생성기(102)로부터 제공된 기록 어드레스에 따라 인터리버 메모리(100)로 기록되고, 채널(106) 상에서 어드레스 생성기(102)로부터 제공된 판독 어드레스에 따라 인터리버 메모리(100)로부터 판독된다. 어드레스 생성기(102)는, 후술하는 바와 같이, OFDM 심볼이 홀수 또는 짝수인지 여부 및 선택된 모드에 따라 기록 어드레스 및 판독 어드레스를 생성한다. OFDM 심볼이 홀수 또는 짝수인지 여부는 채널(108)로부터 제공되는 신호로부터 식별되고, 선택된 모드는 채널(110)로부터 제공되는 신호로부터 식별된다. 설명한 바와 같이, 모드는 1k 모드, 2k 모드, 4k 모드, 8k 모드, 16k 모드 또는 32k 모드 중 하나일 수 있다. 후술하는 바와 같이, 기록 어드레스 및 판독 어드레스는 도 39를 참조하여 설명한 홀수 및 짝수 심볼에 대해서 상이하게 생성되며, 이는 인터리버 메모리(100)의 예시적 구현을 제공한다.

<399> 도 39에 도시된 예시에서, 인터리버 메모리는 송신기의 인터리버 메모리의 동작을 설명하는 상부(100) 및 수신기의 디인터리버 메모리의 동작을 설명하는 하부(340)를 포함하는 것으로 도시되어 있다. 인터리버 메모리 및 디인터리버 메모리의 동작을 용이하게 이해하기 위해 인터리버(100) 및 디인터리버(340)가 함께 도시되어 있다. 도 39에서 도시된 바와 같이, 기타 장치 및 송신 채널을 경유하는 인터리버(100)와 디인터리버(340) 간의 통신이 인터리버(100)와 디인터리버(340) 간의 구역(140)으로 간단히 표현되어 있다. 인터리버(100)의 동작은 이하의 단락에서 설명한다.

<400> 도 39가 OFDM 심볼의 예시적 4개의 부반송파 신호 상의 4개의 입력 데이터 셀만을 설명하고 있지만, 도 39에서 설명한 기술은 1k 모드에 대해서 756, 2k 모드에 대해서 1512, 4k 모드에 대해서 3024, 8k 모드에 대해서 6048, 16k 모드에 대해서 12096 및 32k 모드에 대해서 24192 같은 큰 수의 부반송파로 확장될 수 있다.

<401> 도 39에 도시된 인터리버 메모리(100)의 입출력 어드레스는 홀수 및 짝수 심볼에 대한 것이다. 짝수 OFDM 심볼

에 대해, 데이터 셀이 입력 채널(120)로부터 추출되어 어드레스 생성기(102)에 의해 각 OFDM 심볼에 대해 생성된 일련의 어드레스들(120)에 따라 인터리버 메모리(124.1)에 기록된다. 기록 어드레스가 짝수 심볼에 대해 적용되어, 설명한 인터리빙이 기록 어드레스의 셔플링(shuffling)에 의해 달성된다. 그러므로 각 인터리빙된 심볼에 대해 $y(h(q)) = y'(q)$ 이다.

<402> 홀수 심볼에 대해 동일한 인터리버 메모리(124.2)가 이용된다. 그러나 홀수 심볼에 대해 도 39에서 도시된 바와 같이, 기록 순서(132)는 이전의 짝수 심볼(126)을 판독하는데 이용되었던 어드레스 시퀀스와 동일한 어드레스 시퀀스이다. 소정의 어드레스에 대한 판독 동작이 기록 동작 이전에 수행된다고 가정하면, 이러한 특성에 의해 홀수 및 짝수 심볼 인터리버 실행이 하나의 인터리버 메모리(100)만을 이용할 수 있다. 홀수 심볼 동안 인터리버 메모리(124)에 기록된 데이터 셀은 후속 짝수 OFDM 심볼 등에 대해 어드레스 생성기(102)에 의해 생성된 시퀀스(134)로 판독된다. 그러므로 오직 하나의 어드레스만이 하나의 심볼에 대해 생성되고, 홀수/짝수 OFDM 심볼에 대한 판독 및 기록이 동시에 수행된다.

<403> 요약하면, 도 39에 표현된 바와 같이, 어드레스 $H(q)$ 세트가 모든 활동 부반송파에 대해 계산되면, 입력 벡터 $Y'=(y_0', y_1', y_2', \dots, y_{N_{\max}-1}')$ 가 인터리빙된 벡터(interleaved vector) $Y = (y_0, y_1, y_2, \dots, y_{N_{\max}-1})$ 를 생성하도록 처리되며, 인터리빙된 벡터는 이하와 같이 정의된다.

<404> $q = 0, \dots, N_{\max}-1$ 에 대해 짝수 심볼인 경우 $y_{H(q)} = y'_q$

<405> $q = 0, \dots, N_{\max}-1$ 에 대해 홀수 심볼인 경우 $y_q = y'_{H(q)}$

<406> 즉, 짝수 OFDM 심볼에 대해 입력 워드가 치환된 방식으로 메모리에 기록되고, 순차적으로 다시 판독되지만, 홀수 심볼의 경우 순차적으로 기록되고 치환된 방식으로 다시 판독된다. 이상의 경우에서, 치환 $H(q)$ 가 이하의 표로 정의된다.

표 1

<407>

q	0	1	2	3
H(q)	1	3	0	2

<408> $N_{\max} = 4$ 인 단순한 경우의 치환

<409> 도 39에서 도시된 바와 같이, 디인터리버(340)는 동등한 어드레스 생성기에 의해 생성된 동일한 어드레스 세트를 적용하지만 기록 및 판독 어드레스를 역으로 적용함으로써 인터리버(100)에 의해 적용되는 인터리빙을 역으로 수행하도록 동작한다. 이와 같이, 짝수 심볼에 대해, 기록 어드레스(342)는 순차적 순서이지만, 판독 어드레스(344)는 어드레스 생성기에 의해 제공된다. 그에 따라, 홀수 심볼의 경우, 기록 순서(346)는 어드레스 생성기에 의해 생성된 어드레스 세트로부터 결정되지만, 판독(348)은 순차적 순서이다.

<410> 동작 모드에 대한 어드레스 생성

<411> 치환 함수 $H(q)$ 를 생성하는데 이용되는 알고리즘의 개략 블록도는 32k 모드에 대해 도 40에 도시된다. 그러나, 도 40의 32k 모드 인터리버는 후술할 생성 다항식 및 치환 코드를 적절하게 선택하여 이용함으로써 1K, 2K, 4K, 8K 또는 16K 모드에 따르는 인터리버로서 동작하도록 이용될 수 있다.

<412> 도 40에서, 선형 피드백 시프트 레지스터가 13개의 레지스터 스테이지(200) 및 생성 다항식에 따라 시프트 레지스터의 스테이지(200)에 연결되는 배타적 논리합-게이트(202; xor-gate)에 의해 형성된다. 그러므로, 시프트 레지스터(200)의 콘텐츠에 따라, 이하의 생성 다항식에 따라 시프트 레지스터들 $R[0]$, $R[1]$, $R[2]$, $R[12]$ 의 콘텐츠에 대해 배타적 논리합을 수행함으로써, 시프트 레지스터의 다음 비트가 배타적 논리합-게이트(202)의 출력으로부터 제공된다.

<413> $R'_i[13]=R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$

<414> 생성 다항식에 따르면, 의사 난수 비트 시퀀스가 시프트 레지스터(200)의 콘텐츠로부터 생성된다. 그러나 설명한 32k 모드에 대해 어드레스를 생성하기 위해서, 치환 회로(210)의 출력 시 시프트 레지스터(200.1) 내의 비트 순서를 $R'_i[n]$ 으로부터 $R_i[n]$ 으로 효율적으로 치환하는 치환 회로(210)가 제공된다. 치환 회로(210)의 출력으로부터의 14개 비트가 연결 채널(212)로 제공되고, 가장 중요한 비트가 토글 회로(218; toggle circuit)에 의해

제공되는 채널(214)을 경유하여 연결 채널(212)로 추가된다. 따라서, 15개 비트 어드레스가 채널(212) 상에 생성된다. 그러나 어드레스의 신뢰성(authenticity)을 보장하기 위해, 어드레스 검사 회로(216)가 선정된 최대값을 초과하는지를 판정하기 위해 생성된 어드레스를 분석한다. 선정된 최대값은 부반송파 신호의 최대수에 대응하며, 부반송파 신호는 OFDM 신호 내의 데이터 신호에 대해 유효하고, 이용중인 모드에 대해 유효하다. 그러나, 32k 모드에 대한 인터리버는 기타 모드에 대해 서로 유효하며, 어드레스 생성기(102)도 최대 유효 어드레스의 수에 따라 조정하여 2k 모드, 4k 모드, 8k 모드, 16k 모드 및 32k 모드에 대해 이용할 수 있다.

<415> 생성된 어드레스가 선정된 최대값을 초과하는 경우, 제어 신호가 어드레스 검사부(216)에 의해 생성되고, 연결 채널(220)을 경유하여 제어부(224)에 제공된다. 생성된 어드레스가 선정된 최대값을 초과하는 경우, 이 어드레스는 거부되고, 새로운 어드레스가 특정 심볼에 대해 다시 생성된다.

<416> 32k 모드에 대해, $(N_f - 1)$ 비트 워드 R'_i 가 정의되고, 여기서 $N_f = \log_2 M_{max}$ 이며 LFSR(Linear Feedback Shift Register)를 이용 시 $M_{max} = 32768$ 이다.

<417> 이러한 시퀀스를 생성하는데 이용되는 다항식은 다음과 같다:

<418> 32K 모드: $R'_i[13]=R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$

<419> i 는 0부터 $M_{max}-1$ 까지의 값을 가진다.

<420> 일 R'_i 워드가 생성되면, R'_i 워드는 R_i 로 지칭되는 또 다른 $(N_f - 1)$ 비트 워드를 생성하기 위해 치환을 거치며, R_i 는 이하에서 주어지는 비트 치환에 의해 R'_i 로부터 도출된다.

<421>

R'_i 비트 위치	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R_i 비트 위치	6	5	0	10	8	1	11	12	2	9	4	3	13	7

<422> 32k 모드에 대한 비트 치환

<423> 예시로서, 이는 32k 모드에 대해, R'_i 의 비트수 12는 R_i 의 비트 위치 번호 5로 보내진다.

<424> 그 후, 어드레스 $H(q)$ 는 이하의 식을 통해 R_i 로부터 도출된다.

<425>

$$H(q) = (i \bmod 2) \cdot 2^{N_f-1} + \sum_{j=0}^{N_f-2} R_i(j) \cdot 2^j$$

<426> 위 식의 $(i \bmod 2) \cdot 2^{N_f-1}$ 부분은 도 40에서 토글 블록(toggle block) T 218로 표현된다.

<427> 그 후, 어드레스 검사가, 생성된 어드레스가 허용가능한 어드레스의 범위 내에 있는 것을 검증하기 위해 $H(q)$ 에 대해 수행된다. 예컨대, 32k 모드에서, $N_{max} = 24192$ 이며, $H(q) < N_{max}$ 인 경우, 어드레스는 유효하다. 어드레스가 유효하지 않은 경우, 제어부에게 알려져서, 제어부는 인덱스 i 를 증분함으로써 새로운 $H(q)$ 를 생성하는 것을 시도하게 된다.

<428> 토글 블록의 역할은 행에서 N_{max} 를 초과하는 어드레스를 두번 생성하지 않음을 확인하는 것이다. 사실상, 초과 값이 생성되었던 경우, 이는 어드레스 $H(q)$ 의 MSB(예컨대, 토글 비트)가 하나였음을 의미한다. 따라서, 생성된 다음 값은 0으로 설정된 MSB를 가질 것이며, 이는 유효한 어드레스를 생성하는 것을 보증한다. 그러므로 추가 비트는, 어드레스가 선정된 최대값 유효 어드레스를 초과하는 경우, 다음 어드레스가 유효 어드레스일 가능성을 감소시킨다. 일 예시에서, 추가 비트는 MSB(most significant bit)이다.

<429> 아래의 식은 전체 동작을 요약하며, 루프 구조 알고리즘을 이해하는데 도움을 준다:

```

q = 0;
for (i = 0; i < Mmax; i = i + 1)
{ H(q) = (i mod 2) · 2Ni-1 + ∑j=0Ni-2 Ri(j) · 2j;
  if (H(q) < Nmax) q = q + 1; }

```

<430>

<431> 어드레스 생성기 지원 분석

<432>

각 동작 모드, 예컨대 32k 모드에 대한, 어드레스 생성기(102)에 대해 상술한 치환 코드 및 다항식 생성기를 선택하는 것은 인터리버의 상대적 수행(relative performance)에 대해 시뮬레이션 분석을 한 후에 식별된다. 인터리버의 상대적 수행이 연속 심볼 또는 "인터리빙 품질(interleaving quality)"을 분리시키는 인터리버의 상대적 능력을 이용하여 평가되었다. 상술한 바와 같이, 단일 인터리버 메모리를 이용하기 위해, 인터리빙은 홀수 및 짝수 심볼 모두에 대해 효율적으로 수행되어야 한다. 인터리버 품질의 상대적 측정값은 (부반송파의 수에 있어서) 거리 D를 정의함으로써 결정된다. 인터리버의 입력 시 거리가 D 이하였고, 인터리버의 출력 시 거리가 D 이하인 부반송파의 수를 식별하도록 기준 C(criterion C)가 선택되고, 거리 D 각각에 대한 부반송파의 수는 상대 거리에 대해 가중된다. 기준 C가 홀수 및 짝수 심볼 모두에 대해 평가된다. C를 최소화함으로써 최고 품질의 인터리버를 생성한다.

<433>

$$C = \sum_1^{d=D} N_{\text{even}}(d) / d + \sum_1^{d=D} N_{\text{odd}}(d) / d$$

<434>

N_{even}(d) 및 N_{odd}(d)는, 인터리버의 출력 시 부반송파 간의 간격을 d로 유지하는 짝수 및 홀수 심볼 각각의 부반송파의 수이다.

<435>

D=5인 값에 대한 32k 모드에 대해 식별된 인터리버의 분석이 짝수 OFDM 심볼에 대해 도 41(a)에 도시되고, 홀수 OFDM 심볼에 대해 도 41(b)에 도시된다. 위의 분석에 따르면, 32k 모드에 대해 식별된 치환 코드에 대한 C의 값은 21.75가 되었으며, 위의 식에 따라 출력에서 5 이하로 분리된 심볼의 부반송파의 가중된 수는 21.75 였다.

<436>

대응 분석은 도 41(d)의 홀수 OFDM 심볼 및 도 41(c)의 짝수 OFDM 심볼을 위한 대안 치환 코드에 대해 제공된다. 도 41(a) 및 도 41(b)에 도시된 결과와 비교하여 알 수 있는 바와 같이, D = 1 및 D = 2와 같이 짧은 거리에 의해 분리된 심볼을 나타내는 성분들이, 도 41(a) 및 도 41(b)에 도시된 결과와 비교할 때, 더 많이 존재하며, 이는 32k 모드 심볼 인터리버에 대해 식별된 치환 코드가 월등한 품질의 인터리버를 생성한다는 것을 보여준다.

<437>

대안 치환 코드

<438>

이하의 15개의 대안 가능 코드([n]R_i 비트 위치, n은 1 내지 15)가 이하에서 식별된 기준 C에 의해 결정된 좋은 품질의 심볼 인터리버를 제공하기 위해 제공되었다.

<439>

R' _i 비트 위치	13	12	11	10	9	8	7	6	5	4	3	2	1	0
[1]R _i 비트 위치	0	6	1	7	2	11	12	5	9	8	3	10	4	13
[2]R _i 비트 위치	9	5	0	7	2	8	3	6	12	11	4	1	10	13
[3]R _i 비트 위치	9	12	0	1	2	13	5	8	6	3	7	4	10	11
[4]R _i 비트 위치	13	8	1	12	11	0	9	5	3	7	6	2	10	4
[5]R _i 비트 위치	5	8	7	0	3	2	11	4	13	6	1	10	12	9
[6]R _i 비트 위치	8	9	5	13	0	10	7	1	12	3	2	4	11	6
[7]R _i 비트 위치	11	10	0	7	2	9	8	1	5	3	6	4	12	13
[8]R _i 비트 위치	11	4	0	13	10	12	5	7	2	8	3	1	6	9
[9]R _i 비트 위치	4	0	5	1	12	2	10	3	13	9	6	11	8	7
[10]R _i 비트 위치	4	7	0	8	10	1	6	3	2	9	11	12	13	5

[11]R _i 비트 위치	4	6	0	13	12	1	11	2	8	3	10	7	9	5
[12]R _i 비트 위치	0	5	1	9	2	12	3	6	8	7	4	10	11	13
[13]R _i 비트 위치	12	4	2	11	10	1	13	6	0	9	3	8	5	7
[14]R _i 비트 위치	10	6	0	13	12	11	8	5	2	4	3	1	9	7
[15]R _i 비트 위치	7	6	0	1	10	3	9	4	2	5	8	11	12	13

<440> 32k 모드에 대한 비트 치환

<441> 심볼 인터리버의 적용 및 다른 모드에 대한 어드레스 생성기

<442> 상술한 바와 같이, 도 40에 나타난 심볼 인터리버는 단순히 최대 유효 어드레스, 선형 피드백 시프트 레지스터 내의 스테이지의 수 및 치환 코드를 변경함으로써, 다른 모드로부터 인터리버 심볼로 적용될 수 있다. 특히, 상기 분석에 따라, 이하에서 1K, 2K, 4K, 8K 및 16K 모드 각각에 대해 확립된다.

<443> 1K 모드

<444> 최대 유효 어드레스 : 대략 1000

<445> 선형 피드백 시프트 레지스터 내의 스테이지의 수 : 9

<446> 생성 다항식: $R'_i[8]=R'_{i-1}[0] \oplus R'_{i-1}[4]$

<447> 치환 코드:

R' _i 비트 위치	8	7	6	5	4	3	2	1	0
R _i 비트 위치	4	3	2	1	0	5	6	7	8

<449> 2K 모드

<450> 최대 유효 어드레스 : 대략 2000

<451> 선형 피드백 시프트 레지스터 내의 스테이지의 수 : 10

<452> 생성 다항식: $R'_i[9]=R'_{i-1}[0] \oplus R'_{i-1}[3]$

<453> 치환 코드:

R' _i [n] 비트 위치	9	8	7	6	5	4	3	2	1	0
R _i [n] 비트 위치	0	7	5	1	8	2	6	9	3	4

<455> 4K 모드

<456> 최대 유효 어드레스 : 대략 4000

<457> 선형 피드백 시프트 레지스터 내의 스테이지의 수 : 11

<458> 생성 다항식: $R'_i[10]=R'_{i-1}[0] \oplus R'_{i-1}[2]$

<459> 치환 코드:

R' _i [n], n= 동안	10	9	8	7	6	5	4	3	2	1	0
R _i [n], n= 동안	7	10	5	8	1	2	4	9	0	3	6

<461> 8K 모드

<462> 최대 유효 어드레스 : 대략 8000

<463> 선형 피드백 시프트 레지스터 내의 스테이지의 수 : 12

<464> 생성 다항식: $R'_i[11]=R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[6]$

<465> 치환 코드:

R' _i 비트 위치	11	10	9	8	7	6	5	4	3	2	1	0
R _i 비트 위치	5	11	3	0	10	8	6	9	2	4	1	7

<467> 16K 모드

<468> 최대 유효 어드레스 : 대략 16000

<469> 선형 피드백 시프트 레지스터 내의 스테이지의 수 : 13

<470> 생성 다항식:

<471> $R'_i[12]=R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$

<472> 치환 코드:

R' _i 비트 위치	12	11	10	9	8	7	6	5	4	3	2	1	0
R _i 비트 위치	8	4	3	2	0	7	7	5	12	10	6	7	9

<474> 수신기 내의 심볼 인터리버의 추가 설명

<475> 도 29에 나타난 인터리버로 돌아가면, 인터리버 메모리(540) 및 어드레스 생성기(542)와 함께 도 42에 나타난 바와 같이, 심볼 다-인터리버(514)가 데이터 처리 장치로부터 생성된다. 인터리버 메모리(540)는 도 39에 나타나 있으며, 어드레스 생성기(542)에 의해 생성된 어드레스 세트를 활용함으로써 다-인터리빙을 달성하기 위해 상술한 바대로 동작한다. 어드레스 생성기(542)는 도 40에 나타난 바 대로 형성되며, 이는 각각의 OFDM 부반송과 신호로부터 출력 데이터 스트림으로 복구되는 데이터 심볼을 매핑하기 위해 대응 어드레스를 생성하도록 구성된다.

<476> 도 29에 나타난 OFDM 수신기의 나머지 부분은 LDPC 인코딩된 데이터 비트의 에러 정정 디코딩(518)에 영향을 주어, 에러를 정정하고 소스 데이터의 평가를 복구한다.

<477> 수신기 및 송신기 모두에 대해 현재 기술이 제공하는 하나의 장점은 수신기 및 송신기에서 동작하는 심볼 인터리버 및 심볼 다-인터리버가, 생성 다항식 및 치환 순서를 변경함으로써 1k, 2k, 4k, 8k, 16k 및 32k 모드 사이에서 스위치될 수 있다는 점이다. 그러므로, 도 42에 나타난 어드레스 생성기(542)는 모드를 나타내는 입력(544) 및 홀수/짝수 OFDM 심볼이 존재하는지 여부를 나타내는 입력(546)을 포함한다. 따라서 도 40에 도시된 어드레스 생성기와 함께 심볼 인터리버 및 다-인터리버가 도 38 및 42에 나타난 바와 같이 형성될 수 있기에, 유연한 구현이 제공된다. 따라서, 어드레스 생성기는 생성 다항식을 변경하고 각각의 모드에 대해 나타내는 치환 순서를 변경함으로써 다른 모드로 적응될 수 있다. 예컨대, 이는 소프트웨어 변경을 이용해서 달성될 수 있다. 대안으로, 다른 실시예에서, DVB-T2 송신 모드를 나타내는 임베디드(embedded) 신호는 임베디드 신호 처리 유닛(511) 내의 수신기에서 검출될 수 있고, 검출된 모드에 따라서 심볼 다-인터리버를 자동으로 구성하는데 사용될 수 있다.

<478> 대안으로, 상술한 바와 같이, 단순히 사용되는 모드에 따라서 최대 유효 어드레스를 적응함으로써, 다른 인터리버는 상이한 모드와 함께 사용될 수 있다.

<479> 홀수 인터리버의 최적화된 사용

<480> 도 39에 나타난 바와 같이, 두 심볼 인터리빙 처리(하나는 짝수 OFDM 심볼을 위한 것이고, 다른 하나는 홀수 OFDM 심볼을 위한 것임)는 인터리빙동안 사용되는 메모리의 양이 줄어들도록 한다. 도 39에 나타난 예에서, 홀수 심볼에 대한 기록 순서는 짝수 심볼에 대한 판독 순서와 동일하기 때문에, 홀수 심볼이 메모리로부터 판독되는 동안, 짝수 심볼은 막 판독된 위치에 기록될 수 있고, 그 후에 짝수 심볼이 메모리로부터 판독되는 경우, 후

속 홀수 심볼이 막 관독된 장소에 기록될 수 있다.

- <481> 상술한 바와 같이, 예컨대 도 43(a) 및 도 43(b)에 나타나 있으며, (상술한 기준 C를 사용하여) 인터리버의 성능에 대한 실험적 분석을 하는 동안, DVB-H에 대해 4k 심볼 인터리버로, DVB-T에 대해 2k 및 8k 심볼 인터리버로 구성된 인터리빙 구성은, 짝수 심볼보다 홀수 심볼에 더 양호하게 동작하는 것을 발견하였다. 그러므로, 예컨대 도 43(a) 및 43(b)에 의해 기술된 바와 같이 인터리버의 성능 평가 결과로부터 홀수 인터리버가 짝수 인터리버보다 더 양호한 동작을 하는 것으로 밝혀졌다. 이는 짝수 심볼에 대한 인터리버의 결과를 나타내는 도 43(a) 및 홀수 심볼에 대한 결과를 나타내는 도 43(b)를 비교해보면 알 수 있다. 인터리버 입력에 인접한 부반송파의 인터리버 출력에서의 평균 거리는 홀수 심볼에 대한 인터리버가 짝수 심볼에 대한 인터리버보다 더 큰 것을 알 수 있다.
- <482> 이해될 수 있는 바와 같이, 심볼 인터리버를 구현하는데 필요한 인터리버 메모리의 양은 OFDM 반송파 심볼에 매핑되는 데이터 심볼의 수에 좌우된다. 그러므로, 16k 모드 심볼 인터리버는 32k 모드 심볼 인터리버를 구현하는데 필요한 메모리의 절반을 요구하며, 이와 유사하게 8k 심볼 인터리버를 구현하는데 필요한 메모리의 양은 16k 인터리버를 구현하는데 필요한 것의 절반이다. 그러므로, 송신기 및 수신기는, OFDM 심볼 당 운반될 수 있는 데이터 심볼의 최대 수를 설정하는 모드의 심볼 인터리버를 구현하도록 구성되며, 이에 따라 소정의 최대 모드의 OFDM 심볼당 부반송파 수의 절반 이하를 제공하는 임의의 다른 모드에 대한 두개의 홀수 인터리빙 처리들을 구현하기에 충분한 메모리를 포함한다. 예컨대, 32k 인터리버를 포함하는 수신기 및 송신기는, 각각 자신의 16k 메모리를 가지는 두 16k 홀수 인터리빙 처리들을 수용하기에 충분한 메모리를 갖는다.
- <483> 그러므로, 홀수 인터리빙 처리의 더 양호한 성능을 개발하기 위해, 다중 변조 모드를 수용할 수 있는 심볼 인터리버는, OFDM 심볼 당 부반송파의 최대 수를 나타내는 최대 모드의 부반송파 수의 절반 이하를 포함하는 모드인 경우에, 홀수 심볼 인터리빙 처리만이 사용되도록 구성될 수 있다. 그러므로, 이 최대 모드는 최대 메모리 크기를 설정한다. 예컨대, 32K 모드가 가능한 송신기/수신기에서, 더 적은 반송파(즉, 16K, 8K, 4K 또는 1K)의 모드에서 동작하는 경우, 별도의 홀수 및 짝수 심볼 인터리빙 처리를 사용하기 보다 두개의 홀수 인터리버들이 사용될 수 있다.
- <484> 홀수 인터리빙 모드만의 OFDM 심볼의 부반송파로 입력 데이터 심볼을 인터리빙하는 경우, 도 38에 나타난 심볼 인터리버(33)의 적응에 대한 설명이 도 44에 나타나 있다. 도 38에 나타난 바와 같이, 어드레스 생성기(102.1)가 홀수 인터리빙 처리 만을 수행하도록 적응된 것을 제외하고, 심볼 인터리버(33.1)는 심볼 인터리버(33)에 정확히 대응된다. 도 44에 나타난 예에서, 심볼 인터리버(33.1)는, OFDM 심볼 당 전달될 수 있는 데이터 심볼의 수가, OFDM 심볼 당 부반송파의 최대 수로써 동작 모드에 있는 OFDM 심볼에 의해 송신될 수 있는 최대 수의 절반 보다 적은 모드에서 동작한다. 그러한 것으로써, 심볼 인터리버(33.1)는 인터리버 메모리(100)를 분할하도록 구성된다. 도 44에 나타난 기술에서, 인터리버 메모리(100)는 두 부분(601, 602)으로 나누어진다. 홀수 인터리버 처리를 사용하여 데이터 심볼이 OFDM 심볼에 매핑되는 모드에서 동작하는 심볼 인터리버(33.1)의 설명으로서, 도 44는 인터리버 메모리(601, 602)의 각각의 절반에 대한 확장된 보기(view)를 제공한다. 확장된 보기는 도 39로부터 재생된 네개의 심볼 A, B, C, D에 대해 송신기 측에 대해 나타난 바와 같이 홀수 인터리빙 모드의 설명을 제공하고 있다. 그러므로 도 44에 나타난 바와 같이, 제1 및 제2 데이터 심볼의 연속적인 세트에 대해, 데이터 심볼은 연속적인 순서로 인터리버 메모리(601, 602)에 기록되고, 이미 설명한 바와 같이, 어드레스 생성기에 의해 생성된 어드레스에 따라서 치환 순서로 어드레스 생성기(102)에 의해 생성된 어드레스에 따라서 관독된다. 그러므로 도 44에 도시된 바와 같이, 홀수 인터리빙 처리가 데이터 심볼의 제1 및 제2 세트의 연속적인 세트에 대해 수행되기 때문에, 인터리버 메모리는 두 부분으로 분할되어야 한다. 심볼 인터리버가, 홀수 및 짝수 인터리빙 모드에서 동작할 때 수용될 수 있는 심볼 인터리버 메모리의 동일한 부분을 더이상 재사용하지 못하기 때문에, 데이터 심볼의 제1 세트로부터의 심볼은 인터리버 메모리(601)의 제1 절반으로 기록되고, 데이터 심볼의 제2 세트로부터의 심볼은 인터리버 메모리(602)의 제2 부분으로 기록된다.
- <485> 도 42에서 나타났지만, 오직 홀수 인터리빙 처리에 의해서만 동작하도록 적응된 수신기의 인터리버의 해당되는 예는 도 45에 나타나 있다. 도 45에 나타난 바와 같이, 인터리버 메모리(540)는 두개의 절반(710, 712)으로 나누어져 있으며, 어드레스 생성기(542)는 인터리버 메모리로 데이터 심볼을 기록하고 인터리버 메모리로부터 메모리(710, 712)의 각각의 부분으로 데이터 심볼을 관독하도록 적응되어, 데이터 심볼의 연속적인 세트가 홀수 인터리빙 처리만을 구현하도록 한다. 그러므로, 도 44에 나타난 표시에 대응하여, 도 45는 도 39에서 인터리빙 메모리(710, 712)의 제1 및 제2 절반 모두에 대해 동작하는 확장된 보기로서 도시되며 수신기에서 수행되는 인터리빙 처리의 매핑을 나타낸다. 그러므로, 제1 데이터 심볼 세트는, 1, 3, 0, 2의 기록 시퀀스를 제공하는 데이터 심볼의 기록 순서에 의해 설명된 바와 같이 어드레스 생성기(542)에 의해 생성된 어드레스에 따라 정의

되는 치환 순서로 인터리버 메모리(710)의 제1 부분으로 기록된다. 설명된 바와 같이, 데이터 심볼은 순차적 순서로 인터리버 메모리(710)의 제1 부분으로부터 판독되어, 원본 시퀀스 A, B, C, D를 복구한다.

<486> 이에 따라, 연속적인 OFDM 심볼로부터 복구된 데이터 심볼의 제2 후속(subsequent) 세트는 치환 순서로 어드레스 생성기(542)에 의해 생성된 어드레스에 따라 인터리버 메모리(712)의 제2 절반으로 기록되며 순차적 순서로 출력 데이터 스트림으로 판독된다.

<487> 일 실시예에서, 데이터 심볼의 제1 세트가 인터리버 메모리(710)의 제1 절반으로 기록되도록 생성된 어드레스는, 데이터 심볼의 제2 후속 세트가 인터리버 메모리(712)에 기록되도록 재사용될 수 있다. 이에 따라, 송신기는, 또한 데이터 심볼의 제1 세트가, 순차적 순서로 메모리의 제2 절반에 기록된 데이터 심볼의 제2 세트를 판독하도록 인터리버의 절반에 대해 생성된 어드레스를 재사용할 수 있다.

<488> 치환 시퀀스 사용

<489> 일 실시예에서, 어드레스 생성기는 연속적인 OFDM 심볼에 대한 치환 코드 세트로부터 상이한 치환 코드를 적용할 수 있다. 인터리버 어드레스 생성기에서 치환 시퀀스를 사용하여, 인터리버에 입력되는 데이터의 임의의 비트가 OFDM 심볼 내의 동일한 부반송파를 언제나 변조하지는 않는다는 가능성을 줄여준다. 다른 예에서, 두개의 어드레스 생성기들이 사용될 수 있는데, 하나는 데이터 심볼의 제1 세트 및 메모리의 제1 절반을 위해 어드레스를 생성하고, 다른 하나는 데이터 심볼의 제2 세트 및 메모리의 제2 절반을 위해 상이한 시퀀스의 어드레스를 생성한다. 제2 어드레스 생성기는 예컨대 상기 양호한 치환 테이블로부터의 치환 코드를 상이하게 선택할 수 있다.

<490> 예컨대, 순환 시퀀스가 사용될 수 있어서, 일 시퀀스의 치환 코드 세트의 상이한 치환 코드가 연속적인 OFDM 심볼에 대해 사용되고 반복된다. 이 순환 시퀀스는 예컨대 2 또는 4의 길이를 가질 수 있다. 16K 심볼 인터리버의 예에서, 매 OFDM 심볼 마다 순환되는 두개의 치환 코드들의 일 시퀀스는 예컨대 다음과 같다:

<491> 8 4 3 2 0 11 1 5 12 10 6 7 9

<492> 7 9 5 3 11 1 4 0 2 12 10 8 6

<493> 반면, 4개의 치환 코드들의 일 시퀀스는 이하와 같을 수 있다:

<494> 8 4 3 2 0 11 1 5 12 10 6 7 9

<495> 7 9 5 3 11 1 4 0 2 12 10 8 6

<496> 6 11 7 5 2 3 0 1 10 8 12 9 4

<497> 5 12 9 0 3 10 2 4 6 7 8 11 1

<498> 하나의 치환 코드를 다른 치환 코드로 교환하는 것은 제어 채널(108)에 나타난 홀수/짝수 신호의 변경에 대응해서 달성될 수 있다. 제어 유닛(224)은 제어 라인(111)을 통해 치환 코드 회로(210)의 치환 코드를 변경한다.

<499> 1k 심볼 인터리버의 예에서, 2개의 치환 코드들은 이하와 같을 수 있다:

<500> 4 3 2 1 0 5 6 7 8

<501> 3 2 5 0 1 4 7 8 6

<502> 반면, 4개의 치환 코드들은 아래와 같을 수 있다:

<503> 4 3 2 1 0 5 6 7 8

<504> 3 2 5 0 1 4 7 8 6

<505> 7 5 3 8 2 6 1 4 0

<506> 1 6 8 2 5 3 4 0 7

<507> 2k, 4k 및 8k 반송파 모드 또는 실제로 0.5k 반송파 모드에 대해 다른 시퀀스 조합이 가능할 수 있다. 예컨대, 0.5k, 2k, 4k 및 8k 각각에 대한 후술하는 치환 코드는 심볼들의 양호한 디-코릴레이션(de-correlation)을 제공하고, 각각의 모드에 대해 어드레스 생성기에 의해 생성된 어드레스에 오프셋을 생성하기 위해 주기적으로 사용될 수 있다:

- <508> 2k 모드:
- <509> 0 7 5 1 8 2 6 9 3 4 *
- <510> 4 8 3 2 9 0 1 5 6 7
- <511> 8 3 9 0 2 1 5 7 4 6
- <512> 7 0 4 8 3 6 9 1 5 2
- <513> 4k 모드:
- <514> 7 10 5 8 1 2 4 9 0 3 6 **
- <515> 6 2 7 10 8 0 3 4 1 9 5
- <516> 9 5 4 2 3 10 1 0 6 8 7
- <517> 1 4 10 3 9 7 2 6 5 0 8
- <518> 8k 모드:
- <519> 5 11 3 0 10 8 6 9 2 4 1 7 *
- <520> 10 8 5 4 2 9 1 0 6 7 3 11
- <521> 11 6 9 8 4 7 2 1 0 10 5 3
- <522> 8 3 11 7 9 1 5 6 4 0 2 10
- <523> 위에서 나타난 치환 코드에 대해, 첫번째 두개는 2 시퀀스 사이클에서 사용될 수 있고, 네개 모두에 대해서는 4 시퀀스 사이클에서 사용될 수 있다. 또한, 인터리브 심볼(일부는 상술한 것과 공통됨) 내에 양호한 디-코릴레이션을 발생하는 어드레스 생성기에서 오프셋을 제공하기 위해 순환되는 4개의 치환 코드들의 일부 다른 시퀀스들은 이하와 같다:
- <524> 0.5k 모드:
- <525> 3 7 4 6 1 2 0 5
- <526> 4 2 5 7 3 0 1 6
- <527> 5 3 6 0 4 1 2 7
- <528> 6 1 0 5 2 7 4 3
- <529> 2k 모드:
- <530> 0 7 5 1 8 2 6 9 3 4 *
- <531> 3 2 7 0 1 5 8 4 9 6
- <532> 4 8 3 2 9 0 1 5 6 7
- <533> 7 3 9 5 2 1 0 6 4 8
- <534> 4k 모드:
- <535> 7 10 5 8 1 2 4 9 0 3 6 **
- <536> 6 2 7 10 8 0 3 4 1 9 5
- <537> 10 3 4 1 2 7 0 6 8 5 9
- <538> 0 8 9 5 10 4 6 3 2 1 7
- <539> 8k 모드:
- <540> 5 11 3 0 10 8 6 9 2 4 1 7 *

- <541> 8 10 7 6 0 5 2 1 3 9 4 11
- <542> 11 3 6 9 2 7 4 10 5 1 0 8
- <543> 10 8 1 7 5 6 0 11 4 2 9 3
- <544> * 이는 DVB-T 표준에서의 치환이다.
- <545> **이는 DVB-H 표준에서의 치환이다.
- <546> 2k, 4k, 8k 모드에 대한 어드레스 생성기 및 대응 인터리버의 예는 유럽 특허 출원 번호 04251667.4에 기술되어 있으며, 그 내용은 본 명세서에 참조로 인용된다. 0.5k 모드에 대한 어드레스 생성기는 출원 계류중인 UK 특허 출원 번호 0722553.5에 기술되어 있다.
- <547> 본 발명의 특징에서 다양한 추가 양상은 독립 청구항들에 의해 정의된다. 본 발명의 범위로부터 벗어나지 않은 채 상술된 실시예에 대해 다양한 변형이 이루어질 수 있다. 특히, 본 발명의 양상을 나타내는데 사용되는 생성 다항식 및 치환 순서에 대한 예는 제한을 목적으로 하지 않으며, 생성 다항식 및 치환 순서의 등가물에까지 미친다.
- <548> 도 1 및 7에 나타난 송신기 및 수신기 각각은 설명을 위한 것이며 이에 제한되지 않는 것으로 이해되어야 한다. 예를 들어, 비트 인터리버와, 매핑 및 디-매핑에 대한 심볼 인터리버 및 디-인터리버의 위치는 변할 수 있음을 알 것이다. 인터리버가 v-비트 벡터가 아닌 인터리빙 I/Q 심볼인 경우에도, 인터리버 및 디-인터리버의 효과는 상대적 위치에 따라 변하지 않음을 알 것이다. 이에 대응하여, 수신기는 변경될 수 있다. 이에 따라, 인터리버 및 디-인터리버는 상이한 데이터 타입에서 동작할 것이고, 일례의 실시예에 기술된 위치와는 상이하게 위치할 수 있다.
- <549> 상술한 바와 같이, 인터리버의 생성 다항식 및 치환 코드는, 그 모드에 대한 반송파 수에 따라서 선정된 최대 허용 어드레스를 변경함으로써, 다른 모드로 균등하게 적용될 수 있다.
- <550> 수신기의 일 구현에 따르면, OFDM(Orthogonal Frequency Division Multiplexed) 심볼의 선정된 수의 부반송파 신호로부터 수신된 데이터 심볼을 출력 데이터 스트림으로 매핑하도록 동작 가능한 데이터 처리 장치가 포함된다.
- <551> 상술한 바와 같이, 본 발명의 실시예는 본 발명에 참조용으로 인용되는 DVB-T, DVB-T2 및 DVB-H 등의 DVB 표준이 사용되는 응용예가 개시되어 있다. 예를 들어 본 발명의 실시예는, 구체적으로 ETSI 표준 EN 302 755에 따르는 DVB-T2 표준에 따라서 동작하는 송신기 또는 수신기에서 사용될 수 있지만, 본 발명은 DVB가 사용되는 응용예에 제한되는 것은 아니며, 고정식 또는 이동형의 수신기 또는 송신기에 대한 기타 표준에까지 확장될 수 있다. 다른 예에서, 본 발명의 실시예는 DVB-C2라고 알려진 케이블 송신 표준을 사용한다.
- <552> 상술한 일례의 실시예와, 특허청구범위에 의해 정의되는 발명의 양상 및 특징 외에, 다른 실시예는 OFDM 심볼의 선정된 수의 부반송파 신호로 통신되게 입력 심볼을 매핑하도록 동작 가능한 데이터 처리 장치를 제공할 수 있다. 부반송파 신호의 선정된 수는 변조 모드에 대응하고, 입력 심볼은 홀수 데이터 심볼 및 짝수 데이터 심볼을 포함한다. 데이터 처리 장치는, 홀수 입력 데이터 심볼을 부반송파 신호에 인터리브하는 제1 인터리버 처리 및 짝수 입력 데이터 심볼을 부반송파 신호에 인터리브하는 짝수 인터리빙 처리를 수행하도록 동작 가능한 인터리버를 포함한다. 상기 제1 홀수 인터리빙 처리 및 짝수 인터리빙 처리는 OFDM 부반송파 신호의 매핑을 위한 데이터 심볼을 인터리버 메모리에 입력하고 관독한다. 상기 관독은 입력과 상이한 순서로 수행되어서, 홀수 심볼이 메모리의 한 위치에서 관독되는 동안, 짝수 심볼은 막 관독된 위치에 기록될 수 있고, 짝수 심볼이 메모리의 해당 위치로부터 관독되면, 후속하는 홀수 심볼이 막 관독된 위치에 기록될 수 있다. 상기 홀수 인터리빙 처리는 홀수 인터리빙 방식에 따라서 인터리버 메모리로부터 홀수 데이터 심볼을 입력 및 관독하고, 상기 짝수 인터리빙 처리는 짝수 인터리빙 방식에 따라서 인터리버 메모리로부터 짝수 데이터 심볼을 입력 및 관독한다. 변조 모드가 인터리버 메모리에 의해 수용될 수 있는 부반송파의 총수에 비해 절반 이하의 부반송파 신호를 포함하는 모드인 경우, 데이터 장치는, 짝수 입력 심볼을 인터리빙하는 제1, 제2 홀수 인터리빙 처리에 따라서, 인터리빙 메모리의 일 부분을 제1 홀수 인터리빙 처리에 할당하고, 인터리빙 메모리의 제2 부분을 제2 홀수 인터리빙 처리에 할당하도록 동작 가능하다.
- <553> 다른 일례의 실시예에 따라, 데이터 처리 장치는 OFDM 심볼의 선정된 수의 부반송파 신호로 통신되게 입력 심볼을 매핑하도록 동작 가능하다. 선정된 수의 부반송파 신호는 변조 모드에 대응하고, 입력 심볼은 제1 OFDM 심볼로 매핑하기 위한 제1 데이터 심볼 및 제2 OFDM 심볼로 매핑하기 위한 제2 데이터 심볼을 포함한다. 데이터

처리 장치는 제1 입력 데이터 심볼을 부반송파 신호로 인터리빙하는 홀수 인터리빙 처리와, 제2 입력 데이터 심볼을 부반송파 신호로 인터리빙하는 짝수 인터리빙 처리를 수행하도록 동작 가능한 인터리버를 포함한다. 상기 홀수 인터리빙 처리는 제1 입력 데이터 심볼의 순차적 순서에 따라서 제1 입력 데이터 심볼을 인터리버 메모리 내에 기록하고, 치환 코드에 의해 정의되는 순서에 따라서 인터리버 메모리로부터의 제1 데이터 심볼을 부반송파 신호로 판독하며, 상기 짝수 인터리빙 처리는 치환 코드에 의해 정의되는 순서에 따라서 제2 입력 데이터 심볼을 인터리버 메모리에 기록하고 순차적 순서에 따라서 인터리버 메모리로부터의 제2 데이터 심볼을 부반송파 신호로 판독하여서, 제1 입력 데이터 심볼이 인터리버 메모리의 한 위치로부터 판독되면, 제2 심볼은 막 판독된 위치에 기록되고, 제2 심볼이 인터리버 메모리의 위치로부터 판독되면, 후속하는 제1 심볼은 막 판독된 위치에 기록될 수 있다. 만약 변조 모드가 인터리버 메모리에 의해 수용 가능한 부반송파의 총수에 비해 절반 이하인 부반송파 신호를 포함하는 모드인 경우, 데이터 장치는 홀수 인터리빙 처리에 따라서 제1 및 제2 입력 심볼 모두를 인터리빙하도록 동작 가능하다.

- <554> 다른 일례의 실시예는 OFDM 심볼의 선정된 수의 부반송파 신호로 통신되게 입력 심볼을 매핑하는 방법을 제공할 수 있다. 본 방법은 제1 데이터 심볼을 제1 OFDM 심볼로 매핑하고, 제2 데이터 심볼을 제2 OFDM 심볼로 매핑하는 것을 포함한다.
- <555> 번호가 매겨져 있는 후술하는 절은 본 발명을 실시하는 특징 및 양상을 정의한다:
- <556> 1. 데이터를 인터리빙하기 위한 데이터 처리 장치로서,
- <557> LDPC(Low Density Parity Check) 코드의 두 개 이상의 코드 비트들이 일 심볼로서 송신될 때, 상기 LDPC 코드의 정보 비트들에 대응하는 정보 행렬의 임의의 행의 값 1에 대응하는 복수의 코드 비트들이 동일한 심볼에 결합되지 않도록 상기 LDPC 코드의 코드 비트를 치환하기 위해 상기 LDPC 코드에 치환 처리를 수행하는 치환부를 포함하는 데이터 처리 장치.
- <558> 2. 데이터를 인터리빙하기 위한 데이터 처리 장치로서,
- <559> LDPC 코드의 두 개 이상의 코드 비트들이 일 심볼로서 송신될때, 상기 LDPC 코드의 코드 비트를 치환하기 위해 상기 LDPC 코드에 치환 처리를 수행하는 치환부를 포함하고,
- <560> 상기 LDPC 코드의 패리티 검사 행렬은 상기 LDPC 코드의 정보 비트에 대응하는 정보 행렬을 포함하고, 상기 정보 행렬은 순환적 구조를 가지며;
- <561> 상기 LDPC 코드의 코드 비트가, 각각의 LDPC 코드의 코드 비트가 행 및 열 방향으로 저장되는 저장소에 상기 열 방향으로 기록되고, 그 후 심볼을 구성하기 위하여 상기 저장소로부터 상기 행 방향으로 판독될 때, 상기 치환부는, 상기 LDPC 코드의 코드 비트가 상기 저장소의 각각의 열 내에 열 방향으로 기록되기 시작하는 기록 개시 위치를 변경하기 위해 상기 치환 처리로서 열 트위스트 인터리빙을 수행하는, 데이터 처리 장치.
- <562> 3. 제2항에 있어서,
- <563> 상기 LDPC 코드의 패리티 검사 행렬은 상기 LDPC 코드의 패리티 비트에 대응하는 패리티 행렬을 포함하고, 상기 패리티 행렬은, 열 치환을 통하여, 상기 패리티 행렬의 특정 부분을 제외한 상기 패리티 행렬의 일부분이 순환적 구조를 가지도록, 의사 순환적 구조로 변환되는, 데이터 처리 장치.
- <564> 4. 제3항에 있어서,
- <565> 상기 패리티 행렬은 단계적 구조를 가지고 열 치환을 통하여 상기 의사 순환적 구조로 변환되는, 데이터 처리 장치.
- <566> 5. 제4항에 있어서,
- <567> 상기 LDPC 코드는 DVB-S.2 사양에 정의된 LDPC 코드인, 데이터 처리 장치.
- <568> 6. 제5항에 있어서,
- <569> 상기 LDPC 코드의 m개의 코드 비트들이 일 심볼을 구성하고, 상기 LDPC 코드는 N 비트의 코드 길이를 가지며, b는 양의 정수 일 때,
- <570> 상기 저장소는 상기 행 방향으로 mb 비트를 저장하고 상기 열 방향으로 N/mb 비트를 저장하며;
- <571> 상기 LDPC 코드의 코드 비트는 상기 저장소에 상기 열 방향으로 기록되고, 그 후 상기 저장소로부터 상기 행 방

향으로 판독되며;

<572> 상기 저장소로부터 상기 행 방향으로 판독된 mb 코드 비트는 b 심볼을 구성하는, 데이터 처리 장치.

<573> 7. 제6항에 있어서,

<574> 상기 LDPC 코드의 패리티 비트를 상이한 패리티 비트 위치로 인터리빙하기 위하여 상기 LDPC 코드에 패리티 인터리빙을 수행하는 패리티 인터리버를 더 포함하고,

<575> 상기 치환부는 상기 패리티-인터리빙된 LDPC 코드에 상기 열 트위스트 인터리빙을 수행하는, 데이터 처리 장치.

<576> 8. 제7항에 있어서,

<577> 상기 LDPC 코드의 패리티 비트 수 M이 비-소수 값이고, P 및 q는 1 및 M을 제외한 상기 패리티 비트 수 M의 두 제수이며, 상기 두 제수 P 및 q의 곱은 상기 패리티 비트 수 M과 동일하고, K는 상기 LDPC 코드의 정보 비트의 수이며, x는 0 이상 P 미만의 정수이고, y는 0이상 q 미만의 정수일 때,

<578> 상기 패리티 인터리버는, 상기 LDPC 코드의 K+1 내지 K+M 번째 코드 비트를 포함하는 패리티 비트 중에서 K + qx + y + 1 번째 코드 비트를 K + Py + x + 1 번째 코드 비트 위치로 인터리빙하는, 데이터 처리 장치.

<579> 9. 제6항에 있어서,

<580> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 11개의 코드 레이트 각각에 64800 비트의 코드 길이 N을 가지는 LDPC 코드일 때,

<581> 상기 m 코드 비트는 2 코드 비트이고 상기 양의 정수 b는 1이며,

<582> 상기 LDPC 코드의 상기 2 코드 비트는 특정 변조 방법에 따라 결정된 4개의 신호 포인트들 중 하나에 매핑되고,

<583> 상기 저장소는 2×1 비트를 행 방향으로 저장하기 위한 2열을 포함하고 64800/(2×1) 비트를 열 방향으로 저장하며,

<584> 상기 치환부는,

<585> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,

<586> 상기 저장소의 상기 2열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,

<587> 상기 저장소의 상기 2열 중 두 번째의 기록 개시 위치가 어드레스 "2"에 있음

<588> 을 결정하는, 데이터 처리 장치.

<589> 10. 제6항에 있어서,

<590> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 11개의 코드 레이트 각각에 64800 비트의 코드 길이 N을 가지는 LDPC 코드일 때,

<591> 상기 m 코드 비트는 2 코드 비트이고 상기 양의 정수 b는 2이며,

<592> 상기 LDPC 코드의 상기 2 코드 비트는 특정 변조 방법에 따라 결정된 4개의 신호 포인트들 중 하나에 매핑되고,

<593> 상기 저장소는 2×2 비트를 행 방향으로 저장하기 위한 4열을 포함하고 64800/(2×2) 비트를 열 방향으로 저장하며,

<594> 상기 치환부는,

<595> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,

<596> 상기 저장소의 상기 4열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,

<597> 상기 저장소의 상기 4열 중 두 번째의 기록 개시 위치가 어드레스 "2"에 있고,

<598> 상기 저장소의 상기 4열 중 세 번째의 기록 개시 위치가 어드레스 "4"에 있고,

<599> 상기 저장소의 상기 4열 중 네 번째의 기록 개시 위치가 어드레스 "7"에 있음

- <600> 을 결정하는, 데이터 처리 장치.
- <601> 11. 제6항에 있어서,
- <602> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 11개의 코드 레이트 각각에 64800 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <603> 상기 m 코드 비트는 4 코드 비트이고 상기 양의 정수 b는 1이며,
- <604> 상기 LDPC 코드의 상기 4 코드 비트는 특정 변조 방법에 따라 결정된 16개의 신호 포인트들 중 하나에 매핑되고,
- <605> 상기 저장소는 4×1 비트를 행 방향으로 저장하기 위한 4열을 포함하고 64800/(4×1) 비트를 열 방향으로 저장하며,
- <606> 상기 치환부는,
- <607> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <608> 상기 저장소의 상기 4열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <609> 상기 저장소의 상기 4열 중 두 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <610> 상기 저장소의 상기 4열 중 세 번째의 기록 개시 위치가 어드레스 "4"에 있고,
- <611> 상기 저장소의 상기 4열 중 네 번째의 기록 개시 위치가 어드레스 "7"에 있음
- <612> 을 결정하는, 데이터 처리 장치.
- <613> 12. 제6항에 있어서,
- <614> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 11개의 코드 레이트 각각에 64800 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <615> 상기 m 코드 비트는 4 코드 비트이고 상기 양의 정수 b는 2이며,
- <616> 상기 LDPC 코드의 상기 4 코드 비트는 특정 변조 방법에 따라 결정된 16개의 신호 포인트들 중 하나에 매핑되고,
- <617> 상기 저장소는 4×2 비트를 행 방향으로 저장하기 위한 8열을 포함하고 64800/(4×2) 비트를 열 방향으로 저장하며,
- <618> 상기 치환부는,
- <619> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <620> 상기 저장소의 상기 8열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <621> 상기 저장소의 상기 8열 중 두 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <622> 상기 저장소의 상기 8열 중 세 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <623> 상기 저장소의 상기 8열 중 네 번째의 기록 개시 위치가 어드레스 "4"에 있고,
- <624> 상기 저장소의 상기 8열 중 다섯 번째의 기록 개시 위치가 어드레스 "4"에 있고,
- <625> 상기 저장소의 상기 8열 중 여섯 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <626> 상기 저장소의 상기 8열 중 일곱 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <627> 상기 저장소의 상기 8열 중 여덟 번째의 기록 개시 위치가 어드레스 "7"에 있음
- <628> 을 결정하는, 데이터 처리 장치.
- <629> 13. 제6항에 있어서,

- <630> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 11개의 코드 레이트 각각에 64800 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <631> 상기 m 코드 비트는 6 코드 비트이고 상기 양의 정수 b는 1이며,
- <632> 상기 LDPC 코드의 상기 6 코드 비트는 특정 변조 방법에 따라 결정된 64개의 신호 포인트들 중 하나에 매핑되고,
- <633> 상기 저장소는 6×1 비트를 행 방향으로 저장하기 위한 6열을 포함하고 64800/(6×1) 비트를 열 방향으로 저장하며,
- <634> 상기 치환부는,
- <635> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <636> 상기 저장소의 상기 6열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <637> 상기 저장소의 상기 6열 중 두 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <638> 상기 저장소의 상기 6열 중 세 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <639> 상기 저장소의 상기 6열 중 네 번째의 기록 개시 위치가 어드레스 "9"에 있고,
- <640> 상기 저장소의 상기 6열 중 다섯 번째의 기록 개시 위치가 어드레스 "10"에 있고,
- <641> 상기 저장소의 상기 6열 중 여섯 번째의 기록 개시 위치가 어드레스 "13"에 있음
- <642> 을 결정하는, 데이터 처리 장치.
- <643> 14. 제6항에 있어서,
- <644> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 11개의 코드 레이트 각각에 64800 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <645> 상기 m 코드 비트는 6 코드 비트이고 상기 양의 정수 b는 2이며,
- <646> 상기 LDPC 코드의 상기 6 코드 비트는 특정 변조 방법에 따라 결정된 64개의 신호 포인트들 중 하나에 매핑되고,
- <647> 상기 저장소는 6×2 비트를 행 방향으로 저장하기 위한 12열을 포함하고 64800/(6×2) 비트를 열 방향으로 저장하며,
- <648> 상기 치환부는,
- <649> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <650> 상기 저장소의 상기 12열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <651> 상기 저장소의 상기 12열 중 두 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <652> 상기 저장소의 상기 12열 중 세 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <653> 상기 저장소의 상기 12열 중 네 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <654> 상기 저장소의 상기 12열 중 다섯 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <655> 상기 저장소의 상기 12열 중 여섯 번째의 기록 개시 위치가 어드레스 "4"에 있고,
- <656> 상기 저장소의 상기 12열 중 일곱 번째의 기록 개시 위치가 어드레스 "4"에 있고,
- <657> 상기 저장소의 상기 12열 중 여덟 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <658> 상기 저장소의 상기 12열 중 아홉 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <659> 상기 저장소의 상기 12열 중 열 번째의 기록 개시 위치가 어드레스 "7"에 있고,

- <660> 상기 저장소의 상기 12열 중 열 한 번째의 기록 개시 위치가 어드레스 "8"에 있고,
- <661> 상기 저장소의 상기 12열 중 열 두 번째의 기록 개시 위치가 어드레스 "9"에 있음
- <662> 을 결정하는, 데이터 처리 장치.
- <663> 15. 제6항에 있어서,
- <664> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 11개의 코드 레이트 각각에 64800 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <665> 상기 m 코드 비트는 8 코드 비트이고 상기 양의 정수 b는 1이며,
- <666> 상기 LDPC 코드의 상기 8 코드 비트는 특정 변조 방법에 따라 결정된 256개의 신호 포인트들 중 하나에 매핑되고,
- <667> 상기 저장소는 8×1 비트를 행 방향으로 저장하기 위한 8열을 포함하고 $64800 / (8 \times 1)$ 비트를 열 방향으로 저장하며,
- <668> 상기 치환부는,
- <669> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <670> 상기 저장소의 상기 8열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <671> 상기 저장소의 상기 8열 중 두 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <672> 상기 저장소의 상기 8열 중 세 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <673> 상기 저장소의 상기 8열 중 네 번째의 기록 개시 위치가 어드레스 "4"에 있고,
- <674> 상기 저장소의 상기 8열 중 다섯 번째의 기록 개시 위치가 어드레스 "4"에 있고,
- <675> 상기 저장소의 상기 8열 중 여섯 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <676> 상기 저장소의 상기 8열 중 일곱 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <677> 상기 저장소의 상기 8열 중 여덟 번째의 기록 개시 위치가 어드레스 "7"에 있음
- <678> 을 결정하는, 데이터 처리 장치.
- <679> 16. 제6항에 있어서,
- <680> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 11개의 코드 레이트 각각에 64800 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <681> 상기 m 코드 비트는 8 코드 비트이고 상기 양의 정수 b는 2이며,
- <682> 상기 LDPC 코드의 상기 8 코드 비트는 특정 변조 방법에 따라 결정된 256개의 신호 포인트들 중 하나에 매핑되고,
- <683> 상기 저장소는 8×2 비트를 행 방향으로 저장하기 위한 16열을 포함하고 $64800 / (8 \times 2)$ 비트를 열 방향으로 저장하며,
- <684> 상기 치환부는,
- <685> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <686> 상기 저장소의 상기 16열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <687> 상기 저장소의 상기 16열 중 두 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <688> 상기 저장소의 상기 16열 중 세 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <689> 상기 저장소의 상기 16열 중 네 번째의 기록 개시 위치가 어드레스 "2"에 있고,

- <690> 상기 저장소의 상기 16열 중 다섯 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <691> 상기 저장소의 상기 16열 중 여섯 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <692> 상기 저장소의 상기 16열 중 일곱 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <693> 상기 저장소의 상기 16열 중 여덟 번째의 기록 개시 위치가 어드레스 "15"에 있고,
- <694> 상기 저장소의 상기 16열 중 아홉 번째의 기록 개시 위치가 어드레스 "16"에 있고,
- <695> 상기 저장소의 상기 16열 중 열 번째의 기록 개시 위치가 어드레스 "20"에 있고,
- <696> 상기 저장소의 상기 16열 중 열 한 번째의 기록 개시 위치가 어드레스 "22"에 있고,
- <697> 상기 저장소의 상기 16열 중 열 두 번째의 기록 개시 위치가 어드레스 "22"에 있고,
- <698> 상기 저장소의 상기 16열 중 열 세 번째의 기록 개시 위치가 어드레스 "27"에 있고,
- <699> 상기 저장소의 상기 16열 중 열 네 번째의 기록 개시 위치가 어드레스 "27"에 있고,
- <700> 상기 저장소의 상기 16열 중 열 다섯 번째의 기록 개시 위치가 어드레스 "28"에 있고,
- <701> 상기 저장소의 상기 16열 중 열 여섯 번째의 기록 개시 위치가 어드레스 "32"에 있음
- <702> 을 결정하는, 데이터 처리 장치.
- <703> 17. 제6항에 있어서,
- <704> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 11개의 코드 레이트 각각에 64800 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <705> 상기 m 코드 비트는 10 코드 비트이고 상기 양의 정수 b는 1이며,
- <706> 상기 LDPC 코드의 상기 10 코드 비트는 특정 변조 방법에 따라 결정된 1024개의 신호 포인트들 중 하나에 매핑 되고,
- <707> 상기 저장소는 10×1 비트를 행 방향으로 저장하기 위한 10열을 포함하고 64800/(10×1) 비트를 열 방향으로 저장하며,
- <708> 상기 치환부는,
- <709> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <710> 상기 저장소의 상기 10열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <711> 상기 저장소의 상기 10열 중 두 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <712> 상기 저장소의 상기 10열 중 세 번째의 기록 개시 위치가 어드레스 "6"에 있고,
- <713> 상기 저장소의 상기 10열 중 네 번째의 기록 개시 위치가 어드레스 "8"에 있고,
- <714> 상기 저장소의 상기 10열 중 다섯 번째의 기록 개시 위치가 어드레스 "11"에 있고,
- <715> 상기 저장소의 상기 10열 중 여섯 번째의 기록 개시 위치가 어드레스 "13"에 있고,
- <716> 상기 저장소의 상기 10열 중 일곱 번째의 기록 개시 위치가 어드레스 "15"에 있고,
- <717> 상기 저장소의 상기 10열 중 여덟 번째의 기록 개시 위치가 어드레스 "17"에 있고,
- <718> 상기 저장소의 상기 10열 중 아홉 번째의 기록 개시 위치가 어드레스 "18"에 있고,
- <719> 상기 저장소의 상기 10열 중 열 번째의 기록 개시 위치가 어드레스 "20"에 있음
- <720> 을 결정하는, 데이터 처리 장치.
- <721> 18. 제6항에 있어서,
- <722> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 11개의 코드 레이트 각각에 64800 비트의 코드 길이 N을 가지는

LDPC 코드일 때,

- <723> 상기 m 코드 비트는 10 코드 비트이고 상기 양의 정수 b 는 2이며,
- <724> 상기 LDPC 코드의 상기 10 코드 비트는 특정 변조 방법에 따라 결정된 1024개의 신호 포인트들 중 하나에 매핑되고,
- <725> 상기 저장소는 10×2 비트를 행 방향으로 저장하기 위한 20열을 포함하고 $64800 / (10 \times 2)$ 비트를 열 방향으로 저장하며,
- <726> 상기 치환부는,
- <727> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <728> 상기 저장소의 상기 20열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <729> 상기 저장소의 상기 20열 중 두 번째의 기록 개시 위치가 어드레스 "1"에 있고,
- <730> 상기 저장소의 상기 20열 중 세 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <731> 상기 저장소의 상기 20열 중 네 번째의 기록 개시 위치가 어드레스 "4"에 있고,
- <732> 상기 저장소의 상기 20열 중 다섯 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <733> 상기 저장소의 상기 20열 중 여섯 번째의 기록 개시 위치가 어드레스 "6"에 있고,
- <734> 상기 저장소의 상기 20열 중 일곱 번째의 기록 개시 위치가 어드레스 "6"에 있고,
- <735> 상기 저장소의 상기 20열 중 여덟 번째의 기록 개시 위치가 어드레스 "9"에 있고,
- <736> 상기 저장소의 상기 20열 중 아홉 번째의 기록 개시 위치가 어드레스 "13"에 있고,
- <737> 상기 저장소의 상기 20열 중 열 번째의 기록 개시 위치가 어드레스 "14"에 있고,
- <738> 상기 저장소의 상기 20열 중 열 한 번째의 기록 개시 위치가 어드레스 "14"에 있고,
- <739> 상기 저장소의 상기 20열 중 열 두 번째의 기록 개시 위치가 어드레스 "16"에 있고,
- <740> 상기 저장소의 상기 20열 중 열 세 번째의 기록 개시 위치가 어드레스 "21"에 있고,
- <741> 상기 저장소의 상기 20열 중 열 네 번째의 기록 개시 위치가 어드레스 "21"에 있고,
- <742> 상기 저장소의 상기 20열 중 열 다섯 번째의 기록 개시 위치가 어드레스 "23"에 있고,
- <743> 상기 저장소의 상기 20열 중 열 여섯 번째의 기록 개시 위치가 어드레스 "25"에 있고,
- <744> 상기 저장소의 상기 20열 중 열 일곱 번째의 기록 개시 위치가 어드레스 "25"에 있고,
- <745> 상기 저장소의 상기 20열 중 열 여덟 번째의 기록 개시 위치가 어드레스 "26"에 있고,
- <746> 상기 저장소의 상기 20열 중 열 아홉 번째의 기록 개시 위치가 어드레스 "28"에 있고,
- <747> 상기 저장소의 상기 20열 중 스무 번째의 기록 개시 위치가 어드레스 "30"에 있음
- <748> 을 결정하는, 데이터 처리 장치.
- <749> 19. 제6항에 있어서,
- <750> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 11개의 코드 레이트 각각에 64800 비트의 코드 길이 N 을 가지는 LDPC 코드일 때,
- <751> 상기 m 코드 비트는 12 코드 비트이고 상기 양의 정수 b 는 1이며,
- <752> 상기 LDPC 코드의 상기 12 코드 비트는 특정 변조 방법에 따라 결정된 4096개의 신호 포인트들 중 하나에 매핑되고,
- <753> 상기 저장소는 12×1 비트를 행 방향으로 저장하기 위한 12열을 포함하고 $64800 / (12 \times 1)$ 비트를 열 방향으로 저

장하며,

- <754> 상기 치환부는,
- <755> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <756> 상기 저장소의 상기 12열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <757> 상기 저장소의 상기 12열 중 두 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <758> 상기 저장소의 상기 12열 중 세 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <759> 상기 저장소의 상기 12열 중 네 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <760> 상기 저장소의 상기 12열 중 다섯 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <761> 상기 저장소의 상기 12열 중 여섯 번째의 기록 개시 위치가 어드레스 "4"에 있고,
- <762> 상기 저장소의 상기 12열 중 일곱 번째의 기록 개시 위치가 어드레스 "4"에 있고,
- <763> 상기 저장소의 상기 12열 중 여덟 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <764> 상기 저장소의 상기 12열 중 아홉 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <765> 상기 저장소의 상기 12열 중 열 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <766> 상기 저장소의 상기 12열 중 열 한 번째의 기록 개시 위치가 어드레스 "8"에 있고,
- <767> 상기 저장소의 상기 12열 중 열 두 번째의 기록 개시 위치가 어드레스 "9"에 있음
- <768> 을 결정하는, 데이터 처리 장치.
- <769> 20. 제6항에 있어서,
- <770> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 11개의 코드 레이트 각각에 64800 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <771> 상기 m 코드 비트는 12 코드 비트이고 상기 양의 정수 b는 2이며,
- <772> 상기 LDPC 코드의 상기 12 코드 비트는 특정 변조 방법에 따라 결정된 4096개의 신호 포인트들 중 하나에 매핑되고,
- <773> 상기 저장소는 12×2 비트를 행 방향으로 저장하기 위한 24열을 포함하고 64800/(12×2) 비트를 열 방향으로 저장하며,
- <774> 상기 치환부는,
- <775> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <776> 상기 저장소의 상기 24열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <777> 상기 저장소의 상기 24열 중 두 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <778> 상기 저장소의 상기 24열 중 세 번째의 기록 개시 위치가 어드레스 "8"에 있고,
- <779> 상기 저장소의 상기 24열 중 네 번째의 기록 개시 위치가 어드레스 "8"에 있고,
- <780> 상기 저장소의 상기 24열 중 다섯 번째의 기록 개시 위치가 어드레스 "8"에 있고,
- <781> 상기 저장소의 상기 24열 중 여섯 번째의 기록 개시 위치가 어드레스 "8"에 있고,
- <782> 상기 저장소의 상기 24열 중 일곱 번째의 기록 개시 위치가 어드레스 "10"에 있고,
- <783> 상기 저장소의 상기 24열 중 여덟 번째의 기록 개시 위치가 어드레스 "10"에 있고,
- <784> 상기 저장소의 상기 24열 중 아홉 번째의 기록 개시 위치가 어드레스 "10"에 있고,

- <785> 상기 저장소의 상기 24열 중 열 번째의 기록 개시 위치가 어드레스 "12"에 있고,
- <786> 상기 저장소의 상기 24열 중 열 한 번째의 기록 개시 위치가 어드레스 "13"에 있고,
- <787> 상기 저장소의 상기 24열 중 열 두 번째의 기록 개시 위치가 어드레스 "16"에 있고,
- <788> 상기 저장소의 상기 24열 중 열 세 번째의 기록 개시 위치가 어드레스 "17"에 있고,
- <789> 상기 저장소의 상기 24열 중 열 네 번째의 기록 개시 위치가 어드레스 "19"에 있고,
- <790> 상기 저장소의 상기 24열 중 열 다섯 번째의 기록 개시 위치가 어드레스 "21"에 있고,
- <791> 상기 저장소의 상기 24열 중 열 여섯 번째의 기록 개시 위치가 어드레스 "22"에 있고,
- <792> 상기 저장소의 상기 24열 중 열 일곱 번째의 기록 개시 위치가 어드레스 "23"에 있고,
- <793> 상기 저장소의 상기 24열 중 열 여덟 번째의 기록 개시 위치가 어드레스 "26"에 있고,
- <794> 상기 저장소의 상기 24열 중 열 아홉 번째의 기록 개시 위치가 어드레스 "37"에 있고,
- <795> 상기 저장소의 상기 24열 중 스무 번째의 기록 개시 위치가 어드레스 "39"에 있고,
- <796> 상기 저장소의 상기 24열 중 스물 한 번째의 기록 개시 위치가 어드레스 "40"에 있고,
- <797> 상기 저장소의 상기 24열 중 스물 두 번째의 기록 개시 위치가 어드레스 "41"에 있고,
- <798> 상기 저장소의 상기 24열 중 스물 세 번째의 기록 개시 위치가 어드레스 "41"에 있고,
- <799> 상기 저장소의 상기 24열 중 스물 네 번째의 기록 개시 위치가 어드레스 "41"에 있음
- <800> 을 결정하는, 데이터 처리 장치.
- <801> 21. 제6항에 있어서,
- <802> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 10개의 코드 레이트 각각에 16200 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <803> 상기 m 코드 비트는 2 코드 비트이고 상기 양의 정수 b는 1이며,
- <804> 상기 LDPC 코드의 상기 2 코드 비트는 특정 변조 방법에 따라 결정된 4개의 신호 포인트들 중 하나에 매핑되고,
- <805> 상기 저장소는 2×1 비트를 행 방향으로 저장하기 위한 2열을 포함하고 $16200 / (2 \times 1)$ 비트를 열 방향으로 저장하며,
- <806> 상기 치환부는,
- <807> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <808> 상기 저장소의 상기 2열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <809> 상기 저장소의 상기 2열 중 두 번째의 기록 개시 위치가 어드레스 "0"에 있음
- <810> 을 결정하는, 데이터 처리 장치.
- <811> 22. 제6항에 있어서,
- <812> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 10개의 코드 레이트 각각에 16200 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <813> 상기 m 코드 비트는 2 코드 비트이고 상기 양의 정수 b는 2이며,
- <814> 상기 LDPC 코드의 상기 2 코드 비트는 특정 변조 방법에 따라 결정된 4개의 신호 포인트들 중 하나에 매핑되고,
- <815> 상기 저장소는 2×2 비트를 행 방향으로 저장하기 위한 4열을 포함하고 $16200 / (2 \times 2)$ 비트를 열 방향으로 저장하며,
- <816> 상기 치환부는,

- <817> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <818> 상기 저장소의 상기 4열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <819> 상기 저장소의 상기 4열 중 두 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <820> 상기 저장소의 상기 4열 중 세 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <821> 상기 저장소의 상기 4열 중 네 번째의 기록 개시 위치가 어드레스 "3"에 있음
- <822> 을 결정하는, 데이터 처리 장치.
- <823> 23. 제6항에 있어서,
- <824> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 10개의 코드 레이트 각각에 16200 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <825> 상기 m 코드 비트는 4 코드 비트이고 상기 양의 정수 b는 1이며,
- <826> 상기 LDPC 코드의 상기 4 코드 비트는 특정 변조 방법에 따라 결정된 16개의 신호 포인트들 중 하나에 매핑되고,
- <827> 상기 저장소는 4×1 비트를 행 방향으로 저장하기 위한 4열을 포함하고 16200/(4×1) 비트를 열 방향으로 저장하며,
- <828> 상기 치환부는,
- <829> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <830> 상기 저장소의 상기 4열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <831> 상기 저장소의 상기 4열 중 두 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <832> 상기 저장소의 상기 4열 중 세 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <833> 상기 저장소의 상기 4열 중 네 번째의 기록 개시 위치가 어드레스 "3"에 있음
- <834> 을 결정하는, 데이터 처리 장치.
- <835> 24. 제6항에 있어서,
- <836> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 10개의 코드 레이트 각각에 16200 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <837> 상기 m 코드 비트는 4 코드 비트이고 상기 양의 정수 b는 2이며,
- <838> 상기 LDPC 코드의 상기 4 코드 비트는 특정 변조 방법에 따라 결정된 16개의 신호 포인트들 중 하나에 매핑되고,
- <839> 상기 저장소는 4×2 비트를 행 방향으로 저장하기 위한 8열을 포함하고 16200/(4×2) 비트를 열 방향으로 저장하며,
- <840> 상기 치환부는,
- <841> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <842> 상기 저장소의 상기 8열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <843> 상기 저장소의 상기 8열 중 두 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <844> 상기 저장소의 상기 8열 중 세 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <845> 상기 저장소의 상기 8열 중 네 번째의 기록 개시 위치가 어드레스 "1"에 있고,

- <846> 상기 저장소의 상기 8열 중 다섯 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <847> 상기 저장소의 상기 8열 중 여섯 번째의 기록 개시 위치가 어드레스 "20"에 있고,
- <848> 상기 저장소의 상기 8열 중 일곱 번째의 기록 개시 위치가 어드레스 "20"에 있고,
- <849> 상기 저장소의 상기 8열 중 여덟 번째의 기록 개시 위치가 어드레스 "21"에 있음
- <850> 을 결정하는, 데이터 처리 장치.
- <851> 25. 제6항에 있어서,
- <852> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 10개의 코드 레이트 각각에 16200 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <853> 상기 m 코드 비트는 6 코드 비트이고 상기 양의 정수 b는 1이며,
- <854> 상기 LDPC 코드의 상기 6 코드 비트는 특정 변조 방법에 따라 결정된 64개의 신호 포인트들 중 하나에 매핑되고,
- <855> 상기 저장소는 6×1 비트를 행 방향으로 저장하기 위한 6열을 포함하고 16200/(6×1) 비트를 열 방향으로 저장하며,
- <856> 상기 치환부는,
- <857> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <858> 상기 저장소의 상기 6열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <859> 상기 저장소의 상기 6열 중 두 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <860> 상기 저장소의 상기 6열 중 세 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <861> 상기 저장소의 상기 6열 중 네 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <862> 상기 저장소의 상기 6열 중 다섯 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <863> 상기 저장소의 상기 6열 중 여섯 번째의 기록 개시 위치가 어드레스 "7"에 있음
- <864> 을 결정하는, 데이터 처리 장치.
- <865> 26. 제6항에 있어서,
- <866> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 10개의 코드 레이트 각각에 16200 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <867> 상기 m 코드 비트는 6 코드 비트이고 상기 양의 정수 b는 2이며,
- <868> 상기 LDPC 코드의 상기 6 코드 비트는 특정 변조 방법에 따라 결정된 64개의 신호 포인트들 중 하나에 매핑되고,
- <869> 상기 저장소는 6×2 비트를 행 방향으로 저장하기 위한 12열을 포함하고 16200/(6×2) 비트를 열 방향으로 저장하며,
- <870> 상기 치환부는,
- <871> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <872> 상기 저장소의 상기 12열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <873> 상기 저장소의 상기 12열 중 두 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <874> 상기 저장소의 상기 12열 중 세 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <875> 상기 저장소의 상기 12열 중 네 번째의 기록 개시 위치가 어드레스 "2"에 있고,

- <876> 상기 저장소의 상기 12열 중 다섯 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <877> 상기 저장소의 상기 12열 중 여섯 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <878> 상기 저장소의 상기 12열 중 일곱 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <879> 상기 저장소의 상기 12열 중 여덟 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <880> 상기 저장소의 상기 12열 중 아홉 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <881> 상기 저장소의 상기 12열 중 열 번째의 기록 개시 위치가 어드레스 "6"에 있고,
- <882> 상기 저장소의 상기 12열 중 열 한 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <883> 상기 저장소의 상기 12열 중 열 두 번째의 기록 개시 위치가 어드레스 "7"에 있음
- <884> 을 결정하는, 데이터 처리 장치.
- <885> 27. 제6항에 있어서,
- <886> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 10개의 코드 레이트 각각에 16200 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <887> 상기 m 코드 비트는 8 코드 비트이고 상기 양의 정수 b는 1이며,
- <888> 상기 LDPC 코드의 상기 8 코드 비트는 특정 변조 방법에 따라 결정된 256개의 신호 포인트들 중 하나에 매핑되고,
- <889> 상기 저장소는 8×1 비트를 행 방향으로 저장하기 위한 8열을 포함하고 16200/(8×1) 비트를 열 방향으로 저장하며,
- <890> 상기 치환부는,
- <891> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <892> 상기 저장소의 상기 8열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <893> 상기 저장소의 상기 8열 중 두 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <894> 상기 저장소의 상기 8열 중 세 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <895> 상기 저장소의 상기 8열 중 네 번째의 기록 개시 위치가 어드레스 "1"에 있고,
- <896> 상기 저장소의 상기 8열 중 다섯 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <897> 상기 저장소의 상기 8열 중 여섯 번째의 기록 개시 위치가 어드레스 "20"에 있고,
- <898> 상기 저장소의 상기 8열 중 일곱 번째의 기록 개시 위치가 어드레스 "20"에 있고,
- <899> 상기 저장소의 상기 8열 중 여덟 번째의 기록 개시 위치가 어드레스 "21"에 있음
- <900> 을 결정하는, 데이터 처리 장치.
- <901> 28. 제6항에 있어서,
- <902> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 10개의 코드 레이트 각각에 16200 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <903> 상기 m 코드 비트는 10 코드 비트이고 상기 양의 정수 b는 1이며,
- <904> 상기 LDPC 코드의 상기 10 코드 비트는 특정 변조 방법에 따라 결정된 1024개의 신호 포인트들 중 하나에 매핑되고,
- <905> 상기 저장소는 10×1 비트를 행 방향으로 저장하기 위한 10열을 포함하고 16200/(10×1) 비트를 열 방향으로 저장하며,
- <906> 상기 치환부는,

- <907> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <908> 상기 저장소의 상기 10열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <909> 상기 저장소의 상기 10열 중 두 번째의 기록 개시 위치가 어드레스 "1"에 있고,
- <910> 상기 저장소의 상기 10열 중 세 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <911> 상기 저장소의 상기 10열 중 네 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <912> 상기 저장소의 상기 10열 중 다섯 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <913> 상기 저장소의 상기 10열 중 여섯 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <914> 상기 저장소의 상기 10열 중 일곱 번째의 기록 개시 위치가 어드레스 "4"에 있고,
- <915> 상기 저장소의 상기 10열 중 여덟 번째의 기록 개시 위치가 어드레스 "4"에 있고,
- <916> 상기 저장소의 상기 10열 중 아홉 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <917> 상기 저장소의 상기 10열 중 열 번째의 기록 개시 위치가 어드레스 "7"에 있음
- <918> 을 결정하는, 데이터 처리 장치.
- <919> 29. 제6항에 있어서,
- <920> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 10개의 코드 레이트 각각에 16200 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <921> 상기 m 코드 비트는 10 코드 비트이고 상기 양의 정수 b는 2이며,
- <922> 상기 LDPC 코드의 상기 10 코드 비트는 특정 변조 방법에 따라 결정된 1024개의 신호 포인트들 중 하나에 매핑되고,
- <923> 상기 저장소는 10×2 비트를 행 방향으로 저장하기 위한 20열을 포함하고 $16200 / (20 \times 1)$ 비트를 열 방향으로 저장하며,
- <924> 상기 치환부는,
- <925> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <926> 상기 저장소의 상기 20열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <927> 상기 저장소의 상기 20열 중 두 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <928> 상기 저장소의 상기 20열 중 세 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <929> 상기 저장소의 상기 20열 중 네 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <930> 상기 저장소의 상기 20열 중 다섯 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <931> 상기 저장소의 상기 20열 중 여섯 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <932> 상기 저장소의 상기 20열 중 일곱 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <933> 상기 저장소의 상기 20열 중 여덟 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <934> 상기 저장소의 상기 20열 중 아홉 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <935> 상기 저장소의 상기 20열 중 열 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <936> 상기 저장소의 상기 20열 중 열 한 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <937> 상기 저장소의 상기 20열 중 열 두 번째의 기록 개시 위치가 어드레스 "5"에 있고,
- <938> 상기 저장소의 상기 20열 중 열 세 번째의 기록 개시 위치가 어드레스 "5"에 있고,

- <939> 상기 저장소의 상기 20열 중 열 네 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <940> 상기 저장소의 상기 20열 중 열 다섯 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <941> 상기 저장소의 상기 20열 중 열 여섯 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <942> 상기 저장소의 상기 20열 중 열 일곱 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <943> 상기 저장소의 상기 20열 중 열 여덟 번째의 기록 개시 위치가 어드레스 "8"에 있고,
- <944> 상기 저장소의 상기 20열 중 열 아홉 번째의 기록 개시 위치가 어드레스 "8"에 있고,
- <945> 상기 저장소의 상기 20열 중 스무 번째의 기록 개시 위치가 어드레스 "10"에 있음
- <946> 을 결정하는, 데이터 처리 장치.
- <947> 30. 제6항에 있어서,
- <948> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 10개의 코드 레이트 각각에 16200 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <949> 상기 m 코드 비트는 12 코드 비트이고 상기 양의 정수 b는 1이며,
- <950> 상기 LDPC 코드의 상기 12 코드 비트는 특정 변조 방법에 따라 결정된 4096개의 신호 포인트들 중 하나에 매핑 되고,
- <951> 상기 저장소는 12×1 비트를 행 방향으로 저장하기 위한 12열을 포함하고 16200/(12×1) 비트를 열 방향으로 저장하며,
- <952> 상기 치환부는,
- <953> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <954> 상기 저장소의 상기 12열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <955> 상기 저장소의 상기 12열 중 두 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <956> 상기 저장소의 상기 12열 중 세 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <957> 상기 저장소의 상기 12열 중 네 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <958> 상기 저장소의 상기 12열 중 다섯 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <959> 상기 저장소의 상기 12열 중 여섯 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <960> 상기 저장소의 상기 12열 중 일곱 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <961> 상기 저장소의 상기 12열 중 여덟 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <962> 상기 저장소의 상기 12열 중 아홉 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <963> 상기 저장소의 상기 12열 중 열 번째의 기록 개시 위치가 어드레스 "6"에 있고,
- <964> 상기 저장소의 상기 12열 중 열 한 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <965> 상기 저장소의 상기 12열 중 열 두 번째의 기록 개시 위치가 어드레스 "7"에 있음
- <966> 을 결정하는, 데이터 처리 장치.
- <967> 31. 제6항에 있어서,
- <968> 상기 LDPC 코드가 상기 DVB-S.2 사양에 정의된 10개의 코드 레이트 각각에 16200 비트의 코드 길이 N을 가지는 LDPC 코드일 때,
- <969> 상기 m 코드 비트는 12 코드 비트이고 상기 양의 정수 b는 2이며,
- <970> 상기 LDPC 코드의 상기 12 코드 비트는 특정 변조 방법에 따라 결정된 4096개의 신호 포인트들 중 하나에 매핑

되고,

- <971> 상기 저장소는 12×2 비트를 행 방향으로 저장하기 위한 24열을 포함하고 16200/(12×2) 비트를 열 방향으로 저장하며,
- <972> 상기 치환부는,
- <973> 상기 저장소의 열 방향을 따르는 제1 위치의 어드레스가 "0"으로 표현되고, 상기 저장소의 상기 열 방향을 따르는, 상기 제1 위치 외의, 각각의 위치의 어드레스가 순차적으로 증가하는 정수로 표현될 때,
- <974> 상기 저장소의 상기 24열 중 첫 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <975> 상기 저장소의 상기 24열 중 두 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <976> 상기 저장소의 상기 24열 중 세 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <977> 상기 저장소의 상기 24열 중 네 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <978> 상기 저장소의 상기 24열 중 다섯 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <979> 상기 저장소의 상기 24열 중 여섯 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <980> 상기 저장소의 상기 24열 중 일곱 번째의 기록 개시 위치가 어드레스 "0"에 있고,
- <981> 상기 저장소의 상기 24열 중 여덟 번째의 기록 개시 위치가 어드레스 "1"에 있고,
- <982> 상기 저장소의 상기 24열 중 아홉 번째의 기록 개시 위치가 어드레스 "1"에 있고,
- <983> 상기 저장소의 상기 24열 중 열 번째의 기록 개시 위치가 어드레스 "1"에 있고,
- <984> 상기 저장소의 상기 24열 중 열 한 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <985> 상기 저장소의 상기 24열 중 열 두 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <986> 상기 저장소의 상기 24열 중 열 세 번째의 기록 개시 위치가 어드레스 "2"에 있고,
- <987> 상기 저장소의 상기 24열 중 열 네 번째의 기록 개시 위치가 어드레스 "3"에 있고,
- <988> 상기 저장소의 상기 24열 중 열 다섯 번째의 기록 개시 위치가 어드레스 "7"에 있고,
- <989> 상기 저장소의 상기 24열 중 열 여섯 번째의 기록 개시 위치가 어드레스 "9"에 있고,
- <990> 상기 저장소의 상기 24열 중 열 일곱 번째의 기록 개시 위치가 어드레스 "9"에 있고,
- <991> 상기 저장소의 상기 24열 중 열 여덟 번째의 기록 개시 위치가 어드레스 "9"에 있고,
- <992> 상기 저장소의 상기 24열 중 열 아홉 번째의 기록 개시 위치가 어드레스 "10"에 있고,
- <993> 상기 저장소의 상기 24열 중 스무 번째의 기록 개시 위치가 어드레스 "10"에 있고,
- <994> 상기 저장소의 상기 24열 중 스물 한 번째의 기록 개시 위치가 어드레스 "10"에 있고,
- <995> 상기 저장소의 상기 24열 중 스물 두 번째의 기록 개시 위치가 어드레스 "10"에 있고,
- <996> 상기 저장소의 상기 24열 중 스물 세 번째의 기록 개시 위치가 어드레스 "10"에 있고,
- <997> 상기 저장소의 상기 24열 중 스물 네 번째의 기록 개시 위치가 어드레스 "11"에 있음
- <998> 을 결정하는, 데이터 처리 장치.
- <999> 32. 제5항에 있어서,
- <1000> 상기 LDPC 코드는, QPSK(Quadrature Phase Shift Keying), 16 QAM(Quadrature Amplitude Modulation), 64QAM, 256QAM, 1024QAM, 또는 4096QAM 변조를 통하여 송신되는, 데이터 처리 장치.
- <1001> 33. 제2항에 있어서,
- <1002> 상기 LDPC 코드는 QC(Quasi-Cyclic)-LDPC 코드이고,
- <1003> 상기 LDPC 코드의 코드 비트가, 각각의 LDPC 코드의 코드 비트가 행 및 열 방향으로 저장되는 저장소에 상기 열

방향으로 기록되고, 그 후 심볼을 구성하기 위하여 상기 저장소로부터 상기 행 방향으로 판독될 때, 상기 치환부는, 상기 LDPC 코드의 코드 비트가 상기 저장소의 각각의 열 내에 상기 열 방향으로 기록되기 시작하는 기록개시 위치를 변경하기 위해 상기 치환 처리로서 열 트위스트 인터리빙을 수행하는, 데이터 처리 장치.

- <1004> 34. 제7항에 있어서, 상기 패리티 인터리버 및 상기 치환부는 일체로 구성되는, 데이터 처리 장치.
- <1005> 35. 데이터를 인터리빙하는 데이터 처리 장치를 위한 데이터 처리 방법으로서, 상기 방법은 상기 데이터 처리 장치로 하여금, LDPC 코드의 두 개 이상의 코드 비트들이 일 심볼로서 송신될 때, 상기 LDPC 코드의 정보 비트에 대응하는 정보 행렬의 임의의 행의 값 1에 대응하는 복수의 코드 비트가 동일한 심볼에 결합되지 않도록 상기 LDPC 코드의 코드 비트를 치환하기 위해 상기 LDPC 코드에 치환 처리를 수행하도록 하는 단계를 포함하는 데이터 처리 방법.
- <1006> 36. LDPC 코드의 2 이상의 코드 비트들이 일 심볼을 구성하도록 인터리빙 및 송신된 LDPC 코드를 수신하는 데이터 처리 장치로서, 상기 장치는
- <1007> 상기 LDPC 코드의 정보 비트에 대응하는 정보 행렬의 임의의 행의 값 1에 대응하는 복수의 코드 비트가 동일한 심볼에 결합되지 않도록 상기 LDPC 코드의 코드 비트를 치환하기 위해 상기 LDPC 코드에 치환 처리를 수행함으로써 획득된 LDPC 코드에 치환 처리의 반전인 역 치환 처리를 수행하는 역 치환부와,
- <1008> 상기 역 치환 처리가 수행된 상기 LDPC 코드에 LDPC 디코딩을 수행하는 LDPC 디코더를 포함하는, 데이터 처리 장치.
- <1009> 37. 제36항에 있어서,
- <1010> 상기 역 치환부는, 상기 LDPC 코드의 패리티 비트가 상이한 패리티 비트 위치로 인터리빙되도록, 상기 LDPC 코드의 패리티 비트에 대응하는 패리티 행렬 - 상기 패리티 행렬은 단계적 구조(stepwise structure)를 가짐 - 을 포함하는 패리티 검사 행렬에 따라 LDPC 인코딩을 수행함으로써 획득한 LDPC 코드에 패리티 인터리빙을 수행함으로써 획득한 LDPC 코드에 역 치환 처리를 수행한 후, 상기 LDPC 코드의 정보 비트에 대응하는 정보 행렬의 임의의 행의 값 1에 대응하는 LDPC 코드의 복수의 코드 비트가 동일한 심볼에 결합되지 않도록 상기 LDPC 코드의 코드 비트를 치환하기 위해 상기 LDPC 코드에 치환 처리를 수행하고,
- <1011> 상기 LDPC 디코더는, 상기 패리티 검사 행렬에 대한 상기 패리티 인터리빙에 대응하는 적어도 열 치환을 수행함으로써 획득된 변환된 패리티 검사 행렬을 사용하여, 상기 역 치환 처리가 수행되었고 상기 패리티 인터리빙에 대응하는 패리티 디인터리빙은 수행되지 않은 상기 LDPC 코드의 LDPC 디코딩을 수행하는, 데이터 처리 장치.
- <1012> 38. LDPC 코드의 2 이상의 코드 비트들이 일 심볼을 구성하도록 인터리빙 및 송신된 LDPC 코드를 수신하는 데이터 처리 장치를 위한 데이터 처리 방법으로서, 상기 방법은,
- <1013> 상기 LDPC 코드의 정보 비트에 대응하는 정보 행렬의 임의의 행의 값 1에 대응하는 LDPC 코드의 복수의 코드 비트가 동일한 심볼에 결합되지 않도록 상기 LDPC 코드의 코드 비트를 치환하기 위해 상기 LDPC 코드에 치환 처리를 수행함으로써 획득된 LDPC 코드에 치환 처리의 반전인 역 치환 처리를 상기 데이터 처리 장치에 의해 수행하는 단계와,
- <1014> 상기 역 치환 처리가 수행된 상기 LDPC 코드에 LDPC 디코딩을 수행하는 단계를 포함하는, 데이터 처리 방법.

도면의 간단한 설명

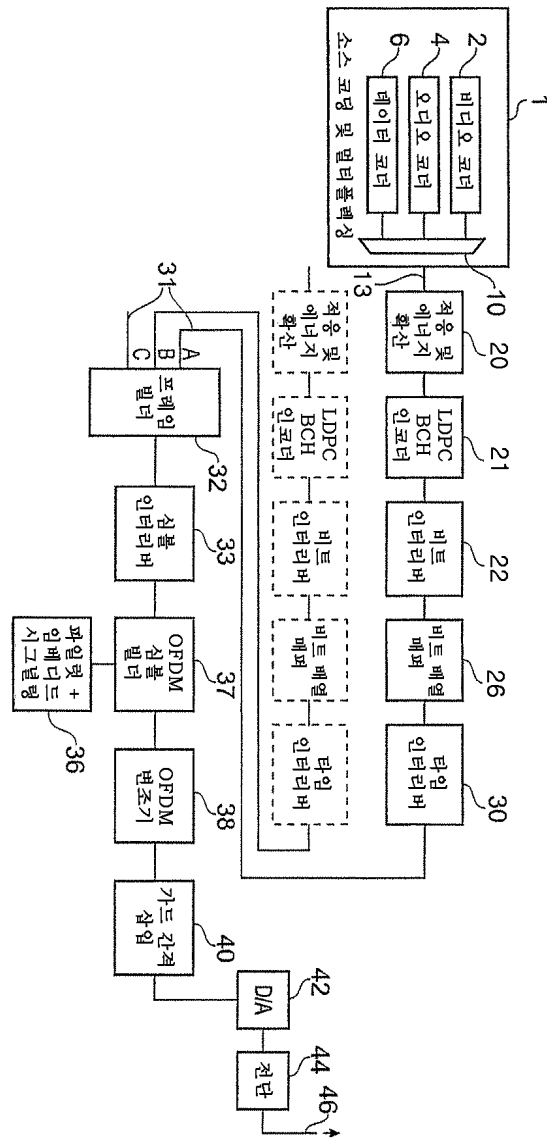
- <1015> 도 1은 예를 들어, DVB-T2 표준이 사용될 수 있는 코딩된 OFDM 송신기의 개략 블록도.
- <1016> 도 2는 LDPC 코드의 예시적 패리티 검사 행렬 H를 도시하는 도면.
- <1017> 도 3은 LDPC 코드를 디코딩하기 위한 절차를 도시하는 플로차트.
- <1018> 도 4는 LDPC 코드의 예시적 패리티 검사 행렬을 도시하는 도면.
- <1019> 도 5는 패리티 검사 행렬의 태너 그래프(Tanner graph)를 도시하는 도면.
- <1020> 도 6은 변수 노드를 도시하는 도면.
- <1021> 도 7은 검사 노드를 도시하는 도면.
- <1022> 도 8은 송신기의 예시적 구성을 도시하는 개략 블록도.

- <1023> 도 9는 패리티 검사 행렬을 도시하는 도면.
- <1024> 도 10은 패리티 행렬을 도시하는 도면.
- <1025> 도 11A 및 11B는 LDPC 코드의 패리티 검사 행렬 및 DVB-S.2 사양에 정의된 열 가중치를 도시하는 도면.
- <1026> 도 12A 및 12B는 16QAM의 신호 포인트의 구성을 도시하는 도면.
- <1027> 도 13은 64QAM의 신호 포인트의 구성을 도시하는 도면.
- <1028> 도 14는 64QAM의 신호 포인트의 구성을 도시하는 도면.
- <1029> 도 15는 64QAM의 신호 포인트의 구성을 도시하는 도면.
- <1030> 도 16A 내지 16D는 디멀티플렉서(25)의 동작을 도시하는 도면.
- <1031> 도 17A 및 17B는 디멀티플렉서(25)의 동작을 도시하는 도면.
- <1032> 도 18은 LDPC 코드의 디코딩에 대한 태너 그래프를 도시하는 도면.
- <1033> 도 19A 및 19B는 단계적 구조를 갖는 패리티 행렬 H_1 및 패리티 행렬 H_2 에 대응하는 태너 그래프를 도시하는 도면.
- <1034> 도 20은 패리티 인터리빙이 LDPC 코드에서 수행된 후의 LDPC 코드에 대응하는 패리티 검사 행렬 H 의 패리티 행렬 H_1 를 도시하는 도면.
- <1035> 도 21A 및 21B는 변환된 패리티 검사 행렬을 도시하는 도면.
- <1036> 도 22는 열 트위스트 인터리버(24)의 동작을 도시하는 도면.
- <1037> 도 23은 열 트위스트 인터리빙에 요구되는 메모리(31)의 열의 수 및 기록 개시 위치의 어드레스를 도시하는 도면.
- <1038> 도 24는 열 트위스트 인터리빙에 요구되는 메모리(31)의 열의 수 및 기록 개시 위치의 어드레스를 도시하는 도면.
- <1039> 도 25는 송신 절차를 도시하는 플로차트.
- <1040> 도 26A 및 26B는 시뮬레이션에서 이용되는 통신 경로의 모델을 도시하는 도면.
- <1041> 도 27은 시뮬레이션으로부터 얻어진 에러 레이트와 도플러 주파수 f_d 간의 관계를 도시하는 도면.
- <1042> 도 28은 시뮬레이션으로부터 얻어진 에러 레이트와 도플러 주파수 f_d 간의 관계를 도시하는 도면.
- <1043> 도 29는 예를 들어 DVB-T2 표준이 사용될 수 있는 코딩된 OFDM 수신기의 개략 블록도.
- <1044> 도 30은 수신 절차를 도시하는 플로차트.
- <1045> 도 31은 LDPC 코드의 예시적 패리티 검사 행렬을 도시하는 도면.
- <1046> 도 32는 패리티 검사 행렬에서 행 치환 및 열 치환을 수행하여 얻어지는 행렬(변환된 패리티 검사 행렬)을 도시하는 도면.
- <1047> 도 33은 5×5 행렬의 단위로 분할된 변환된 패리티 검사 행렬을 도시하는 도면.
- <1048> 도 34는 P 노드 계산을 동시에 수행하는 디코딩 장치의 예시적 구성을 도시하는 블록도.
- <1049> 도 35는 LDPC 디코더(56)의 예시적 구성을 도시하는 도면.
- <1050> 도 36은 본 발명이 적용되는 컴퓨터 실시예의 예시적 구성을 도시하는 블록도.
- <1051> 도 37은 심볼 매퍼 및 프레임 빌더가 인터리버의 동작을 나타내는 도 1에 도시된 송신기의 부분들의 개략 블록도.
- <1052> 도 38은 도 37에 도시된 심볼 인터리버의 개략 블록도.
- <1053> 도 39는 도 38에 도시된 인터리버 메모리 및 수신기의 대응 심볼 디인터리버의 개략 블록도.

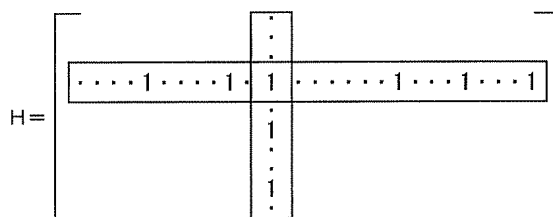
- <1054> 도 40은 32k 모드에 대한 도 38에 도시된 어드레스 생성기의 개략 블록도.
- <1055> 도 41a는 짝수 심볼에 대한 도 40에 도시된 어드레스 생성기를 사용하는 인터리버의 결과를 도시하는 도면이고, 도 41b는 홀수 심볼에 대한 디자인 시뮬레이션 결과를 도시하는 도면이고, 도 41c는 짝수에 대해 상이한 치환 코드를 사용하는 어드레스 생성기에 대한 비교 결과를 도시하는 도면이고, 도 41d는 홀수 심볼에 대한 대응도.
- <1056> 도 42는 도 29에 도시된 심볼 디인터리버의 개략 블록도.
- <1057> 도 43a는 짝수 OFDM 심볼에 대한 도 40에 도시된 어드레스 생성기를 사용하는 인터리버의 결과를 도시하는 도면이고, 도 43b는 홀수 OFDM 심볼에 대한 결과를 도시하는 도면. 도 43a 및 43b는 인터리버 입력에서 인접한 부분송파들의 인터리버 출력에서의 거리를 나타내는 그래프.
- <1058> 도 44는 도 38에 도시된 심볼 인터리버의 개략 블록도로서, 인터리빙이 홀수 인터리빙 모드에 따라서만 수행되는 동작 모드를 도시하는 도면.
- <1059> 도 45는 도 42에 도시된 심볼 디인터리버의 개략 블록도로서, 인터리빙이 홀수 인터리빙 모드에 따라서만 수행되는 동작 모드를 도시하는 도면.
- <1060> <도면의 주요 부분에 대한 부호의 설명>
- <1061> 1 : 소스 코딩 및 멀티플렉싱
- <1062> 2: 비디오 코더
- <1063> 4: 오디오 코더
- <1064> 6: 데이터 코더
- <1065> 20: 적응 및 에너지 확산
- <1066> 21: LDPC BCH 인코더
- <1067> 22: 비트 인터리버
- <1068> 26: 비트 배열 매퍼
- <1069> 30: 타임 인터리버
- <1070> 32: 프레임 빌더
- <1071> 33: 심볼 인터리버
- <1072> 36: 파일럿 + 임베디드 시그널링
- <1073> 37: OFDM 심볼 빌더
- <1074> 38: OFDM 변조기
- <1075> 40: 가드 간격 삽입
- <1076> 44: 진단

도면

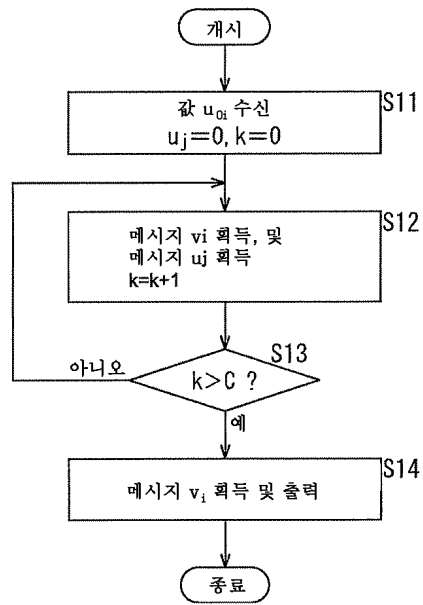
도면1



도면2



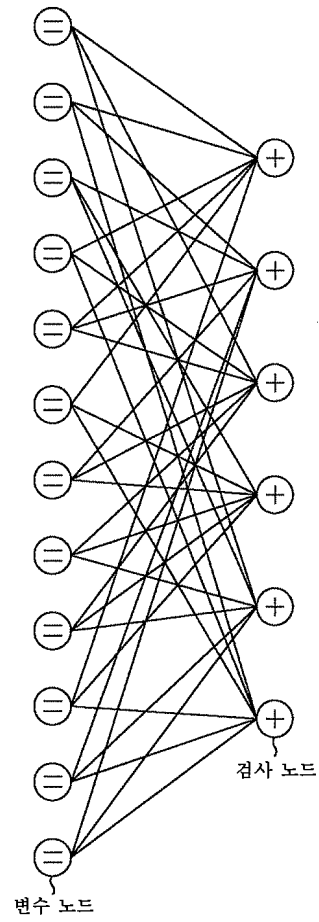
도면3



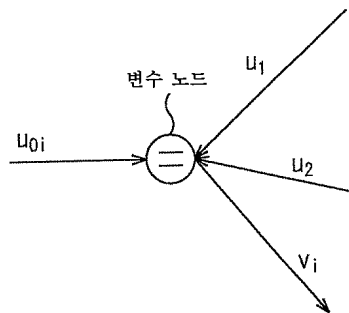
도면4

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

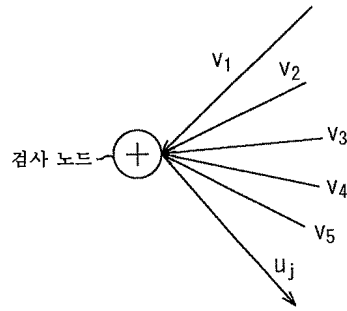
도면5



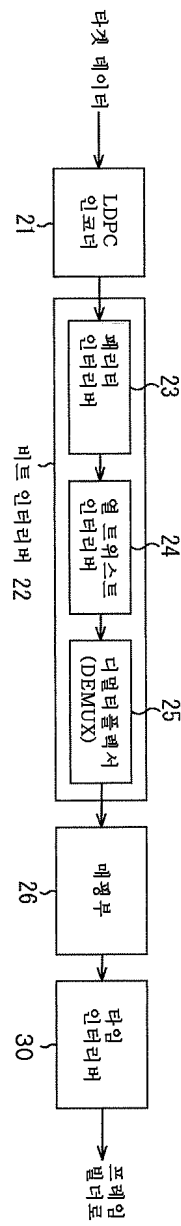
도면6



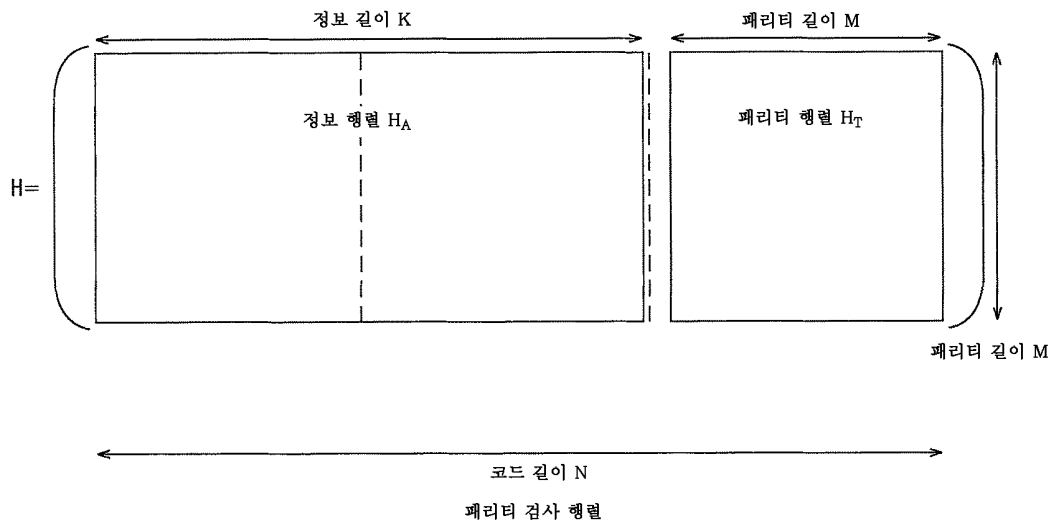
도면7



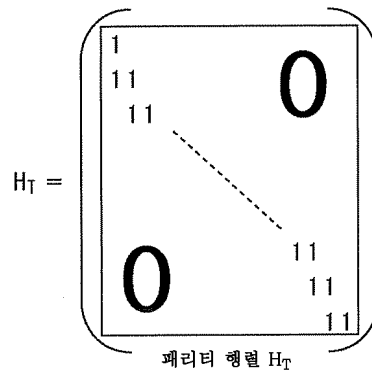
도면8

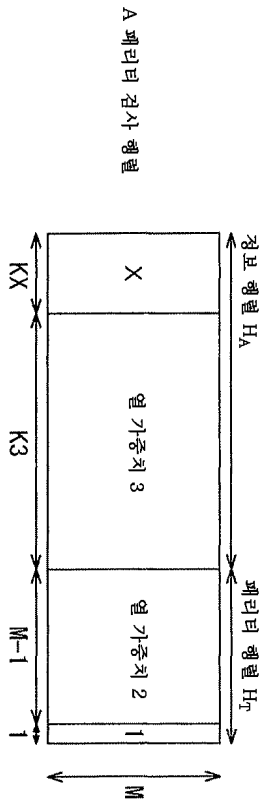


도면9



도면10

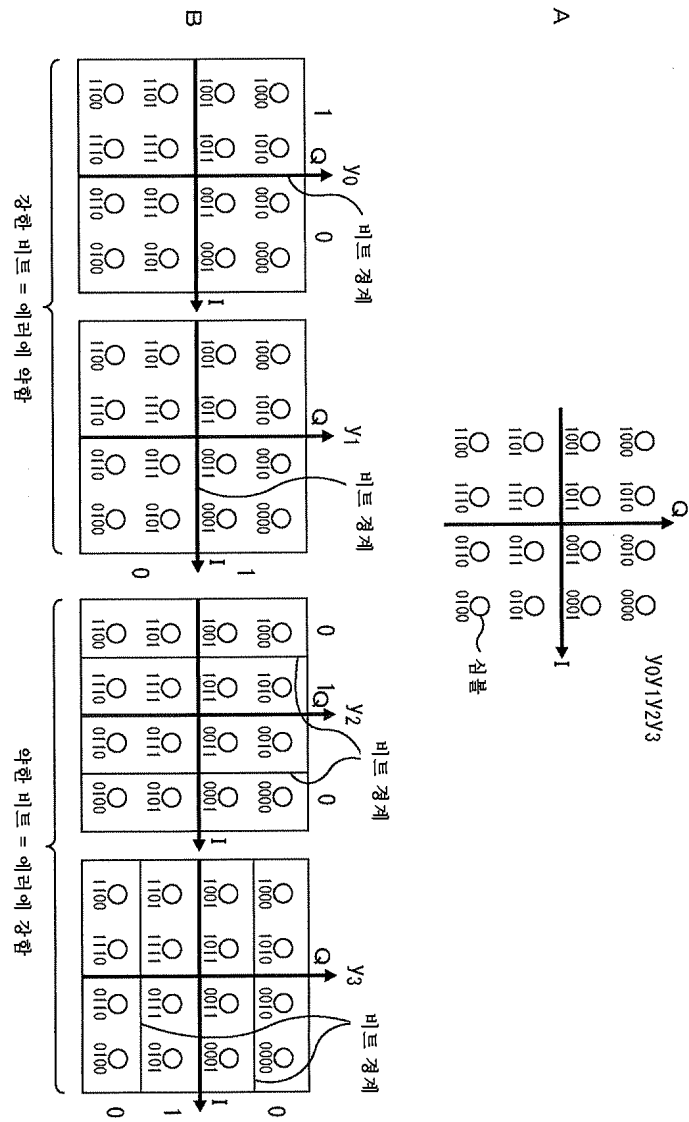




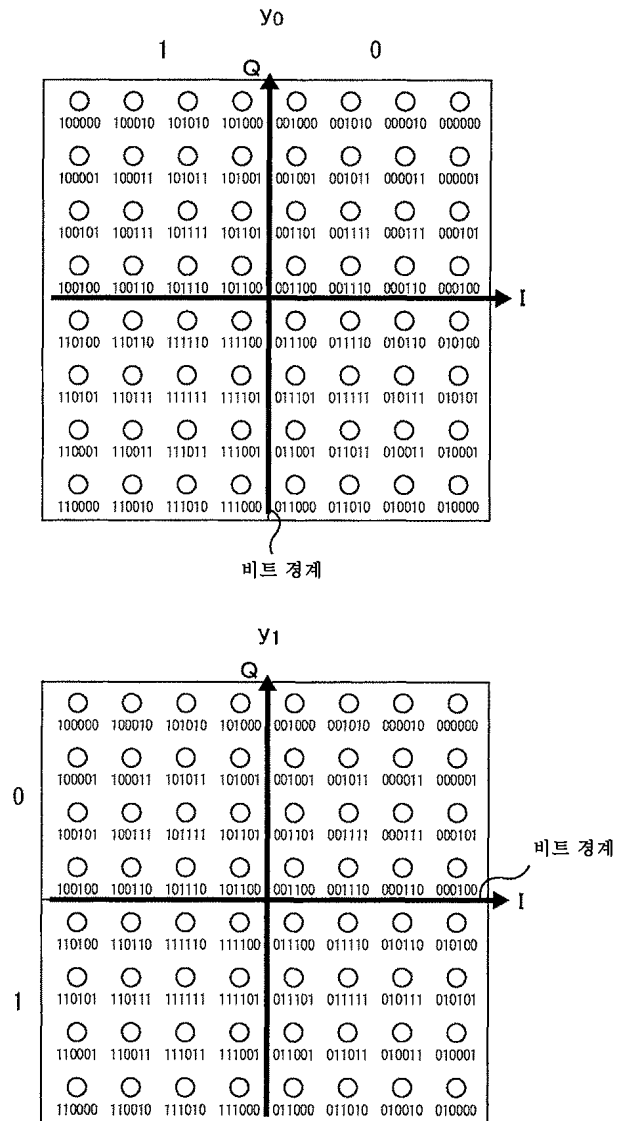
B
각 열 가중치의
열의 수

중첩 코드 포인트	N=64800					N=16200				
	X	Kx	K3	M	x	Kx	K3	M		
1/4	12	5400	10800	48600	12	1440	1800	12960		
1/3	12	7200	14400	43200	12	1800	3600	10800		
2/5	12	8640	17280	38880	12	2160	4320	9720		
1/2	8	12960	19440	32400	8	1800	5400	9000		
3/5	12	12960	25920	25920	12	3240	6480	6480		
2/3	13	4320	38880	21600	13	1080	9720	5400		
3/4	12	5400	43200	16200	12	360	11520	4320		
4/5	11	6480	45360	12960	--	0	12600	3600		
5/6	13	5400	48600	10800	13	360	12960	2880		
8/9	4	7200	50400	7200	4	1800	12600	1800		
9/10	4	6480	51840	6480	---	---	---	---		

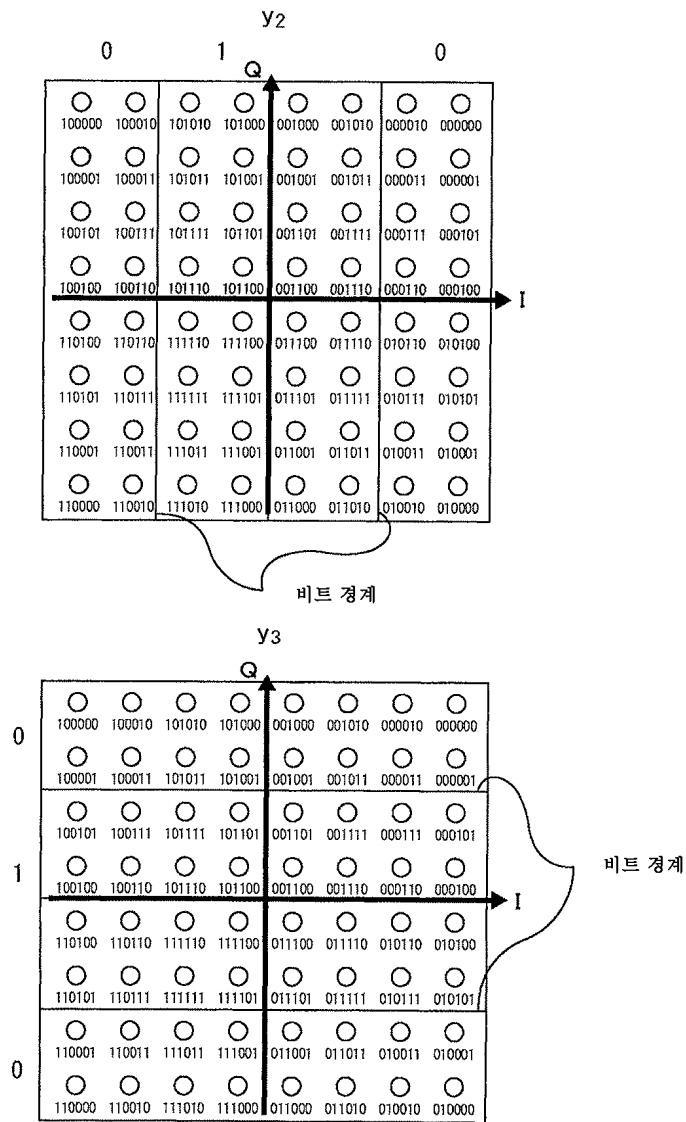
도면12



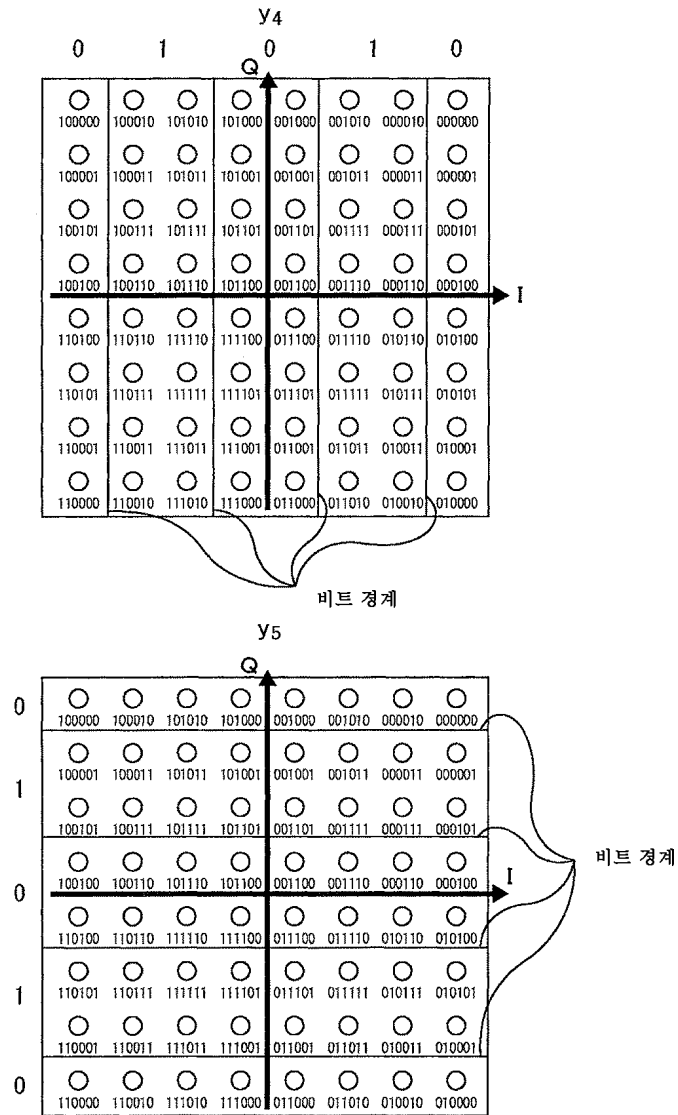
도면13



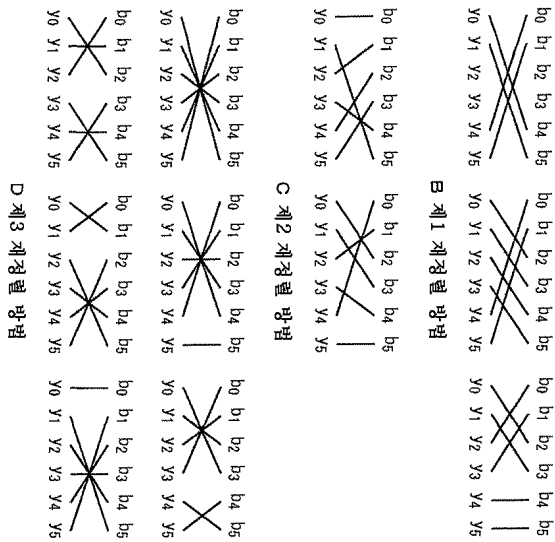
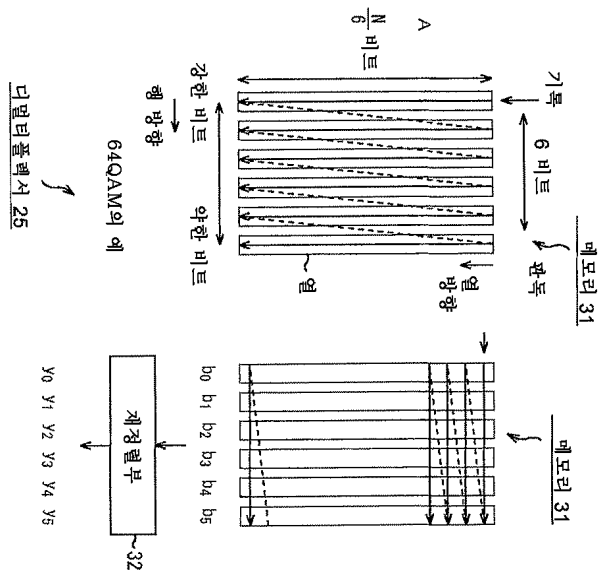
도면14



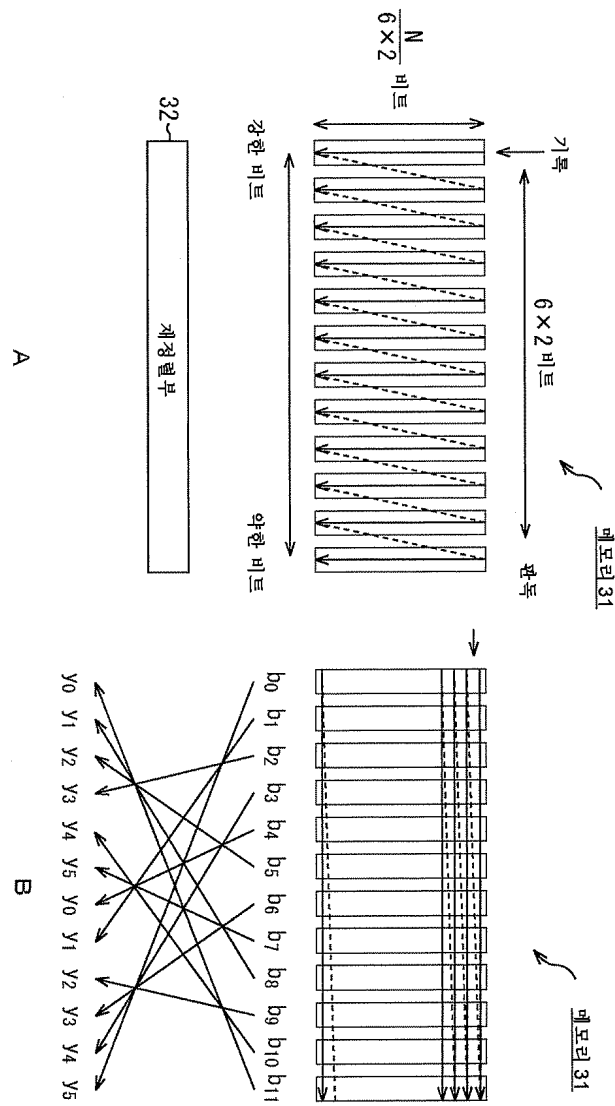
도면15



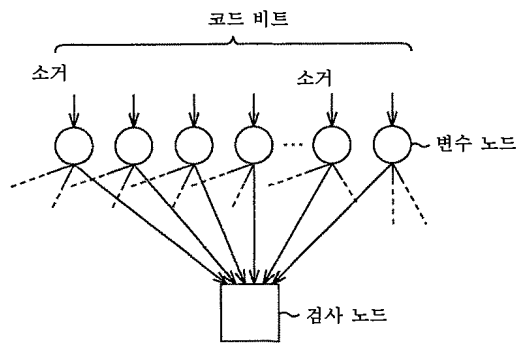
도면16



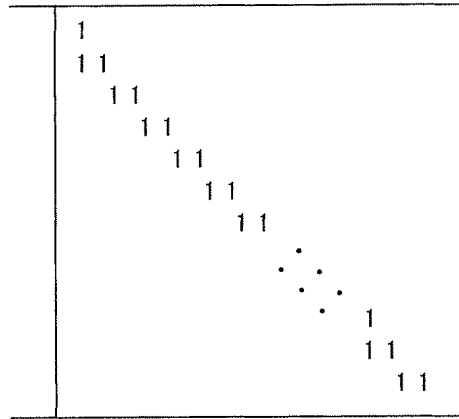
도면17



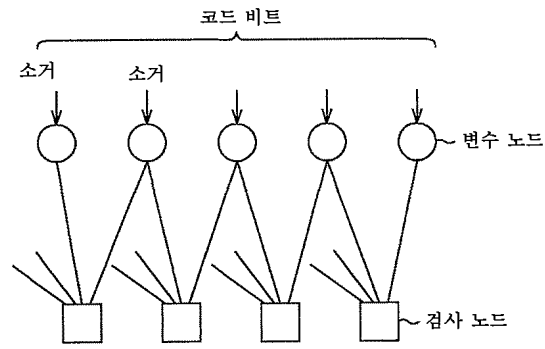
도면18



도면19

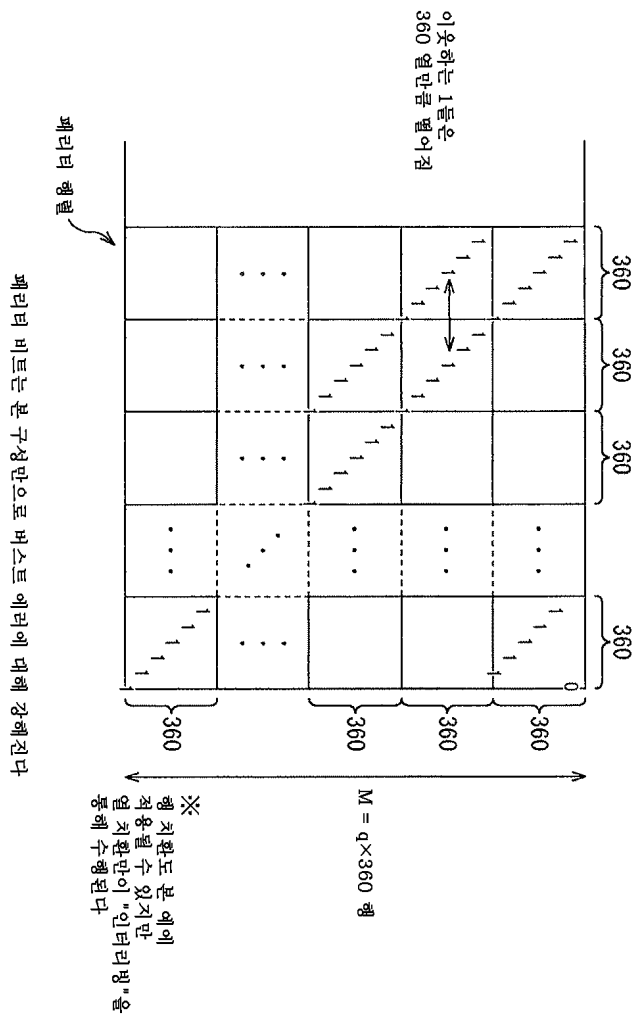


패리티 행렬의 단계적 구조
A

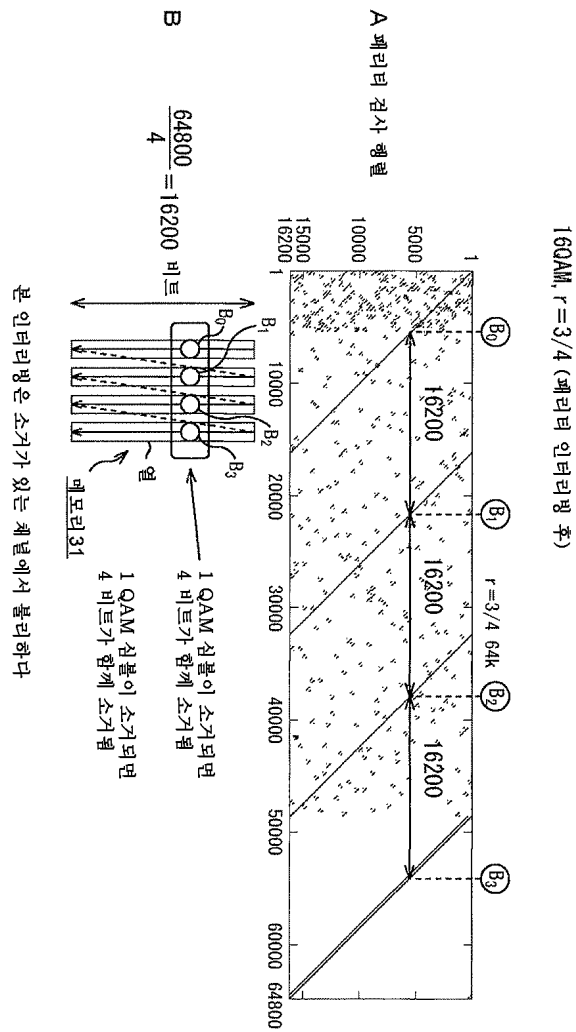


단계적 구조를 갖는 테너 그래프의 부분
B

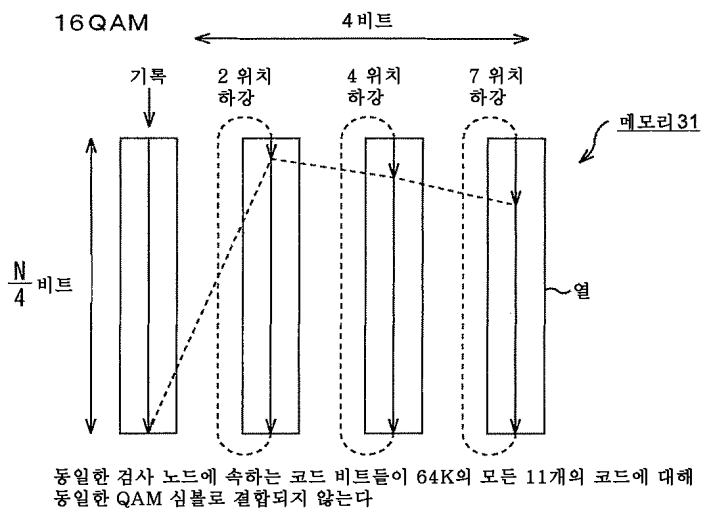
도면20



도면21



도면22



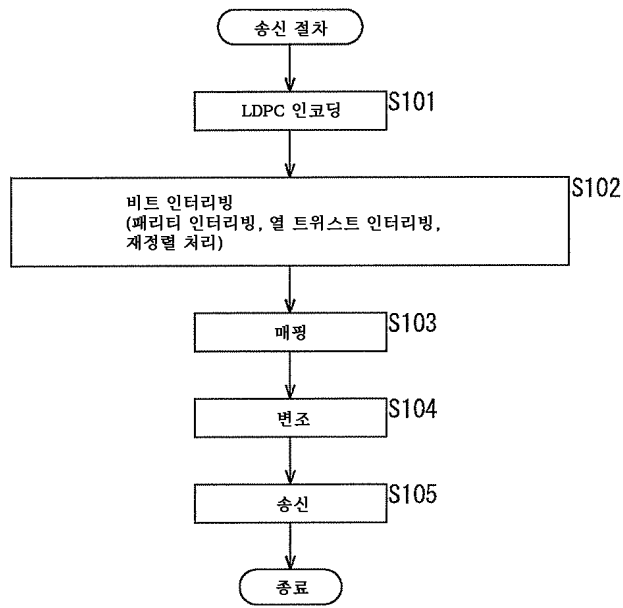
도면23

메모리 요구되는 열의 수	제1 내지 제3 제정렬 방법	제4 제정렬 방법	mb 열의 각 기록 개시 위치																								
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
2 QPSK			0	2																							
4 16QAM		QPSK	0	2	4	7																					
6 64QAM			0	2	5	9	10	13																			
8 256QAM		16QAM	0	0	2	4	4	5	7	7																	
10 1024QAM			0	3	6	8	11	13	15	17	18	20															
12 4096QAM		64QAM	0	0	2	2	3	4	4	5	5	7	8	9													
16		256QAM	0	2	2	2	2	3	7	15	16	20	22	22	27	27	28	32									
20		1024QAM	0	1	3	4	5	6	6	9	13	14	14	16	21	21	23	25	25	26	28	30					
24		4096QAM	0	5	8	8	8	8	10	10	10	12	13	16	17	19	21	22	23	26	37	39	40	41	41	41	41

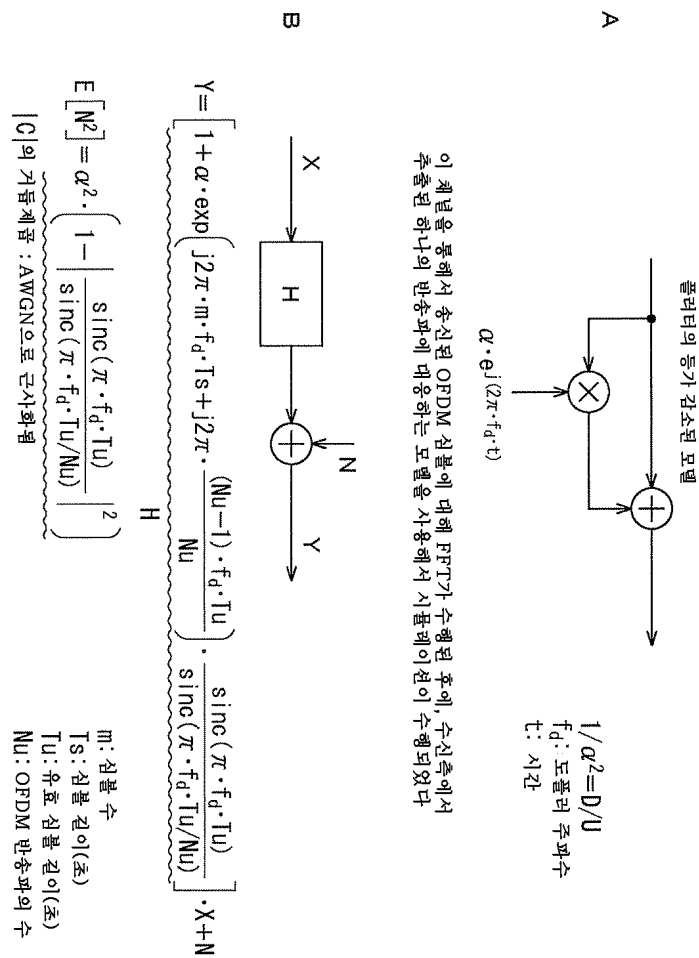
도면24

		mB 열의 각 기록 개시 위치																									
매모린 mB의 요구되는 열의 수	제1 내지 제3 제정렬 방법	제4 제정렬 방법																									
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
2	QPSK		0	0																							
4	16QAM	QPSK	0	2	3	3																					
6	64QAM		0	0	2	3	7	7																			
8	256QAM	16QAM	0	0	0	1	7	20	20	21																	
10	1024QAM		0	1	2	2	3	3	4	4	5	7															
12	4096QAM	64QAM	0	0	0	2	2	2	3	3	3	6	7	7													
20		1024QAM	0	0	0	2	2	2	2	2	5	5	5	5	5	7	7	7	7	7	7	8	8	10			
24		4096QAM	0	0	0	0	0	0	0	1	1	1	2	2	2	2	3	3	7	7	9	9	9	10	10	10	11

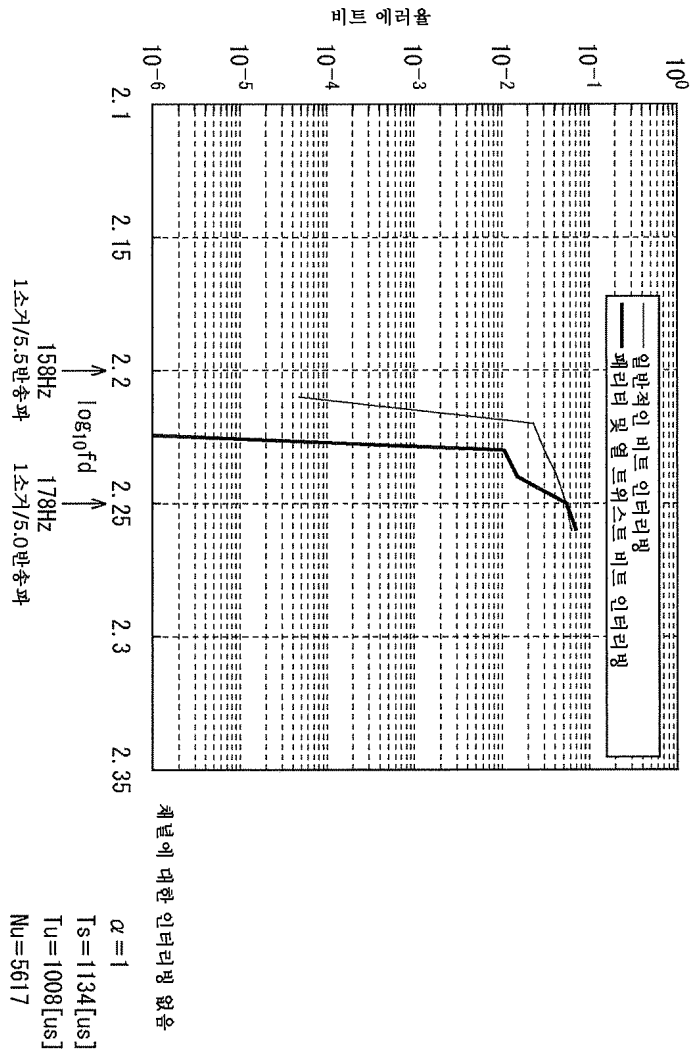
도면25



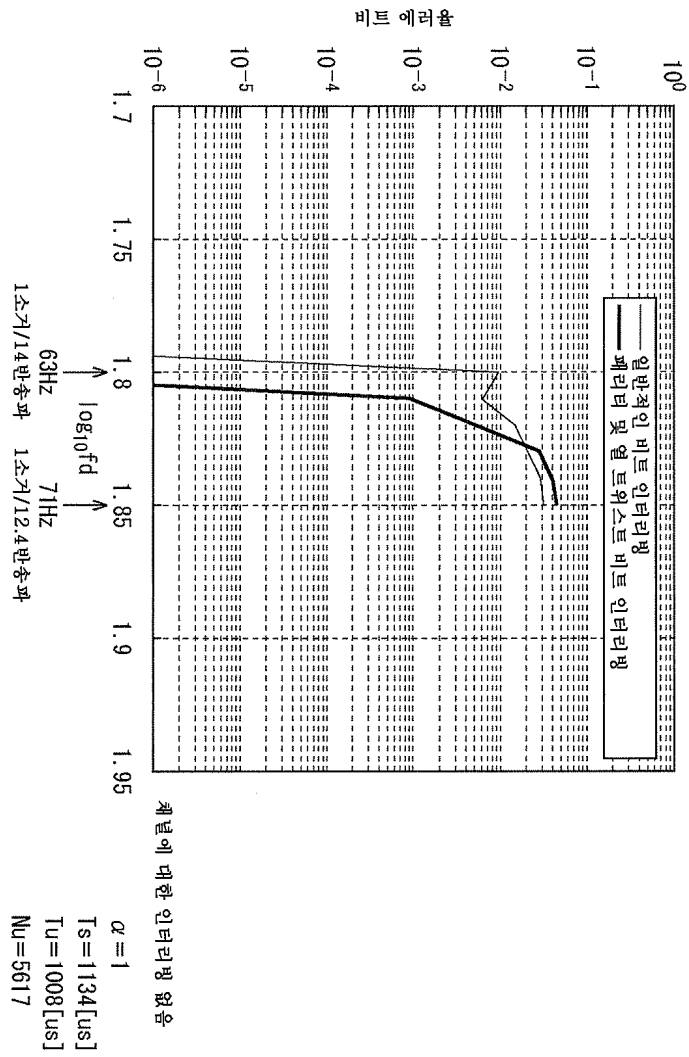
도면26



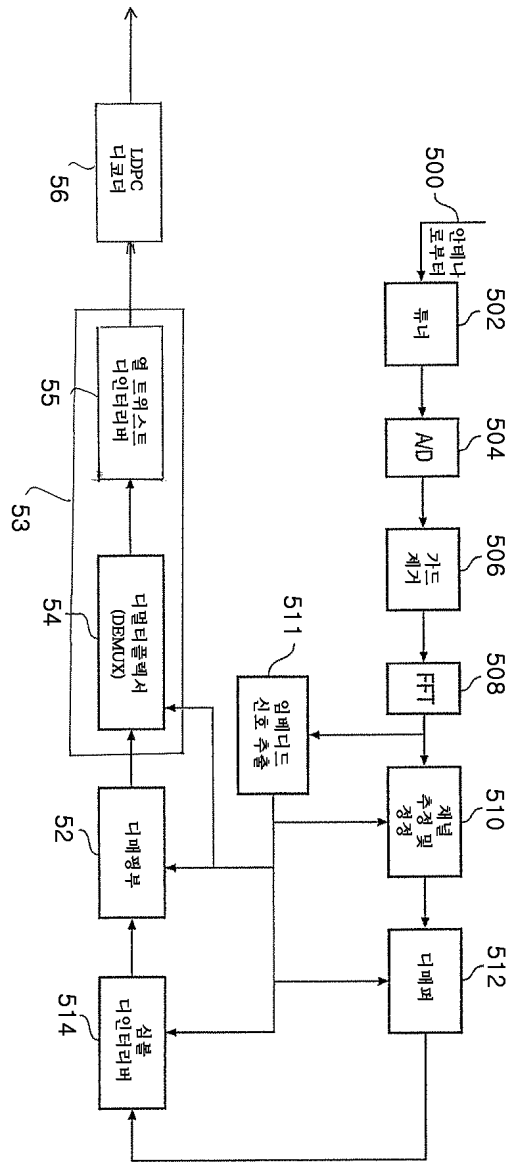
도면27



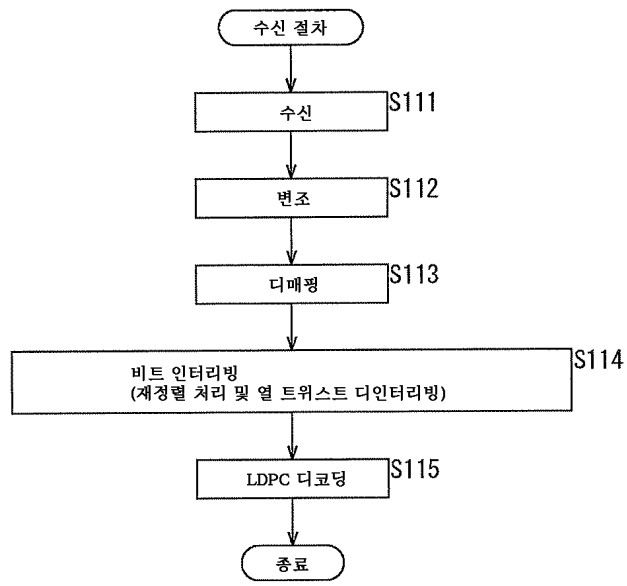
도면28



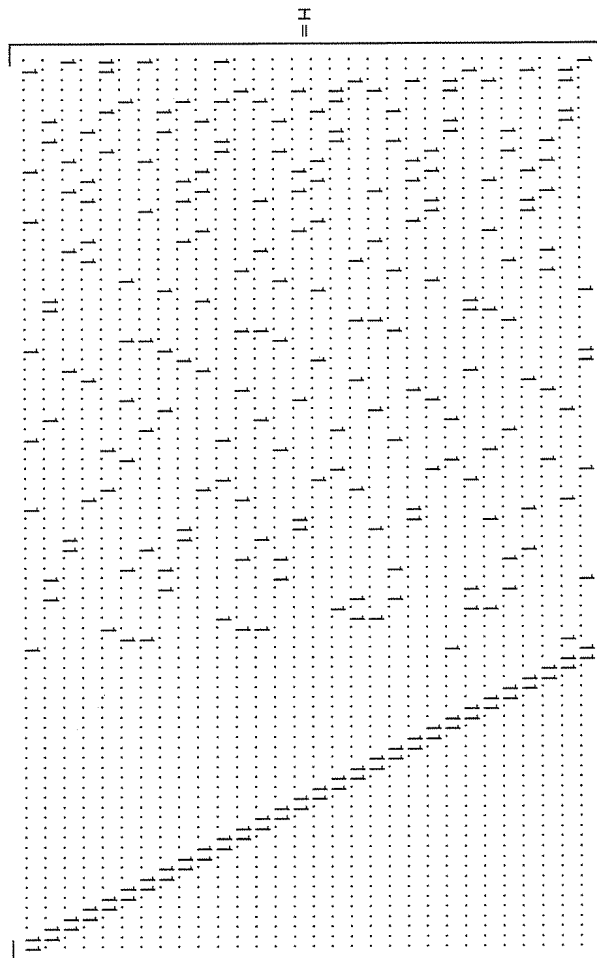
도면29



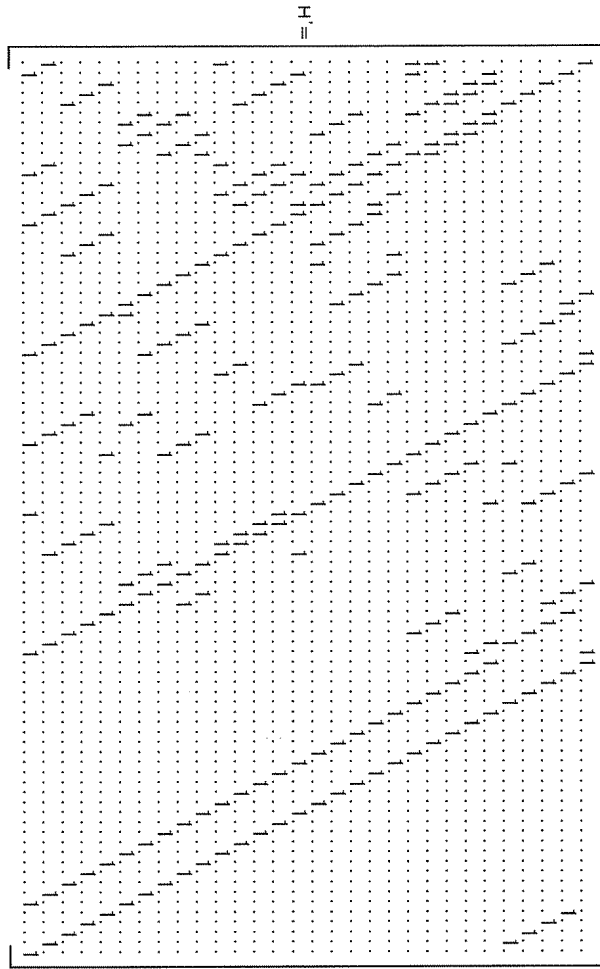
도면30



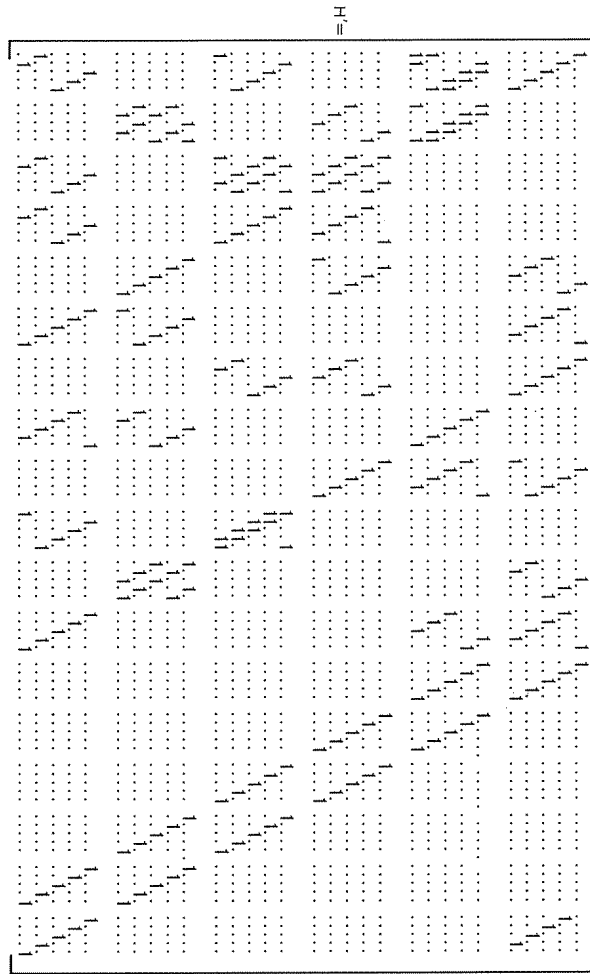
도면31



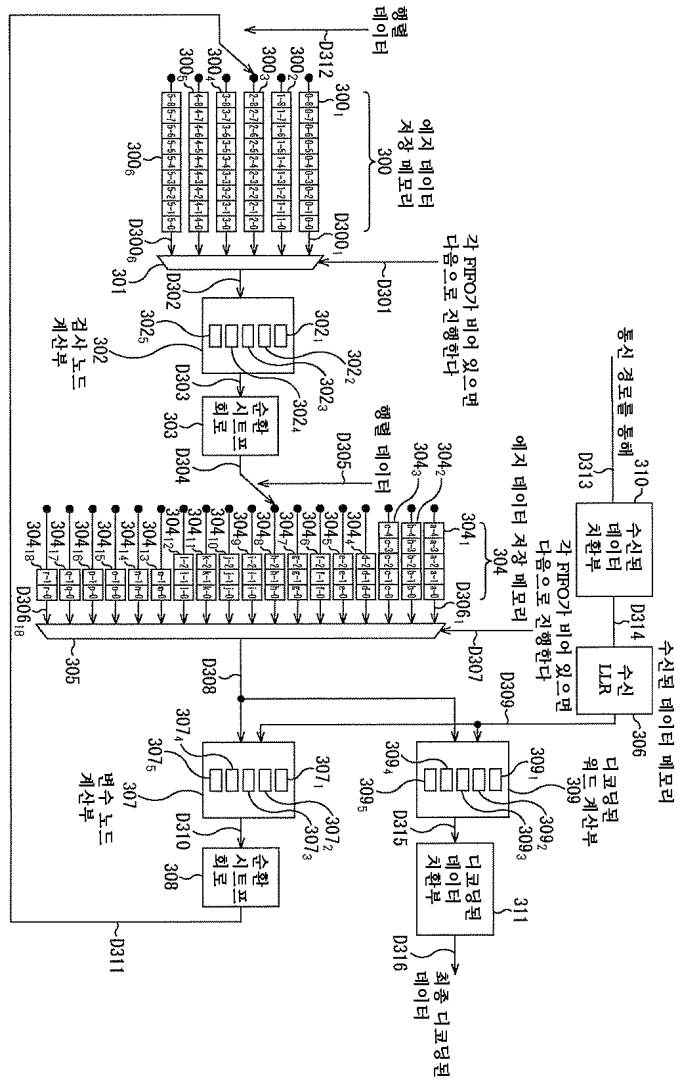
도면32



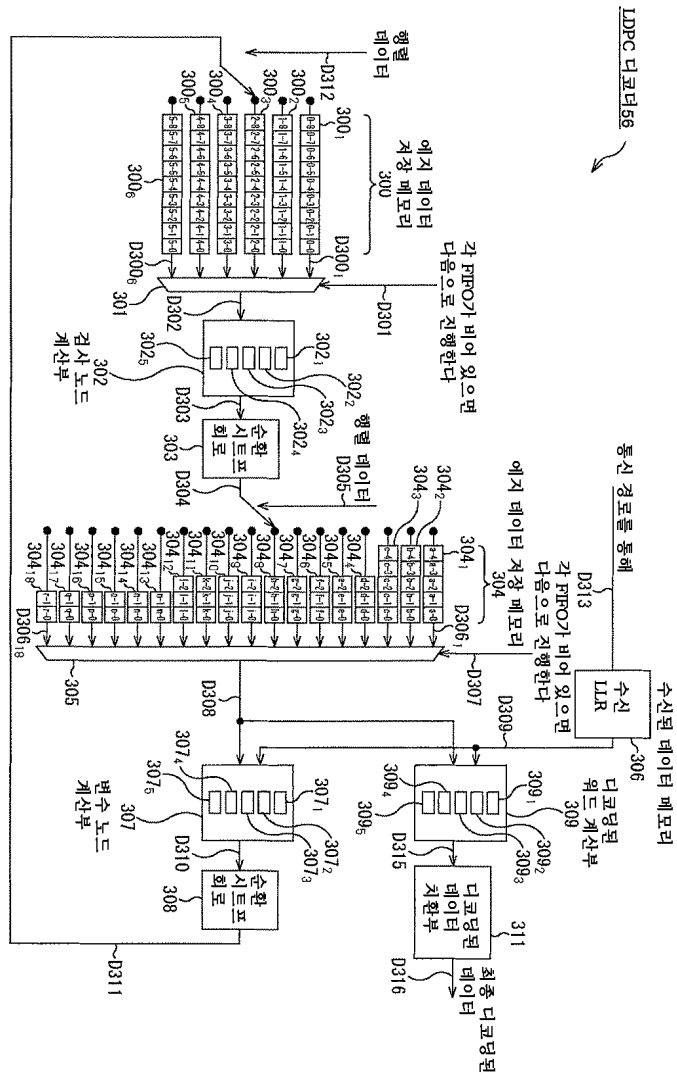
도면33



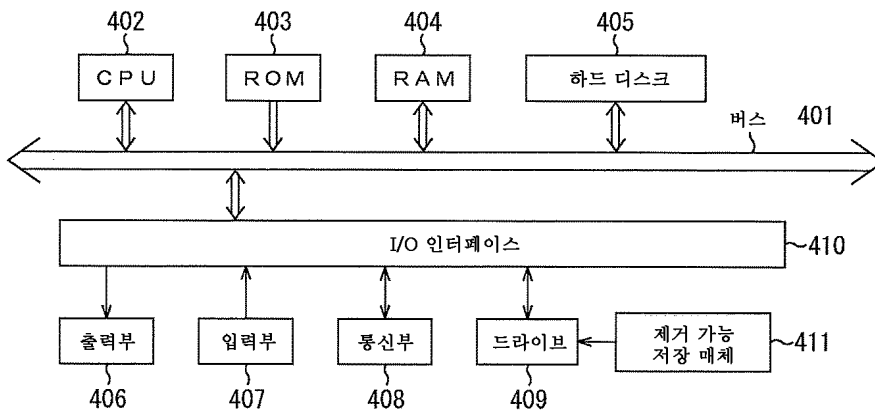
도면34



도면35

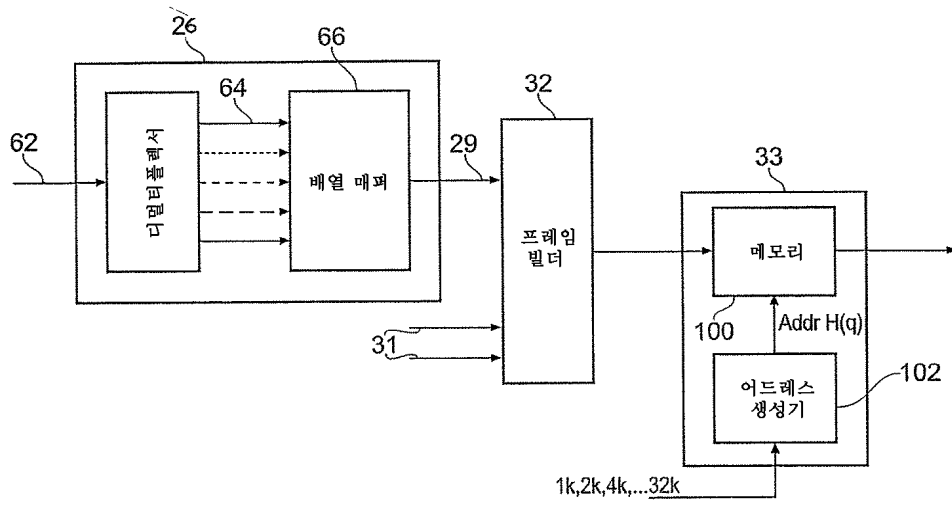


도면36

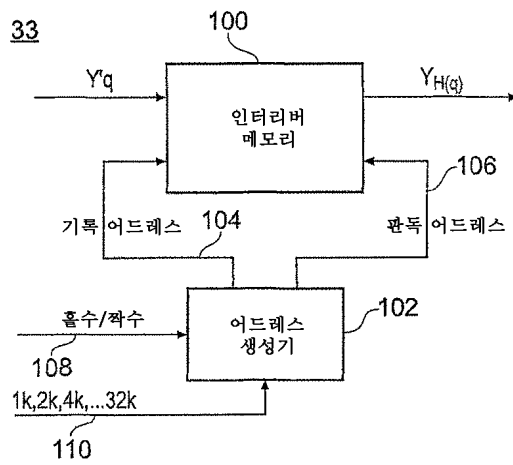


컴퓨터

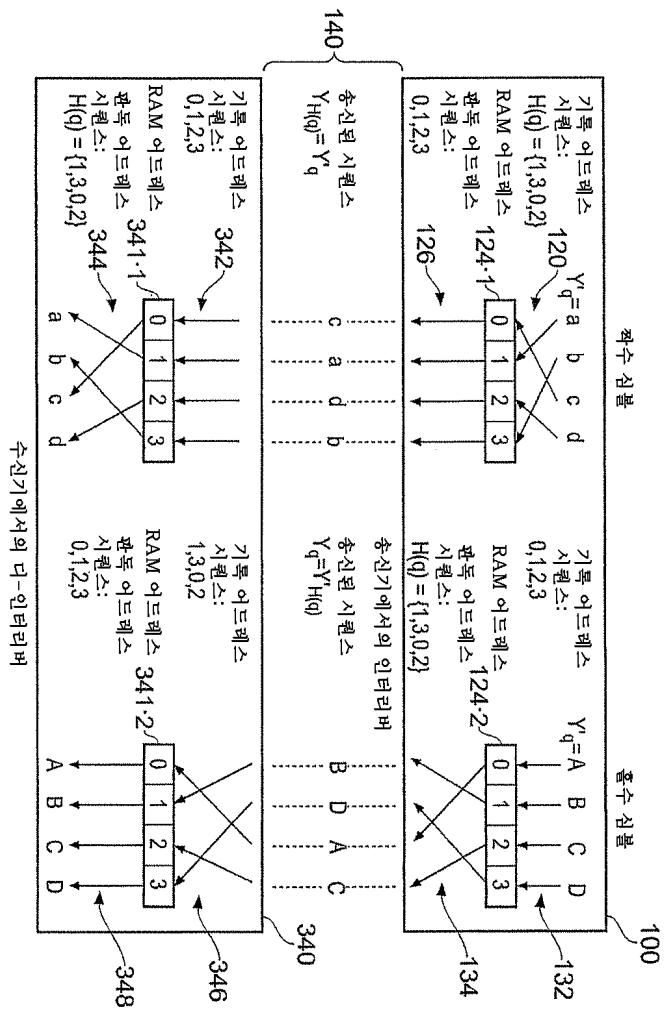
도면37



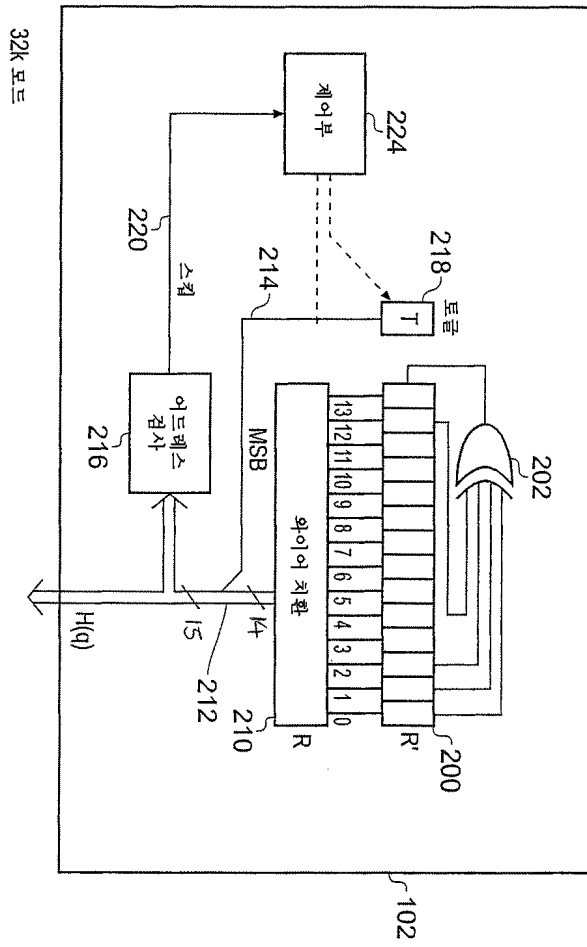
도면38



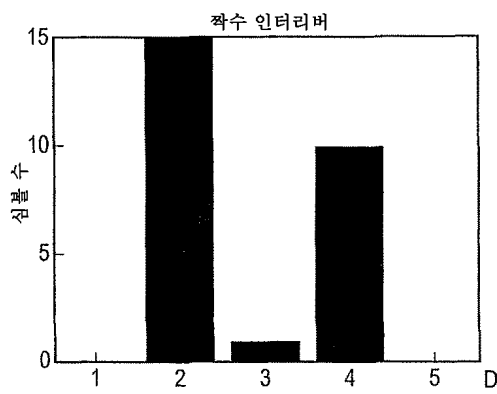
도면39



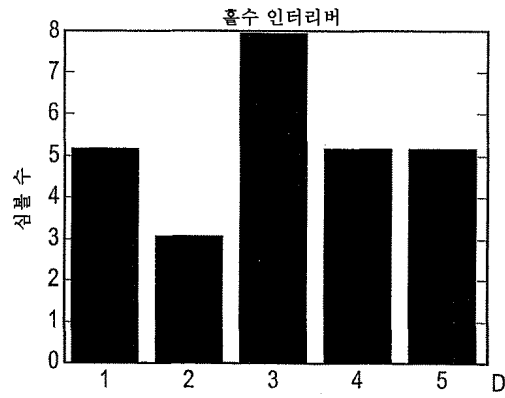
도면40



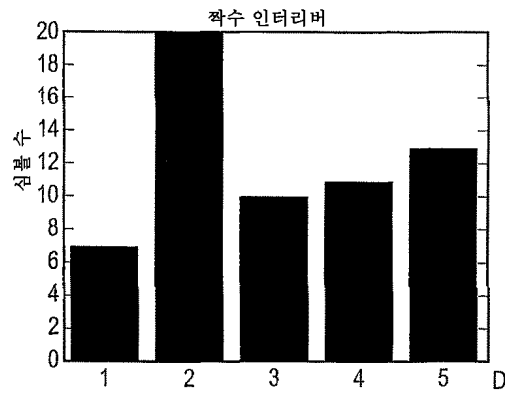
도면41a



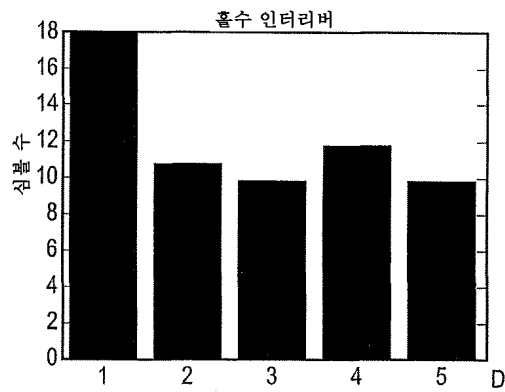
도면41b



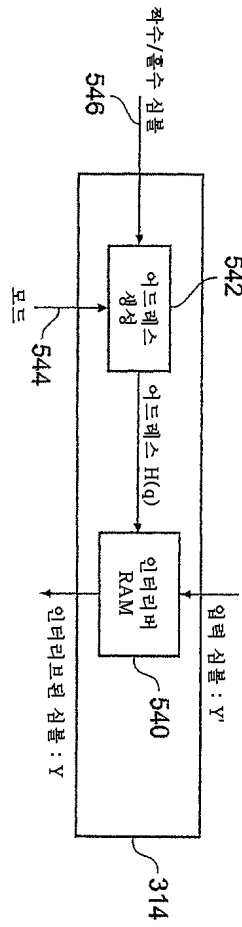
도면41c



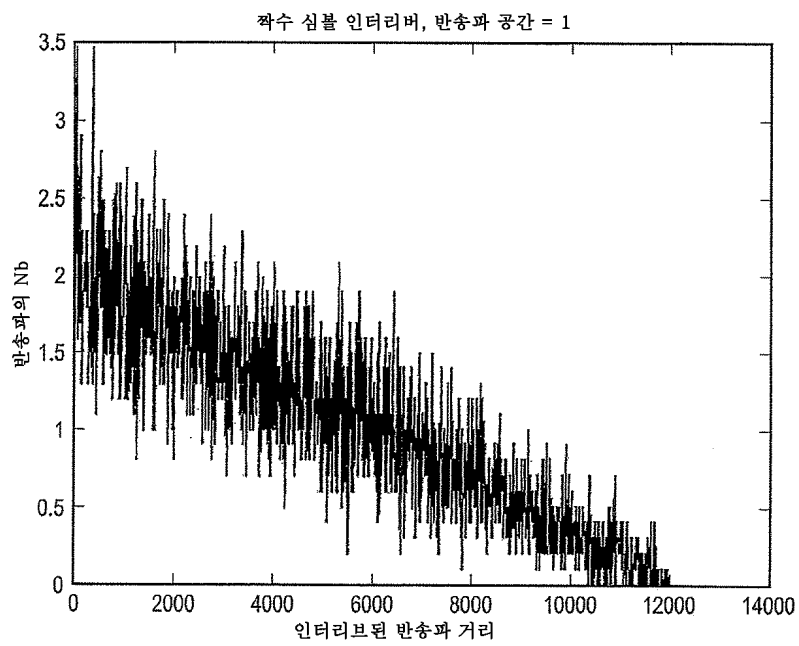
도면41d



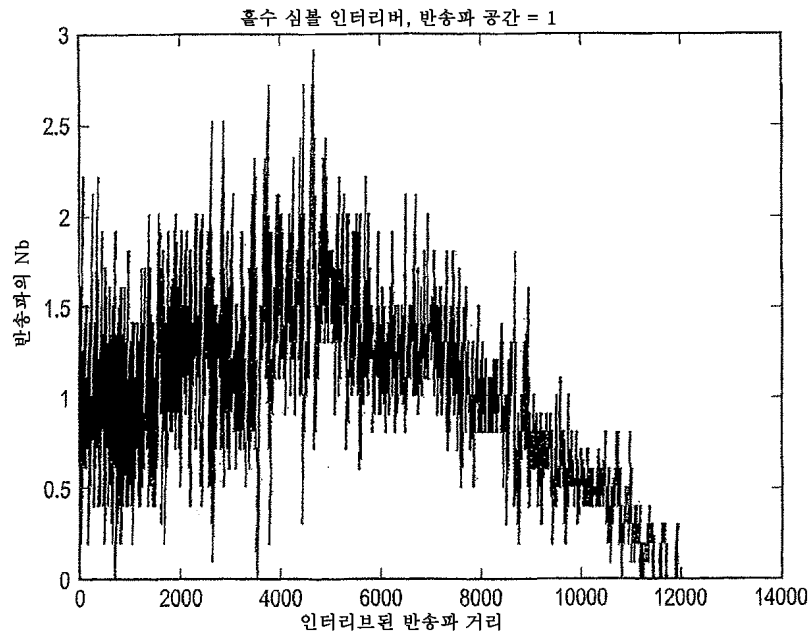
도면42



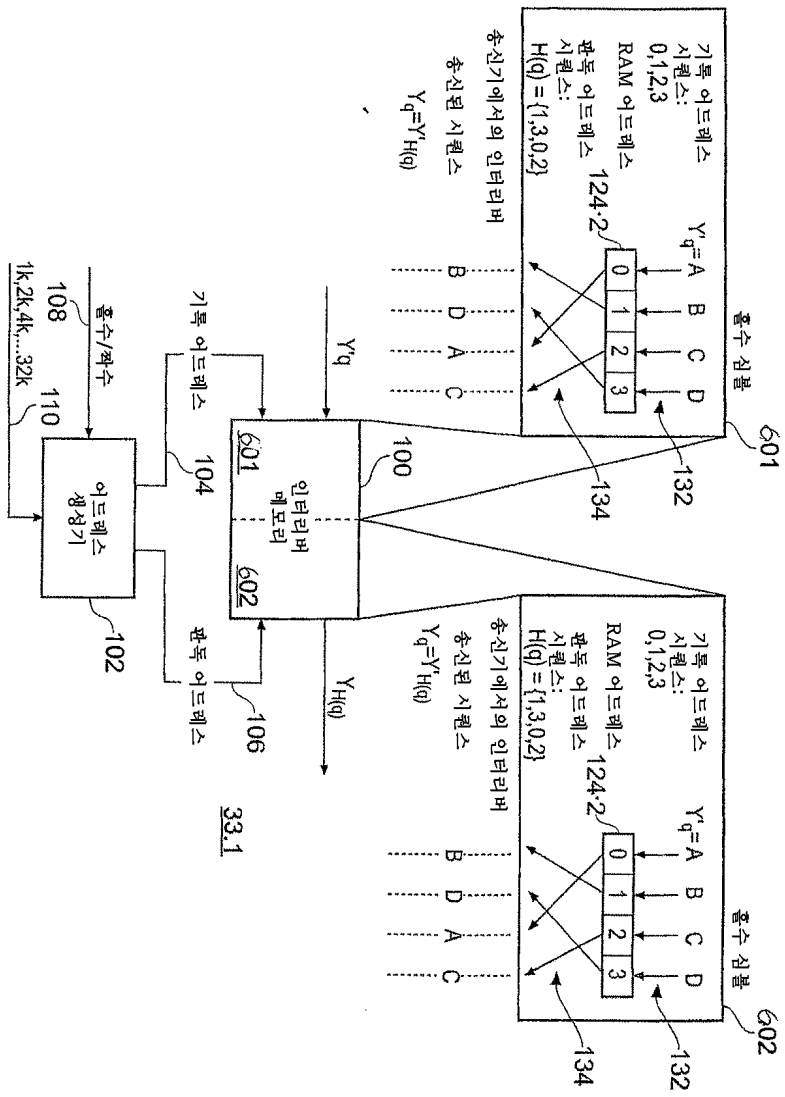
도면43a



도면43b



도면44



도면45

