



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I663706 B

(45)公告日：中華民國 108 (2019) 年 06 月 21 日

(21)申請案號：107109665

(22)申請日：中華民國 103 (2014) 年 03 月 13 日

(51)Int. Cl. : H01L27/04 (2006.01)

B06B1/02 (2006.01)

(30)優先權：2013/03/15 美國

61/794,744

(71)申請人：美商蝴蝶網路公司(美國) BUTTERFLY NETWORK, INC. (US)

美國

(72)發明人：羅斯貝格 強納森 M ROTHBERG, JONATHAN M. (US)；法菲 凱斯 G FIFE, KEITH G. (US)；拉司頓 泰勒 S RALSTON, TYLER S. (US)；查爾瓦特 葛瑞葛里 L CHARVAT, GREGORY L. (US)；桑雪茲 尼瓦達 J SANCHEZ, NEVADA J. (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 8957564B1

US 2007/0180916A1

US 2010/0225200A1

審查人員：邱迺軒

申請專利範圍項數：18 項 圖式數：26 共 94 頁

(54)名稱

互補式金屬氧化物半導體 (CMOS) 超音波換能器以及用於形成其之方法

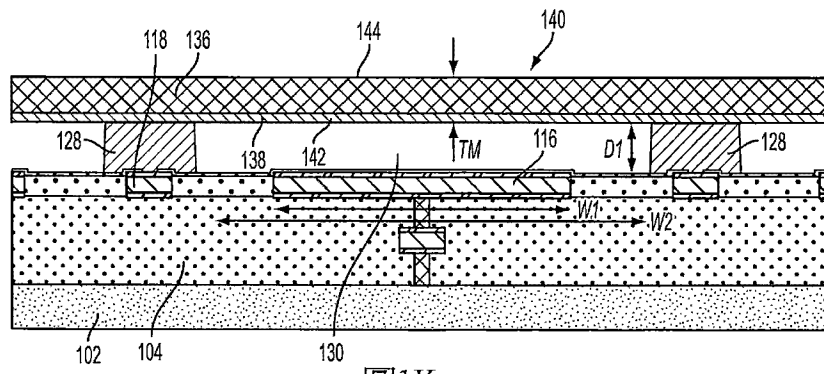
COMPLEMENTARY METAL OXIDE SEMICONDUCTOR (CMOS) ULTRASONIC TRANSDUCERS AND METHODS FOR FORMING THE SAME

(57)摘要

互補式金屬氧化物半導體(CMOS)超音波換能器(CUT)以及用於形成 CUT 之方法係被描述。該些 CUT 可包含單石地整合的超音波換能器以及用於相關該些換能器的操作之積體電路。該些 CUT 可被用在例如是超音波成像裝置及/或高強度聚焦超音波(HIFU)裝置的超音波裝置中。

Complementary metal oxide semiconductor (CMOS) ultrasonic transducers (CUTs) and methods for forming CUTs are described. The CUTs may include monolithically integrated ultrasonic transducers and integrated circuits for operating in connection with the transducers. The CUTs may be used in ultrasound devices such as ultrasound imaging devices and/or high intensity focused ultrasound (HIFU) devices.

指定代表圖：



W2 . . . 寬度

## 【發明說明書】

【中文發明名稱】 互補式金屬氧化物半導體(CMOS)超音波換能器以及用於形成其之方法

【英文發明名稱】 COMPLEMENTARY METAL OXIDE SEMICONDUCTOR (CMOS) ULTRASONIC TRANSDUCERS AND METHODS FOR FORMING THE SAME

### 【技術領域】

【0001】 在此所述的技術係有關於互補式金屬氧化物半導體(CMOS)換能器以及用於形成其之方法。

【0002】 相關申請案之交互參照

【0003】 此申請案係依據美國法典第35號第119條(e)項主張2013年3月15日申請的代理人文件編號B1348.70007US00且名稱為"互補式金屬氧化物半導體(CMOS)超音波換能器以及用於形成其之方法"之美國臨時專利申請案序號61/794,744的利益，該申請案係以其整體被納入在此作為參考。

### 【先前技術】

【0004】 電容式微加工超音波換能器(CMUT)是已知的裝置，其係在一微加工的凹處上包含一薄膜。該薄膜可被用來轉換一聲波信號成為一電性信號、或反之亦然。因此，CMUT可以操作為超音波換能器。

【0005】 兩種類型的製程可被利用來製造CMUT。犧牲層的製程係在一第一基板上的一犧牲層之上形成該CMUT的薄膜。該犧牲層的移除係留下在一凹處之上的該薄膜。晶圓接合的製程係將兩個晶圓接合在一起以形成一具有一薄膜的凹處。

### 【發明內容】

【0006】 根據該技術的一特點，一種裝置係被提出，其係包括一超音波換

能器以及一耦接至該超音波換能器的積體電路，該積體電路係形成在一CMOS晶圓中。在至少某些實施例中，此種配置係容許一種小型完全整合的超音波裝置能夠加以製成。該超音波換能器係包括一形成在該CMOS晶圓中的凹處、一由一種除了單晶矽以外的材料所形成且覆蓋該凹處的薄膜、以及一在該薄膜以及該積體電路之間提供電性連接的電性接點。在至少某些實施例中，一種除了單晶矽以外的材料作為該薄膜的使用係因為不涉及到單晶材料而使得該裝置的製造變得容易。在至少某些實施例中，相較於非單晶材料的使用，單晶材料的使用係需要更多的製造工作及延長的時間。

【0007】 根據該技術的一特點，一種形成一超音波換能器之方法係被提出，其係包括在一CMOS晶圓中形成一凹處，以及將一轉移(transfer)晶圓接合至該CMOS晶圓，該轉移晶圓係具有一由一種不包含單晶矽的材料所形成的正面。該正面可以是該轉移晶圓被配置以接觸該CMOS晶圓的面。在某些實施例中，該轉移晶圓可包含一或多個承載(handle)層，並且該正面可以是與該承載層相對的。在某些實施例中，將該轉移晶圓接合至該CMOS晶圓係在低於450°C下加以執行，此係使得該超音波換能器在不損壞於接合前已經形成在該CMOS晶圓上的積體電路及/或金屬層下之製造變得容易。如先前所述，相較於若一種單晶材料被使用的話，利用一種除了單晶矽以外的材料於該轉移晶圓可以因為需要較少的工作及延長的時間而使得製造變得容易。

【0008】 根據該技術的一特點，一種裝置係被提出，其係包括一具有一積體電路(IC)形成於其中的互補式金屬氧化物半導體(CMOS)晶圓、一設置在該CMOS晶圓中的一凹處之上的薄膜，該薄膜係與該CMOS晶圓整合並且具有一靠近該凹處的第一側以及一遠離該凹處的第二側、以及一接觸該薄膜靠近該凹處的該第一側並且電性連接該薄膜至該IC之導電的路徑。在某些實施例中，此種配置是一種包含一整合的超音波換能器及積體電路之裝置的基礎、或是代表該

裝置。因此，一種小型的超音波裝置可以藉由容許該些裝置構件形成在單一CMOS晶圓上來加以製成。

【0009】 在至少某些實施例中，一接觸該薄膜靠近該凹處的該第一側並且電性連接該薄膜至該IC之導電的路徑之設置係藉由消除在該薄膜背向該凹處的一側具有一電性接點的必要性，因而使得一超音波換能器以及該IC的整合變得容易。

【0010】 在某些實施例中，該凹處係至少部分藉由一由一種導電材料所形成之導電的側壁來加以界定，並且該導電的路徑係包括該導電的側壁的至少一部分。在某些此種實施例中，該導電的路徑的形成係藉由利用界定該凹處的一邊界的該側壁而變得容易。在某些實施例中，該導電的側壁係包括一種金屬，並且該薄膜的該第一側係包括一層該金屬，該配置在至少某些實施例中係使得該薄膜與該導電的側壁例如是藉由接合的整合變得容易。在某些實施例中，氮化鈦(TiN)係被使用作為該導電的側壁及/或在該薄膜的該第一側上的該層。在某些實施例中，該凹處係至少部分藉由一非導電的側壁來加以界定，並且該導電的路徑係包括一在該非導電的側壁中之內嵌的貫孔。此種配置係藉由不讓該導電的路徑露出而作為該凹處的一邊界來提供有利的電性絕緣的性質。

【0011】 在某些實施例中，該薄膜係包括多晶矽，並且在某些實施例中係包括非晶矽。此種材料的使用可以藉由避免單晶材料的使用而使得製造變得輕鬆。如先前所述，在至少某些實施例中，此種材料的使用係需要比利用單晶材料的製造較少的工作及時間。在某些實施例中，該薄膜係包括衰退摻雜的矽，此在某些實施例中係貢獻到該薄膜是導電的。

【0012】 在某些實施例中，該薄膜係具有一非均勻的厚度，其係包含一具有一第一厚度的中心部分以及一具有一第二厚度的外側部分。在某些實施例中，該第二厚度係小於該第一厚度，使得該薄膜可被配置為一活塞。在某些實

施例中，該第一厚度係小於該第二厚度。在某些實施例中，該第二厚度是介於約1微米到約5微米之間，並且在某些實施例中是介於約0.1微米到約2微米之間。在某些實施例中，該第一厚度是介於約1微米到約50微米之間。

【0013】 具有非均勻的厚度之薄膜的設置係使得達成該薄膜之例如是所要的頻率及/或功率特徵之所要的操作變得容易。

【0014】 在某些實施例中，該CMOS晶圓係包含複數個凹處以及在該複數個凹處之個別的凹處之上的複數個薄膜，其係界定複數個超音波換能器。在某些實施例中，該些薄膜係被配置以密封該些個別的凹處。在某些實施例中，該複數個超音波換能器係被配置為一超音波成像裝置的至少部分，其可以作用來收集適合用於形成超音波影像的超音波資料。在某些實施例中，該複數個超音波換能器係被配置為一高強度聚焦超音波(HIFU)裝置的至少部分，其可以作用來施加HIFU能量至一目標標的物。在某些實施例中，該複數個超音波換能器係被配置以形成一種可運作為一超音波成像裝置及/或一高強度聚焦超音波(HIFU)裝置之裝置，並且在某些實施例中係被配置以形成一種可運作為一成像裝置以及一HIFU裝置之裝置以執行影像導引的HIFU，例如其中藉由該些超音波換能器的至少某些個所收集的超音波資料係被用來形成一超音波影像，其在施加HIFU至一標的物上可加以考量。

【0015】 在某些實施例中，該裝置進一步包括一在該CMOS晶圓中位在該凹處之下的電極，例如其係靠近該凹處的相對該薄膜所位在的一端之一端來加以設置。在某些實施例中，該凹處係具有一第一寬度，並且該電極係具有一第二寬度。在某些實施例中，該第一寬度係大於該第二寬度，其可容許一包括該凹處之超音波換能器能夠呈現有利的電容性特徵。在某些實施例中，該第一寬度係約等於該第二寬度，並且在某些實施例中該第一寬度係小於該第二寬度，其在某些實施例中係藉由增加一介於該電極以及該凹處的側壁之間的距離來最

小化非所要的電容性特性。在某些實施例中，該電極係包括TiN。

【0016】 根據該技術的一特點，一種超音波換能器係被提出，其係包括一具有一凹處形成於其中的基板，以及一與該基板整合並且覆蓋該凹處的薄膜。在某些實施例中，該薄膜係被配置以密封該凹處。在某些實施例中，該薄膜係具有一介於約0.05微米到約1微米之間的厚度，其係使得該超音波換能器例如是相關一所要的頻率或是頻率的範圍之有利的操作變得容易。

【0017】 在某些實施例中，該基板是一具有一積體電路(IC)形成於其中的互補式金屬氧化物半導體(CMOS)晶圓，並且該薄膜係與該基板單石地整合。在至少某些實施例中，此種配置係容許一小型的超音波轉換裝置能夠藉由容許這些構件和相同的基板整合來加以製成。

【0018】 在某些實施例中，該薄膜係具有一介於約0.1微米到約0.5微米之間的厚度。在某些實施例中，該薄膜係包括多晶矽，並且在某些實施例中該薄膜係包括非晶矽。在至少某些實施例中，此種材料的使用係需要比利用單晶材料的製造較少的工作及時間。

【0019】 在某些實施例中，該薄膜係具有一非均勻的厚度，其係包含一具有一第一厚度的中心部分以及一具有一第二厚度的外側部分。在某些實施例中，該第一厚度係小於該第二厚度。在某些實施例中，該第二厚度係小於該第一厚度，使得該薄膜可被配置為一活塞。在某些實施例中，該第二厚度是介於約1微米到約5微米之間，並且在某些實施例中是介於約0.1微米到約2微米之間。在某些實施例中，該第一厚度是介於約1微米到約50微米之間。在某些實施例中，該中心部分係被配置為一用於該薄膜的質量，例如其係具有一比該薄膜的周邊的一厚度更大的厚度。具有非均勻的厚度之薄膜的提供係使得達成該薄膜之例如所要的頻率及/或功率特徵之所要的操作變得容易。

【0020】 根據該技術的一特點，一種方法係被提出，其係包括藉由形成一

將在一互補式金屬氧化物半導體(CMOS)晶圓中的一積體電路(IC)連接至一覆蓋在該CMOS晶圓中的一凹處之薄膜的一第一側之導電的路徑來形成一超音波換能器，該薄膜的該第一側係靠近該凹處，並且該薄膜進一步具有一遠離該凹處的第二側。一如同所述的導電的路徑之設置可以藉由消除在該薄膜背向該凹處的一側具有一電性接點的必要性，而使得一超音波換能器以及該IC的整合變得容易。

【0021】 在某些實施例中，形成該連接在該CMOS晶圓中的該IC至該薄膜的該第一側之導電的路徑係包括在該CMOS晶圓中形成該導電的路徑並且接著單石地整合該薄膜與該CMOS晶圓。因此，在某些實施例中，該電性連接至該薄膜可以在該薄膜與該CMOS晶圓整合時來加以完成。

【0022】 在某些實施例中，單石地整合該薄膜與該CMOS晶圓係包括執行一晶圓接合製程以接合一轉移晶圓與該CMOS晶圓。該晶圓接合製程係在低於450°C下加以執行，其可以提供先前所述在不損壞積體電路及/或金屬層的方面之益處。在某些實施例中，該方法進一步包括在接合該轉移晶圓與該CMOS晶圓之後從該轉移晶圓形成該薄膜。在至少某些實施例中，在接合之後從一轉移晶圓形成該薄膜係容許使用一較厚的轉移晶圓，此係使得晶圓接合變得容易。

【0023】 在某些實施例中，該薄膜係具有一非均勻的厚度，其係包含一具有一第一厚度的中心部分以及一具有一小於該第一厚度的第二厚度的外側部分，並且單石地整合該薄膜與該CMOS晶圓係包括在該薄膜的該外側部分以及該凹處的一側壁的一上部之間形成一密封。該凹處的該側壁的該上部可以是該側壁之一露出的側，並且在某些實施例中可以至少部分界定該凹處的一深度。在某些實施例中，該上部可代表一接合表面。

【0024】 在某些實施例中，該方法進一步包括至少部分藉由形成該凹處的一導電的側壁來在該CMOS晶圓中形成該凹處。在某些實施例中，該導電的路徑

係包括該導電的側壁的至少一部分。在某些此種實施例中，該導電的路徑的形成係藉由利用界定該凹處的一邊界的該側壁而變得容易。在某些實施例中，該導電的側壁係包括一種金屬，並且該薄膜的該第一側係包括一層該金屬，該配置在至少某些實施例中係使得該薄膜與該導電的側壁的例如是藉由接合的整合變得容易。在某些實施例中，該導電的側壁及/或該薄膜的層係包括氮化鈦(TiN)。

【0025】 在某些實施例中，該方法進一步包括至少部分藉由形成該凹處的一非導電的側壁來在該CMOS晶圓中形成該凹處。在某些實施例中，形成該導電的路徑係包括在該凹處的該非導電的側壁中形成一內嵌的貫孔。在某些實施例中，此種配置係藉由不讓該導電的路徑露出而作為該凹處的一邊界來提供有利的電性絕緣的性質。在某些實施例中，該方法進一步包括形成該多晶矽的薄膜，並且在某些實施例中進一步包括形成該非晶矽的薄膜，此在至少某些實施例中係牽涉到比利用單晶材料少的製造工作及時間。

【0026】 在某些實施例中，該薄膜係具有一非均勻的厚度，其係包含一具有一第一厚度的中心部分以及一具有一小於該第一厚度的第二厚度的外側部分。在某些實施例中，該第二厚度是介於約1微米到約5微米之間，並且在某些實施例中，該第二厚度是介於約0.1微米到約2微米之間。在某些實施例中，該第一厚度是介於約1微米到約50微米之間。在某些實施例中，該薄膜係被配置為一活塞。具有非均勻的厚度之薄膜的設置係使得達成該薄膜之例如是所要的頻率及/或功率特徵之所要的操作變得容易。

【0027】 根據該技術的一特點，一種製造一超音波換能器之方法係被提出，其係包括在一互補式金屬氧化物半導體(CMOS)晶圓中形成一被覆蓋的凹處，其係藉由利用一多晶矽或非晶矽薄膜來密封該凹處。在至少某些實施例中，此種配置係容許利用比使用一種單晶材料將會牽涉到的更少的製造工作及時間來製造一超音波換能器。

【0028】 在某些實施例中，形成該被密封的凹處係包括在該CMOS晶圓中形成該凹處、接合該CMOS晶圓與一包括一層多晶矽或非晶矽的轉移晶圓、以及從該轉移晶圓的該層多晶矽或非晶矽來形成該薄膜。在某些實施例中，接合該CMOS晶圓與該轉移晶圓係包括在低於450°C下執行該接合，此可以提供先前所述的在不損壞積體電路及/或金屬層的方面之益處。在某些實施例中，從該轉移晶圓的該層多晶矽或非晶矽來形成該薄膜係包括薄化該層多晶矽或非晶矽，該技術在某些實施例中係容許使用較厚的轉移晶圓於晶圓接合。在某些實施例中，該轉移晶圓是一包含一基底矽層、一絕緣層以及該層多晶矽或非晶矽之多層的晶圓。在某些實施例中，該層多晶矽或非晶矽是一層多晶矽，並且在某些實施例中是一層非晶矽，該些實施例可以藉由牽涉到比利用單晶材料將會牽涉到的更少的製造工作及時間而使得製造變得容易。在某些實施例中，從該轉移晶圓的該層多晶矽或非晶矽來形成該薄膜係包括移除該基底矽層以及該絕緣層。

【0029】 在某些實施例中，在該CMOS晶圓中形成該被密封的凹處係包括利用一多晶矽薄膜來密封該凹處，並且在某些實施例中係包括利用一非晶矽薄膜來密封該凹處。在至少某些實施例中，此種技術係容許在比利用一種單晶材料將會牽涉到的更少的製造工作及時間下製造一超音波換能器。

【0030】 在某些實施例中，該薄膜係具有一非均勻的厚度，其係包含一具有一第一厚度的中心部分以及一具有一小於該第一厚度的第二厚度的外側部分。在某些實施例中，該薄膜的一外側部分係具有一第一厚度，並且該方法進一步包括在利用該多晶矽或非晶矽薄膜密封該凹處之後形成該薄膜的具有一大於該第一厚度的第二厚度的一中心部分。在某些實施例中，形成該薄膜的具有該第二厚度的該中心部分係包括在該薄膜上沉積及圖案化一第一材料。在某些實施例中，沉積及圖案化該第一材料係在低於450°C下加以執行，其可以提供先

前所述的在不損壞積體電路及/或金屬層的方面之益處。在某些實施例中，該第一材料並非多晶矽或是非晶矽。在某些實施例中，該多晶矽或非晶矽薄膜是被衰退摻雜的，其在至少某些實施例中係使得完成至該薄膜的電性接點變得容易。

【0031】 在所有其中一薄膜被設置在一凹處之上的此種實施例中，該薄膜可以選配地被配置以密封該凹處。

【圖式簡單說明】

【0032】 本申請案的各種特點及實施例將會參考以下的圖式來加以描述。應該體認到的是，該些圖並不一定按照比例繪製。出現在多個圖中的項目係在所有出現該項目的圖中藉由相同的元件符號來加以指出。

圖1A-1K係描繪根據本申請案之一非限制性的實施例的一種用於製造一CMOS超音波換能器(CUT)之製程序列，該CUT係具有一形成在一CMOS晶圓中的一凹處之上的薄膜。

圖2A-2C係描繪根據本申請案之一非限制性的實施例的一種用於製造一具有一活塞薄膜的CUT之製程序列，其中該活塞薄膜係從一轉移晶圓加以轉移。

圖3A-3B係描繪根據本申請案之一非限制性的實施例的一種用於形成一具有一活塞薄膜之替代的CUT之製程序列，其中該活塞薄膜係在晶圓接合之後加以形成。

圖4A-4C係描繪根據本申請案之一非限制性的實施例的一種替代的用於形成一具有一活塞薄膜的CUT之製程序列，其中該活塞薄膜係從一轉移晶圓加以轉移。

圖5係描繪根據本申請案之一非限制性的實施例的一具有一薄膜止擋的CUT，該薄膜止擋係被設置在該CUT的一凹處的一底表面上。

圖6係描繪根據本申請案之一非限制性的實施例的一具有一活塞薄膜以及一薄膜止擋的CUT，該薄膜止擋係被設置在該CUT的該凹處的一底部部分上。

圖7A-7H係描繪根據本申請案之一非限制性的實施例的一種用於形成一具有一貫孔的CUT之製程序列，該貫孔係內嵌在一CMOS晶圓中以做成電性接觸至該CUT的一薄膜的一底部側。

圖8A-8B係描繪根據本申請案之一非限制性的實施例的一種用於從圖7A-7H的製程所產生之裝置形成一活塞薄膜之製程序列。

圖9A-9B係描繪根據本申請案之一非限制性的實施例的一種用於形成一具有從一轉移晶圓轉移的一活塞薄膜並且具有在一CMOS晶圓中的一內嵌的貫孔以做成電性接觸至該薄膜的該底部側之CUT的製程序列。

圖10A-10H係描繪根據本申請案之一非限制性的實施例的一種用於形成一具有一活塞薄膜以及一穿過該薄膜的內嵌的貫孔以做成電性接觸至一CMOS晶圓之CUT的製程序列。

圖11係描繪圖10A-10H的製程所產生的CUT之一替代的CUT，其係包含一具有一比圖10H中的CUT的中心部分厚的中心部分之活塞薄膜。

圖12係描繪根據本申請案之一非限制性的實施例的一具有一有內襯的貫孔之CUT，該貫孔係用以在一CMOS晶圓以及該CUT的一薄膜的一頂端側之間做成電性接觸。

圖13A-13I係描繪根據本申請案之一非限制性的實施例的一種用於形成一CUT之製程序列，其係具有在該CUT的一薄膜的一頂端側上之電性接點。

圖14係描繪根據本申請案之一非限制性的實施例的圖13A-13I的製程所產生的CUT之一替代的CUT，其係包含一在該CUT的一凹處之下的電極，該電極係比該凹處的一寬度窄。

圖15係描繪根據本申請案之一非限制性的實施例的圖14的CUT之一替代的CUT，其中該CUT係包含一活塞薄膜。

圖16A-16B係描繪根據本申請案之一非限制性的實施例的一種用於形成一

具有一活塞薄膜以及至該薄膜的頂端側電性接點之替代的CUT之製程序列。

圖17A-17C係描繪根據本申請案之一非限制性的實施例的一種用於形成一具有一活塞薄膜以及至該薄膜的頂端側電性接點的CUT之製程序列。

圖18A-18E係描繪根據本申請案之一非限制性的實施例的一種替代的用於形成一具有一活塞薄膜以及至該薄膜的頂端側電性接點的CUT之製程序列。

圖19A-19B係描繪根據本申請案之一非限制性的實施例的另一替代的用於形成一具有一活塞薄膜以及至該薄膜的頂端側電性接點的CUT之製程序列。

圖20A-20I係描繪根據本申請案之一非限制性的實施例的一種用於形成一CUT之製程序列，其係具有在該CUT的一薄膜的一頂端側上的電性接點並且具有一在該CUT的一凹處的一底表面上的薄膜止擋。

圖21A-21F係描繪根據本申請案之一非限制性的實施例的一種用於形成一CUT之製程序列，其係具有在該CUT的一薄膜的一頂端側上的電性接點並且具有一在該薄膜的一底部側上的薄膜止擋。

圖22A-22D係描繪根據本申請案的非限制性的實施例的各種用於CUT的凹處之形狀。

圖23A-23D係描繪根據本申請案之一非限制性的實施例的一種用於製造一具有一活塞形成於其中的轉移晶圓之製程序列。

圖24A-24B係描繪根據本申請案之一非限制性的實施例的一種用於製造一具有一薄膜止擋的轉移晶圓之製程序列。

圖25A-25B係描繪根據本申請案之一非限制性的實施例的一種替代的用於製造一具有一活塞形成於其中的轉移晶圓之製程序列。

圖26係描繪圖1K的超音波換能器連接至一在該CMOS晶圓中的積體電路，其中該積體電路被設置在該超音波換能器之下。

## 【實施方式】

【0033】 現有用於形成CMUT的方法對於形成與CMOS晶圓以及因此在此種晶圓上的CMOS積體電路(IC)整合的超音波換能器而言是不切實際的。因此，此種整合的超音波換能器及IC在現今是不存在的。例如，現有用於形成CMUT的方法並未提供一種用於在該CMUT以及一CMOS晶圓上的積體電路之間做成電性連接之實際可行的方式。再者，現有的方法並未充分地容許縮放CMUT到適合與低電壓的CMOS積體電路相容之尺寸。再者，CMUT的製程是過於複雜而無法以一種適合用於市售裝置的大量製造之有成本效益的方式來加以執行，此例如是因為它們牽涉到利用複雜的材料以及過多的處理步驟之處理。

【0034】 於是，本申請案的特點係提供用以製造與CMOS晶圓整合的、以及在某些實施例中是與形成在該CMOS晶圓上的CMOS IC整合的超音波換能器之可擴充的相對低成本之方法。此種方法係致能一種新穎類型的裝置的形成，其係包含單石地整合的超音波換能器及CMOS IC，在此被稱為CMOS超音波換能器(CUT)。該些CUT可被用來形成用於超音波成像及/或高強度聚焦超音波(HIFU)應用及/或其它超音波應用之超音波裝置。

【0035】 為了使得以一種適合於可擴充的大量製造CUT的方式來整合超音波換能器技術與CMOS製程技術變得容易，一種呈現出各種特徵中的一或多個之製程可能是所期望的。例如，該製程可能是適合於在不損壞該CMOS晶圓以及任何形成在其上的電路(例如，IC)的情形下形成超音波換能器。因此，該製程可能會避免需要溫度足夠高到對於一CMOS晶圓以及CMOS IC造成損壞的製程步驟。因而，低溫的製程可被採用。該製程可以利用CMOS製程生產線常見的材料，其並不需要過多的工作或時間來製造及/或沉積例如是多晶及/或非晶形式的材料，而不是單晶體(單晶)形式的材料。該製程可以提供作成直接或間接的電性連接至個別的超音波換能器單元(cell)之適當的方式。該製程亦可以適合於製成具有適當尺寸的超音波換能器，以致能低電壓的操作(例如，低於70V、低於50V、

低於30V、或是其它用於換能器操作之適當的低電壓)，因此使得它們與低電壓CMOS IC更為相容。例如，該些製程可以適合於製成具有充分的尺寸(例如，足夠小的厚度)及形狀之薄膜，以用於作為低電壓裝置的操作，同時仍然傳達所要的換能器特性(例如，所要的操作頻率、頻寬、功率或是其它特徵)。在某些實施例中，亦可能為所期望的是一製程的其它特徵使得超音波換能器與CMOS晶圓的整合變得容易。

【0036】 於是，本申請案的特點係實施低溫(例如，低於450°C)的晶圓接合，以在CMOS晶圓上形成超音波換能器薄膜。在此上下文中的低溫在某些實施例中可以是低於450°C、低於400°C、低於350°C、介於200°C到450°C之間、任何在該範圍內之溫度、或是任何用於保存一CMOS晶圓上的結構之適當的溫度。因此，根據某些實施例的接合製程以及其它用於形成CUT的製造步驟可以避免任何超過450°C的退火。在某些實施例中，該些薄膜可以是由相對簡單且價格低廉的材料所形成的，例如多晶矽、非晶矽、二氧化矽、氮化矽(SiN)以及氮化鈦(TiN)。該些薄膜亦可以是薄的，並且在至少某些實施例中比先前在CMUT中可達成的薄膜更薄。此種薄的薄膜的使用可以使得可運作在低到足以符合CMOS技術的電壓之超音波換能器的形成變得容易，並且因此可以使得CUT的形成變得容易。

【0037】 本申請案的特點係提供各種用於以一種使得一超音波換能器與一CMOS積體電路的整合變得容易之方式來做成電性連接至該超音波換能器的薄膜之設計及製程。在某些實施例中，連接可以從該薄膜的一凹處側(例如，一底部側)來加以做成的。此種連接可以藉由一內嵌的貫孔、一導電的支座(standoff)或凹處壁、或是用任何其它適當的方式來加以做成。此種電性互連可以提供本地的連接至該薄膜而不是全域的連接，藉此該連接至個別的薄膜可以被做成靠近相關的電路而且是以個別的方式，而不是與相關的電路相隔大的距離而且不

是以多薄膜的方式。此種本地的連接至薄膜之功能可以致能比全域的互連所給予的更廣範圍的操作設計，此例如是因為薄膜之個別化的控制的功能之緣故。

【0038】 本申請案的特點係提供具有一活塞配置的CUT，其中一薄膜係包含一或多個相對厚的中心部分以及一相對薄的周圍(或外側)部分。此種結構在此可被稱為一活塞薄膜。在某些實施例中，該活塞薄膜可以在晶圓接合之前完整形成在一轉移晶圓上。該轉移晶圓接著可以利用低溫處理方法而被接合到一CMOS晶圓，並且該活塞薄膜係從該轉移晶圓的剩餘部分加以移除。以此種方式，由界定單一主體的單一材料所形成的活塞薄膜可加以形成，並且此種活塞薄膜可以是由在高到足以損壞CMOS IC(若此種處理是在該晶圓接合之後發生的話)的溫度下加以處理的材料所形成的。

【0039】 上述的特點與實施例以及額外的特點與實施例係在以下進一步加以描述。這些特點及/或實施例可以個別地、全部一起、或是以兩個或多個的任意組合來加以使用，因為本申請案此方面並未受限制。

【0040】 一種用於形成一具有在一CMOS晶圓中的一凹處之上的一薄膜之超音波換能器的第一製程現在係加以敘述。參照圖1A，該製程可以開始於一CMOS晶圓100，其係包含一基板102、一介電或絕緣層104、一第一金屬化層106以及一第二金屬化層108，該第二金屬化層108在某些實施例中可以是該CMOS晶圓100的一頂端金屬化層。

【0041】 該基板102可以是矽或是任何其它適當的CMOS基板。在某些實施例中，該CMOS晶圓100可以包含CMOS積體電路(IC)，並且因此該基板102可以是一用於支援此種電路之適當的基板。

【0042】 該絕緣層104可以是由SiO<sub>2</sub>或是任何其它適當的介電絕緣材料所形成的。在某些實施例中，該絕緣層104可以是經由四乙基正矽酸鹽(TEOS)來加以形成的，儘管替代的製程亦可被使用。

【0043】 儘管該CMOS晶圓100被展示為包含兩個金屬化層106及108，但應該體認到的是根據本申請案的各種特點之CMOS晶圓並不限於具有兩個金屬化層，而是可以具有任意適當數目個金屬化層，其在某些實施例中係包含超過兩個金屬化層。此種金屬化層在某些實施例中可被使用於佈線(例如，作為佈線層)，儘管並非所有的實施例都在此方面受到限制。

【0044】 該第一及第二金屬化層106及108可具有任何適當的結構。在所描繪的實施例中，至少該第二金屬化層108可具有一種多層的結構，其係包含一中間的導電層112(例如，由鋁或是其它適當的導電材料所形成)以及分別是上方及下方的襯墊(liner)層110及114。該些襯墊層110及114可以是由氮化鈦(TiN)或是其它適當的導電材料(例如，除了TiN以外的金屬，例如鈹或是其它用於作用為一襯墊之適當的金屬)所形成的。在某些實施例中，例如是在被用作為一種形成一用於超音波換能器的凹處之製程的一部分之一或多個蝕刻步驟的期間，該上方的襯墊層110可被使用作為一蝕刻止擋(stop)。因此，在某些實施例中，該襯墊層110可以是由一種適合作為一蝕刻止擋的材料所形成的。再者，儘管未被展示，但該第一及第二金屬化層106及108以及任何其它在此所述的金屬化層可以選配地包含氮氧化矽(SiON)以作為一上方層(例如，在襯墊層110的頂端上)，以作為在微影階段期間之一抗反射的塗層。

【0045】 在某些實施例中，從該第二金屬化層108來形成一電極可能是所期望的，其係作為一超音波換能器的一電極。再者，該第二金屬化層108可被用來做成電性接觸至一待被形成在該CMOS晶圓上的CUT的一薄膜。於是，如同在圖1B中所示，該第二金屬化層108可被適當地圖案化，以形成一電極116以及一或多個接點118。

【0046】 儘管圖1B係描繪一種其中一電極以及電性接點是從一金屬化層而被形成在一CMOS晶圓上的配置，但應該體認到的是其它形成一電極(例如，

電極116)及/或電性接點(例如，電性接點118)的方式亦可被實施。例如，除了金屬以外而且是適合作為電極及/或電性接點的導電材料也可以在該CMOS晶圓上被適當地處理，以形成該些描繪的電極及/或電性接點。

【0047】 如同在圖1C中所示，一絕緣層120接著可加以沉積，該絕緣層120可以是SiO<sub>2</sub>或是任何其它適當的絕緣體，並且可以用任何適當的方式加以形成。在某些實施例中，該絕緣層120可藉由高密度電漿(HDP)沉積來加以形成。該絕緣層120接著可利用例如是化學機械拋光(CMP)或是其它適當的平坦化技術而被平坦化(未顯示)。

【0048】 在圖1D中，該絕緣層120可以如圖所示地被蝕刻以露出該電極116以及電性接點118的上表面。在某些實施例中，該上方的襯墊層110可被使用作為一用於被用來蝕刻該絕緣層120之選擇性的蝕刻的蝕刻止擋。舉例而言，該襯墊層110可以是由TiN所形成的，並且可被使用作為一蝕刻止擋，儘管並非所有的實施例都在此方面受到限制。

【0049】 如同在圖1E中所示，另一絕緣層122可被沉積以覆蓋該電極116以及電性接點118的上表面，並且接著可以如同在圖1F中所示地被圖案化，以開放用於該些電性接點118的接點孔洞124。該絕緣層122可以是SiO<sub>2</sub>或是任何其它適當的絕緣體。

【0050】 如同在圖1G中所示，一導電層126可加以沉積。該導電層可被用來形成至一超音波換能器的一薄膜之電性接點，即如同將會相關圖1J加以展示者。再者，該導電層126可被圖案化以在其中形成一用於一CUT的凹處，而該導電層126之一剩餘的部分係界定該凹處的一或多個側壁。在某些實施例中，接著，該導電層126亦可代表一間隔物(spacer)，其中一薄膜可以和該CMOS晶圓100的表面分隔開該導電層126的高度。因此，該導電層126可以用於多個可能的功能中之一或多個。

【0051】 該導電層126可以是由任何適當的導電材料所形成的。在某些實施例中，該導電層126可以是由一種金屬所形成的。例如，該導電層126在某些實施例中可以是TiN。

【0052】 該導電層126可以利用CMP或是其它適當的平坦化技術而被平坦化(未顯示)，並且接著可以如同在圖1H中所示地被圖案化以形成接點128。在此階段可看出的是，一凹處130已經形成在該CMOS晶圓中，其中該接點128是作用以至少部分界定該凹處。亦即，該些接點128(其在某些實施例中可能是代表構成一閉合的輪廓之單一接點)在該描繪的實施例中係作用為該凹處130的側壁，並且如同從圖1K的考量將會進一步體認到的，其係產生一介於該電極116以及一覆蓋該凹處130的薄膜之間的支座。

【0053】 如同在圖1I-1J中所示，一第二晶圓131可被接合至該CMOS晶圓。一般而言，該第二晶圓可以是任何適當的類型的晶圓，例如一矽塊材(bulk silicon)晶圓、一絕緣體上矽(SOI)晶圓、或是一改造的基板，其係包含一多晶矽或非晶矽層以及一介於單晶矽層與該多晶矽或非晶矽層之間的絕緣層。在所描繪的實施例中，該第二晶圓131可包含四層，其係包含一基底層或承載(handle)層132、絕緣層134、層136以及層138。該第二晶圓131可被用來轉移(transfer)層136及138至該CMOS晶圓，以用於在凹處130之上形成一薄膜，並且因此可在此被稱為一轉移晶圓。

【0054】 作為構成該第二晶圓131的適當材料之一非限制性的例子，該基底層132可以是一矽層(例如，單晶矽)，該絕緣層134可以是SiO<sub>2</sub>並且可代表一埋入式氧化物(BOX)層，並且層136可以是矽。在某些實施例中，該層136可以被衰退摻雜矽磷化物(SiP+)。在某些實施例中，該層136可以是多晶矽或非晶矽，儘管其它實施例可以利用單晶矽。該層138可以是由一種適合用於接合至該CMOS晶圓上的接點128之材料所形成的。例如，該些接點128以及層138可以是由相同

的材料所形成的。在某些實施例中，該些接點128以及層138可以是由TiN所形成的。

【0055】 用於接合該第二晶圓131至該CMOS晶圓100的製程可以是一種低溫接合製程，例如不超過450°C。在某些實施例中，該接合製程的溫度可以是介於約200°C到450°C之間、介於約300°C到約400°C之間、任何在該些範圍內之溫度、任何其它在此所述用於低溫接合的溫度、或是任何其它適當的溫度。因此，對於在該CMOS晶圓上的金屬化層以及在該CMOS晶圓上的任何IC之損壞都可加以避免。

【0056】 該晶圓接合製程可以是各種類型中的一種。在某些實施例中，該晶圓接合可以是直接的接合(亦即，熔融接合)。因此，該晶圓接合可能牽涉到激勵該CMOS及第二晶圓之個別的表面並且接著利用適當的壓力來將該些晶圓壓在一起以產生該接合。一種低溫退火可加以執行。儘管熔融接合代表一適當的接合技術的一個例子，但是其它接合技術亦可替代地被使用，其例如包含透過一或多個中間層(例如，黏著劑)的使用來接合兩個晶圓。在某些實施例中，陽極或是電漿輔助的接合可被使用。

【0057】 在圖1I-1J中描繪的接合可以產生該第二晶圓131與該CMOS晶圓100被單石地整合。因此，該兩個晶圓在某些情況中可以形成單一主體。

【0058】 一薄膜於是可以從該第二晶圓131加以形成。該第二晶圓131可以從背面被薄化。此種薄化可以在多個階段中加以執行。例如，提供粗略的厚度控制(例如，10微米的控制)的機械式研磨可以最初被實施以移除一相對大量的晶圓塊材。在某些實施例中，該機械式研磨的厚度控制可以隨著該薄化製程的進行，而從粗略變化到細微。接著，CMP例如可以在背面上加以執行，以到達一靠近該層136的點。接著，一例如是選擇性的化學蝕刻之選擇性的蝕刻可加以執行，以停止在該層136上。其它的薄化方式也是可行的。

【0059】 因此，如同在圖1K中所示，該基底層或承載層132以及絕緣層134可被移除。一由該層136及層138所形成的薄膜140可以留下。該薄膜可以具有任何適當的厚度 $T_M$ ，其非限制性的例子係在以下加以描述。在某些實施例中，該層136可被蝕刻或是薄化，以提供一所要的薄膜厚度。

【0060】 描繪在圖1K中的結構的各種特點係被指明。首先，該結構係包含一密封的凹處130，其係藉由該薄膜140來加以密封。再者，該凹處的側壁是導電的，亦即，該些接點128是導電的，並且形成該被密封的凹處的側壁。在此方面而言，該些接點128係代表一用於該薄膜140與該CMOS晶圓的表面隔開之導電的支座。該些接點128可以是相對大面積的電性接點，並且接觸到該薄膜之一相對大的面積，因此提供一往返該薄膜之低電阻率的電性路徑。例如，該些接點可以提供在該薄膜以及在該CMOS晶圓上(例如，被設置在該凹處之下)的一IC之間的電性控制，該IC可以和該薄膜互動以提供/接收電性信號，並且因此在某些實施例中控制該薄膜的操作。

【0061】 再者，應注意的是該薄膜140係具有一靠近該凹處130的第一側142以及一遠離該凹處的第二側144，並且直接的電性接觸係經由該些接點128而被做成至該第一側142。該第一側142可被稱為該薄膜的一底部側，並且該第二側144可被稱為該薄膜的一頂端側。至該薄膜140之本地的連接可以是以此種方式做成的，並且該薄膜140可以經由此連接(例如，經由接點118)而連接至在該CMOS晶圓中的積體電路。在某些實施例中，一IC可被設置在該凹處130之下，並且該描繪的導電的路徑配置可以使得在該凹處之下的積體電路與該薄膜140之間做成連接變得容易。圖1K的配置係提供一內嵌的接點至該薄膜之一非限制性的例子，其中電性接點係由在該CMOS晶圓中的一導電的路徑提供(例如，至接點118)，而不是在該第二側144上做成一接點。此種配置可能是比在該第二側144上做成電性接點較佳的，因為任何在該第二側144上的接點都可能(負面)

影響該薄膜140的振動。

【0062】 再者，應注意的是在圖1K的實施例中，該電極116係比該凹處130窄。亦即，該電極116係具有一寬度W1小於該凹處130的一寬度W2。此種配置至少在那些其中該凹處具有導電的側壁(例如，該些接點128)的實施例中可能是所期望的，以在該些側壁與該電極之間提供電性隔離。

【0063】 再者，應注意的是，圖1K的結構在一實施例中可被改變為不包含該層138。因此，在一實施例中，一直接的接合可以形成在接點128(例如，由TiN所形成的)與層136(例如，矽)之間。

【0064】 描繪在圖1K中的結構可以具有任何適當的尺寸。用於該薄膜140及凹處130的尺寸之非限制性的例子係在以下進一步加以描述。

【0065】 作為非限制性的例子，該凹處130的寬度W2可以是介於約5微米到約500微米之間、介於約20微米到約100微米之間、可以是約30微米、約40微米、約50微米、任何介於之間的寬度或是寬度的範圍、或是任何其它適當的寬度。在某些實施例中，該寬度可被選擇以最大化該空隙比(void fraction)，亦即該凹處所占用的面積量相對於由周圍的結構所占用的面積量。該寬度尺寸亦可被用來識別該凹處的孔尺寸，並且因此該凹處可以具有上述值的任一個或是任何其它適當的值的孔。

【0066】 該深度D1可以是介於約0.05微米到約10微米之間、介於約0.1微米到約5微米之間、介於約0.5微米到約1.5微米之間、任何介於之間的深度或是深度的範圍、或是任何其它適當的深度。若該些接點128係由TiN所形成的，則在此種實施例中可能較佳的是D1小於5微米，因為TiN通常是被形成為一薄膜。在某些實施例中，該些凹處尺寸及/或任何覆蓋該凹處的薄膜之薄膜厚度可能會影響該薄膜的頻率特性，並且因此可被選擇以提供一所要的頻率特性(例如，該薄膜之一所要的共振頻率)。例如，在某些實施例中可能所要的是一種具有以下

的一中心共振頻率之超音波換能器：介於約20kHz到約200MHz之間、介於約1MHz到約10MHz之間、介於約2MHz到約5MHz之間、介於約50kHz到約200kHz之間、具有約2.5MHz、約4MHz、任何介於之間的頻率或是頻率的範圍、或是任何其它適當的頻率。例如，可能所要的是在空氣、氣體、水或是其它環境中使用該些裝置，例如是用於醫學成像、材料分析或是為了其它原因，為此，各種的操作頻率可能是所要的。該凹處及/或薄膜的尺寸可以據此來加以選擇。

【0067】 該薄膜厚度 $T_M$ (例如，如同在大致平行於該深度 $D_1$ 的方向上量測的)可以是小於100微米、小於50微米、小於40微米、小於30微米、小於20微米、小於10微米、小於5微米、小於1微米、小於0.1微米、任何介於之間的厚度範圍、或是任何其它適當的厚度。在某些實施例中，該厚度可以根據該薄膜之一所要的聲波特性，例如該薄膜之一所要的共振頻率來加以選擇。

【0068】 再者，應該體認到的是，該凹處130以及更一般來說的任何在此所述的實施例的凹處都可以具有各種的形狀，並且當多個凹處被形成時，並非所有的凹處都必需具有相同的形狀或尺寸。例如，圖22A-22D係描繪用於凹處130以及在此所述的其它凹處之各種可能的形狀。明確地說，圖22A-22D係描繪一CMOS晶圓的一部分2200的俯視圖，其係具有形成於其中的各種形狀的凹處130。圖22A係描繪該些凹處130可具有一方形孔。圖22B係描繪該些凹處130可具有一圓形孔。圖22C係描繪該些凹處可具有一六邊形孔。圖22D係描繪該些凹處130可具有一八邊形孔。其它的形狀也是可行的。

【0069】 儘管該部分2200被展示為包含四個凹處，但應該體認到的是本申請案的特點係提供一或多個被形成在一CMOS晶圓中的此種凹處。在某些實施例中，單一基板(例如，單一CMOS晶圓)可具有數十個、數百個、數千個、數萬個、數十萬個、或是數百萬個CUT(以及對應的凹處)形成於其中。

【0070】 圖1K係描繪一具有一覆蓋該凹處130的薄膜140之超音波換能

器，其中該薄膜具有一實質均勻的厚度。在某些實施例中，該薄膜具有一非均勻的厚度可能是所期望的。例如，該薄膜被配置為一活塞可能是所期望的，其中一中心部分係具有一比該薄膜的一外側部分大的厚度，其非限制性的例子係在以下加以描述。

【0071】 例如是描繪在圖1K中的超音波換能器可被用來傳送及/或接收聲波信號。該換能器就產生的功率、操作的頻率(例如，頻寬)、以及控制該薄膜的振動所需的電壓而論之操作可以依據該薄膜的形狀及尺寸而定。一被塑形為具有一中心質量狀的部分的一活塞之薄膜是藉由一較薄的週邊部分連接至一CMOS晶圓，此可以提供各種有利的操作特徵。

【0072】 於是，本申請案的一特點係提供具有活塞薄膜之超音波換能器。根據本申請案的某些實施例，此種換能器可以是由晶圓接合製程所形成的。一般而言，此種薄膜之較厚的中心部分可以是形成在該薄膜的頂端側或底部側上，並且可以是在晶圓接合之前或之後加以形成。適當的製程之非限制性的例子現在係加以敘述。

【0073】 根據本申請案的一實施例，一種製造一活塞薄膜之方法係被提出，該活塞薄膜係具有在該薄膜的一上部之一較厚的中心部分，並且是從一轉移晶圓加以形成的。該方法可以牽涉到和先前相關圖1A-1H所敘述的相同的處理步驟，以達到圖1H的結構。從該點開始，如同在圖2A-2B中所示，一轉移晶圓201可以例如利用一如先前所述的低溫(低於450°C)直接的接合技術來與該CMOS晶圓接合。

【0074】 圖2A-2B的轉移晶圓201係包含該基底層132、絕緣層134、以及層138。該轉移晶圓亦包含活塞202以及層204，該層204在某些實施例中可以是一例如是SiO<sub>2</sub>(例如，經由四乙基正矽酸鹽(TEOS)或是其它適當的製程來加以形成)的絕緣層，但是其並不限於由任何特定類型的材料所形成的。在某些實施例

中，該活塞202可以是由矽所形成的，並且在某些實施例中是由多晶矽或非晶矽所形成的，儘管其它實施例可以使用單晶矽。在某些情形中，除了其它可能的益處以外，多晶矽或非晶矽的使用可以簡化該製程且/或降低成本。在某些實施例中，該活塞202可以是衰退摻雜的。在某些實施例中，該活塞202係由SiP+所形成的。

【0075】 如同在圖2B中所示，該轉移晶圓201可以由於該接合製程而與該CMOS晶圓單石地整合。接著，如同在圖2C中所示，該基底層132、絕緣層134以及層204可藉由晶圓研磨、接著蝕刻、以及接著移除該埋入式氧化物、或是以任何其它適當的方式來加以移除。因此，結果可以是包含覆蓋該凹處130的活塞202。該活塞202以及層138可以形成一如圖所示的薄膜，並且因此可被視為一活塞薄膜。該活塞薄膜可以具有一帶有厚度T1的週邊(或外側)部分以及一帶有厚度T2的中心部分。在某些實施例中，T1可以做成盡可能的薄，並且例如可以是介於約1微米到約10微米之間。該活塞202可具有一寬度WP。在某些實施例中，該寬度WP可以是和該電極116的寬度W1實質相同的。然而，並非所有的實施例都在此方面受到限制，因為WP在某些實施例中可以是大大於W1、或在某些實施例中是小於W1。

【0076】 作為尺寸之非限制性的例子，在圖2C中所描繪的凹處130可具有在此先前所述的凹處尺寸的任一個或是任何其它適當的尺寸。例如，D1及W2可具有各種先前對於那些尺寸所敘述的任一個。

【0077】 該厚度T1可以是先前對於T1所敘述的值的任一個、或是對於TM所敘述的值的任一個。同樣地，該厚度T2可具有先前相關TM所敘述的值的任一個、或是任何其它適當的值。在某些實施例中，該厚度T1可被做成盡可能的小，並且該厚度T2可以具有先前相關TM所敘述的值的任一個。例如，該厚度T2可以是介於1微米到約100微米之間、介於約10微米到約50微米之間、任何在此種範

圍內之值、或是任何其它適當的值。

【0078】 一種非限制性的用於形成一覆蓋一凹處的活塞薄膜之替代製程係被描繪在圖3A-3B中，其中該活塞之較厚的中心部分係在該薄膜的一上部。該製程可以從圖1K的結構開始，並且從該處增加一如同在圖3A中所示的保護層302。該保護層可以是矽氮化物( $\text{Si}_3\text{N}_4$ )或是其它適當的保護材料，其可以在足夠低的溫度下加以形成，以避免對於該CMOS晶圓的損壞。

【0079】 如同在圖3B中所示，該保護層302接著可以適當地被蝕刻以產生一用於該活塞薄膜的中心部分304。應注意到的是，在此實施例中，該中心部分304係由一種和該層136不同的材料所形成的。

【0080】 圖3B的活塞薄膜可具有一帶有厚度T3的外側部分，並且該中心部分可具有一厚度T4。該厚度T3可以是那些先前相關T1所敘述的值的任一個，而T4可以是那些先前相關T2所敘述的值的任一個。

【0081】 另一種用於形成一活塞薄膜的替代製程係被描繪在圖4A-4C中。該製程可以從一類似於、實質相同於、或是相同於圖1H之結構開始。然而，該些接點128在圖4A-4C的實施例中可具有一較小的高度。例如，儘管在圖1H中的接點128可以是和在藉由圖1H所表示的實施例中的凹處130之深度D1相同的高度，並且因此可具有先前在此對於D1所述的值(例如，介於1到10微米之間、小於5微米、等等)的任一個，但是在圖4A中的接點128的高度可以是較小的(例如，先前所述的D1的高度的一半、高度D1的四分之一、等等)。一具有該基底層132、絕緣層134、層402(例如，在某些實施例中為單晶矽、多晶矽、非晶矽、或是SiP+)以及一圖案化的層404之轉移晶圓可以利用低溫接合而被接合至該CMOS晶圓。該圖案化的層404可具有一介於約1微米到約10微米之間、介於約3微米到約7微米之間、任何在那些範圍內之值、小於5微米、小於3微米、或是任何其它適當的厚度。

【0082】 該圖案化的層404可以是由一種適合用於接合至接點128的材料所形成的，並且在某些實施例中可以是由和接點128相同的材料所形成的。在一實施例中，該圖案化的層404可以是由TiN所形成的。

【0083】 如同在圖4C中所示，該基底層132以及絕緣層134可以在該轉移晶圓與該CMOS晶圓的接合之後加以移除。此種移除可以利用研磨、蝕刻、及/或埋入式氧化物移除、或是其它適當的技術來加以執行。在某些實施例中，該層402可被薄化至一所要的薄膜厚度。如圖所示，該所產生的結構可包含一具有形成在該薄膜的一底面上之一較厚的中心部分之活塞。在此配置中，電性連接可以是從該圖案化的層404，透過該層402至該凹處側壁所提供的，因為構成那些構件的材料可以是導電的。

【0084】 從圖4A-4C的討論應該體認到該舉例說明的CUT可以只利用兩個晶圓以及單一晶圓接合製程來加以形成的。該層402在某些實施例中可作用為一蝕刻止擋，其可容許該活塞薄膜(402及404的組合)的形成是能夠從單一轉移晶圓來加以形成的。因此，相較於若三個或更多個晶圓以及多個晶圓接合步驟被用來形成該活塞薄膜，該製程可以是相對簡單的，並且僅牽涉到相對小的數目個處理步驟。

【0085】 根據本申請案的一特點，可被形成為一超音波換能器的部分之另一結構是一薄膜止擋，其在某些實施例中可以作用為一隔離柱，並且其可以提供各種的益處。薄膜止擋可以有效地改變一凹處的深度，使得一薄膜可以更輕易地接觸到該凹處的底部(被稱為塌陷)，並且可以改變一超音波換能器的頻率特性。亦即，當該薄膜被向下拉的夠遠時，其係接觸到該凹處的底部。此種操作可能是有利的，因為使得該薄膜撞擊或接觸該凹處的底部可以衰減某些諧振模式，藉此擴大該換能器的頻率響應。然而，存在有一"電荷捕陷"效應，其中電荷可能最終沉積在該換能器的電極上，因而改變該換能器的操作特徵(例如，增高

必要的偏壓電壓)，並且造成磁滯。薄膜止擋可以提供使得該薄膜"穩定在低點(bottoming out)"的益處，同時實質降低該電荷捕陷效應以及與磁滯有關的問題。具有薄膜止擋的超音波換能器在塌陷之後可以是比欠缺此種薄膜止擋的超音波裝置更可靠的。再者，因為該薄膜止擋可以避免該薄膜接觸到該凹處之最底部的部分，因此在所有的實施例中都不需要在該凹處的底表面上形成絕緣，此因此可以減少在製造一超音波換能器中的處理步驟及時間。然而，在該凹處的底表面上的絕緣體可被使用，以防在該薄膜以及該凹處的底部之間未預料到的接觸(儘管有任何的薄膜止擋)且/或避免橫跨該凹處的放電。

【0086】 薄膜止擋可以是形成在一超音波換能器的不同位置中。例如，薄膜止擋可以是形成在一超音波換能器的一凹處的底部上。在某些實施例中，薄膜止擋可以是形成在該超音波換能器的一薄膜的底部上(例如，在從一轉移晶圓被轉移的一薄膜的底部側上)。在其它實施例中，薄膜止擋可以是形成在一超音波換能器之一凹處的底部以及一薄膜的底部兩者上。非限制性的例子現在係加以敘述。

【0087】 圖5係描繪圖1K的超音波換能器之一替代的超音波換能器。如圖所示，該超音波換能器係包含圖1K的結構，其中增加一形成在該凹處130的底部上的薄膜止擋502。

【0088】 該薄膜止擋502可以是在圖1D到1E的階段之間加以形成的。亦即，在步驟1D之後，該薄膜止擋可以在電極116上加以沉積及圖案化。圖1E-1K的處理步驟接著可加以執行來達到圖5的結構。

【0089】 根據本申請案的一特點，一超音波換能器可具有一活塞薄膜以及一或多個薄膜止擋。一非限制性的例子係相關圖6來加以描繪，其係結合先前敘述的圖4C及5的特點。

【0090】 圖1A-1K係描繪一內嵌的電性接點做成連接至一超音波換能器

的一薄膜的一底部側之一非限制性的例子。在該非限制性的例子中，該導電的接點也是該超音波換能器的凹處的一側壁，此意謂著該超音波換能器具有導電的側壁。一種用於做成從一CMOS晶圓至一超音波換能器的薄膜的一底面之直接的電性接觸之替代的配置係使用一內嵌的貫孔。圖7A-7H係描繪一非限制性的例子。

【0091】 圖1A-1C的處理階段可加以執行。接著，如同在圖7A中所示，一絕緣層702可以例如是利用高密度的電漿沉積來加以沉積。該絕緣層702可以是SiO<sub>2</sub>或是任何其它適當的絕緣體。該絕緣層可以例如是藉由CMP來加以平坦化。

【0092】 如同在圖7B中所示，一或多個貫孔704可被蝕刻以例如是落在第二金屬化層108上，該第二金屬化層108可作用為一蝕刻止擋。選配的是，一相對薄的襯墊材料層(例如，TiN)706可以保形地加以沉積，因此覆蓋該些貫孔704以及該CMOS晶圓的頂表面。

【0093】 如同在圖7C中所示，該些貫孔接著可以例如是藉由沉積一層例如是鎢(W)的導電材料而被填入導電插塞708。如同在圖7D中所示。該導電層可被回蝕。

【0094】 在圖7E中，該凹處130接著可以從該絕緣層702而被蝕刻，此係留下具有內嵌於其中的導電插塞(亦即，導電插塞708)之側壁710。

【0095】 在圖7F中，該CMOS晶圓的上表面可被覆蓋一絕緣層712，該絕緣層712接著可從該側壁710的頂端被移除，以準備用於晶圓接合。

【0096】 在圖7G中，一可以是和圖1I的轉移晶圓類似或相同但是欠缺該層138的轉移晶圓711可以和該CMOS晶圓來加以晶圓接合。如同在圖7H中所示，該基底層132以及絕緣層134接著可藉由適當的技術來加以移除，因此留下該薄膜714。

【0097】 應該體認到的是，描繪在圖7G中的接合係使得該些插塞708直接

的接觸到在該些插塞的頂端上之層136，亦即，沒有襯墊可被形成在該插塞708與該層136之間的交叉點處。在某些實施例中，該層136可以是矽(例如，單晶、多晶或是非晶的)。儘管習知的處理技術係嘗試避免在一由例如是鎢所形成的插塞之間的此種直接的連接，但申請人已經體認到此種直接的連接在其中該直接的連接是在該插塞以及一並非被用來支持高品質的積體電路的層(例如，層136)之間的情節中可以是可接受的。相反地，因為該層136係被用來形成一薄膜，因此該材料從插塞708到該層136中的擴散在某些實施例中可以是可接受的。

【0098】 圖8A-8B係描繪一種用於從圖7H的結構來形成一活塞之方法。亦即，一具有 $\text{Si}_3\text{N}_4$ 或是任何其它適當的保護材料的保護層802可以沉積在該薄膜714上。接著，如同在圖8B中所示，該保護層802可以適當地被圖案化。

【0099】 圖9A-9B係描繪一種在一CMOS晶圓中的一凹處之上形成一活塞薄膜之替代的方式，其中該凹處係藉由具有一內嵌的貫孔於其中之非導電的側壁所界定。如同在圖9A中所示，圖7F的結構可以與一類似於先前相關圖2B所敘述的類型再減掉該層138之轉移晶圓1803加以接合。該基底層132、絕緣層134以及層204可以如同先前相關圖2C所述地被移除。

【0100】 本申請案的某些實施例係提供用於在一CMOS晶圓中的凹處之上製造薄膜並且具有一做成接觸到該薄膜的一頂端側的內嵌的貫孔之實際可行的方法。圖10A-10H係描繪一例子。

【0101】 從圖7A的結構開始，該絕緣層702可以如同在圖10A中所示地被圖案化，以形成至少部分地界定該凹處130的側壁1002。在圖10B中，一絕緣體(例如， $\text{SiO}_2$ )1004可被沉積，並且接著CMP係被執行以將該側壁1002的上部準備用於與另一晶圓接合。

【0102】 如同在圖10C中所示，晶圓接合接著可以利用該CMOS晶圓以及一第二晶圓(例如，一轉移晶圓)來加以執行。該轉移晶圓可以是和先前相關圖7G

所敘述的相同類型，儘管其它類型的轉移晶圓也是可行的。該接合製程可以是一低溫(例如，低於450°C)直接的接合製程，其可以保存任何在該CMOS晶圓上的矽電路(例如，IC)。

【0103】 如同在圖10D中所示，該基底層132以及絕緣層134可以例如是利用先前敘述用於此種移除的任何技術而被移除。因此，一薄膜1006可以是與該CMOS晶圓單石地整合，並且覆蓋該凹處130。

【0104】 如同在圖10E中所示，貫孔1008可以是穿過該薄膜1006及側壁1002來加以形成，且停止在該些接點118上。該蝕刻可以是一種選擇性的蝕刻，並且可以是方向性的，例如一種深反應性離子蝕刻(DRIE)或是任何其它適當的蝕刻。一襯墊1010接著可以形成在該些貫孔中以及在該薄膜1006的頂端側上。該襯墊可以是導電的，可以是一種金屬，並且在某些實施例中是TiN，儘管其它材料可以替代地加以使用。

【0105】 如同在圖10F中所示，插塞1012接著可以藉由適當的沉積以及回蝕而形成在該些貫孔1008中。例如，該些插塞1012可以是由鎢所形成的，並且可以藉由沉積鎢以填入該些貫孔1008並且接著利用該襯墊1010(例如，TiN)作為一蝕刻止擋來回蝕該鎢而加以形成的。

【0106】 接著，在圖10G中，層1014及1016可以沉積在該薄膜1006的頂端側上。該些層可以包含一保護層。例如，層1014可以是SiO<sub>2</sub>或是任何其它適當的保護層。層1016亦可以是一保護層，並且在某些實施例中是Si<sub>3</sub>N<sub>4</sub>。

【0107】 因此，圖10G係描繪一超音波換能器係透過與一CMOS晶圓單石地整合的一薄膜(並且因此在該薄膜的一頂端側上)來提供電性接觸的一種配置，其中該接觸係包含一至少部分藉由一內嵌在該CMOS晶圓的一凹處的一側壁中之貫孔來形成之導電的路徑。選配的是，如同在圖10H中所示，該些層1014及1016可以被圖案化以界定一活塞薄膜1018。

【0108】 圖10H的活塞薄膜1018是可以利用圖10A-10G的處理步驟加以形成的一活塞薄膜之一非限制性的例子。該活塞薄膜可具有一帶有一採用先前在此對於T1所述的值的任一個之厚度的外側部分(靠近該薄膜接觸該側壁1002之處)以及一帶有一採用先前在此對於T2所述的值的任一個之厚度的中心部分。舉例而言，該中心部分可具有一小於50微米的厚度。作為一替代方案的是，在某些實施例中，該活塞比在圖10H中所示的更厚可能是所期望的。圖11係描繪一非限制性的例子。

【0109】 如圖所示，圖11的活塞薄膜1102可以比圖10H的活塞薄膜1018厚(例如，1.5倍的厚、2倍的厚、3倍的厚、或是任何其它適當的厚度)，儘管該超音波換能器的其餘部分可以是和圖10H中所描繪的實質相同。此種配置可藉由在圖11的實施例中形成具有一比圖10G的實施例大的厚度之層1016來加以達成。

【0110】 作為用於做成從CMOS晶圓的一金屬化層至一薄膜的頂端側之電性接觸之另一替代的配置，圖12係描繪一實質對應於圖10E的結構之實施例。然而，在圖12的實施例中，該襯墊1010可以是比圖10E的實施例的厚。例如，該襯墊1010在圖10E的實施例中可以是小於1微米，但是在圖12的實施例中可以是介於約2到3微米之間。在圖12中的襯墊1010接著可作為主要的電性接觸，而無任何導電插塞形成在該些貫孔中。此種配置可以藉由避免和在該些貫孔中形成插塞相關的進一步處理步驟而簡化一超音波換能器的處理。

【0111】 在某些實施例中，具有頂端側電性接點但是沒有內嵌的電性接點之CUT係被提出。本申請案的特點係提供製造此種CUT的數個不同設計之實際可行的有成本效益的方式。某些非限制性的例子現在係加以敘述。

【0112】 圖13A-13I係描繪一種用於製造一具有一頂端側電性接點的CUT之製程的一第一非限制性的實施例。從圖1A的結構開始，該第二金屬化層108可以如同在圖13A中所示地被圖案化，以形成一電極1302。

【0113】 如同在圖13B中所示，一絕緣層1304接著可加以沉積。該絕緣層在某些實施例中可以是SiO<sub>2</sub>，其例如是藉由TEOS或是其它適當的沉積技術來加以形成。

【0114】 如同在圖13C中所示，該絕緣層1304可被蝕刻以形成一具有側壁或間隔物1306的凹處1308，該側壁或間隔物1306係至少部分地界定該凹處。該絕緣層之任何適當的蝕刻都可加以執行。在某些實施例中，該蝕刻可以是一種選擇性的蝕刻，並且該第二金屬化層108可作用為一蝕刻止擋。例如，該第二金屬化層108可包含可作用為一蝕刻止擋的TiN(例如，在一上表面上的一TiN襯墊)。

【0115】 如同在圖13D中所示，一絕緣層1309(例如，SiO<sub>2</sub>)接著可加以沉積。該CMOS晶圓可被平坦化(例如，利用CMP)並且藉由執行表面處理而準備用於晶圓接合。因此，該絕緣層1309可以從該些側壁1306的頂端加以移除。

【0116】 在圖13E中，晶圓接合接著可利用一先前在圖10C中所敘述的類型之轉移晶圓或是任何其它適當的晶圓來加以執行。如同在圖13F中所示，該轉移晶圓的基底層132以及絕緣層134接著可以用先前敘述的方式被移除，此係留下一密封該凹處1308的薄膜1310。應該體認到的是在此實施例中，該電極1302是比該凹處1308寬的。例如，該凹處可具有一採用先前在此對於W2所述的那些值的任一個之寬度，並且該電極1302可以是大於該寬度2微米、大於該寬度5微米、大於該寬度10微米、大於該寬度1到15微米之間、或是任何其它適當的值。

【0117】 如同在圖13G中所示，接點1312可以是形成在該薄膜1310的頂端側上。該些接點可具有任何適當的結構。在某些實施例中，該些接點可以藉由在該薄膜的頂端側上形成一金屬化層並且接著圖案化該金屬化層來加以形成，以達到該描繪的結構。該金屬化層可包含一種多層的結構，例如具有先前相關第二金屬化層108所敘述的三層結構或是任何其它適當的結構。因此，作為一非限制性的例子，該些接點1312可包含一層被夾設在上方及下方的TiN層之間的

鋁，儘管其它的配置也是可行的。

【0118】 如同在圖13H中所示，一保護步驟接著可以例如是藉由沉積層1314及1316來加以執行。層1314可以是一絕緣層，例如是由 $\text{SiO}_2$ 所形成的。層1316可以是由 $\text{Si}_3\text{N}_4$ 或是任何其它適當的材料所形成的。

【0119】 如同在圖13I中所示，該些層1314及1316接著可被圖案化，以在該薄膜1310的頂端側上形成受保護的接點1318。

【0120】 圖14係描繪圖13I的CUT之一替代的CUT。儘管類似於圖13I的CUT，圖14的CUT係具有一不如該凹處1308寬的底部電極1402，此可以降低和該些凹處側壁之間的電容。例如，該凹處1308可具有一採用先前在此對於W2所述的值的任一個之寬度，並且該電極1402可具有一四分之三大的寬度、一半大的寬度、三分之一大的寬度、或是任何其它適當的值。被用來製造圖14的CUT的處理步驟可以是和被用來製造圖13I的CUT實質相同的，儘管沉積在圖13D中的絕緣層在製造圖14的CUT的背景中可以是較厚的，以考量到在圖13C的期間因為該較窄的電極所可能有的過度蝕刻。例如，在圖13D中沉積的絕緣層可以是被用來製造圖13I的CUT之絕緣層的兩倍厚、三倍厚、或是任何其它適當的厚度。

【0121】 如先前所述，在某些實施例中，一CUT可包含一活塞，並且用於製造此種活塞的製程係在此加以描述。作為另一非限制性的例子，圖15的CUT可被製造以包含活塞1502。該舉例說明的CUT係類似於在圖14中所示者。然而，在圖案化的層1314及1316中，那些層的一部分可以留在該薄膜1310的中心之上的適當處，以形成該活塞結構。

【0122】 具有各種厚度的活塞可能是所期望的，以提供在除了其它可能的考量之外的頻率響應、功率處理功能以及強健度方面之各種的超音波換能器特性。圖15的CUT結構之一替代而且具有一較厚的活塞的CUT結構係相關圖16A及16B來加以描述。

【0123】 圖16A的結構係類似於先前敘述的圖13H的結構。然而，預期將形成一比在圖15中所設置的厚之活塞下，該些層1314及1316在圖16A的實施例中可以被形成為較大的厚度。例如，該些層1314及1316分別可以是介於約二到二十微米之間、介於約三到十微米之間、任何在那些範圍內之值、或是任何其它適當的值。

【0124】 在圖16B中，該些層1314及1316可以利用一適當的蝕刻技術而被圖案化，以形成受保護的接點1602及活塞1604。

【0125】 應注意的是，圖16B的CUT係具有該電極1402，該電極1402係如先前所述地具有一寬度小於該凹處的寬度。然而，圖16B的活塞配置可以替代地被形成為一具有一電極的CUT的部分，該電極係具有和該CUT的凹處相同的寬度或是一較大的寬度。

【0126】 圖17A-17C係描繪一種製造圖15及16B的CUT設計之一替代的CUT設計之非限制性的方式，其係包含一具有一寬度相符在該凹處下面的電極的寬度之活塞薄膜。

【0127】 如同在圖17A中所示，該製程可以從一具有利用與一CMOS晶圓單石地整合(例如，利用任何在此所述的適當的處理步驟)的一薄膜1704來加以密封之一密封的凹處1702之結構開始。一電極1706可被設置在該凹處的下面。該些接點1312可以用先前所述的方式來加以形成。絕緣層1708可被沉積在該薄膜1704以及該些接點1312的上方頂端側上。該絕緣層1708可以是SiO<sub>2</sub>、或是其它適當的絕緣材料。

【0128】 如同在圖17B中所示，該絕緣層1708可被圖案化，並且接著層1710可沉積在該薄膜1704的頂端側上。層1710在某些實施例中可作用為一保護層，並且可以是由Si<sub>3</sub>N<sub>4</sub>或是其它適當的保護材料所形成的。

【0129】 如同在圖17C中所示，層1710接著可以適當地被圖案化以形成受

保護的接點1712以及活塞1714。可看出的是，該層1710可被圖案化，以使得其完全覆蓋該些受保護的接點1712的絕緣層1708，亦即，該層1710係向下延伸至該薄膜1704的上表面。以此種方式，該層1710可以避免濕氣通過該絕緣層1708並且傷害(例如，腐蝕)該些接點1312。

【0130】 如先前所述，在某些實施例中，製程係被提出用於製造具有一活塞薄膜的CUT，其中該活塞薄膜最初是形成在一轉移晶圓上並且藉由低溫晶圓接合來與一CMOS晶圓單石地整合。以此種方式形成並且具有頂端側電性接點至該薄膜的一CUT之一非限制性的例子係相關圖18A-18E來加以描述。

【0131】 如同在圖18A中所示，用於製造此種CUT之製程可以藉由晶圓接合一CMOS晶圓1801與一轉移晶圓1803來開始，該轉移晶圓1803係具有和先前對於圖2A的轉移晶圓201所述的相同的層中之數個層(亦即，具有層132、134、202及204，但是欠缺138)。該CMOS晶圓可包含一電極1805以及側壁1807，該些側壁1807在所描繪之非限制性的實施例中可以是藉由絕緣層1809及1811來加以形成的。該晶圓接合可以是一種適合保存在該CMOS晶圓上的例如是矽電路的結構之低溫接合製程，並且可以產生一密封的凹處1813。如圖所示，在此實施例中，該電極1805的寬度W5可以是小於該凹處1813的寬度W2。

【0132】 該基底層132、絕緣層134以及層204可以用先前對於此種移除所敘述的方式中之任一種而從該轉移晶圓1803加以移除。接著，如同在圖18B中所示，一種例如具有先前相關第二金屬化層108所敘述的結構之金屬層1802可加以沉積。

【0133】 如同在圖18C中所示，該金屬層1802可被圖案化以形成接點1804，並且一絕緣層(例如， $\text{SiO}_2$ )1806可加以沉積。

【0134】 如同在圖18D中所示，該絕緣層1806可被圖案化，並且接著一層1808可加以沉積作為一保護層。在某些實施例中，該層1808可以是 $\text{Si}_3\text{N}_4$ ，儘管

其它材料也可被使用。如同在圖18E中所示，該層1808可以用一種使得其接觸該活塞202的方式而被圖案化，並且藉此完全地覆蓋層1806之剩餘的部分。以此種方式，層1808可以避免濕氣通過該絕緣層1806並且傷害(例如，腐蝕)該些接點1804。

【0135】 圖19A-19B係描繪一種用於製造一具有一活塞薄膜的CUT之製程，其中一活塞寬度係匹配一在該CUT的凹處之下的電極的寬度。如同在圖19A中所示，該製程可以從一類似於先前相關圖16A所敘述的結構開始，除了在該凹處之下的電極1902可能是較窄的。

【0136】 如同在圖19B中所示，該些層1314及1316可被圖案化以形成一具有一寬度W3的活塞1904，該寬度W3係和該電極1902的寬度W4相同或是實質相同的。

【0137】 如先前所述，在某些實施例中，一CUT可包含一薄膜止擋。該薄膜止擋在某些實施例中可被設置在該CUT的一凹處的底部。此種具有在該CUT的薄膜的一頂端側上的電性接點之CUT的一非限制性的例子係相關圖20A-20I來加以展示。

【0138】 如同在圖20A中所示，該製程可以從一包含被一絕緣層2004所覆蓋的一電極2002之CMOS晶圓開始。如同在圖20B中所示，一蝕刻接著可加以執行以形成一具有側壁或間隔物2008的凹處2006。

【0139】 接著，在圖20C中，一絕緣層2010可加以沉積。該絕緣層2010可以是SiO<sub>2</sub>或是任何其它適當的絕緣材料。如同在圖20D中所示，該絕緣層2010可被圖案化以在該凹處2006中形成一薄膜止擋2012。

【0140】 如同在圖20E中所示，一絕緣層(例如，SiO<sub>2</sub>)2014可加以沉積。若該CUT的薄膜(在圖20I中所示)降到底部，該絕緣層2014可作用以避免電性短路。然而，因為該薄膜止擋2012本身可以是由一種絕緣材料所形成的，因此該

絕緣層2014在某些實施例中可被省略。

【0141】 在該絕緣層2014的沉積之後，該CMOS晶圓可被平坦化(例如，利用CMP)，並且該表面被準備用於晶圓接合。因此，該絕緣層2014可以從該些側壁2008的頂端加以移除。

【0142】 如同在圖20F中所示，晶圓接合接著可加以執行，以接合該CMOS晶圓與一具有先前相關圖7G所敘述的類型之轉移晶圓711(例如，一具有一基底矽基板、一埋入式氧化物層以及一矽薄膜層之多層的晶圓，該矽薄膜層在某些實施例中係由單晶矽、多晶矽或非晶矽所形成的)。該晶圓接合製程可以是一種低溫製程(例如，低於450°C)以保存在該CMOS晶圓上的CMOS結構(例如，IC)。該晶圓接合製程可以產生一密封的凹處2026。

【0143】 如同在圖20G中所示，該基底層132以及絕緣層134可被移除(利用先前在此對於移除此種層所敘述的技術的任一個)，並且一金屬化層2016可加以沉積。該金屬化層2016在某些實施例中可具有和第二金屬化層108相同的結構，儘管替代的配置也是可行的。

【0144】 如同在圖20H中所示，該金屬化層2016可被圖案化以形成接點2018，並且層2020及2022可加以沉積。在某些實施例中，層2020及2022可作為保護層，並且分別可以是由SiO<sub>2</sub>及Si<sub>3</sub>N<sub>4</sub>所形成的。

【0145】 如同在圖20I中所示，該些層2020及2022可被圖案化以在該CUT的薄膜的頂端側上產生受保護的接點2024。該些受保護的接點2024可被用來施加電性信號至該薄膜，且/或從該薄膜接收電性信號。在操作上，當振動時，該薄膜可以接觸到該薄膜止擋2012。該薄膜止擋2012可以用先前對於薄膜止擋所敘述的方式改變該CUT的頻率特性。

【0146】 圖21A-21F係描繪一種用於製造一具有一薄膜止擋的CUT以及至該CUT的薄膜的頂端側的電性接點之替代的製程。在此實施例中，該薄膜止

擋可以是在該CUT的薄膜的底面上，而不是在該CUT的凹處的底部。

【0147】 如同在圖21A中所示，該製程可以從一準備用於晶圓接合的CMOS晶圓開始。該CMOS晶圓可具有一形成在一絕緣層2104中的凹處2102，該絕緣層2104係被圖案化以界定側壁或間隔物2106。一第二絕緣層2108可以覆蓋該電極2110。

【0148】 如同在圖21B中所示，該CMOS晶圓可被接合到一具有一圖案化的絕緣層的轉移晶圓，該圖案化的絕緣層係形成一薄膜止擋2112。如同在圖21C中所示，該接合可以產生一密封的凹處2122。

【0149】 如同在圖21C中所示，該基底層132及絕緣層134可被移除，此係留下一薄膜2114。

【0150】 如同在圖21D中所示，電性接點2116接著可以例如是藉由沉積及圖案化一金屬化層而形成在該薄膜2114的頂端側上。接著，在圖21E中，一保護層2118可加以沉積及圖案化，以保護該些電性接點2116。在某些實施例中，該保護層2118可以是由SiO<sub>2</sub>所形成的。

【0151】 在圖21F中，一例如由Si<sub>3</sub>N<sub>4</sub>所形成的第二保護層可加以沉積及圖案化在該些電性接點2116之上。

【0152】 因此，圖21的CUT可包含一在該薄膜的一底部側上的薄膜止擋以及至該薄膜的頂端側電性接點。該用於形成該CUT之製程可以只牽涉到低溫處理，因此保存形成在該CMOS晶圓上的例如是IC的結構。

【0153】 在此所述的結構可具有各種例如在超音波成像應用及/或HIFU應用中適合使用作為超音波換能器的尺寸。例如，該些凹處尺寸(例如，寬度或更一般而言的孔尺寸、以及深度)可以採用任何適當的值以提供所要的頻率特徵。該些薄膜以及活塞薄膜同樣可以採用任何適當的值。在某些實施例中，該些尺寸可被選擇以使得該CUT適合用於低電壓操作，因此使得其與低電壓CMOS

IC的整合變得容易，儘管並非所有的實施例都在此方面受到限制。例如，高電壓的設計亦可被使用，例如在操作以提供HIFU的CUT的背景下。當被設計用於低電壓操作時，該CUT可具有適當的尺寸以運作在例如小於70V、小於50V、小於30V、小於20V、小於10V、介於2V到60V之間、介於10V到30V之間、介於15V到25V之間、任何在那些範圍內之電壓、或是任何其它適當的電壓。至少部分藉由使得該些薄膜足夠薄到能夠在這些較低的電壓下適當地彎曲，而可以容許操作在這些較低的電壓。本申請案的實施例可達成的薄膜厚度之非限制性的例子係在以下進一步加以描述。

**【0154】** 作為非限制性的例子，如同在此所述的CUT的凹處可具有寬度或更一般而言的孔是介於約5微米到約500微米之間、介於約20微米到約100微米之間、可以是約30微米、約40微米、約50微米、任何介於之間的寬度或寬度的範圍、或是任何其它適當的寬度。在某些實施例中，該寬度可被選擇成最大化該空隙比，亦即，該凹處所占用的面積量相對於由周圍的結構所占用的面積量。

**【0155】** 在此所述的CUT的凹處可具有任何適當的深度，例如是介於約0.05微米到約10微米之間、介於約0.1微米到約5微米之間、介於約0.5微米到約1.5微米之間、任何介於之間的深度或深度的範圍、或是任何其它適當的深度。在某些實施例中，該些凹處尺寸及/或任何覆蓋該凹處的薄膜的薄膜厚度可能會影響到該薄膜的頻率特性，並且因此可被選擇以提供一所要的頻率特性(例如，該薄膜之一所要的共振頻率)。例如，在某些實施例中，具有一介於約20kHz到約200MHz之間、介於約1MHz到約10MHz之間、介於約2MHz到約5MHz之間、介於約50kHz到約200kHz之間、具有約2.5MHz、約4MHz、任何介於之間的頻率或頻率的範圍、或是任何其它適當的頻率之中心共振頻率的超音波換能器可能是所要的。例如，使用該裝置於空氣、氣體、水或是其它環境中可能是所要的，例如用於醫學成像、材料分析或是為了其它原因，為此，各種的操作頻率可能

是所要的。該凹處及/或薄膜的尺寸可以據此來加以選擇。

【0156】 如同在此所述的CUT可具有任何適當的薄膜厚度。例如，在此所述的薄膜可具有一厚度(例如，如同在一大致平行於一對應的凹處的一深度方向上量測的)是小於100微米、小於50微米、小於40微米、小於30微米、小於20微米、小於10微米、小於5微米、小於1微米、小於0.1微米、任何介於之間的厚度範圍、或是任何其它適當的厚度。在某些實施例中，該厚度可以根據該薄膜之一所要的聲波特性的，例如該薄膜之一所要的共振頻率來加以選擇。

【0157】 當一活塞薄膜被形成時，該活塞薄膜的中心部分以及外側部分可具有任何適當的厚度以及任何適當的厚度比例。在某些實施例中，該薄膜的外側部分(連接該薄膜至該CMOS晶圓)可以是做成盡可能的薄(例如，介於約50nm到約100nm之間，以作為非限制性的例子)。該活塞薄膜的中心部分可具有任何根據那些先前對於薄膜所敘述的厚度。在某些實施例中，該活塞薄膜的外側部分及中心部分兩者可具有介於約1微米到約100微米之間、介於約10微米到約50微米之間、任何在此種範圍的值、或是任何其它適當的厚度。

【0158】 如先前所述，本申請案的一特點係提供一與CMOS電路整合的超音波換能器單元，其中該電路係被設置在該換能器之下。圖26係描繪此種利用圖1K的超音波換能器之裝置的一非限制性的例子。

【0159】 如圖所示，該裝置2600可包含圖1K的超音波換能器，再加上一積體電路2602。該積體電路可以是形成在該CMOS晶圓的基底層102中。例如，該基底層可以是一矽塊材層，並且該積體電路可包含一或多個主動的矽電路元件(例如，具有在該矽中之摻雜的源極與汲極區域之MOS電晶體)、電容器、電阻器或是其它電路構件。該積體電路2602可以是適合來將該超音波換能器操作在發送及/或接收模式中。

【0160】 如圖所示，該電極116以及該接點118都可以連接至該積體電路

2602。該電極116可以藉由該描繪的貫孔2604來加以連接，該貫孔2604例如可以直接接觸在該基底層102中的一MOS電晶體之一摻雜的源極/汲極端子。該接點118可以藉由一導線2606來連接至該積體電路2602，該導線2606在某些實施例中可以是一貫孔。其它從該電極116以及該接點118做成連接至該積體電路2602的方式也是可行的。

【0161】 如同先前所述並且如圖26中所示，在某些實施例中，可以做成本地的連接至一CUT的薄膜，而不是全域的連接。例如，接點118係提供本地的連接至該描繪的CUT的薄膜。除了其它由本地的連接所提供之潛在的益處，此種本地的連接可以是有利於降低在偏壓該薄膜中之非所要的電氣特性(例如，可能會出現在長的信號線之非所要的電容)。

【0162】 在某些實施例中，該CUT的薄膜可被偏壓，並且該接點118在某些此種實施例中可被用來供應該偏壓信號。在此種情況中，該接點118可以經由一用於提供或維持一所要的偏壓位準之電容器(未顯示)來連接至該積體電路2602。其它的偏壓配置也是可行的。

【0163】 在某些實施例中，該電極116可被驅動，並且因此該積體電路2602可以適當地連接來驅動該電極。在某些實施例中，該電極116可被偏壓，而不是該薄膜被偏壓。

【0164】 因此，應該體認到的是對於該超音波換能器而言，各種的操作情節都是可能的。該積體電路2602可包含適當的電路(例如，切換電路、電容器、等等)以容許有各種的操作模式，其係包含驅動該薄膜、驅動該電極116、或是其它操作模式。

【0165】 轉移晶圓的各種例子已經在此敘述用於各種的實施例。在某些實施例中，傳統的SOI晶圓可被使用，其係具有一矽塊材晶圓作為一承載層、埋入式氧化物層、以及單晶矽層。然而，如先前所述，某些實施例係實施替代類型

的轉移晶圓，其係包含具有多晶矽或非晶矽層的轉移晶圓。由於該些轉移晶圓可被用來形成薄膜、活塞及/或薄膜止擋，而不是被用來提供用於支持高品質的電路之矽層，因此申請人已經體認到在所有的實施例中並不需要用到高品質的單晶矽層。而是，如先前所述，薄膜、活塞以及薄膜止擋可以是由多晶矽、非晶矽、氧化物、TiN或是其它適當的材料所形成的。因此，申請人已經體認到具有此種材料的轉移晶圓可在某些實施例中被實施來取代傳統的SOI晶圓，並且此種替代類型的轉移晶圓可以在比形成傳統的SOI晶圓所需的為顯著較少的工作及成本下加以製造。於是，此種相對簡單的多層轉移晶圓的使用可以顯著地簡化CUT的製造，並且可以容許CUT之符合成本效益的大規模製造。

【0166】 如何製造在此所述的轉移晶圓中的某些個之非限制性的例子現在係加以敘述。例如，在那些其中該轉移晶圓131具有多晶矽(例如，摻雜的多晶矽)或是非晶矽以作為該層136的實施例中，該轉移晶圓可以從一矽塊材晶圓作為基底層132開始、接著沉積一層SiO<sub>2</sub>作為絕緣層134、並且接著沉積多晶矽或非晶矽來加以製造。接著，該層138(例如，TiN)可加以沉積。執行這些步驟可以需要比那些被用來形成傳統的SOI晶圓為顯著較低的精確度，並且因此以此種方式來製造轉移晶圓131可以簡化用於形成一CUT的整體製程並且降低其成本。

【0167】 圖23A-23D係描繪根據本申請案之一非限制性的實施例的一種用於製造圖9A及18A的具有一活塞形成於其中的轉移晶圓1803之製程序列。

【0168】 如同在圖23A中所示，從該基底層132(例如，矽)開始，該絕緣層134(例如，SiO<sub>2</sub>)可加以沉積，接著是沉積一層2302。該層2302可以形成先前所述的活塞202的部分，並且因此可以是由該活塞所要的材料所做成的。例如，該層2302在某些實施例中可以是摻雜的多晶矽、或者在某些實施例中可以是非晶矽。

【0169】 如同在圖23B中所示，該層2302可被圖案化，並且先前所述的層

204可加以沉積。該層204可以是一種絕緣材料，例如藉由TEOS所形成的SiO<sub>2</sub>或是其它適當的絕緣材料。CMP可加以執行，並且該晶圓可被平坦化。

【0170】 接著，如同在圖23C中所示，一層2304可加以沉積。該層2304可以形成該活塞202的部分，並且因此可以是由該活塞所要的材料所做成的。例如，該層2302在某些實施例中可以是摻雜的多晶矽、或者在某些實施例中可以是非晶矽。CMP接著可加以執行。

【0171】 在圖23C中描繪的處理階段，該些將會構成該活塞202的層2302及2304是在適當處。然而，它們並不界定單一主體，由於它們已經在個別的步驟中加以沉積，即如同藉由在該兩層之間的水平線所反映的。因此，為了達成該帶有活塞202的轉移晶圓1803代表單一主體，一退火可加以執行，因此產生如同在圖23D中所示之最終的轉移晶圓1803。該退火並不需要是一低溫退火(儘管此也是可行的)，因為該轉移晶圓是與在此所述的CMOS晶圓分開地製造，並且因此該轉移晶圓的製造可以包含在若被執行在一CMOS晶圓上將會損壞CMOS電路的溫度下之處理步驟。再者，應該體認到的是，相較於形成一傳統的SOI晶圓所需的那些步驟，所述的用於形成該轉移晶圓1803的步驟是相對簡單的。

【0172】 選配的是，在圖23D中所示的轉移晶圓1803可以藉由沉積先前所述的層138(例如，TiN)而進一步加以處理，來產生圖2A的轉移晶圓201。

【0173】 圖24A-24B係描繪根據本申請案之一非限制性的實施例的一種用於製造圖21B中所示的類型的具有一薄膜止擋的轉移晶圓之製程序列。從該基底層132(例如，矽)開始，該絕緣層134(例如，SiO<sub>2</sub>)可加以沉積。接著先前所述的層136可加以沉積。一絕緣層2402接著可加以沉積來產生圖24A的結構。該絕緣層2402可以是SiO<sub>2</sub>，並且可以藉由TEOS或是其它適當的沉積方法來形成。

【0174】 如同在圖24B中所示，該絕緣層2402可被圖案化以形成該薄膜止擋2112。因此，應該體認到的是，在那些其中層136並非單晶矽的實施例中，相

較於傳統的SOI晶圓的製造，圖24B中所示的類型之轉移晶圓的製造可以是相對簡單的。

【0175】 圖25A-25B係描繪根據本申請案之一非限制性的實施例的一種用於製造一具有一活塞形成於其中的轉移晶圓之替代的製程序列。該轉移晶圓可以是先前相關圖4A所敘述的類型。

【0176】 該基底層132可以是矽塊材。絕緣層134(例如， $\text{SiO}_2$ )可沉積在該矽上。接著層402可沉積在該絕緣層134上。在某些實施例中，該層402可以是多晶矽或非晶矽，儘管單晶矽在某些實施例中可被使用。接著，層404可加以沉積來提供圖25A中所示的結構。

【0177】 接著，如同在圖25B中所示，該層404可被圖案化以提供一種活塞配置。因此，應該體認到的是，該描繪的轉移晶圓可以藉由相對簡單的沉積及蝕刻步驟而被製造，並且在那些其中該層402並非單晶矽的實施例中，相較於傳統的SOI晶圓的製造，其製造可以是相對簡單的。

【0178】 為了單純化之目的，先前的討論已經聚焦在單一CUT以及其之形成。然而，應該體認到本申請案的各種特點並不限於單一CUT。而是，在此揭露的方法可以在晶圓層級下加以執行，並且因此可被用來製造多個在此所述的類型之CUT，亦即，本申請案的特點係提供CUT之晶圓層級的處理。例如，單一基板(例如，單一CMOS晶圓)可具有數十個、數百個、數千個、數萬個、數十萬個、或是數百萬個CUT形成於其中。

【0179】 根據本申請案的一特點，在此所述的CUT可以利用一完全的標線片來加以製造。此種功能可以使得大量的CUT在單一晶片上的製造變得容易。

【0180】 再者，相較於先前可達到的，本申請案的特點可以提供每一給定的晶片區域之較大數量的超音波換能器。如同先前已述的，本申請案的特點係提供形成比傳統上所可能的更小的超音波換能器。該些薄膜可以被做成比習知

的超音波換能器(例如，比習知的CMUT)的薄膜更薄，因為根據本申請案的特點，廣泛的各種類型的材料可被使用於薄膜，而且是因為該些薄膜可以從在此所述的轉移晶圓來形成所用的方式之緣故。因為換能器特性可以至少部分根據在該薄膜厚度以及該凹處尺寸(例如，該換能器孔)之間的關係而定，因此做成較薄的薄膜可以容許製造比先前所可能的更小的換能器。於是，比先前所可能的更多換能器可被產生在單一晶片上。

【0181】 當多個CUT被形成時，它們可以用各種的方式加以電性互連，以形成一所要的裝置。單一CUT在此可以被稱為一單元。在某些實施例中，多個CUT可以相互連接以形成一元件(element)，亦即，一元件可包含一或多個CUT單元。單元及/或元件可以適當地被配置及電性連接，以例如形成一可操作用於超音波成像及/或HIFU的超音波換能器配置。因此，例如，該些單元及/或元件可以適當地被配置及電性連接，以提供用於一超音波成像及/或HIFU裝置之所要的頻率特性(例如，頻寬、中心頻率、等等)。在某些實施例中，CUT單元的分組或連接成為多單元的元件可以透過該些CUT至該CMOS晶圓的IC之適當的連接而被達成。

【0182】 儘管各種的特點及實施例已經敘述為提供單石地整合的超音波換能器以及具有IC形成於其中的CMOS晶圓，但是並非所有的特點及實施例都在此方面受到限制。例如，本申請案的某些特點亦可以應用至覆晶接合以及多晶片的配置。例如，做成電性接點至一薄膜的底部側可以在覆晶接合的配置中加以執行。其它特點亦可以應用至非單石的裝置。

【0183】 本申請案的特點可以提供一或多個益處，某些益處已經在先前敘述。現在所敘述的是此種益處之某些非限制性的例子。應該體認到的是，並非所有的特點及實施例都一定提供現在所述的全部益處。再者，應該體認到的是，本申請案的特點可以提供現在所述的益處以外之額外的益處。

【0184】 本申請案的特點係提供適合用於單石地整合的超音波換能器以及CMOS結構(例如，CMOS IC)的形成之製程。在至少某些實施例中，該些製程的執行可以是相對便宜的，並且可以是能夠擴大到大量的超音波換能器。本申請案的特點係提供用於製造適當尺寸的超音波換能器之製程，以用於相關低電壓CMOS IC的操作。本申請案的特點係提供用於製造具有各種配置的超音波換能器之強健的製程。其它益處亦可以根據本申請案的一或多個特點而被提供。

【0185】 至此已經敘述此申請案的技術之數個特點及實施例，所體認到的是各種改變、修改及改良將會容易地被該項技術中具有通常技能者所思及。此種改變、修改及改良係欲為在此申請案中所述的技術的精神及範疇內。例如，該項技術中具有通常技能者將會容易地預見各種其它用於執行該功能且/或獲得在此所述的結果及/或優點中的一或多個之手段及/或結構，因而此種變化及/或修改的每一個係被認為是在此所述的實施例的範疇內。熟習此項技術者將會體認或是能夠僅利用慣常的實驗來確定在此所述的特定實施例之許多等同物。因此，將理解到的是先前的實施例只是舉例呈現而已，並且是在所附的申請專利範圍及其等同物的範疇內，本發明的實施例除了明確所述的以外，可以另外方式加以實施。此外，兩個或多個在此所述的特點、系統、物品、材料、成套工具、及/或方法的任意組合係內含在本揭露內容的範疇內，只要此種特點、系統、物品、材料、成套工具、及/或方法不是相互不一致的即可。

【0186】 上述的實施例可以用許多方式的任一種來加以實施。本申請案的一或多個涉及到製程或方法的執行之特點及實施例可以利用可藉由一裝置(例如，一電腦、一處理器或是其它裝置)執行的程式指令來執行、或是控制該些製程或方法的執行。就此方面而言，各種發明的概念可被體現為一電腦可讀取的儲存媒體(或是多個電腦可讀取的儲存媒體)(例如，一電腦記憶體、一或多個軟碟、CD、光碟、磁帶、快閃記憶體、在現場可程式化的閘陣列或其它半導體元

件中的電路配置、或是其它實體的電腦儲存媒體)，其係被編碼一或多個程式，當該程式在一或多個電腦或其它處理器上執行時，其係執行用以實施上述的各種實施例中的一或多個之方法。該一或多個電腦可讀取的媒體可以是可攜式的，使得該一或多個儲存在其上的程式可被載入到一或多個不同的電腦或其它處理器上，以實施上述的特點中之各種特點。在某些實施例中，電腦可讀取的媒體可以是非暫態的媒體。

【0187】 該些術語"程式"或"軟體"在此係以上位的意思被使用來指稱任意類型的電腦碼或是電腦可執行的指令組，其可被利用來程式化一電腦或其它處理器以實施如上所述的各種特點。此外，應該體認到的是，根據一特點，一或多個當被執行時是執行本申請案的方法之電腦程式並不需要存在於單一電腦或處理器上，而是可以用一種模組化方式被分散在一些不同的電腦或處理器之間，以實施本申請案的各種特點。

【0188】 電腦可執行的指令可以具有許多種藉由一或多個電腦或其它裝置所執行的形式，例如是程式模組。一般而言，程式模組係包含常式、程式、物件、構件、資料結構、等等，其係執行特定的工作或是實施特定的抽象資料類型。在各種的實施例中，該些程式模組的功能通常可以根據需要來加以組合或是分散的。

【0189】 再者，資料結構可以用任何適當的形式被儲存在電腦可讀取的媒體中。為了說明的簡化起見，資料結構可被展示具有透過在該資料結構中的位置而為相關的欄位。此種關係同樣可以藉由指定在一電腦可讀取的媒體中的位置給用於該些欄位的儲存來加以達成，該些位置係帶有在該些欄位之間的關係。然而，任何適當的機制都可被用來在一資料結構的欄位中的資訊之間建立一關係，其係包含透過使用指標、標籤或是其它在資料元素之間建立關係的機制。

【0190】 當用軟體實施時，該軟體碼可被執行在任何適當的處理器或是處理器的集合上，不論是設置在單一電腦中或是被分散在多個電腦之間。

【0191】 再者，應該體認到的是，一電腦可以用一些形式的任一種來加以體現，例如一機架型電腦、一桌上型電腦、一膝上型電腦、或是一平板電腦，以作為非限制性的例子。此外，一電腦可以是內嵌在一裝置中，其一般不被視為一電腦，但是具有適當的處理功能，其包含一個人數位助理(PDA)、一智慧型手機或是任何其它適當的可攜式或固定的電子裝置。

【0192】 再者，一電腦可具有一或多個輸入與輸出裝置。除了其它方面以外，這些裝置可被利用以呈現一使用者介面。可被利用以提供一使用者介面之輸出裝置的例子係包含用於輸出之視覺呈現的印表機或顯示器螢幕、以及用於輸出之可聽見的呈現之揚聲器或其它聲音產生裝置。可被利用於一使用者介面的輸入裝置的例子係包含鍵盤、以及例如是滑鼠、觸控板及數位板之指向裝置。作為另一例子的是，一電腦可以透過語音辨識或是用其它可聽見的格式來接收輸入資訊。

【0193】 此種電腦可以藉由一或多個具有任何適當形式的網路來加以互連，其係包含一本地區域網路或是一廣域網路，例如是一企業網路以及智慧型網路(IN)或是網際網路。此種網路可以根據任何適當的技術並且可以根據任何適當的協定來運作，並且可以包含無線網路或是有線網路。

【0194】 再者，如先前所述，某些特點可被體現為一或多種方法。被執行為該方法的部分的動作可以用任何適當的方式來加以排序。於是，實施例可被建構為其中動作係以一不同於舉例的順序而被執行，其可以包含同時執行某些動作，即使其在舉例說明的實施例中被展示為順序的。

【0195】 如同在此界定及使用的所有定義應該被理解為優於字典的定義、被納入作為參考的文件中之定義、及/或該些界定的術語之普通的意義。

【0196】 如同在此於說明書中以及在申請專利範圍中所用的，該些不定冠詞"一"以及"一個"除非另有清楚指出相反的意思，否則應該被理解為表示"至少一個"。

【0197】 如同在此於說明書中以及在申請專利範圍中所用的，該片語"及/或"應該被理解為表示該些如此關聯的元件的"任一或是兩者"，亦即，元件是在某些情形中結合地存在，並且在其它情形中是分離地存在。多個利用"及/或"列出的元件應該用相同的方式加以解釋，亦即，該些如此關聯的元件的"一或多個"。除了明確地藉由該"及/或"子句指明的元件之外，其它元件可以選配地存在，不論其是和那些明確指明的元件相關或是無關的。因此，作為一非限制性的例子，一對於"A及/或B"的參照當結合例如是"包括"的開放性語言使用時，其在一實施例中可以是指只有A而已(選配地包含除了B以外的元件)；在另一實施例中是指只有B而已(選配地包含除了A以外的元件)；在又一實施例中是指A及B兩者(選配地包含其它元件)；等等。

【0198】 如同在此於說明書中以及申請專利範圍中所用的，該參照到一表列的一或多個元件之片語"至少一個"應該被理解為表示至少一元件是從該表列的元件中之該些元件的任一或是多個選出的，但是不一定包含在該表列的元件內明確列出的每個元件之至少一個，而且不排除在該表列的元件中的元件之任意組合。除了在該片語"至少一個"所指的元件的表列內明確指明的元件以外，此定義亦容許其它元件可以選配地存在，其不論其是和那些明確指明的元件相關或是不相關的。因此，作為一非限制性的例子的是，"A及B的至少一個"(或等同的是"A或B的至少一個"、或等同的是"A及/或B的至少一個")在一實施例中可以是指至少一個A、或選配地包含超過一個A，而無B存在(以及選配地包含除了B以外的元件)；在另一實施例中是指至少一個B、或選配地包含超過一個B，而無A存在(以及選配地包含除了A以外的元件)；在又一實施例中是指至少一個A或選

配地包含超過一個A、以及至少一個B或選配地包含超過一個B(以及選配地包含其它元件)；等等。

【0199】 再者，在此使用的措辭及術語是為了之目的說明，因而不應該被視為限制性的。"包含"、"包括"、或是"具有"、"含有"、"涉及"以及其變化在此的使用是意謂著涵蓋列在之後的項目及其等同物以及額外的項目。

【0200】 在申請專利範圍中以及在以上的說明書中，所有例如是"包括"、"包含"、"帶有"、"具有"、"含有"、"涉及"、"持有"、"構成"與類似者的連接詞都欲被理解為開放性的，亦即，欲表示包含但不限於。只有該些連接詞"由所構成"以及"實質由所構成"才分別是封閉或半封閉性的連接詞。

#### 【符號說明】

##### 【0201】

100 CMOS晶圓

102基板

104介電(絕緣)層

106第一金屬化層

108第二金屬化層

110襯墊層

112中間的導電層

114襯墊層

116電極

118接點

120絕緣層

122絕緣層

124接點孔洞

126導電層

128接點

130凹處

131第二晶圓

132基底(承載)層

134絕緣層

136層

138層

140薄膜

142第一側

144第二側

201轉移晶圓

202活塞

204層

302保護層

304中心部分

402層

404圖案化的層

502薄膜止擋

702絕緣層

704貫孔

706襯墊材料層

708插塞

710側壁

711轉移晶圓

712絕緣層

714薄膜

802保護層

1002側壁

1004絕緣體

1006薄膜

1008貫孔

1010襯墊

1012插塞

1014層

1016層

1018活塞薄膜

1102活塞薄膜

1302電極

1304絕緣層

1306側壁(間隔物)

1308凹處

1309絕緣層

1310薄膜

1312接點

1314層

1316層

1318受保護的接點

1402底部電極  
1502活塞  
1602受保護的接點  
1604活塞  
1702密封的凹處  
1704薄膜  
1706電極  
1708絕緣層  
1710層  
1712受保護的接點  
1714活塞  
1801 CMOS晶圓  
1802金屬層  
1803轉移晶圓  
1804接點  
1805電極  
1806絕緣層  
1807側壁  
1808層  
1809絕緣層  
1811絕緣層  
1813密封的凹處  
1902電極  
1904活塞

2002電極  
2004絕緣層  
2006凹處  
2008側壁(間隔物)  
2010絕緣層  
2012薄膜止擋  
2014絕緣層  
2016金屬化層  
2018接點  
2020層  
2022層  
2024受保護的接點  
2026密封的凹處  
2102凹處  
2104絕緣層  
2106側壁(間隔物)  
2108第二絕緣層  
2110電極  
2112薄膜止擋  
2114薄膜  
2116接點  
2118保護層  
2122密封的凹處  
2200 CMOS晶圓的一部分

2302層

2304層

2402絕緣層

2600裝置

2602積體電路

2604貫孔

2606導線

D1深度

T1厚度

T2厚度

T3厚度

T4厚度

TM厚度

W1寬度

W2寬度

W3寬度

W4寬度

W5寬度

WP寬度

I663706

## 【發明摘要】

【中文發明名稱】 互補式金屬氧化物半導體(CMOS)超音波換能器以及用於形成其之方法

【英文發明名稱】 COMPLEMENTARY METAL OXIDE SEMICONDUCTOR (CMOS) ULTRASONIC TRANSDUCERS AND METHODS FOR FORMING THE SAME

### 【中文】

互補式金屬氧化物半導體(CMOS)超音波換能器(CUT)以及用於形成CUT之方法係被描述。該些CUT可包含單石地整合的超音波換能器以及用於相關該些換能器的操作之積體電路。該些CUT可被用在例如是超音波成像裝置及/或高強度聚焦超音波(HIFU)裝置的超音波裝置中。

### 【英文】

Complementary metal oxide semiconductor (CMOS) ultrasonic transducers (CUTs) and methods for forming CUTs are described. The CUTs may include monolithically integrated ultrasonic transducers and integrated circuits for operating in connection with the transducers. The CUTs may be used in ultrasound devices such as ultrasound imaging devices and/or high intensity focused ultrasound (HIFU) devices.

【指定代表圖】 圖1K

【代表圖之符號簡單說明】

102基板

104介電(絕緣)層

116電極

118接點

128接點

130凹處

136層

138層

140薄膜

142第一側

144第二側

D1深度

TM厚度

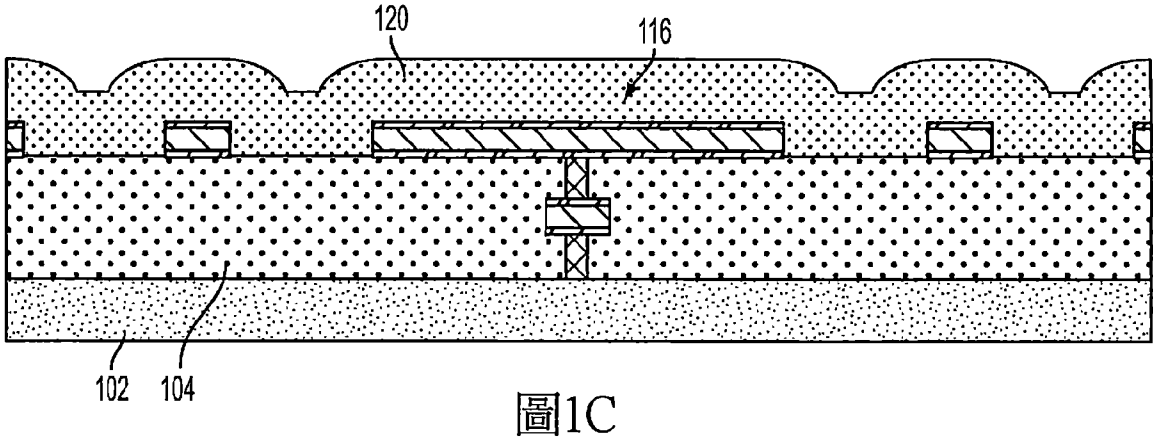
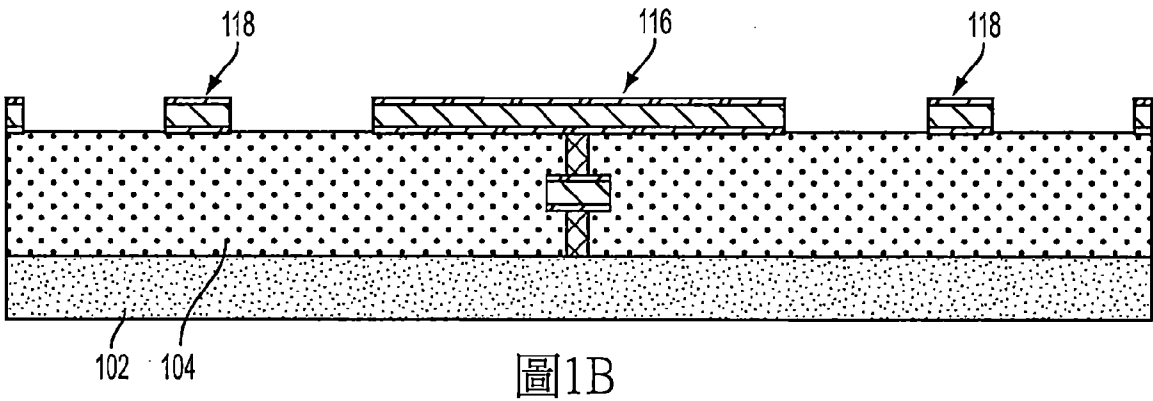
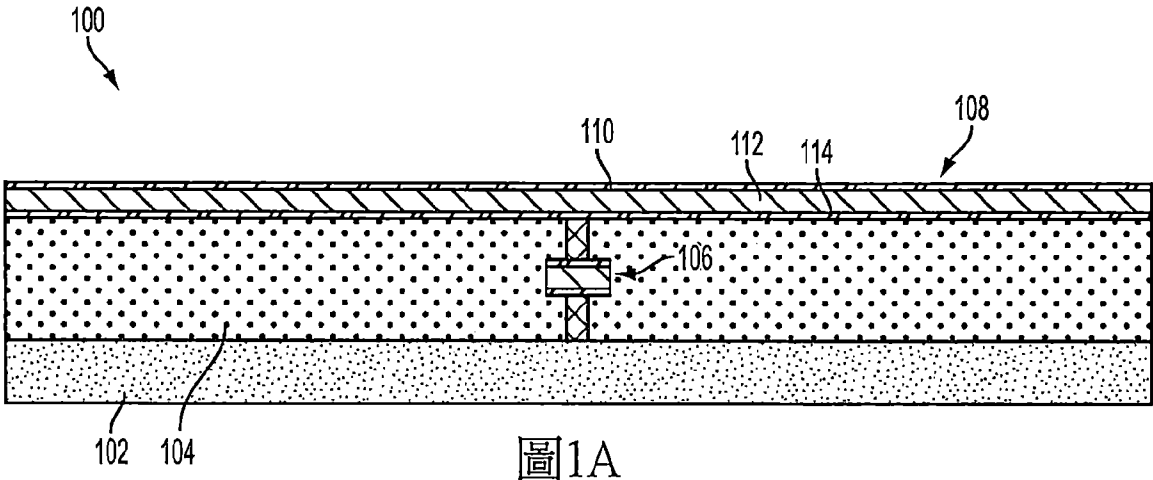
W1寬度

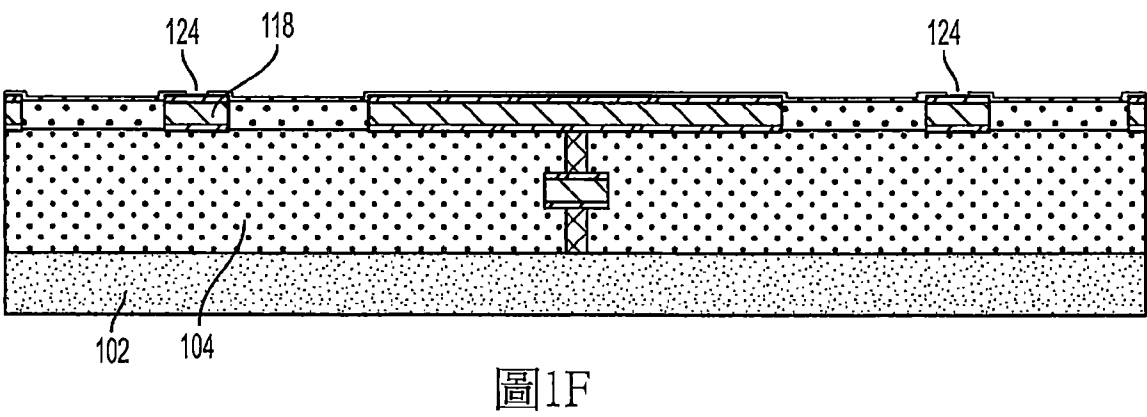
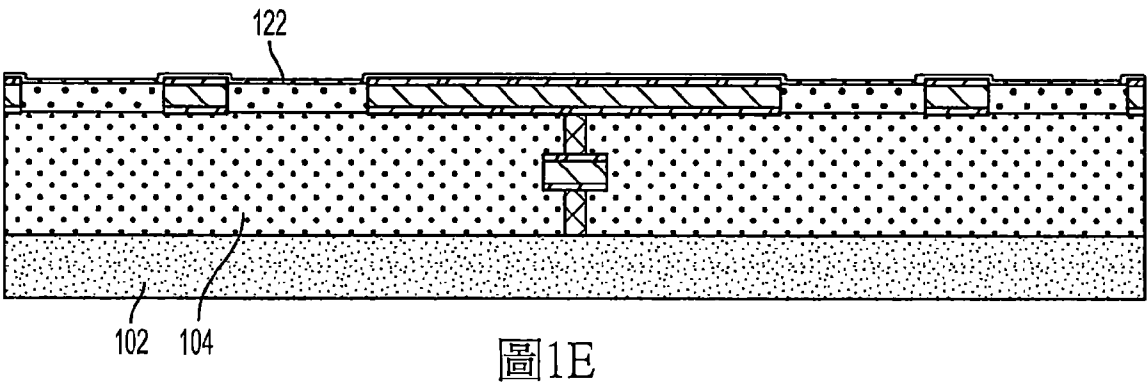
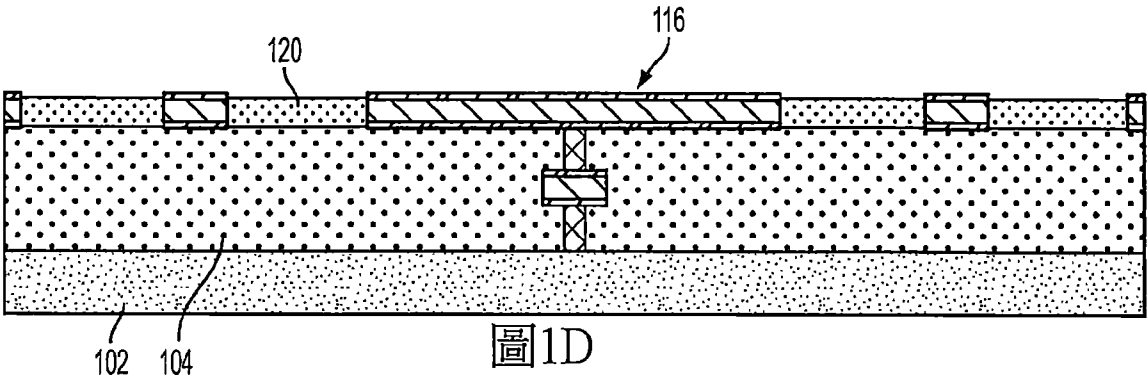
W2寬度

## 【特徵化學式】

無

【發明圖式】





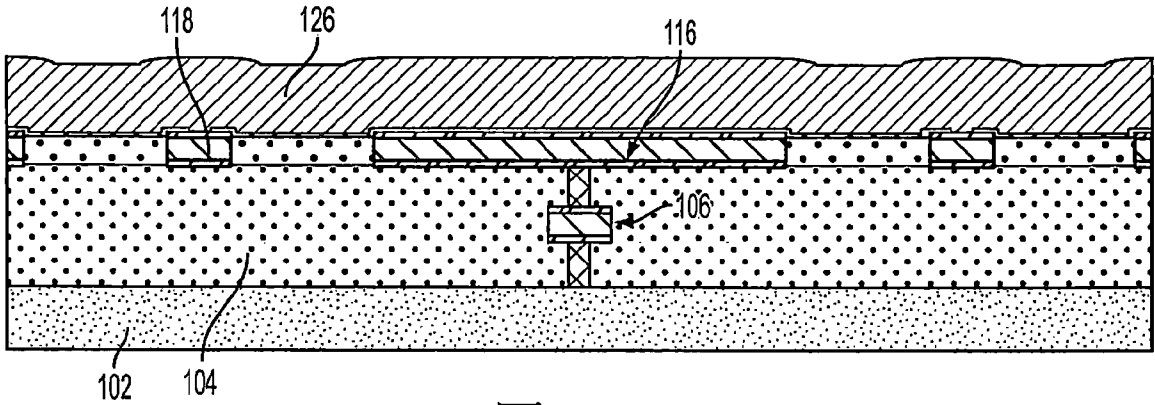


圖1G

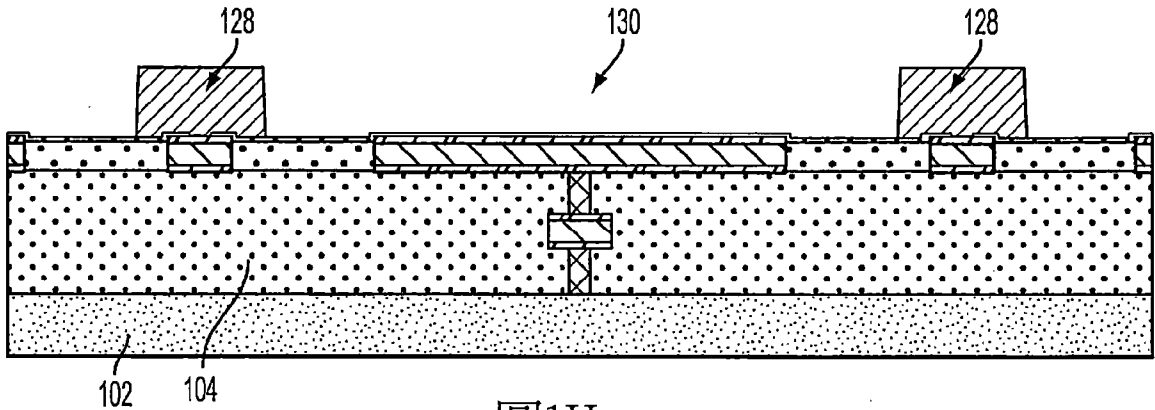


圖1H

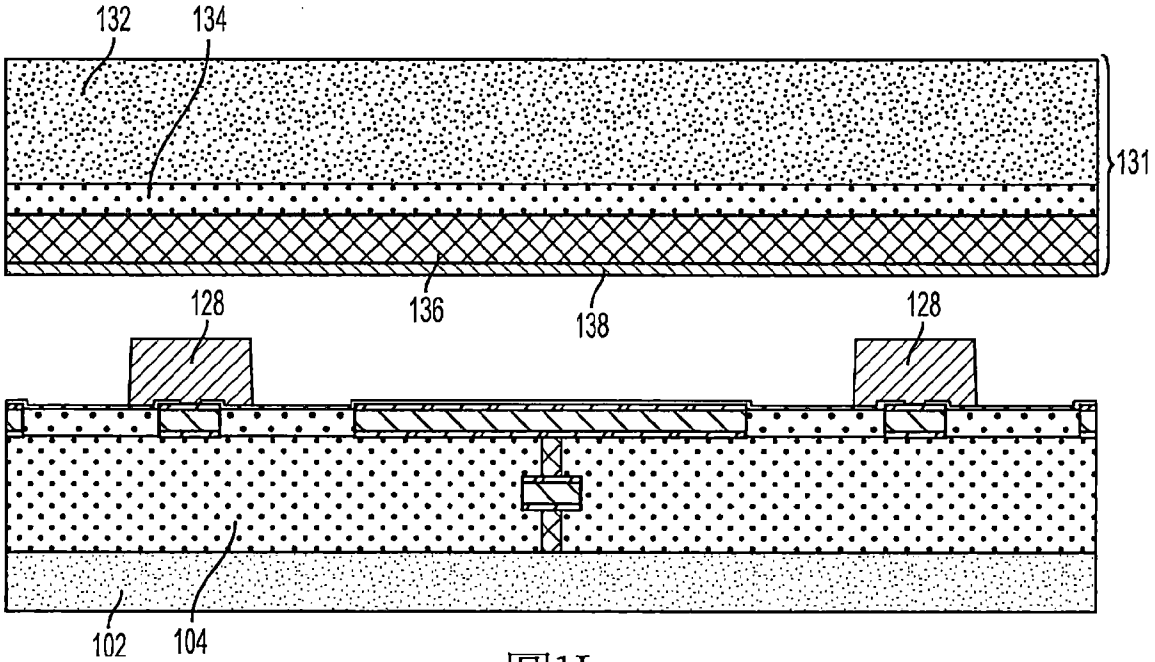


圖1I

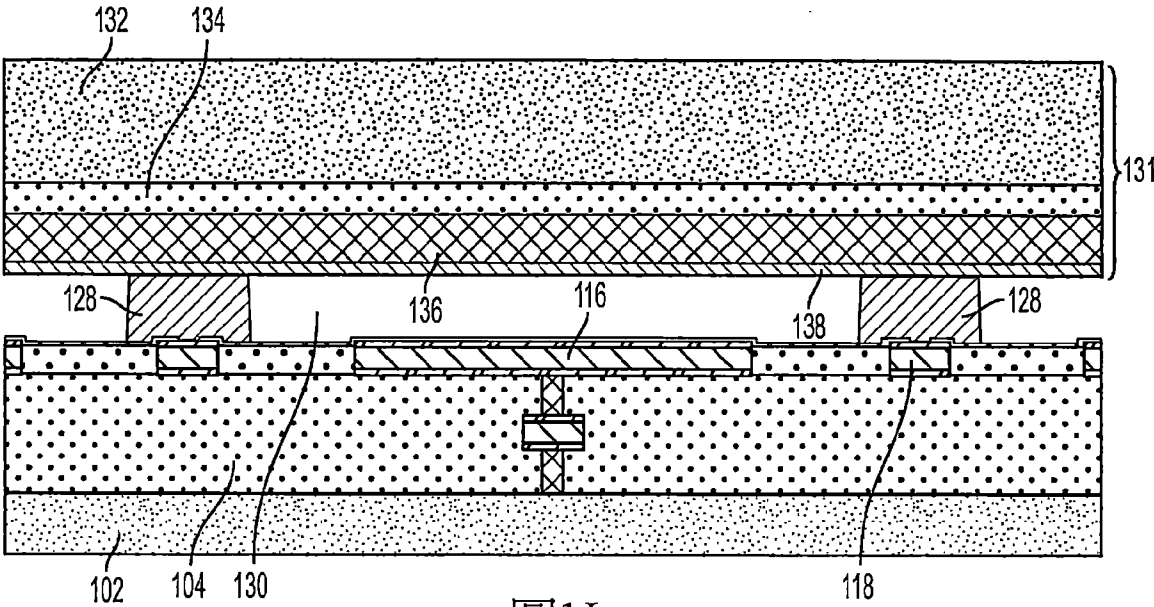


圖1J

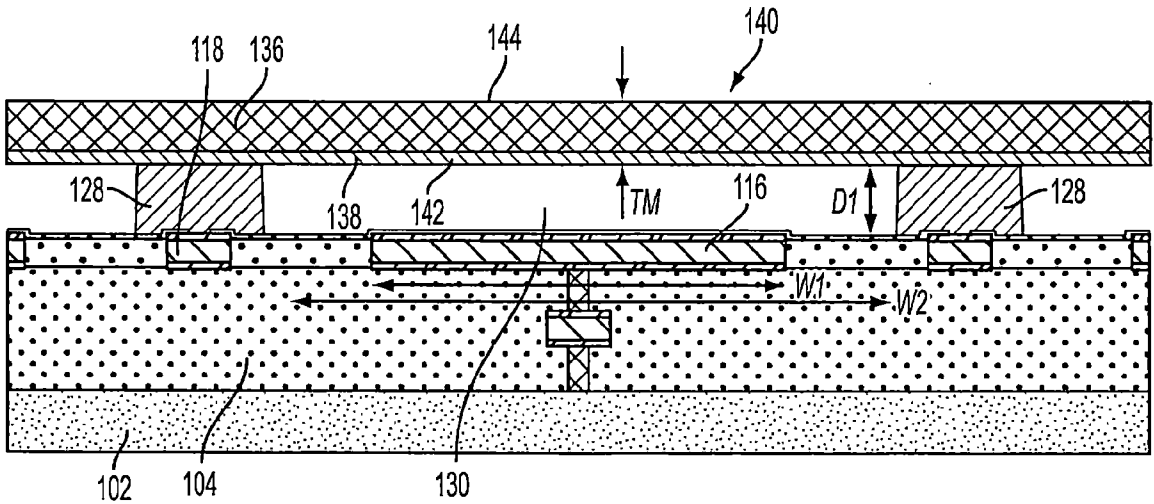


圖1K

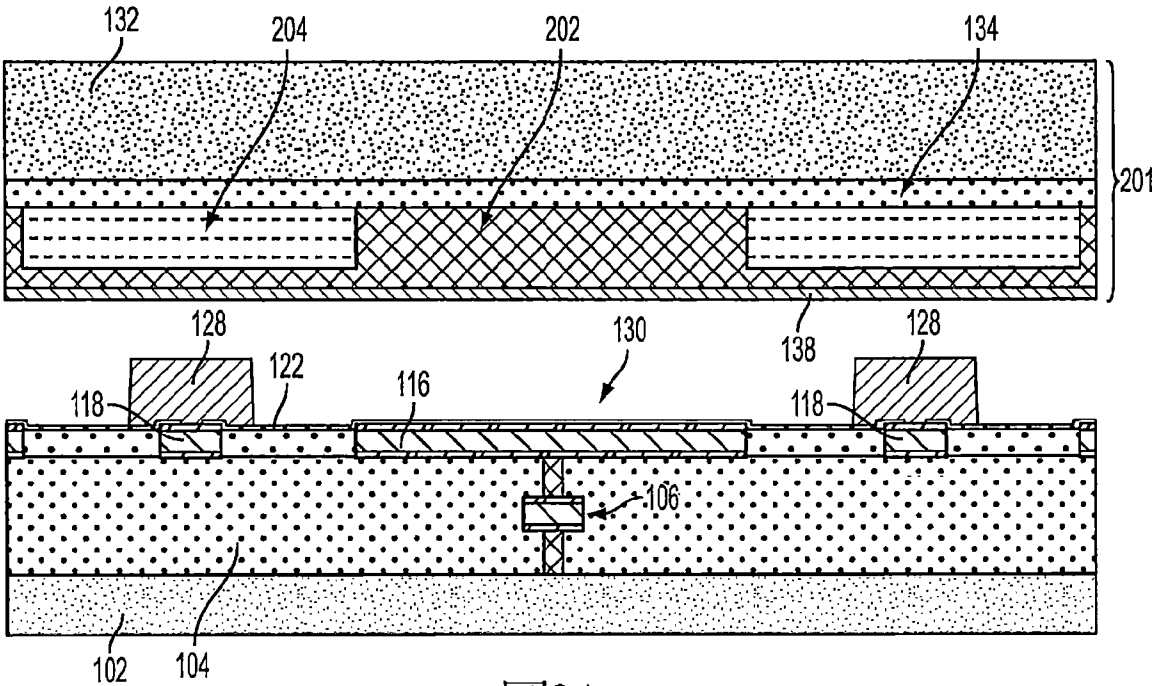


圖2A

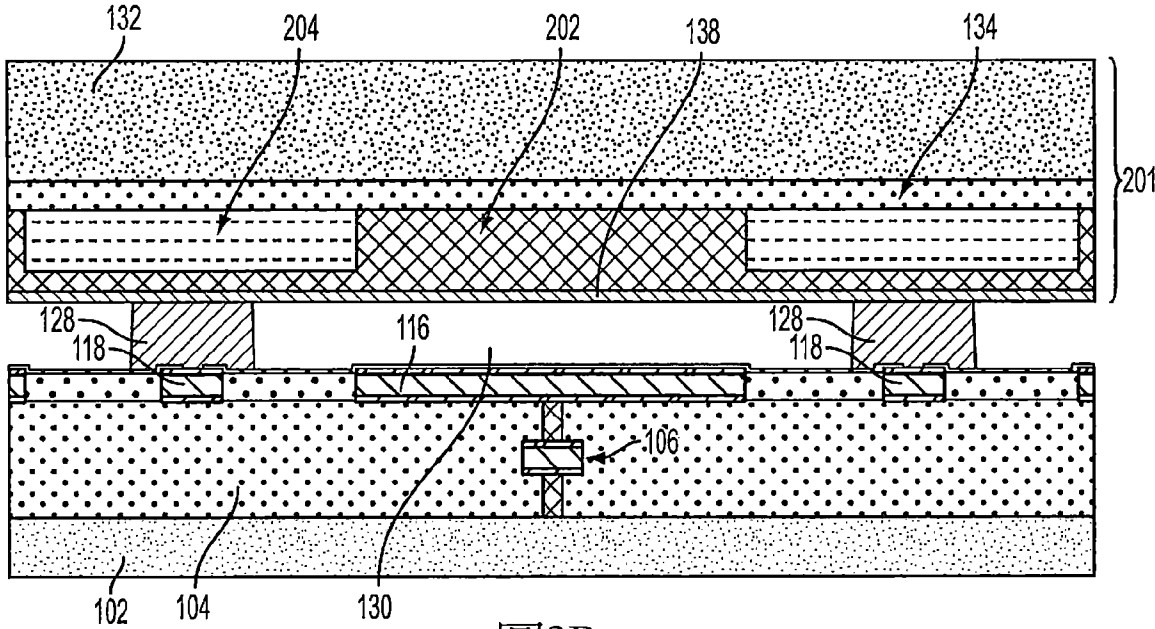
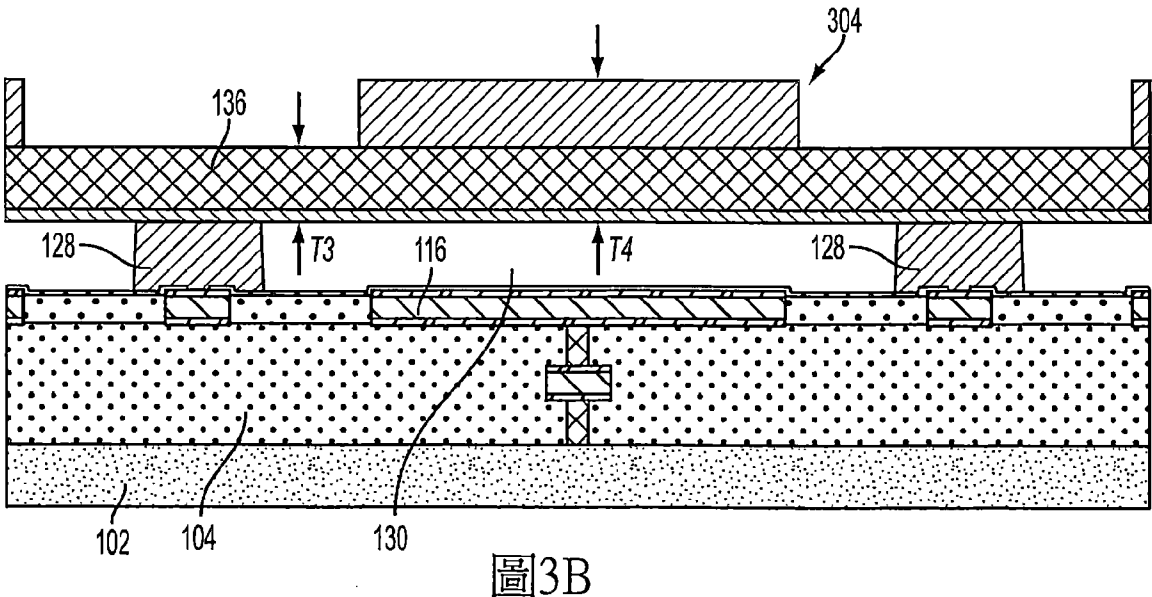
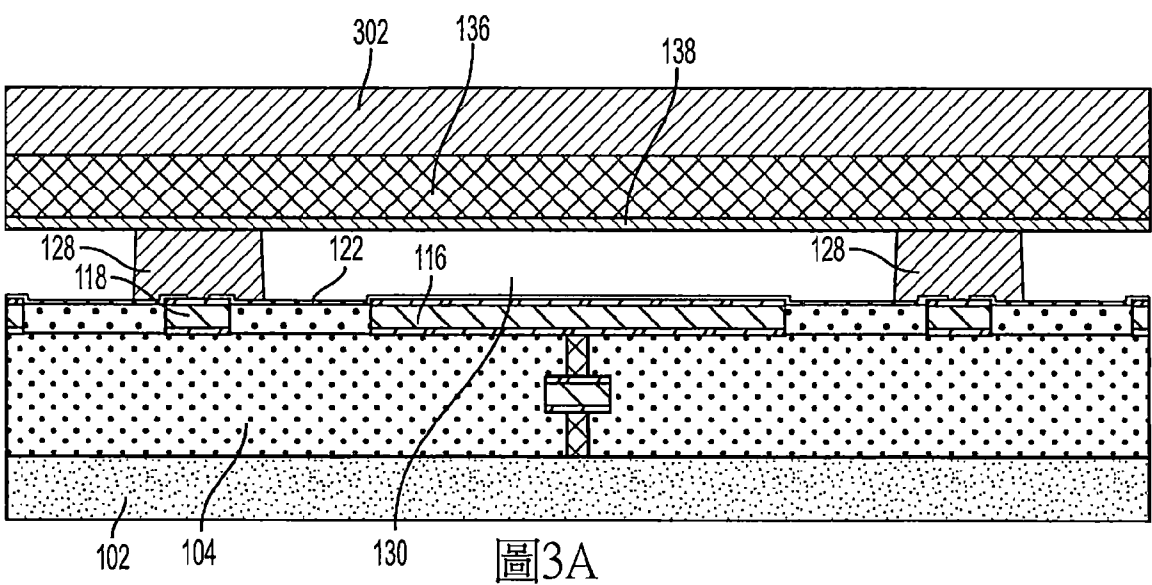
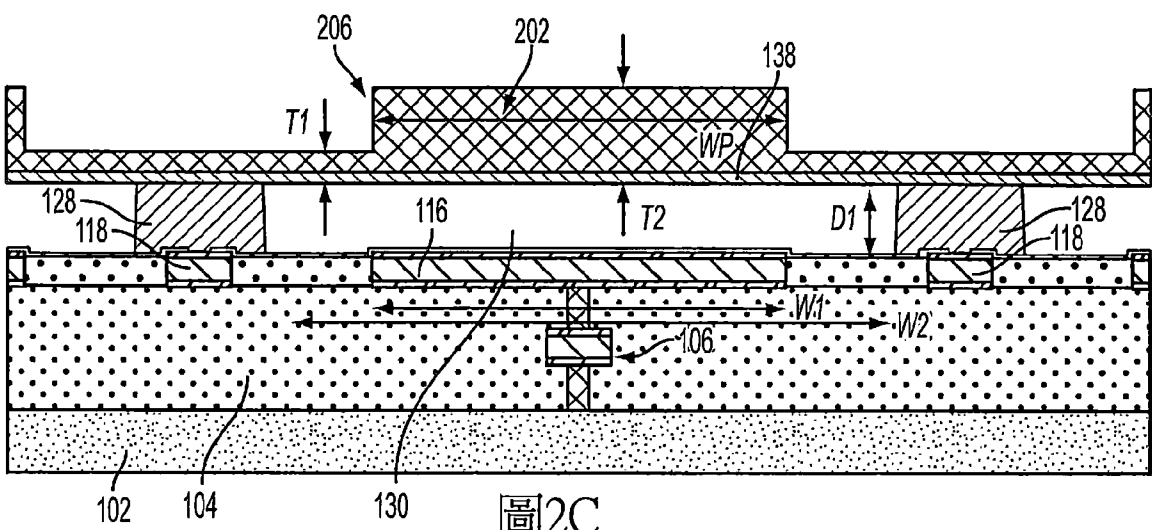
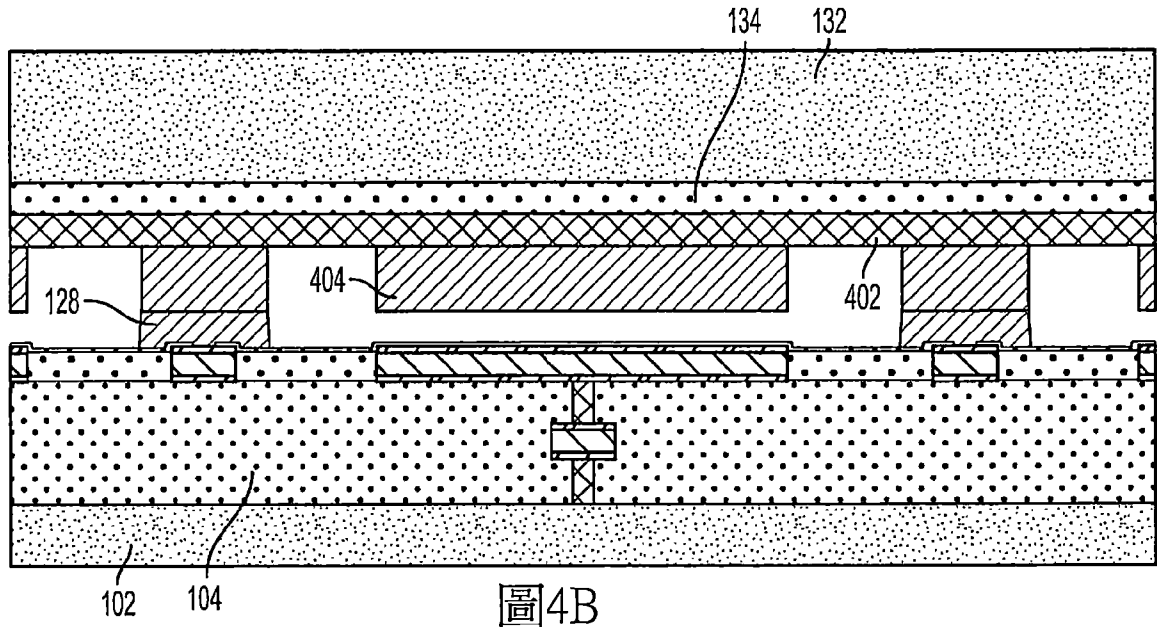
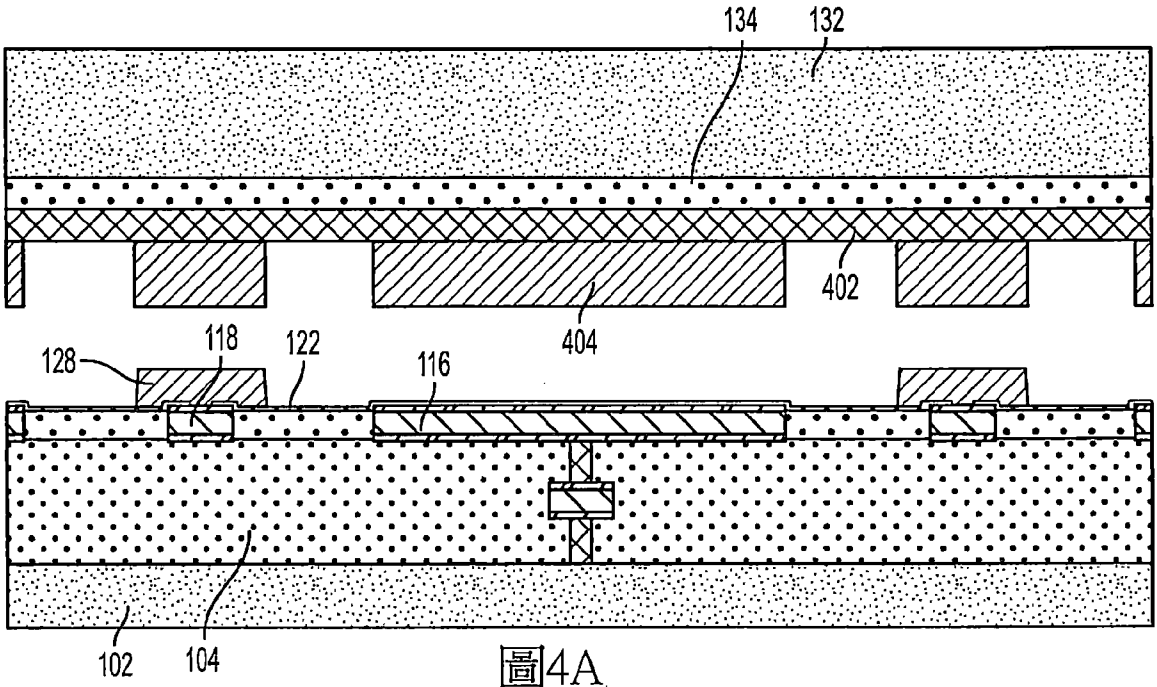


圖2B





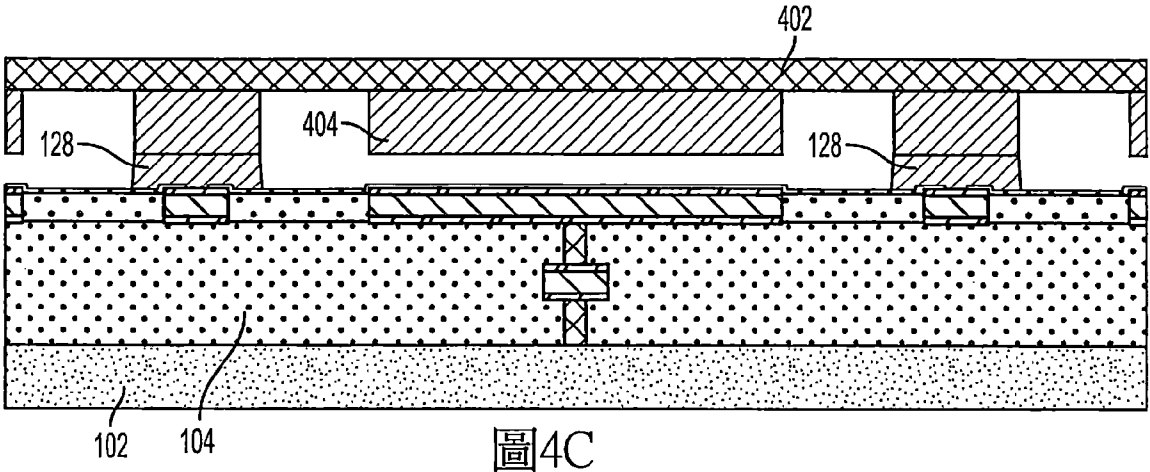


圖4C

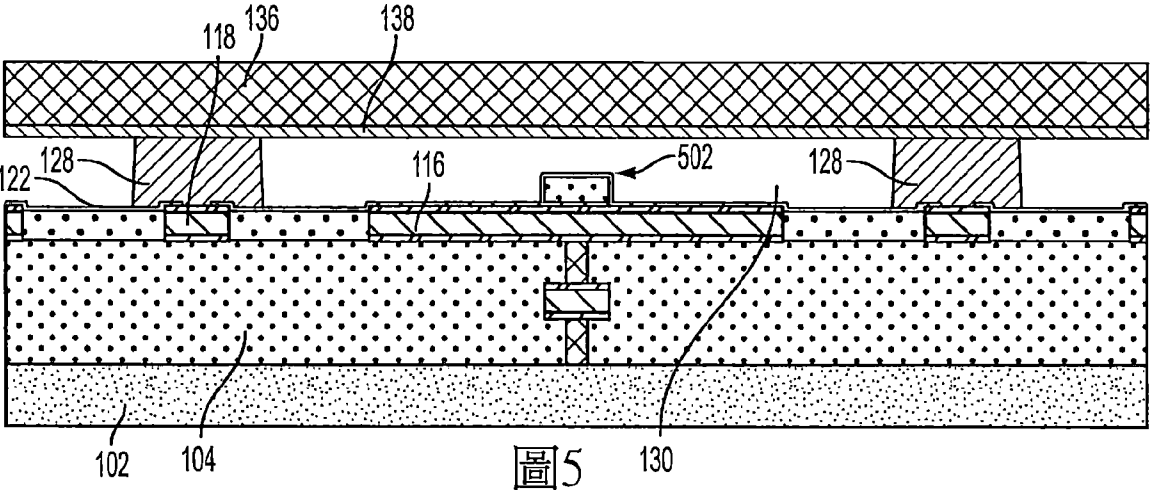


圖5

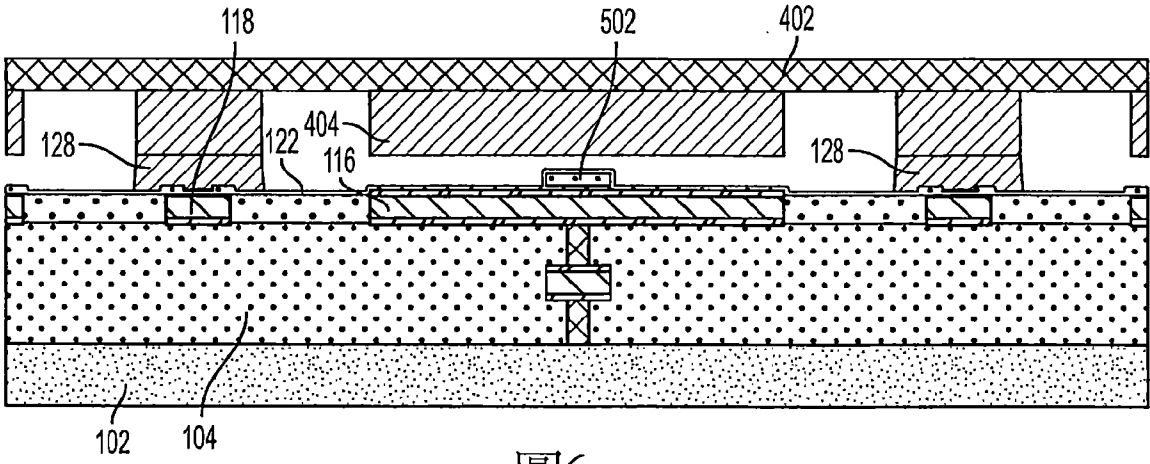
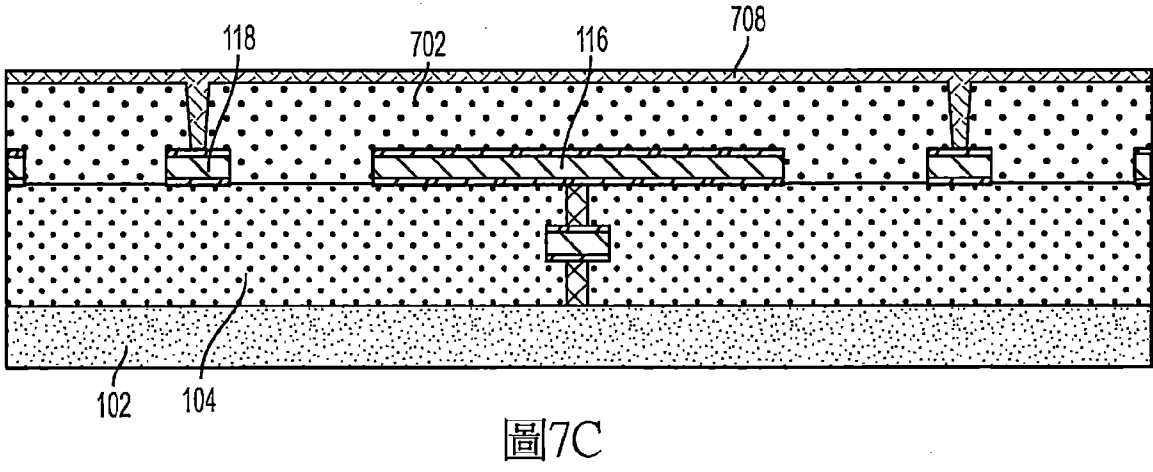
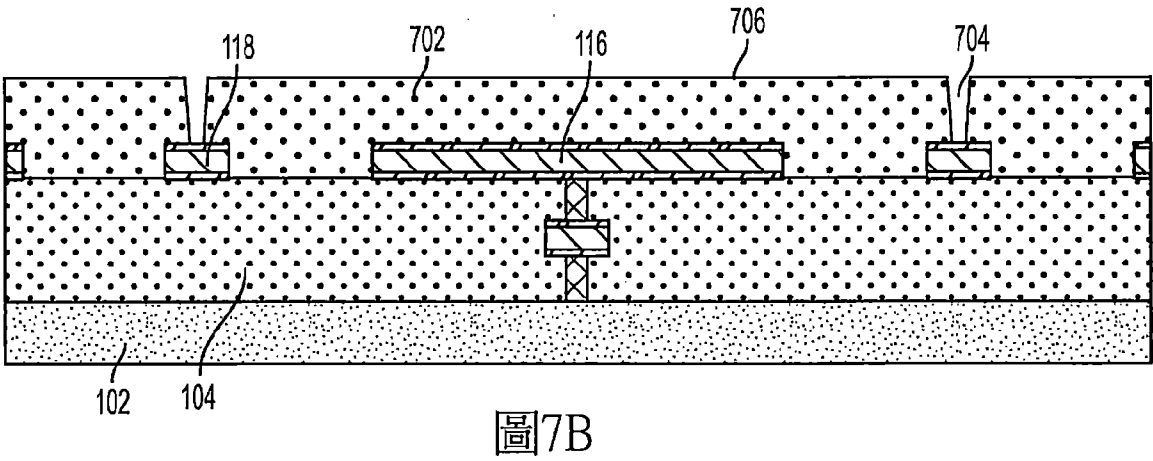
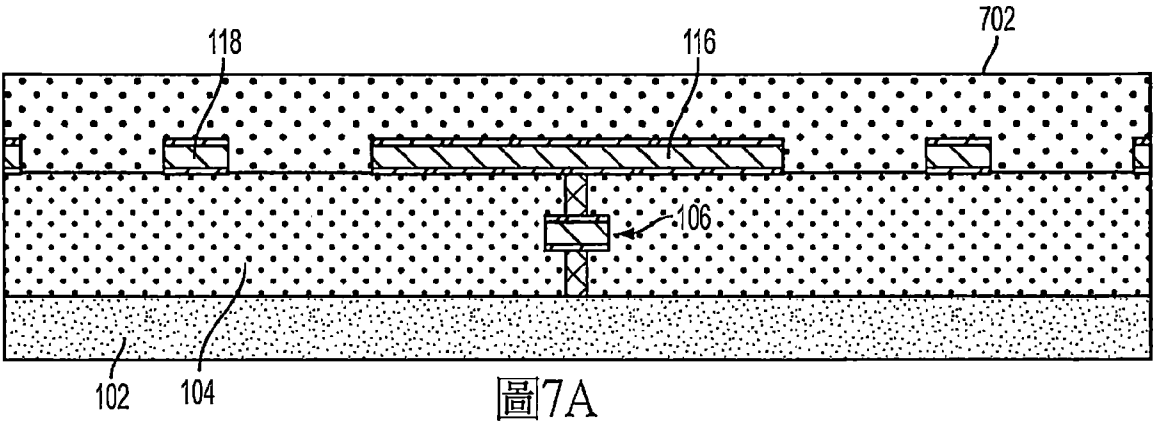
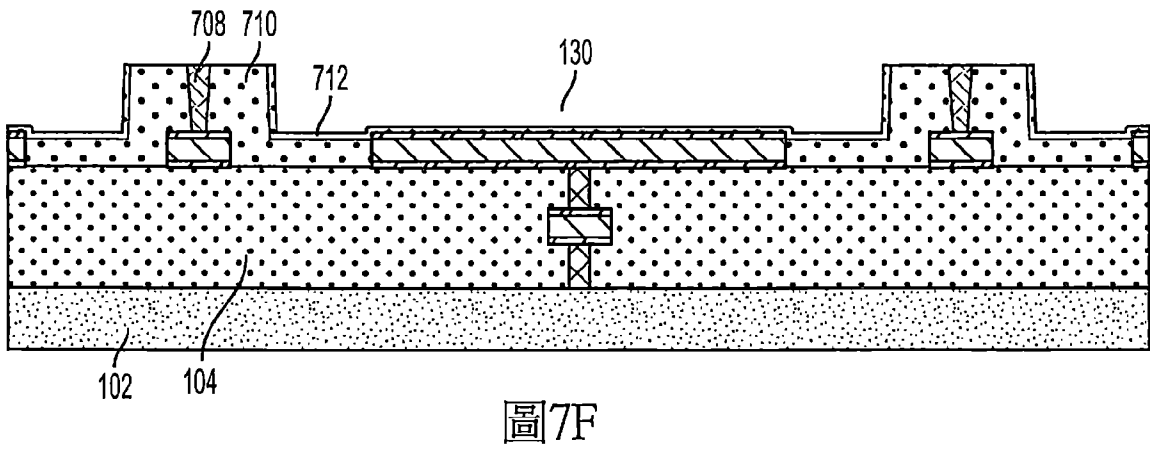
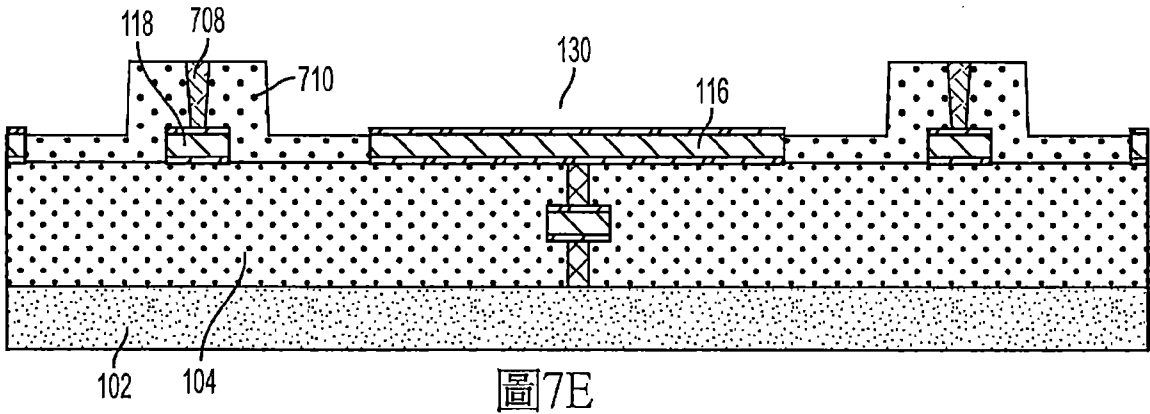
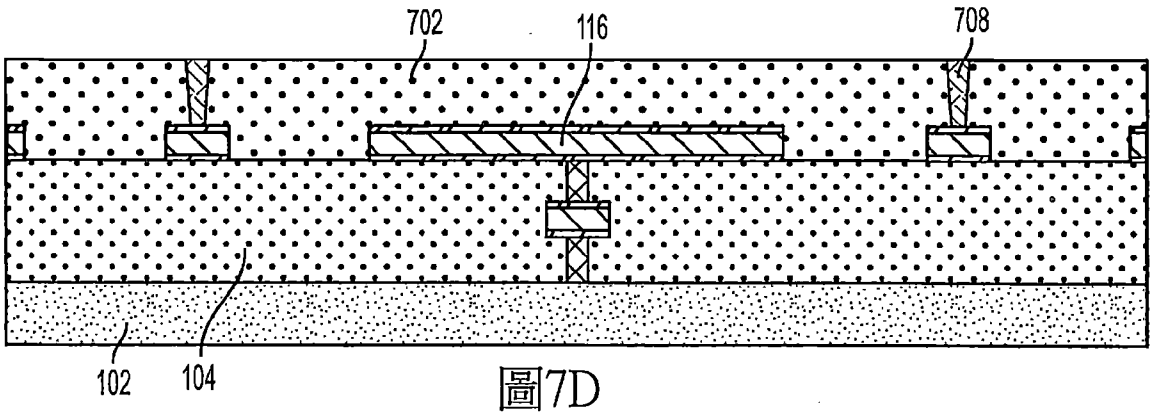


圖6





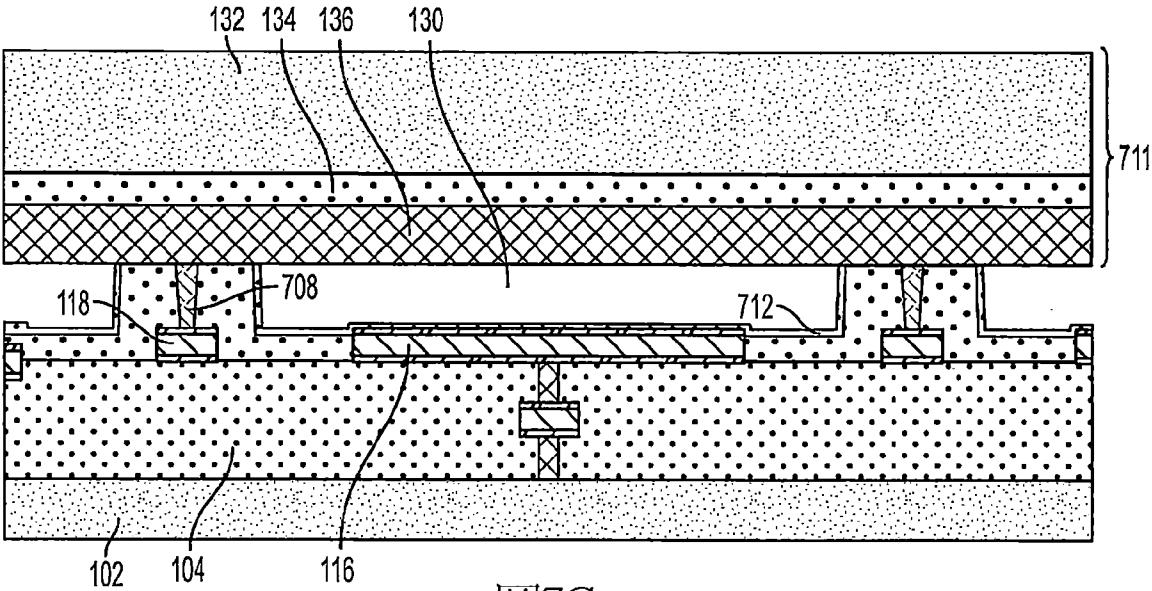


圖7G

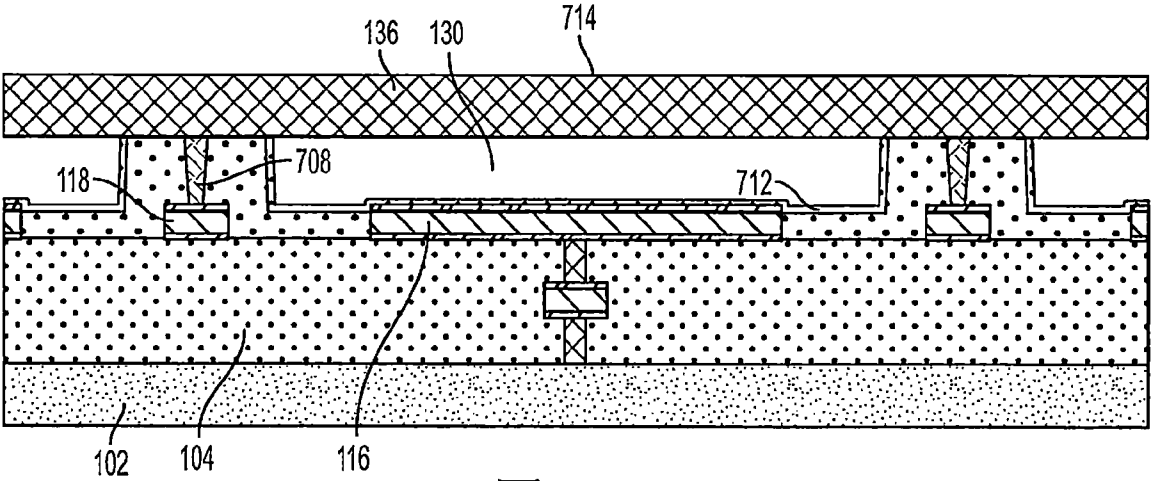


圖7H

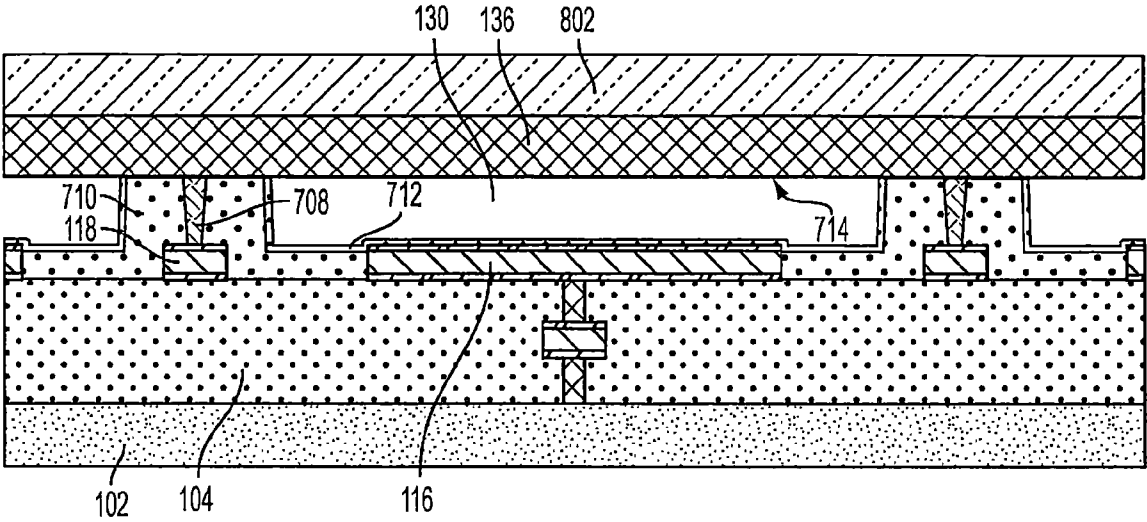


圖8A

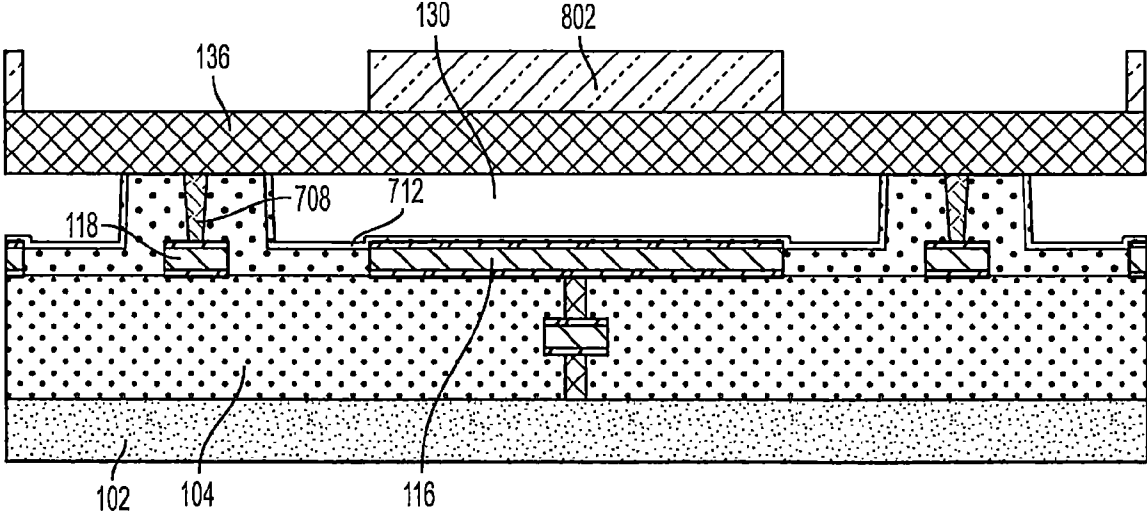


圖8B

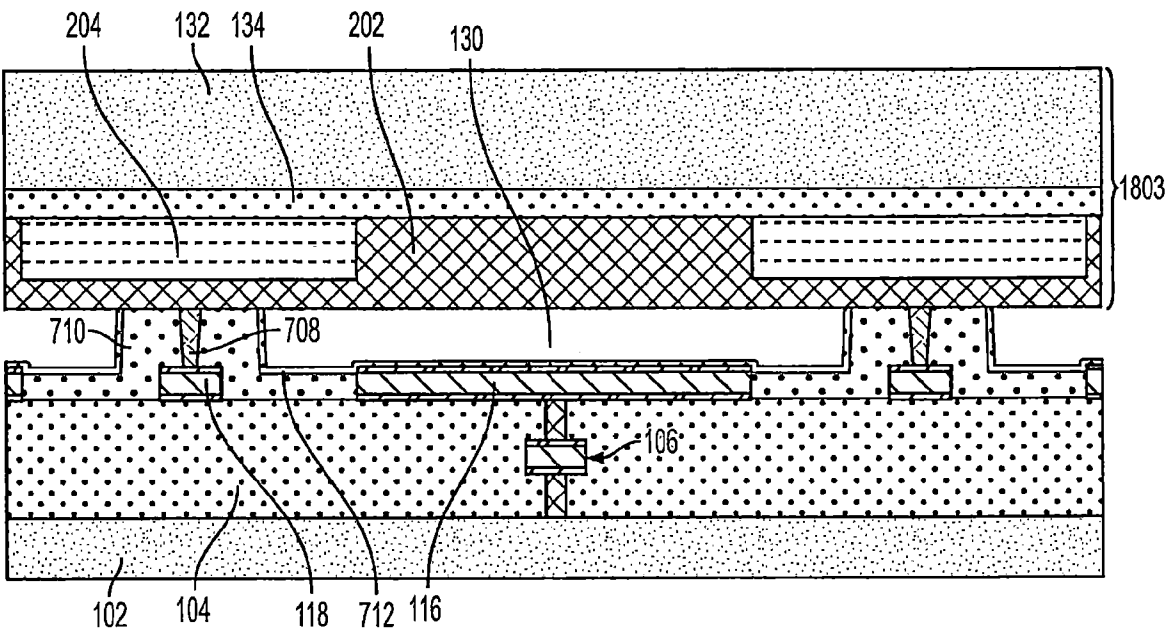


圖9A

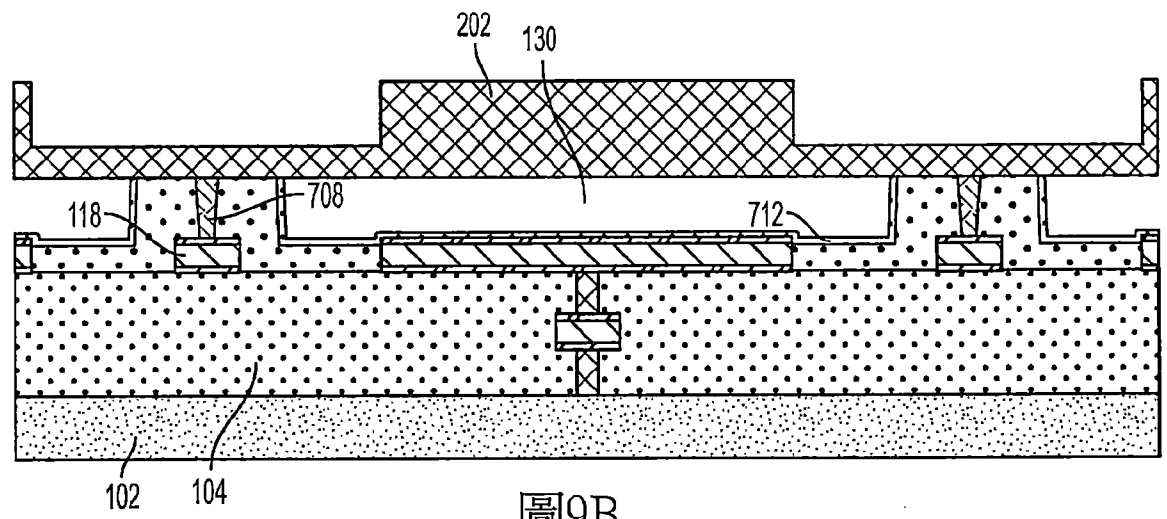


圖9B

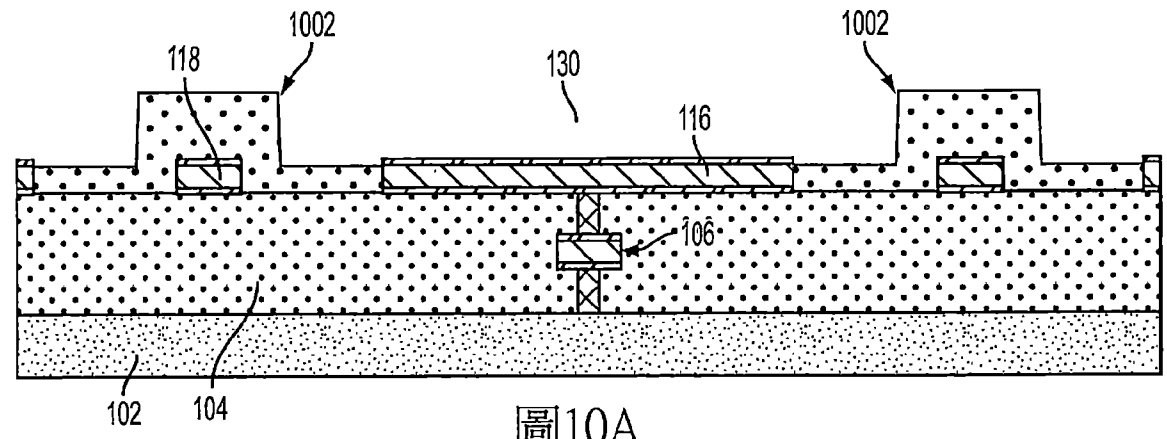


圖10A

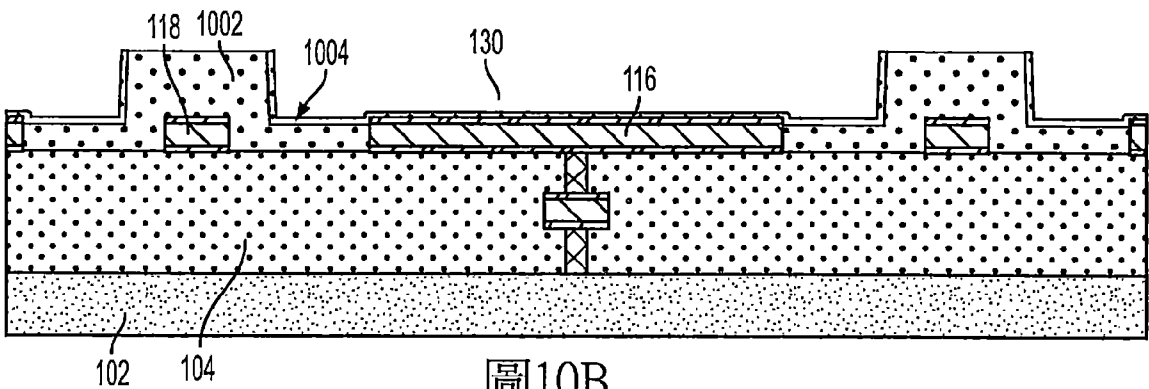


圖10B

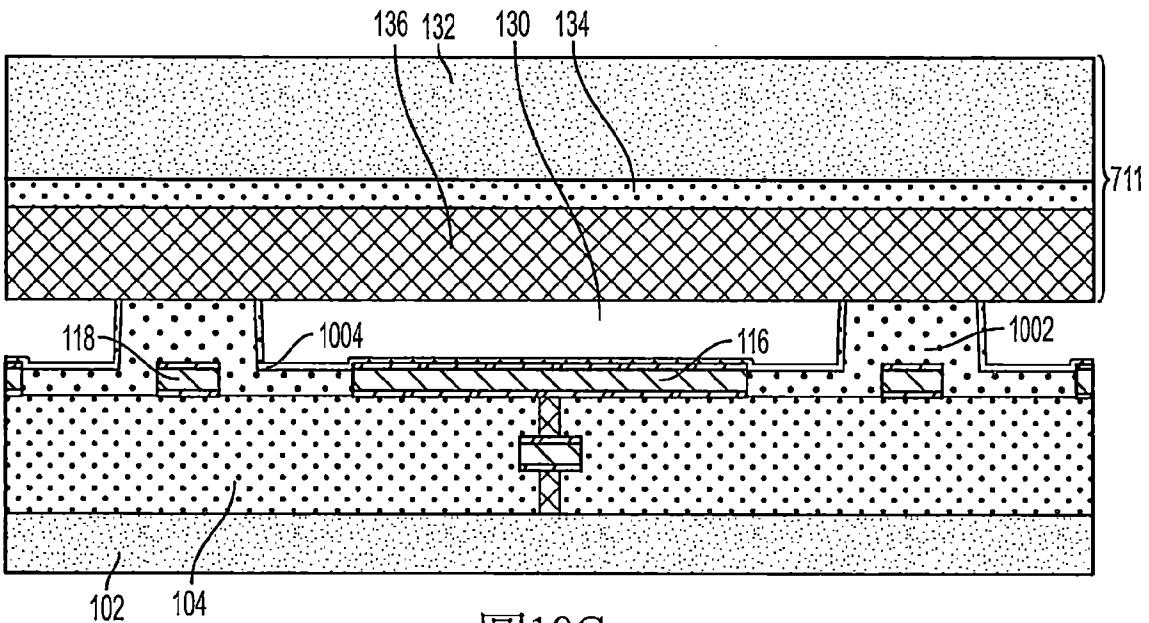


圖10C

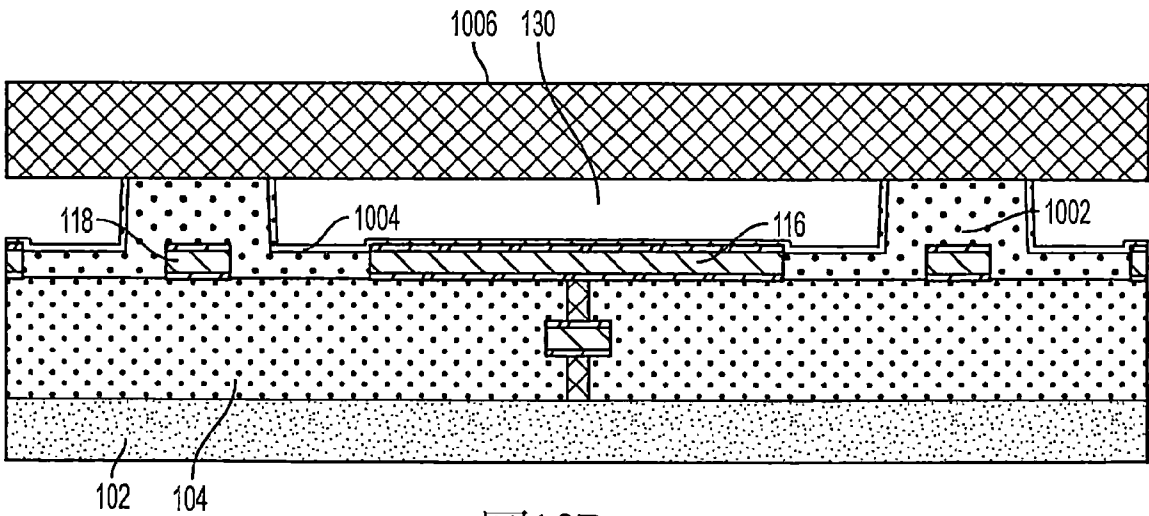
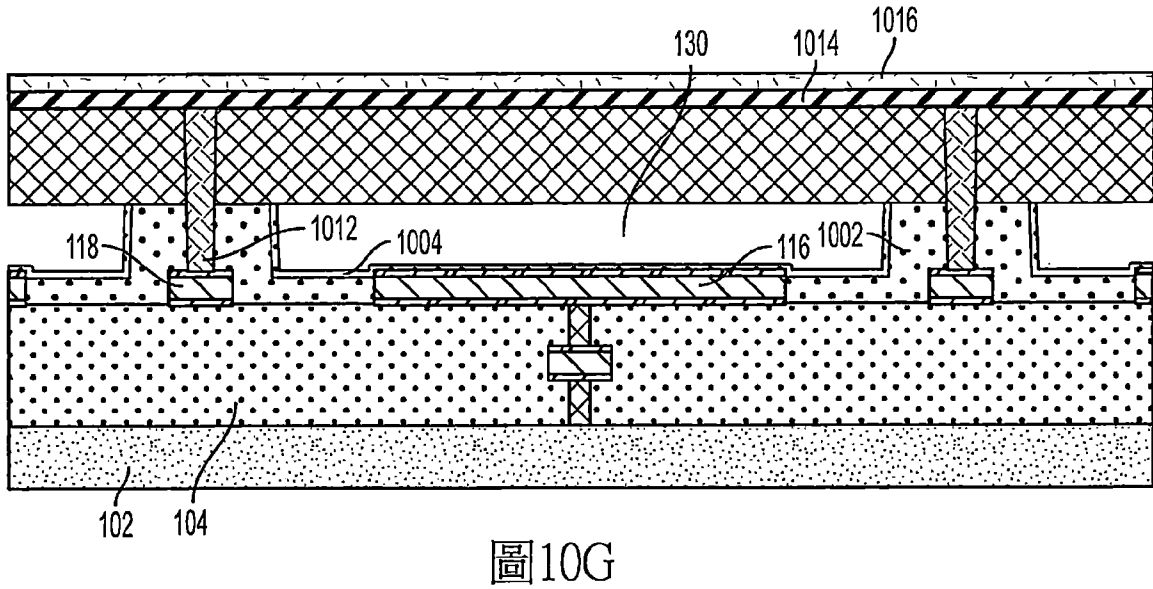
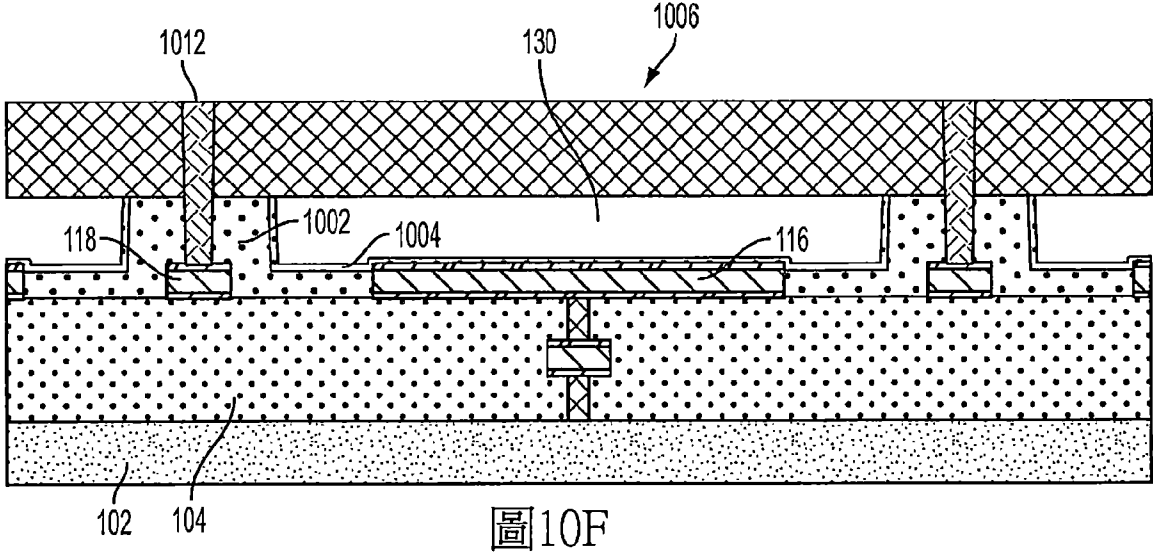
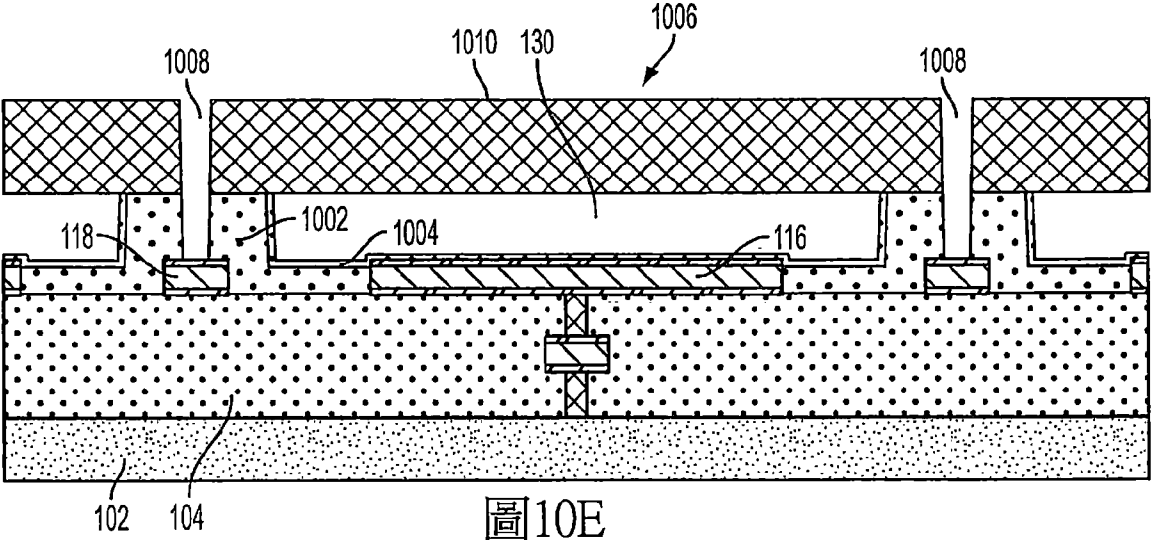


圖10D



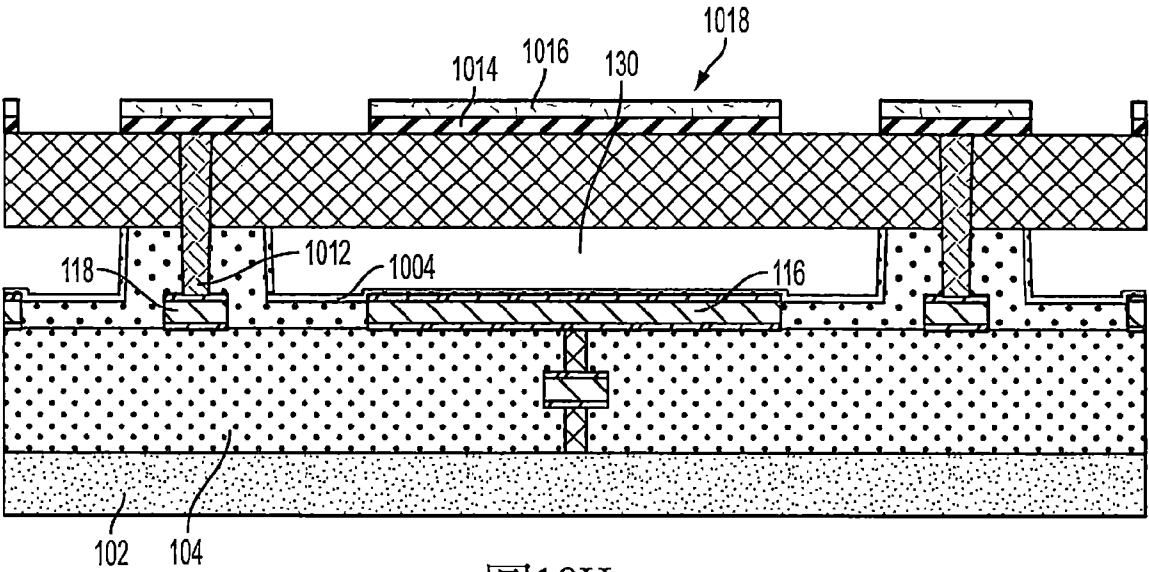


圖10H

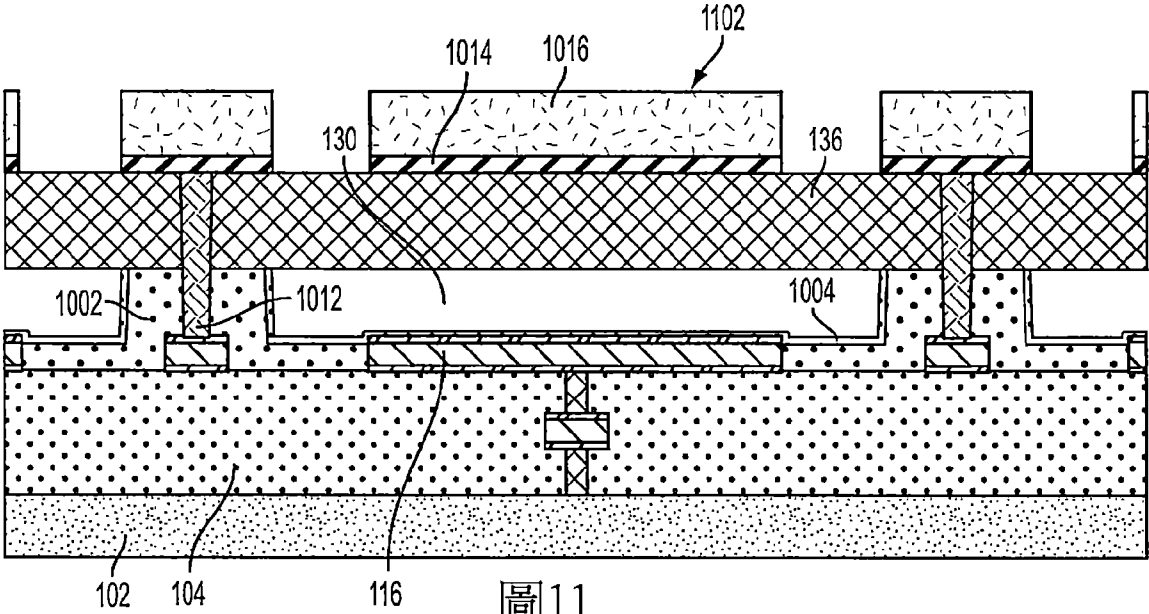


圖11

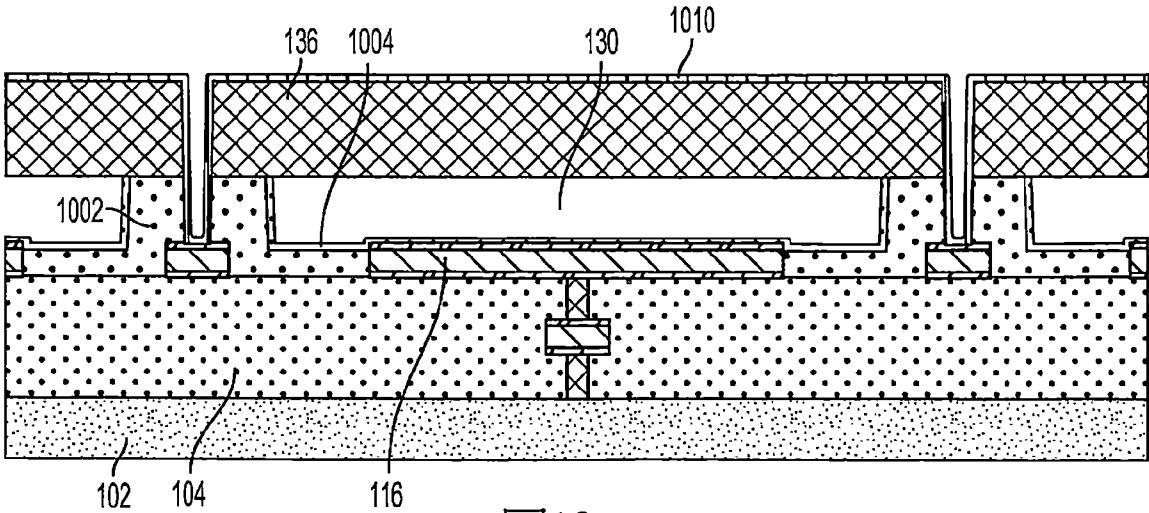


圖12

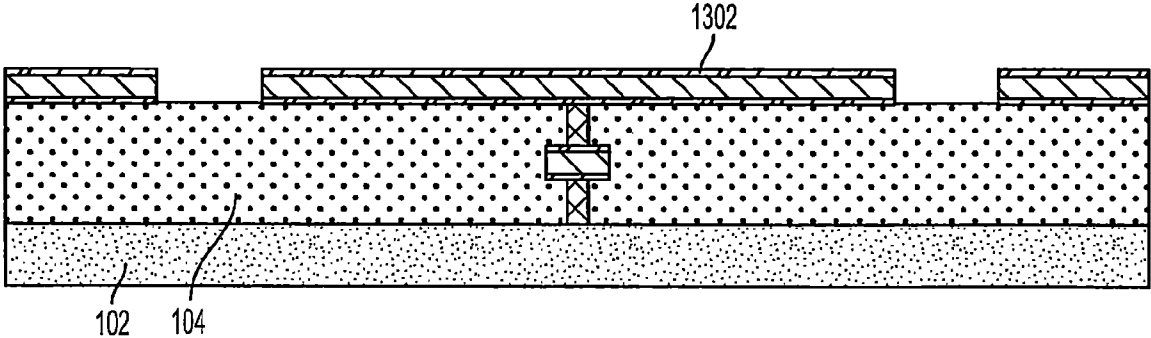


圖13A

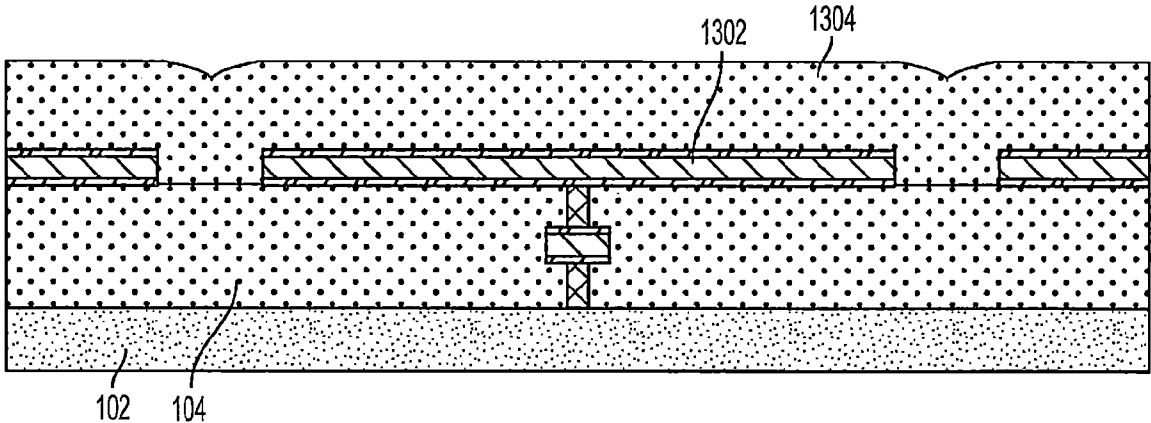


圖13B

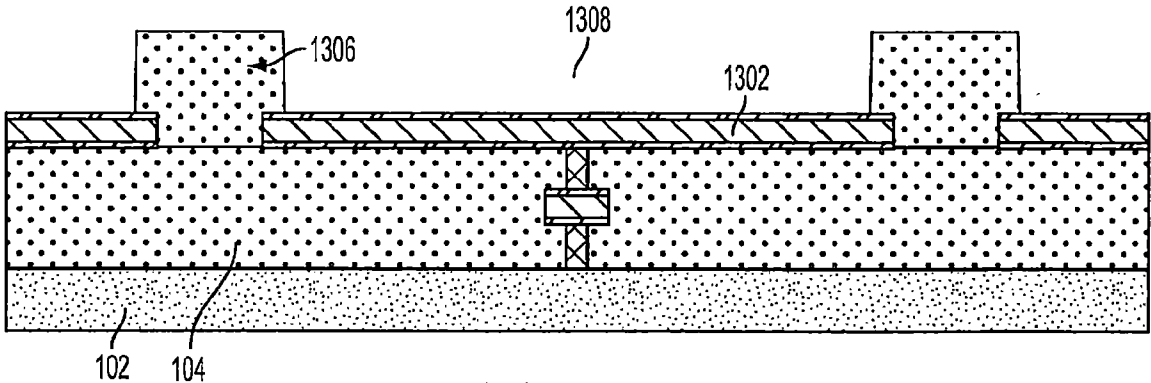


圖13C

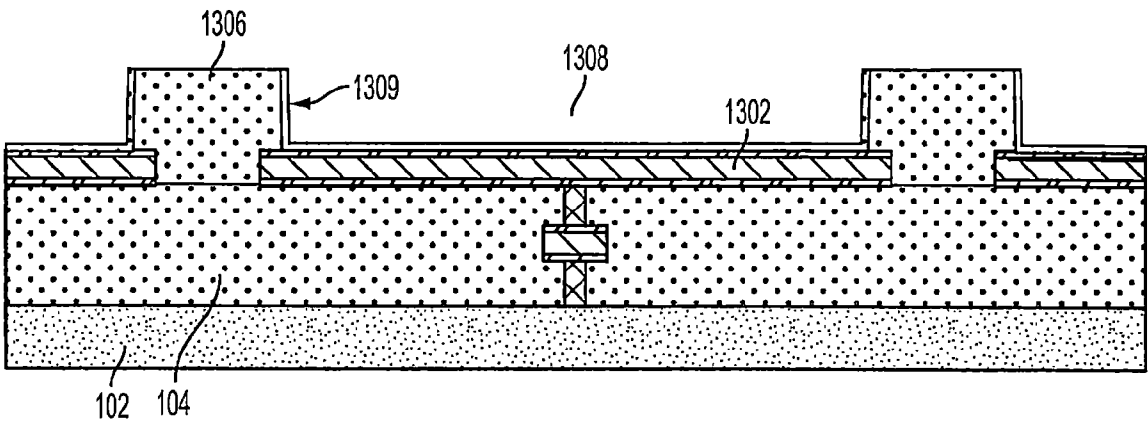


圖13D

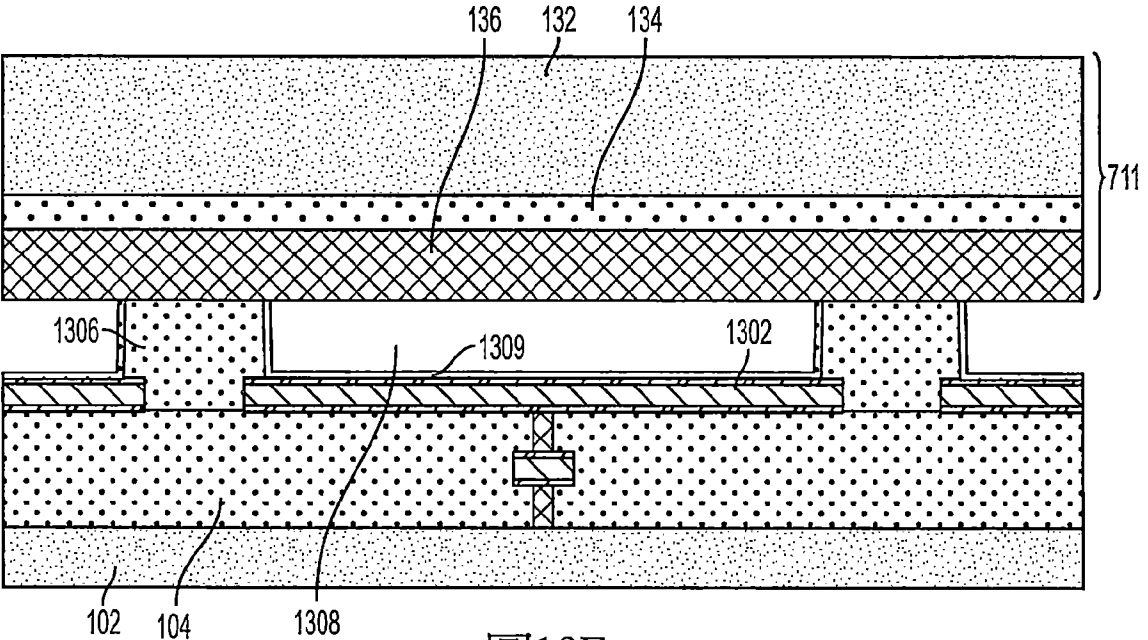


圖13E

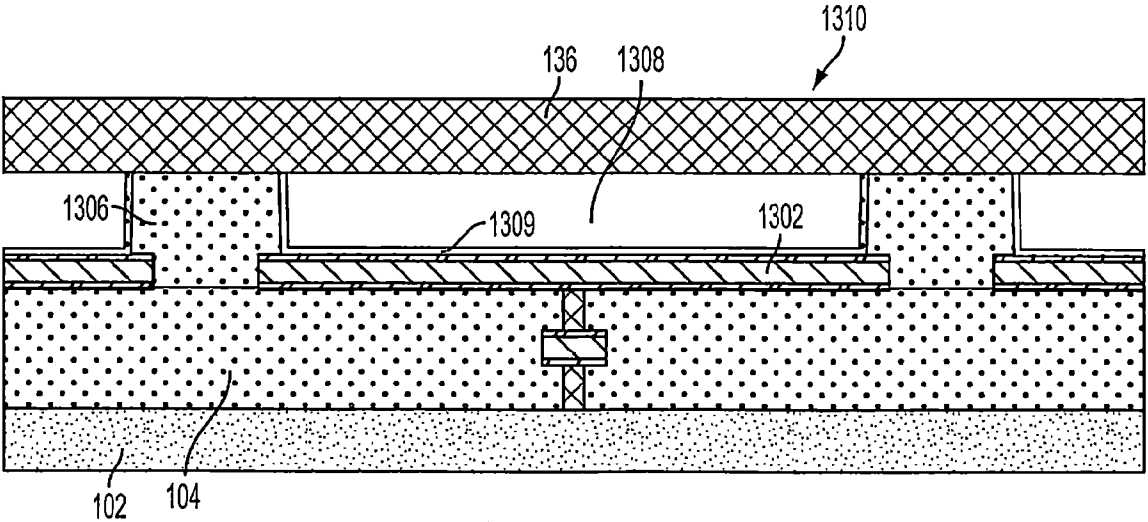


圖13F

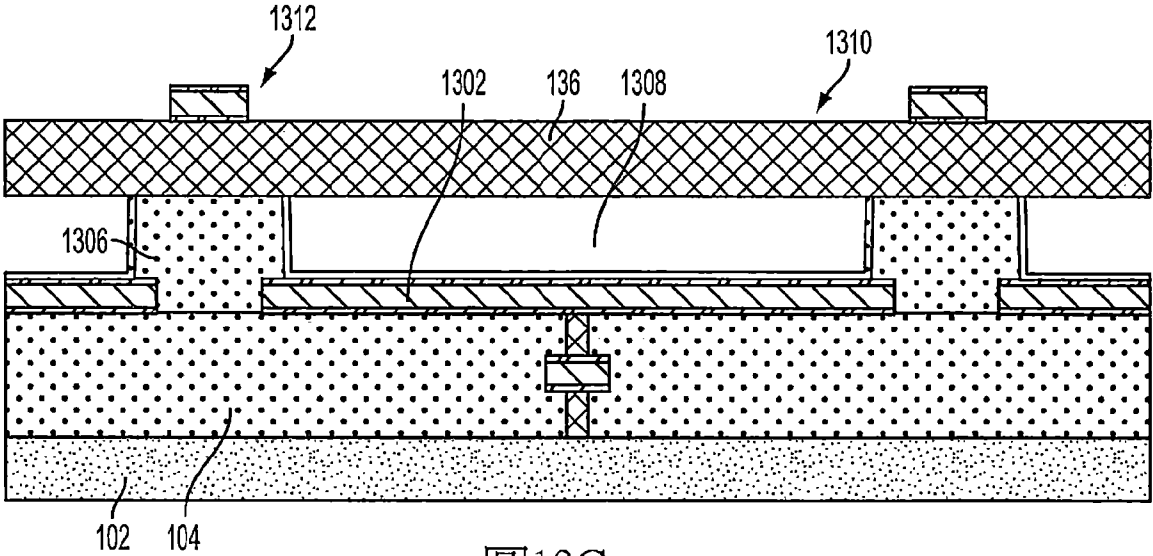


圖13G

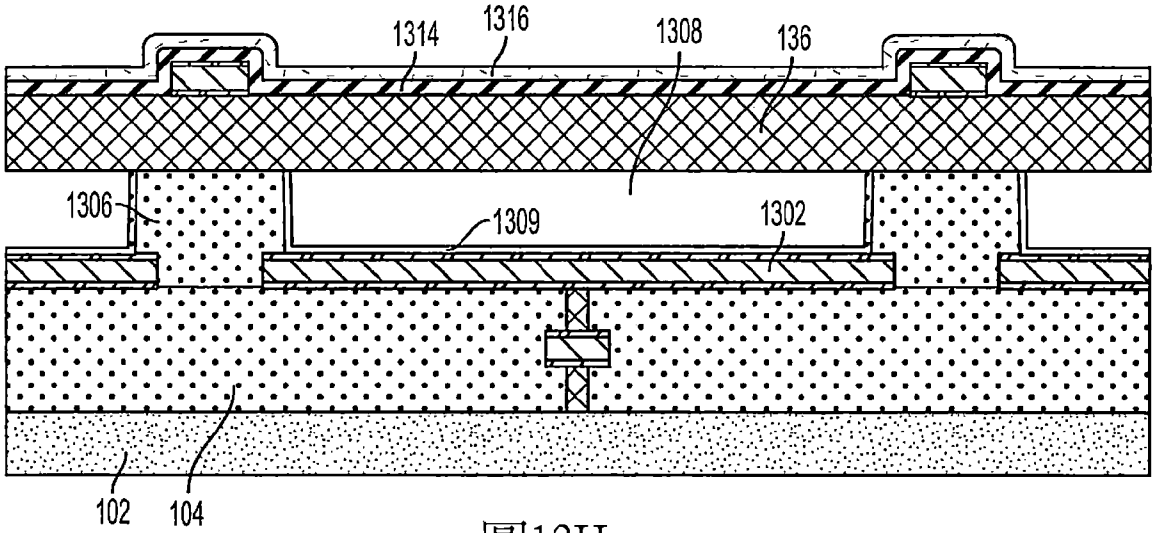


圖13H

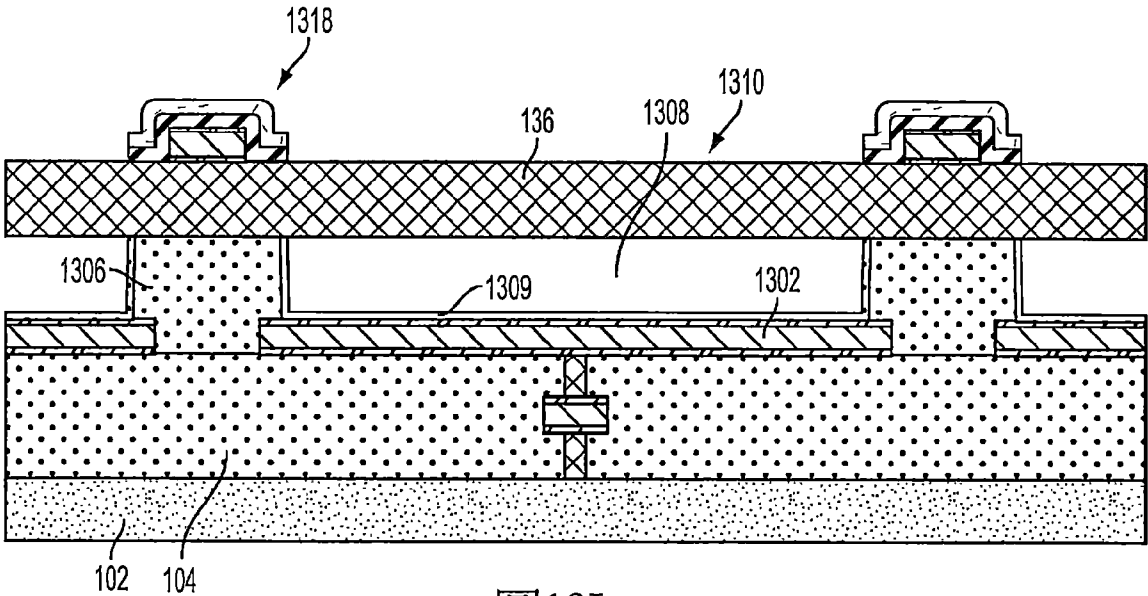


圖13I

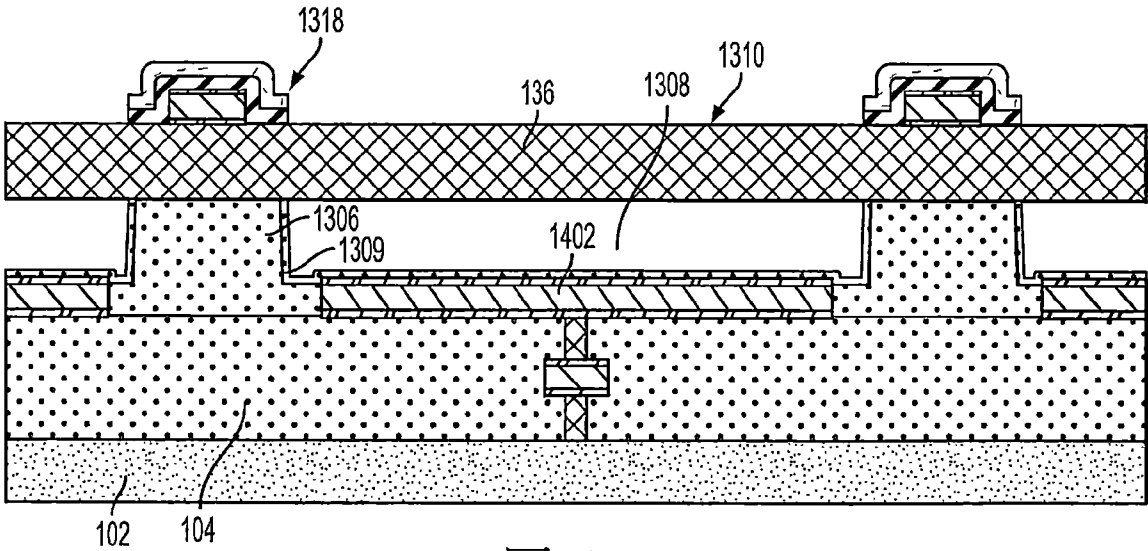


圖14

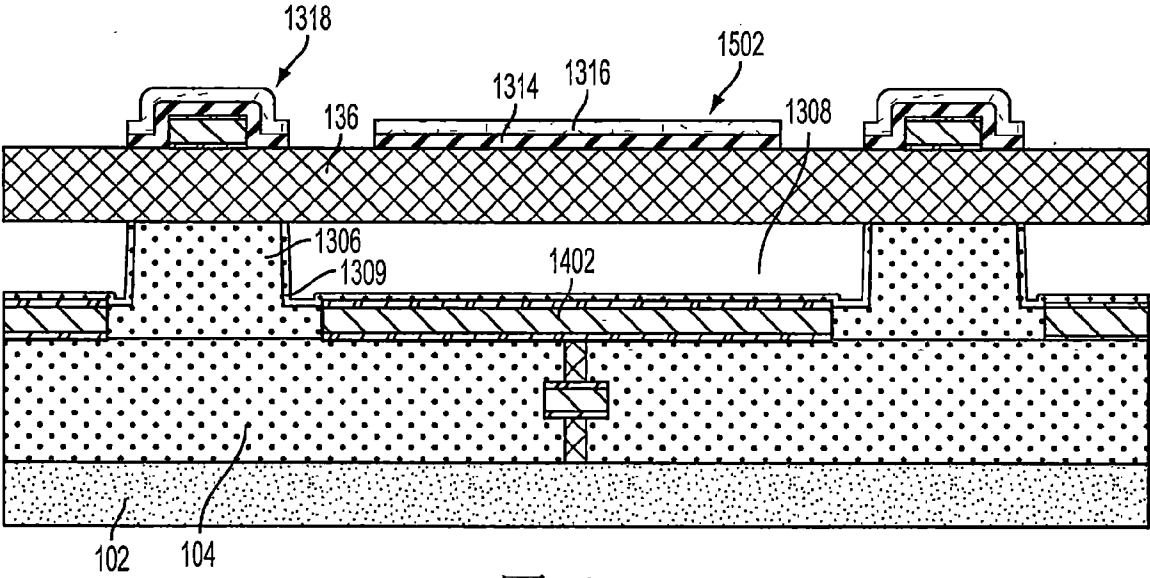


圖15

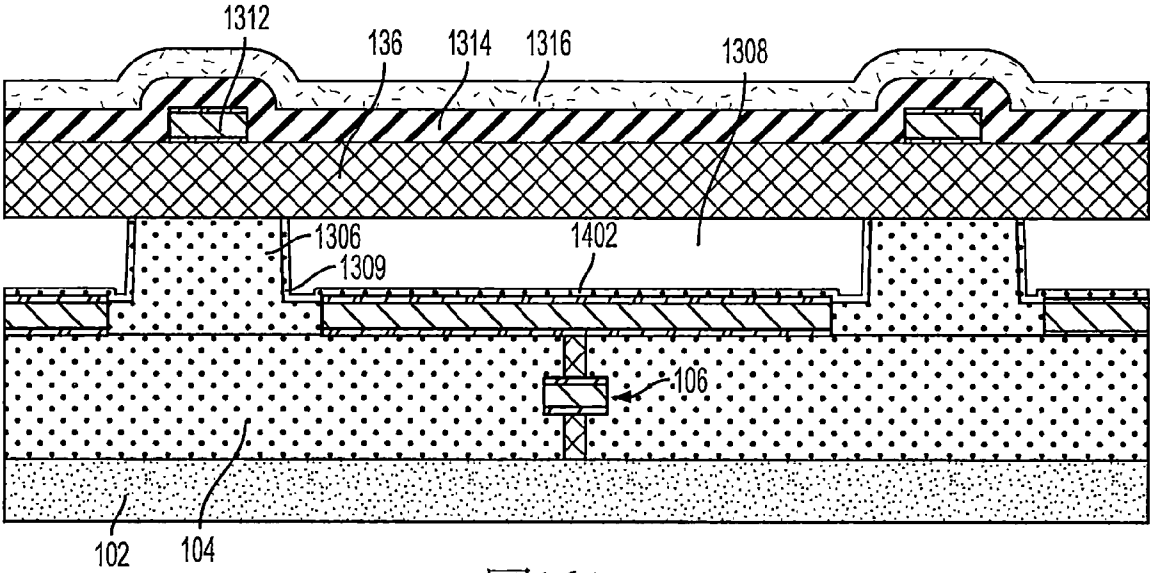


圖16A

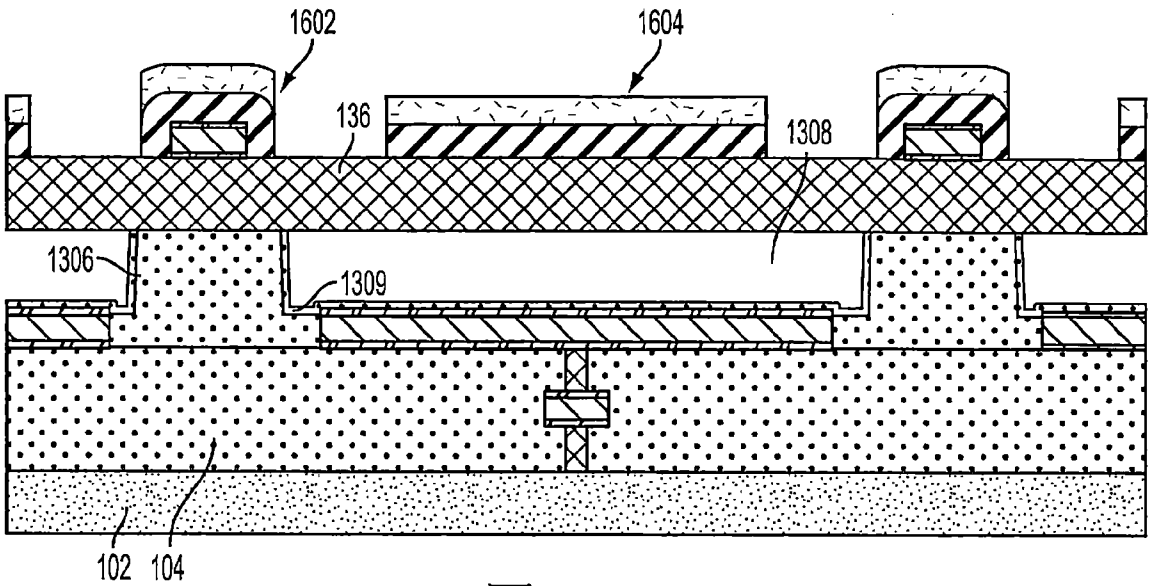


圖16B

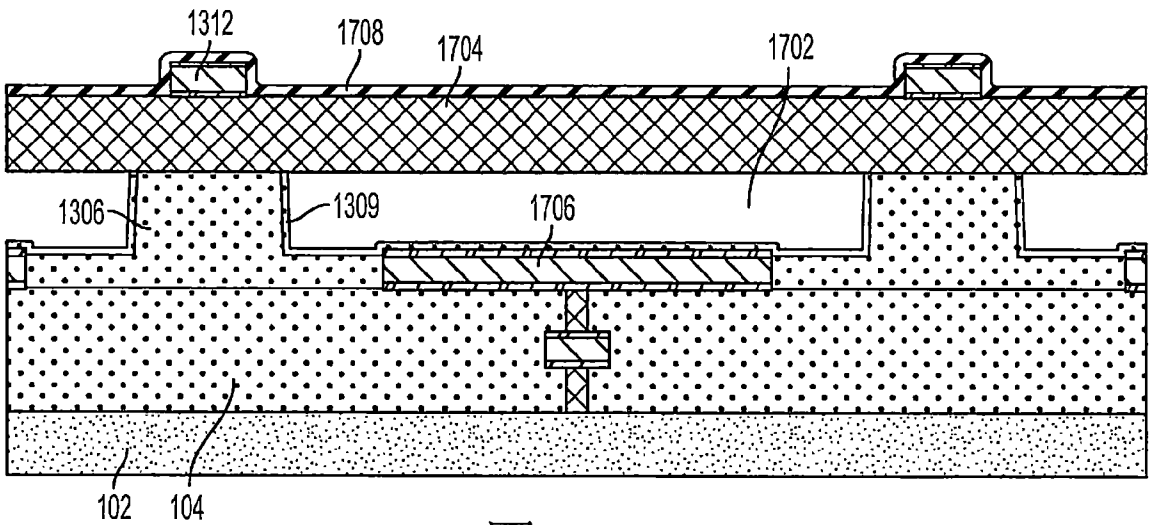


圖17A

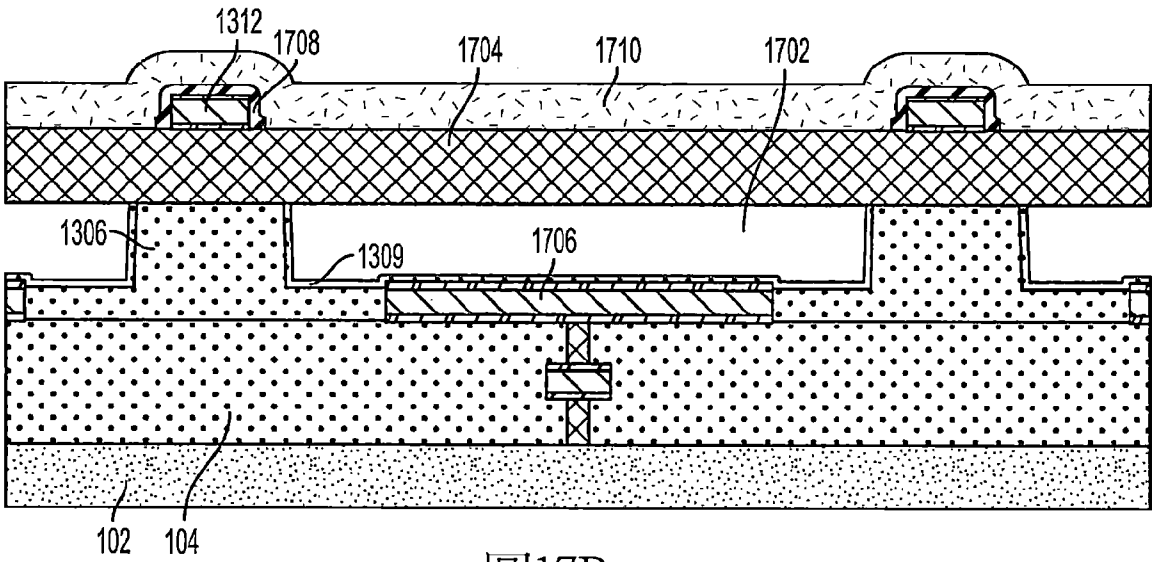


圖17B

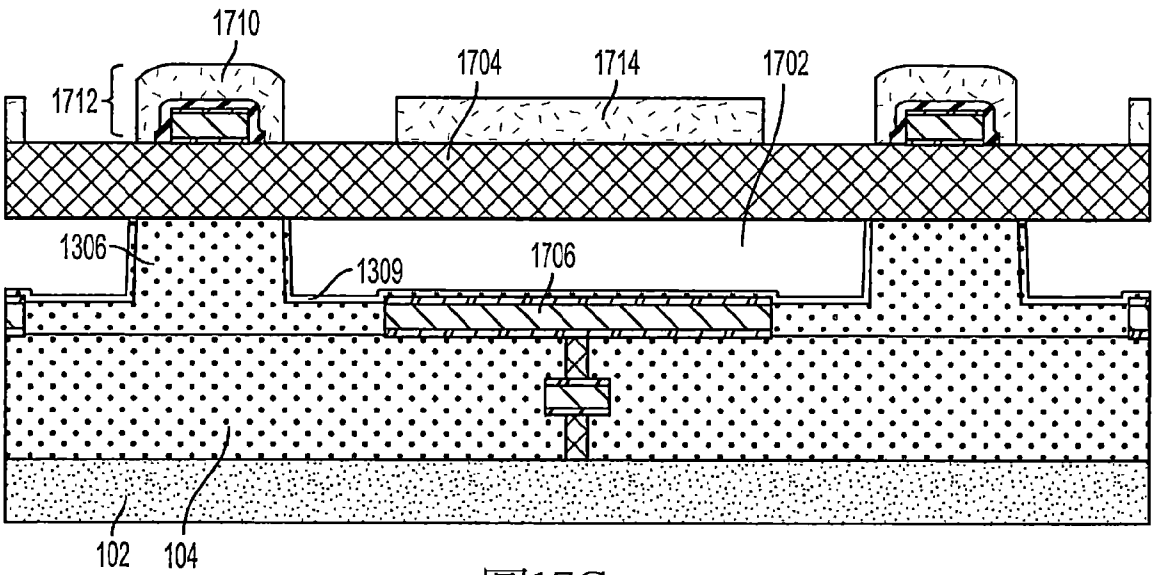


圖17C

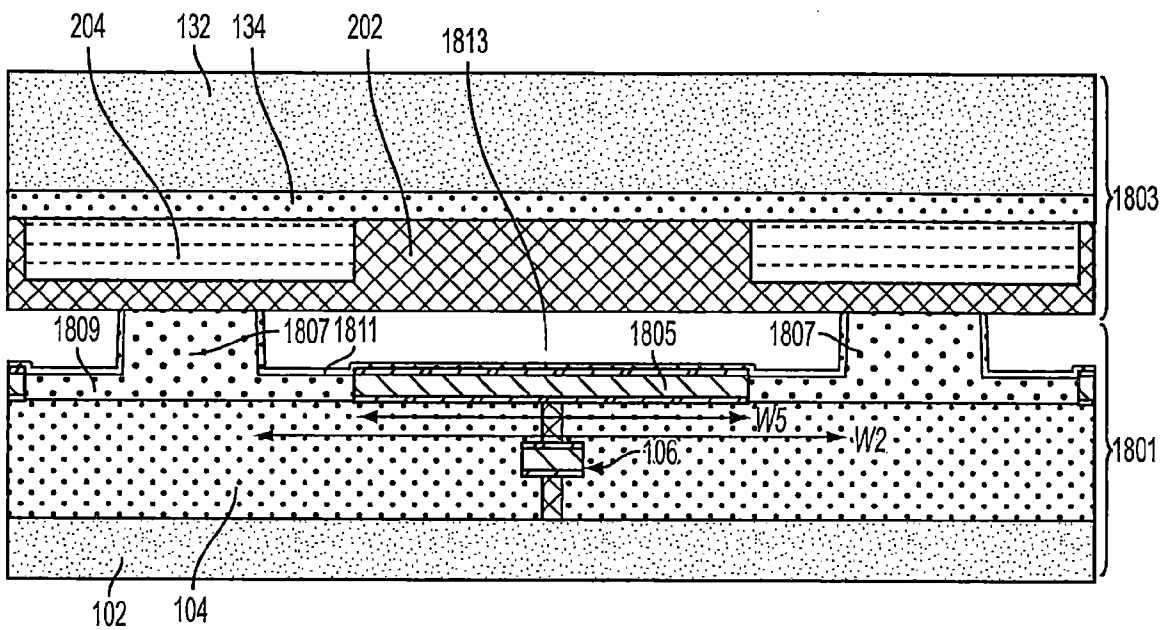


圖18A

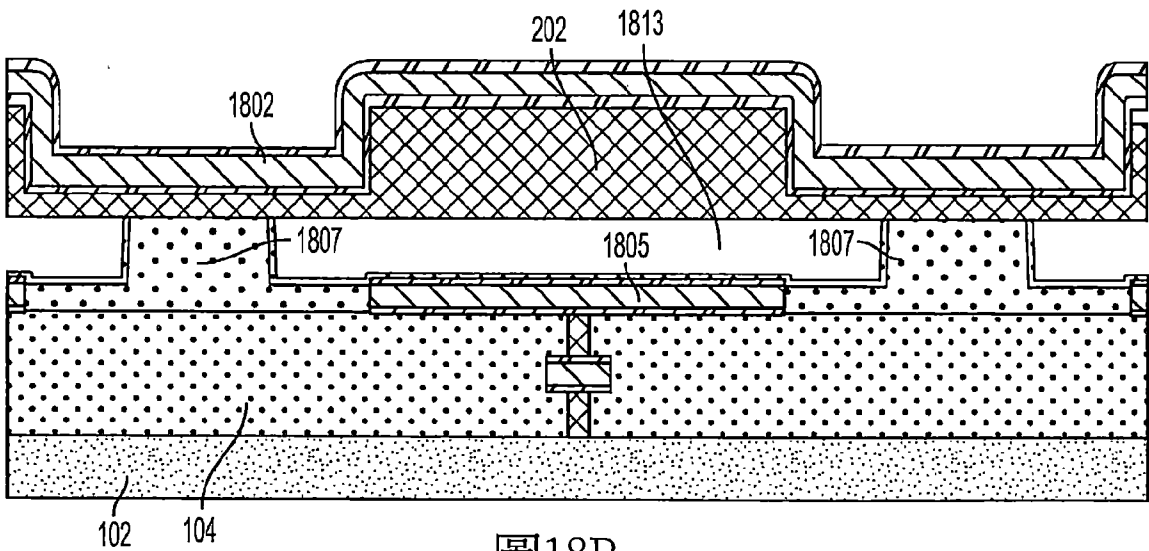


圖18B

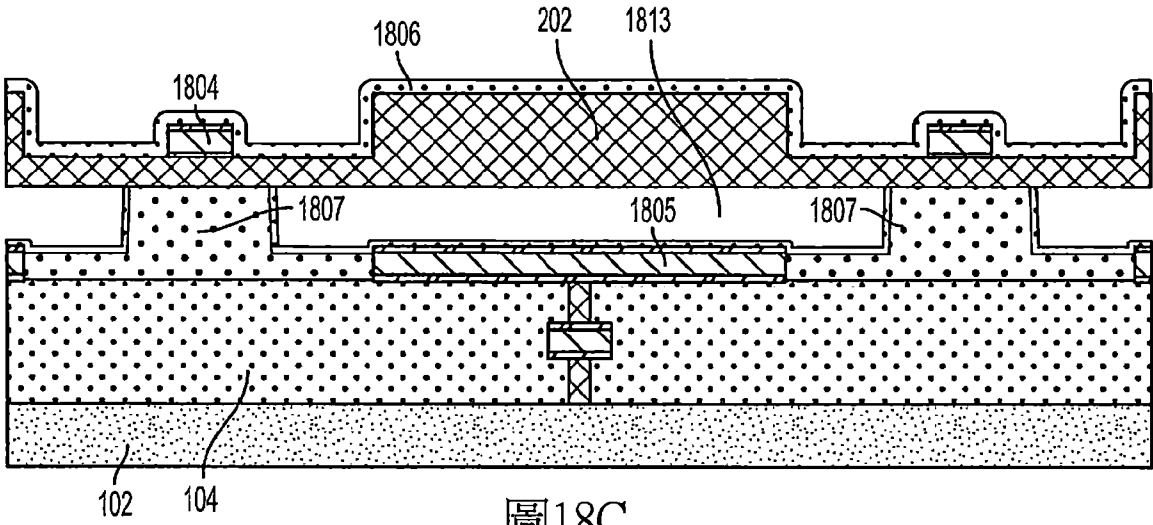


圖18C

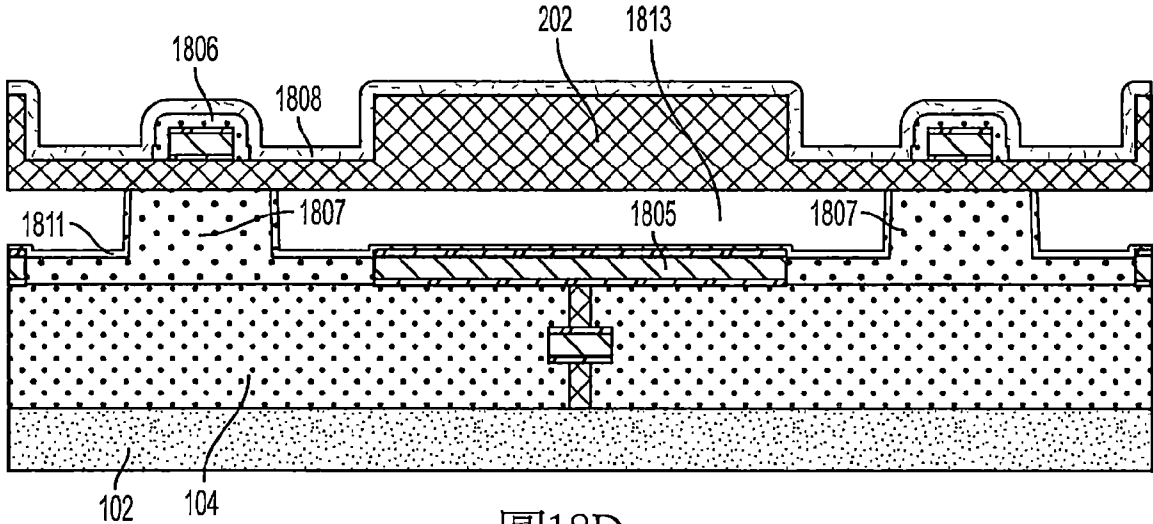


圖18D

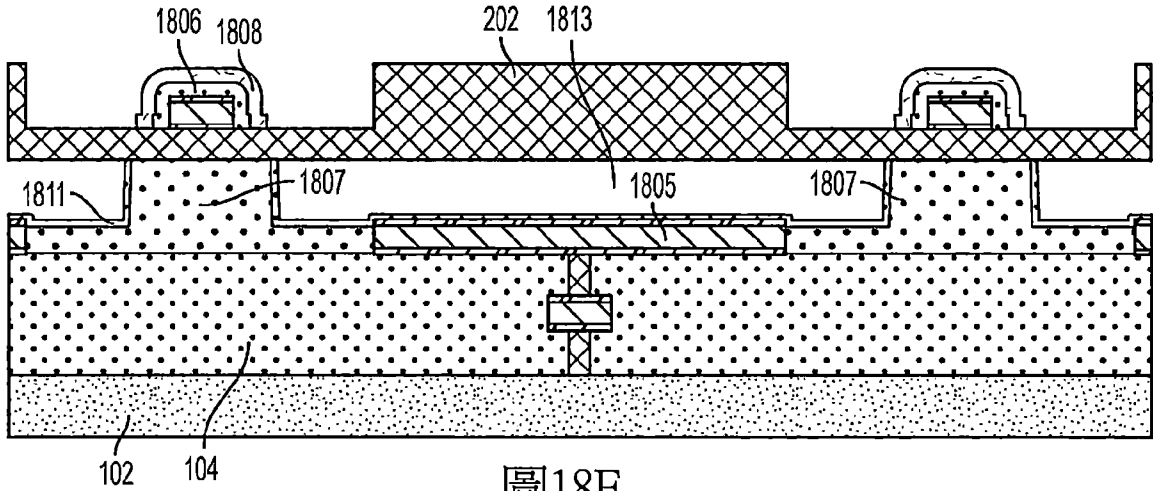


圖18E

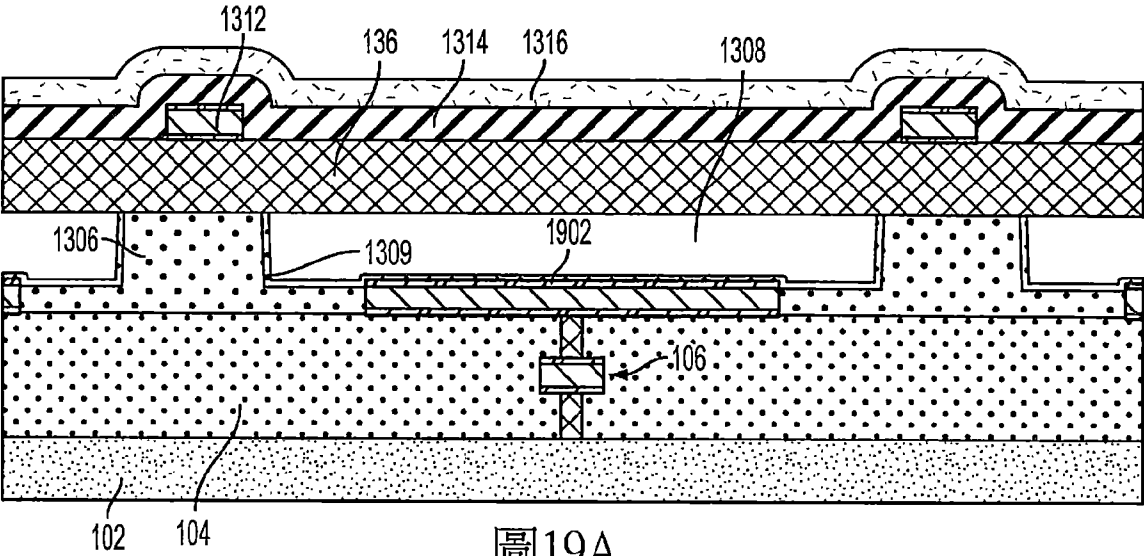


圖19A

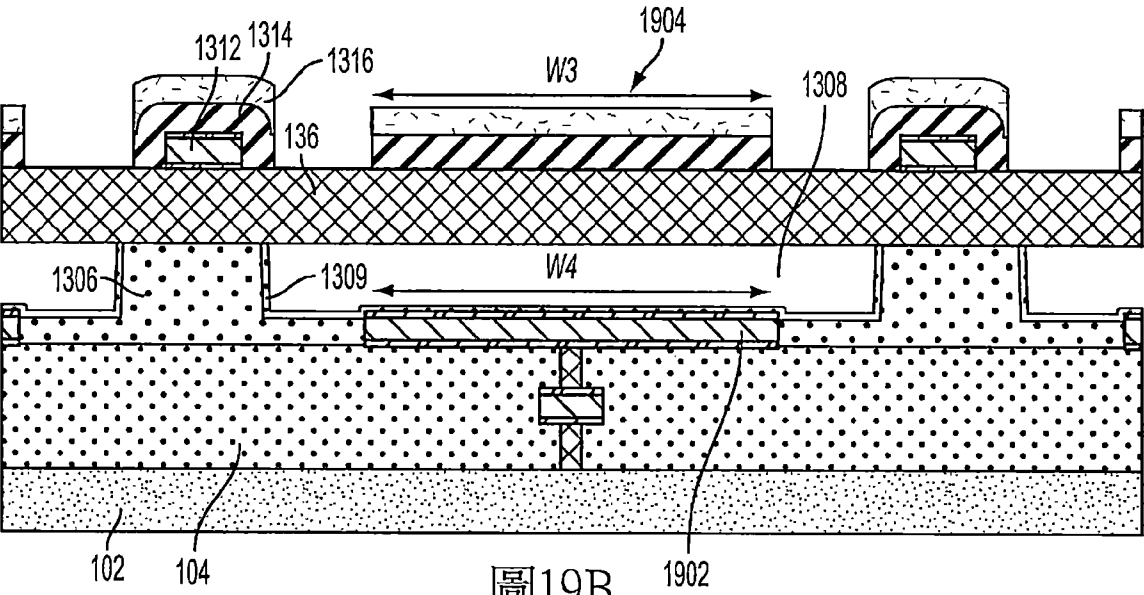


圖19B

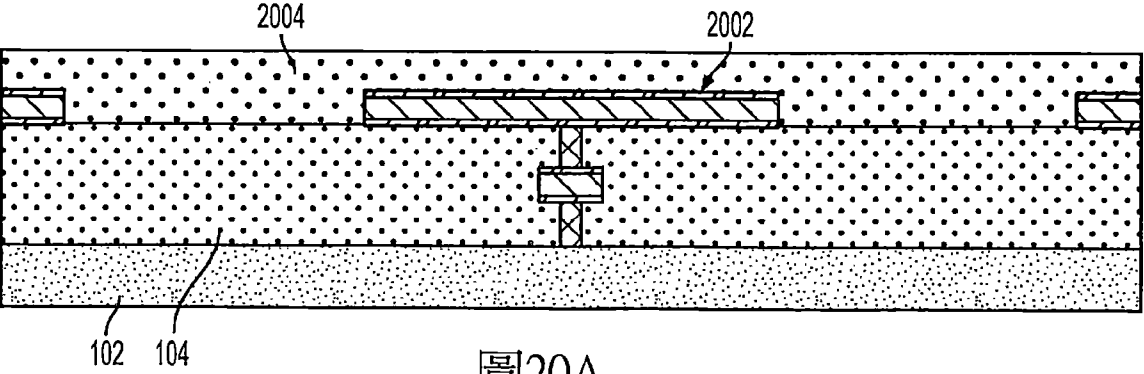
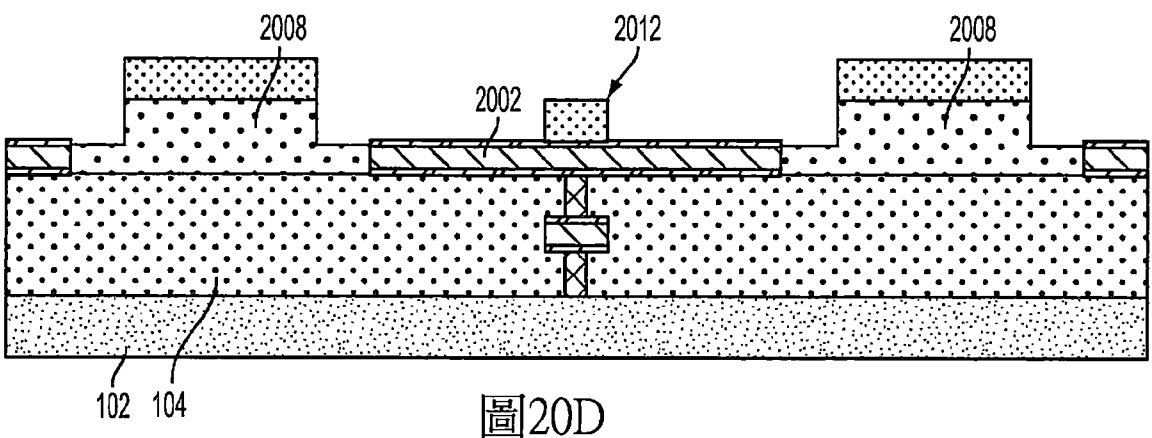
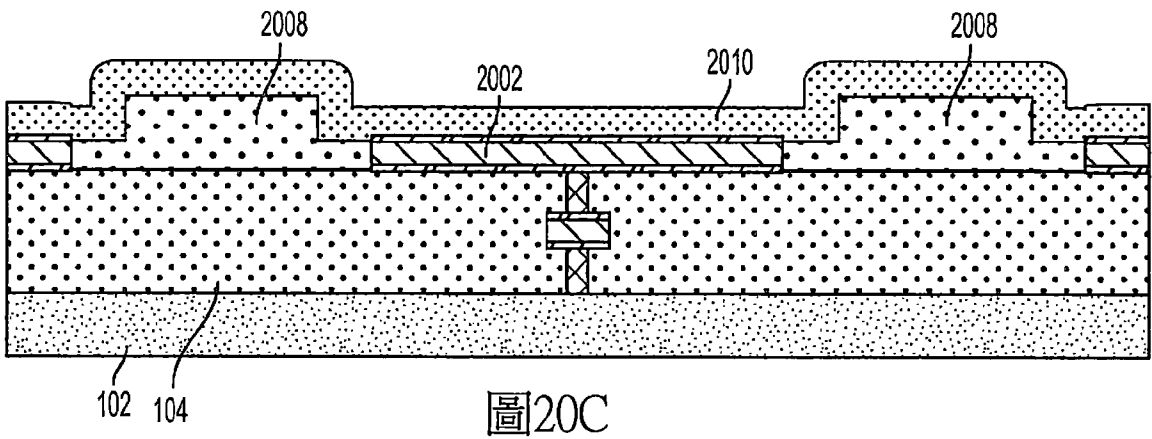
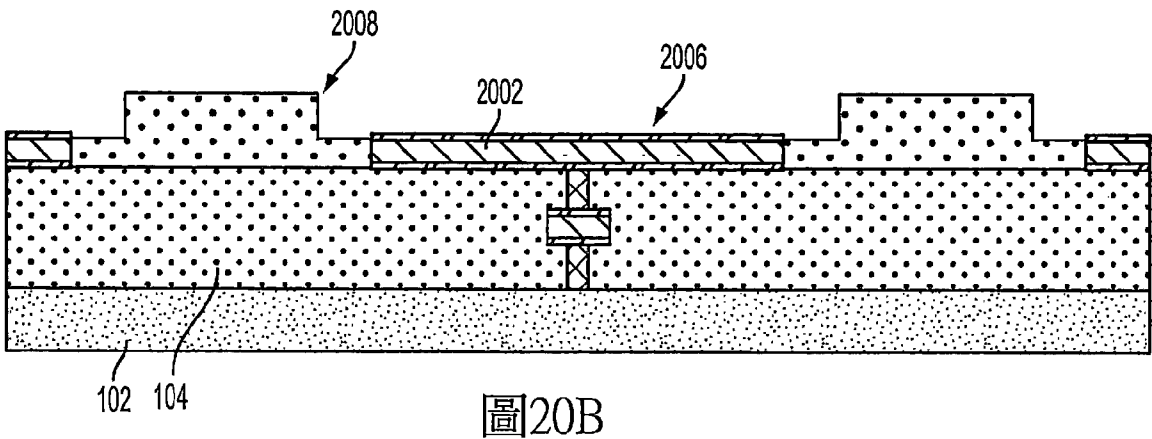
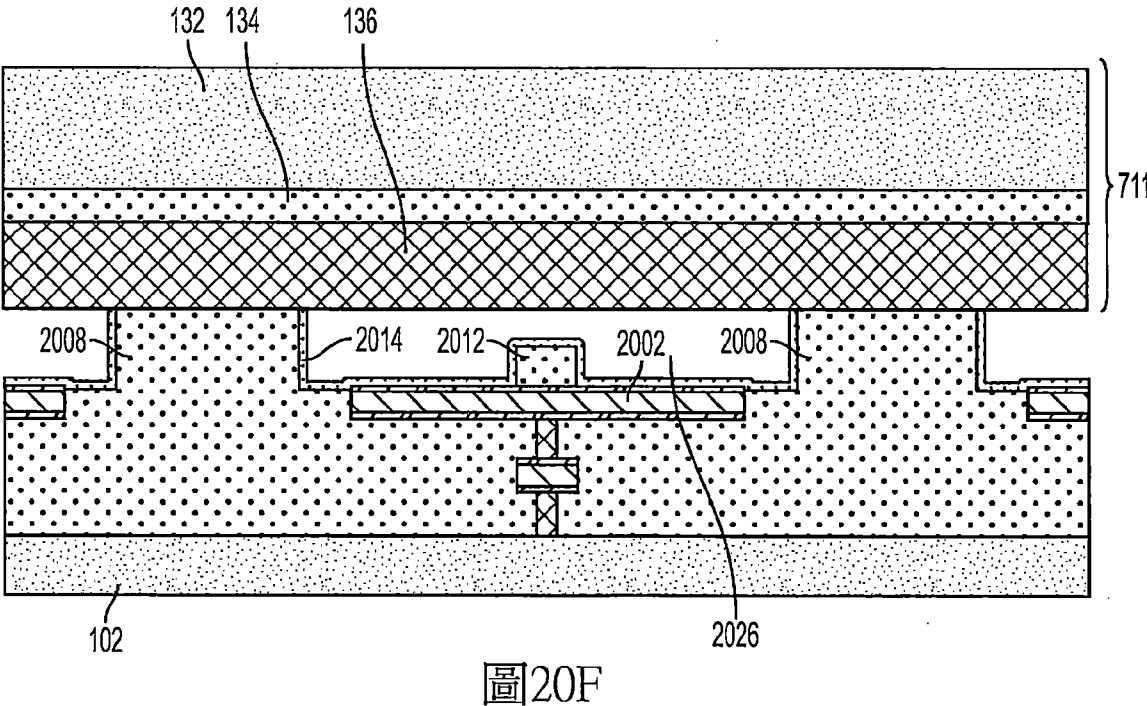
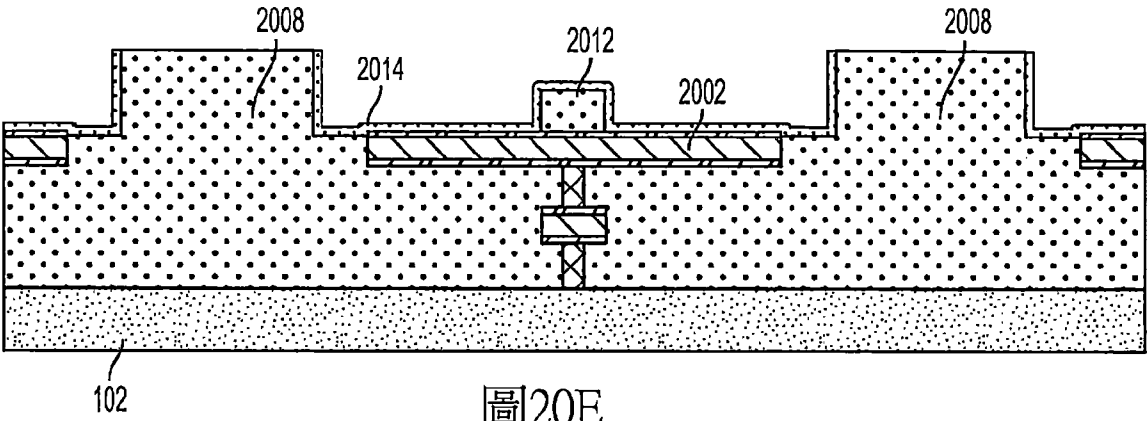
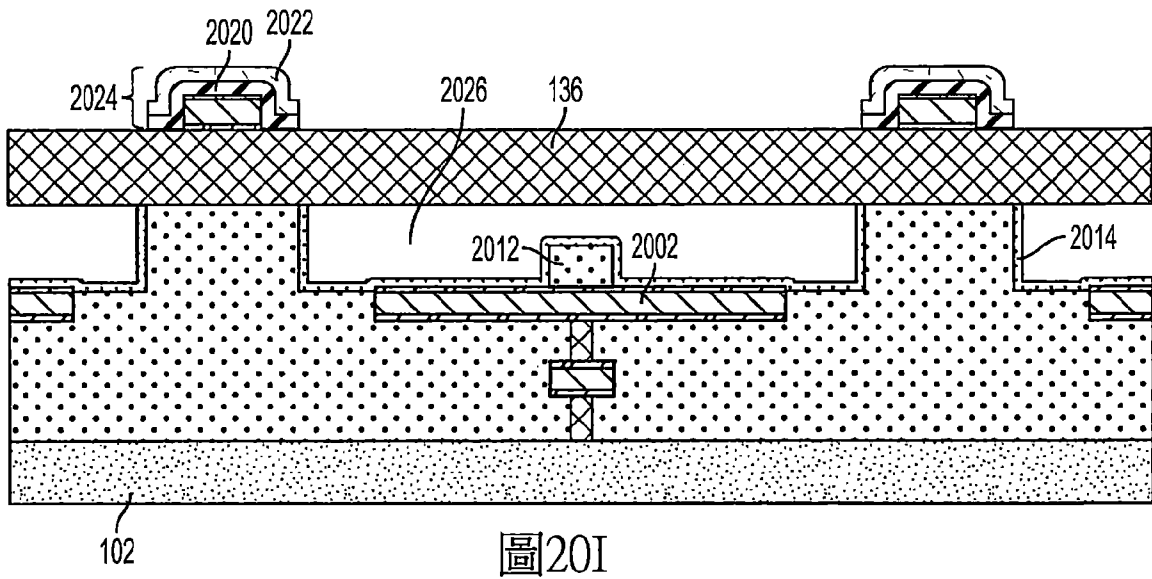
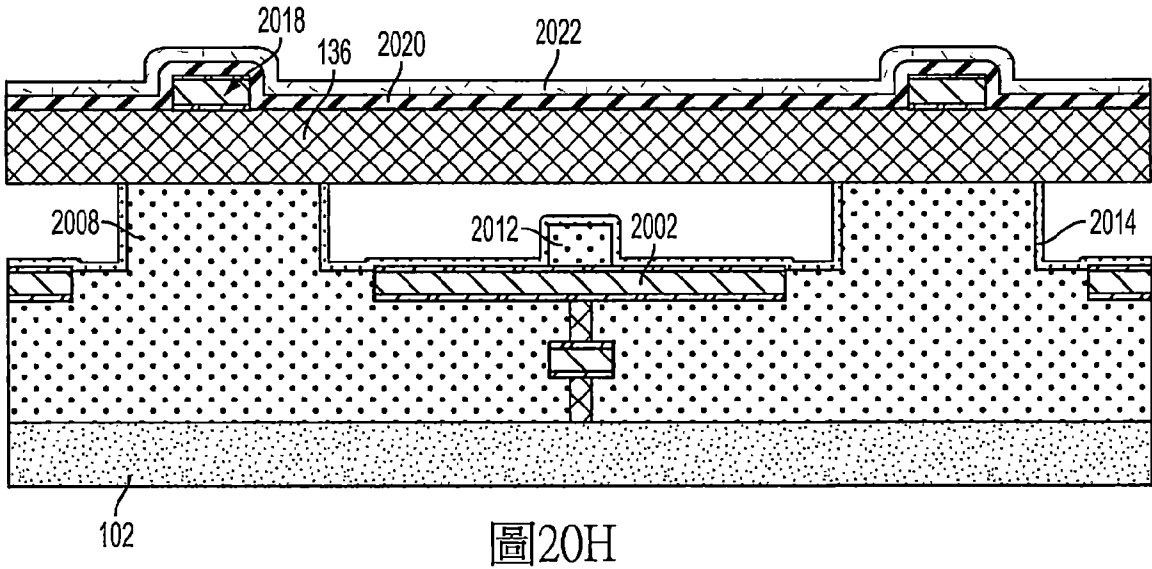
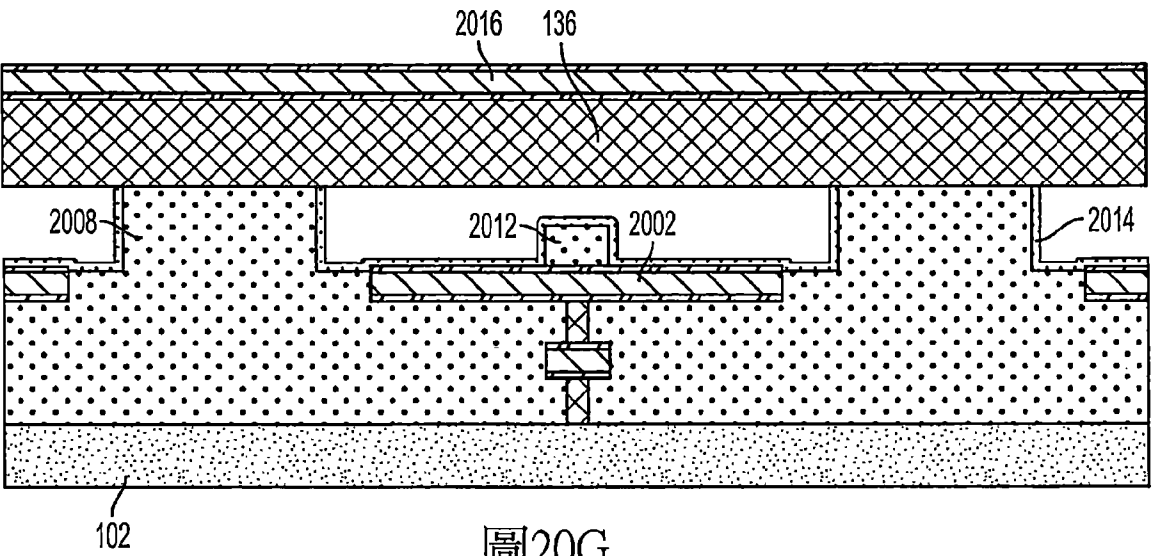
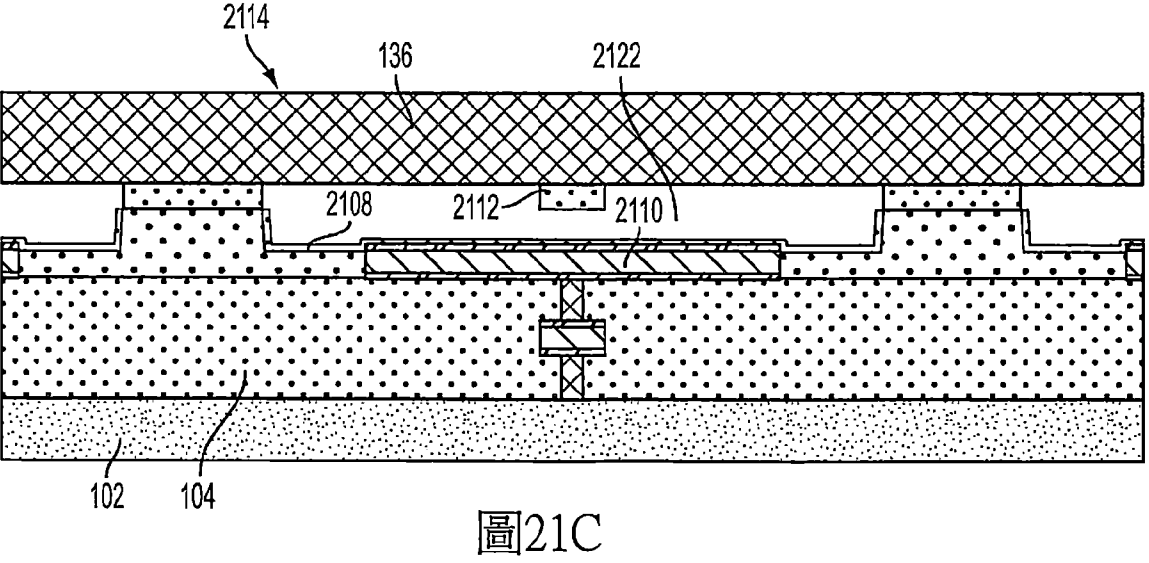
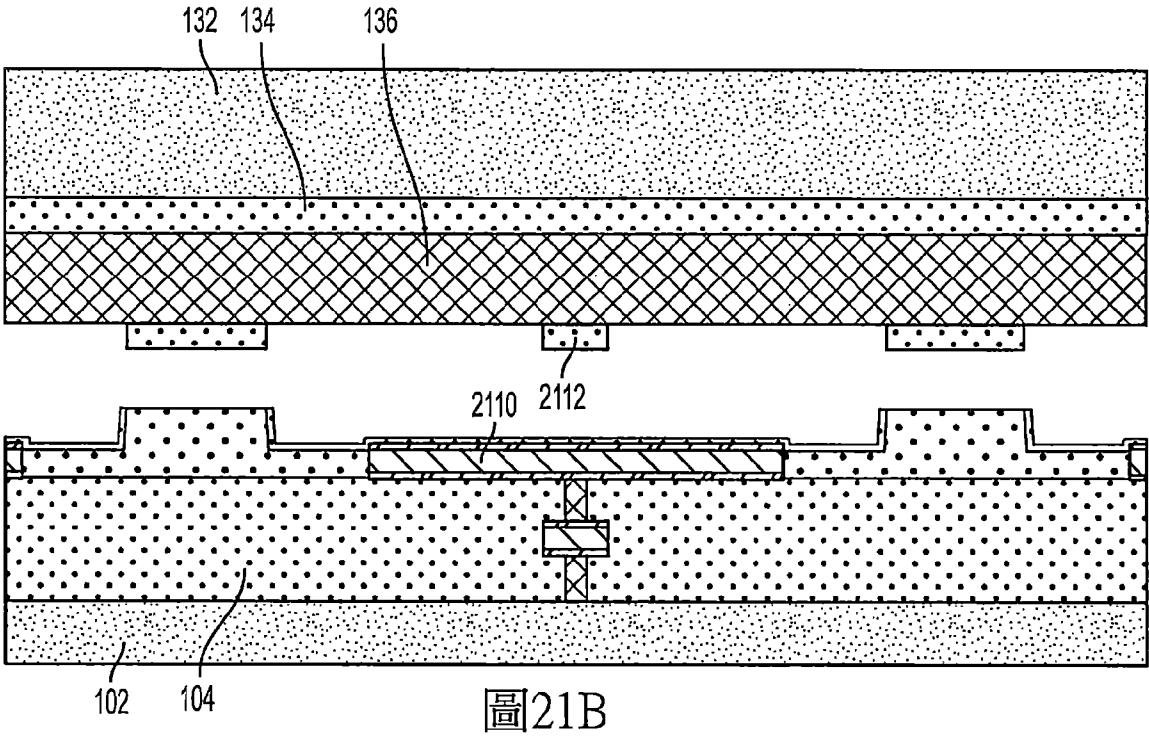
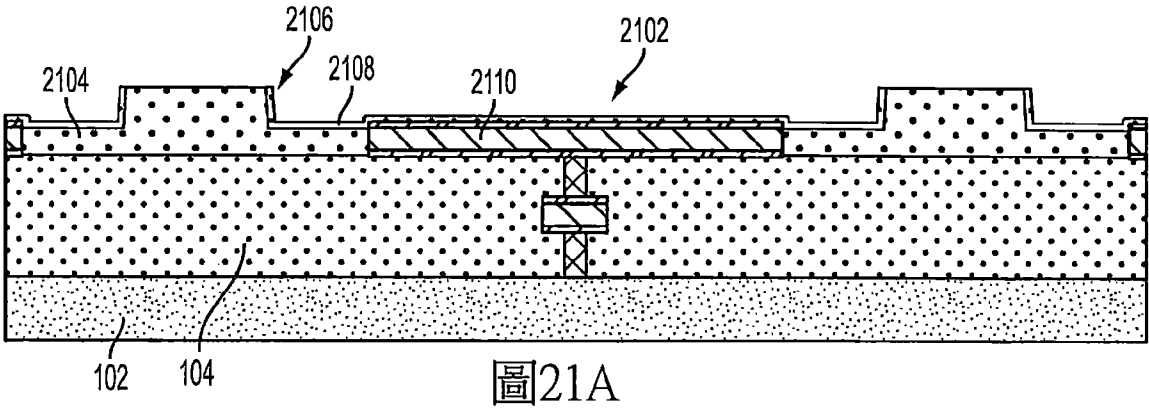


圖20A









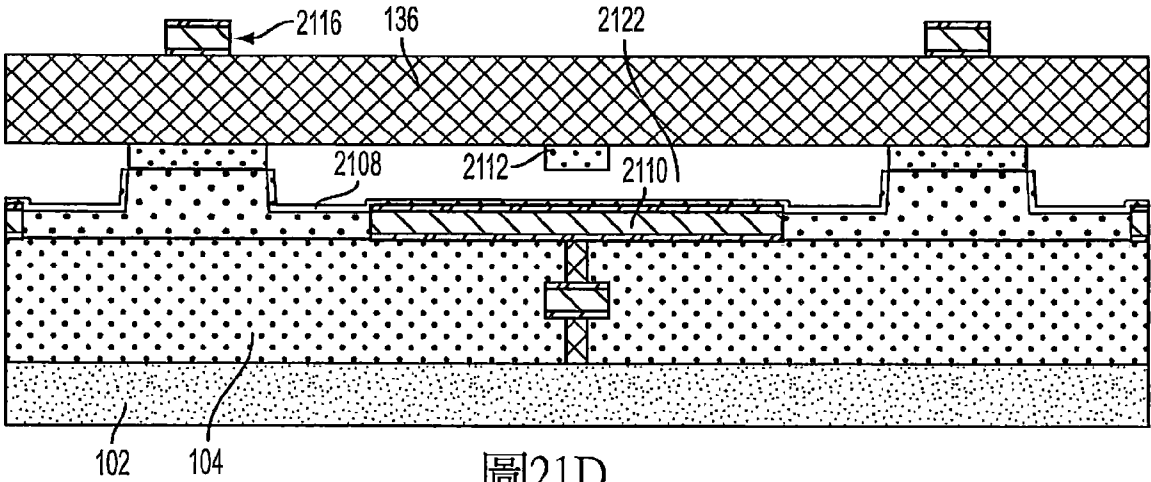


圖21D

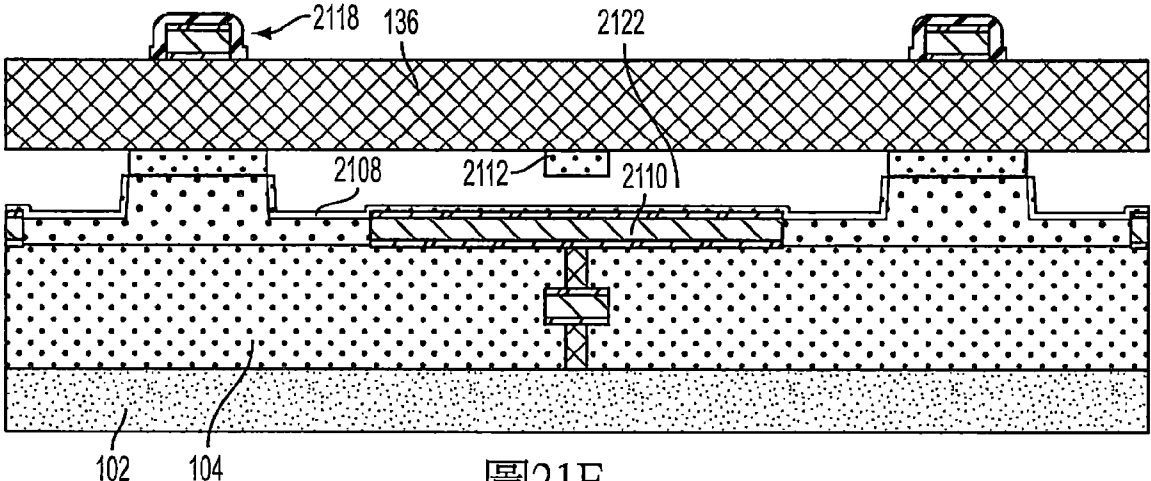


圖21E

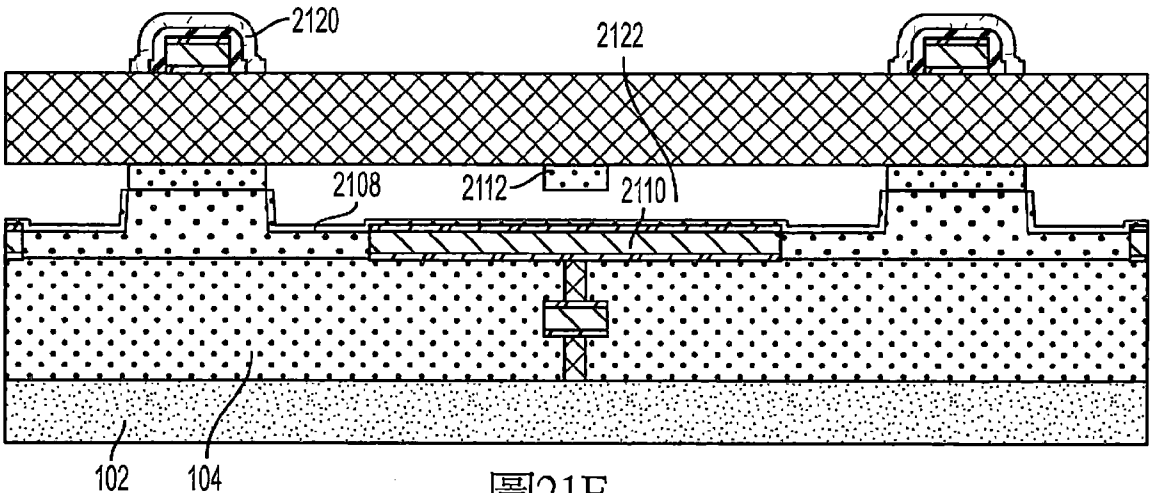


圖21F

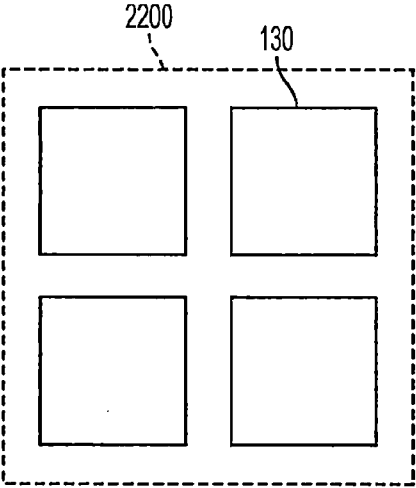


圖22A

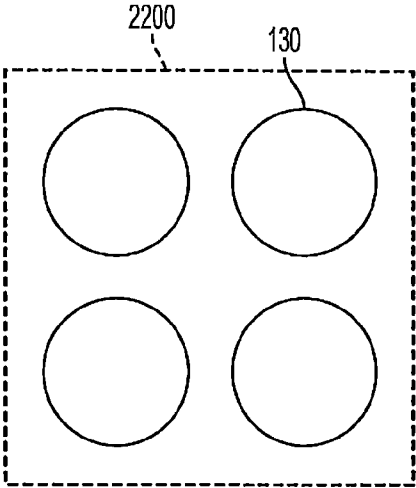


圖22B

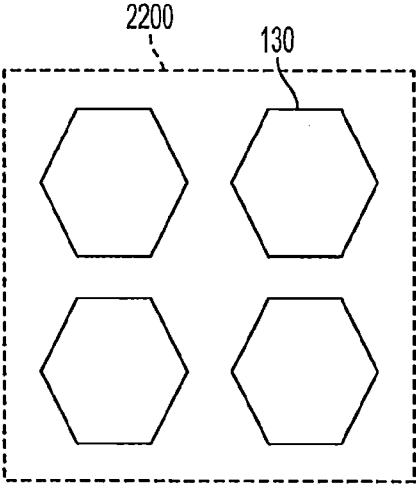


圖22C

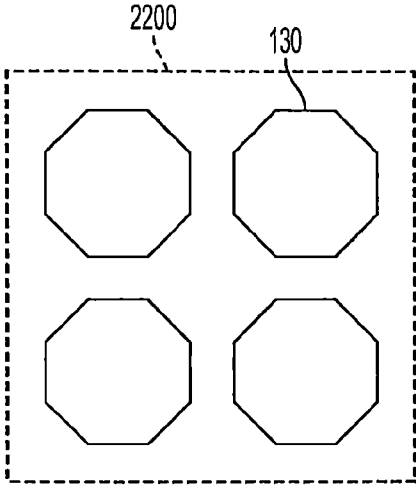


圖22D

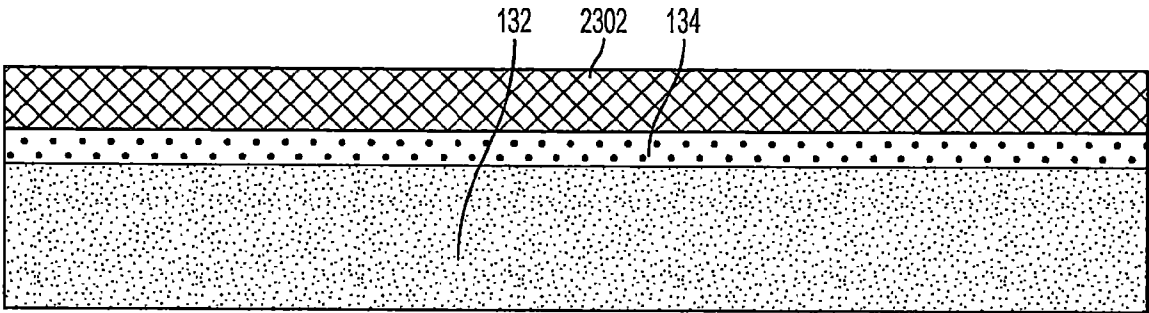


圖23A

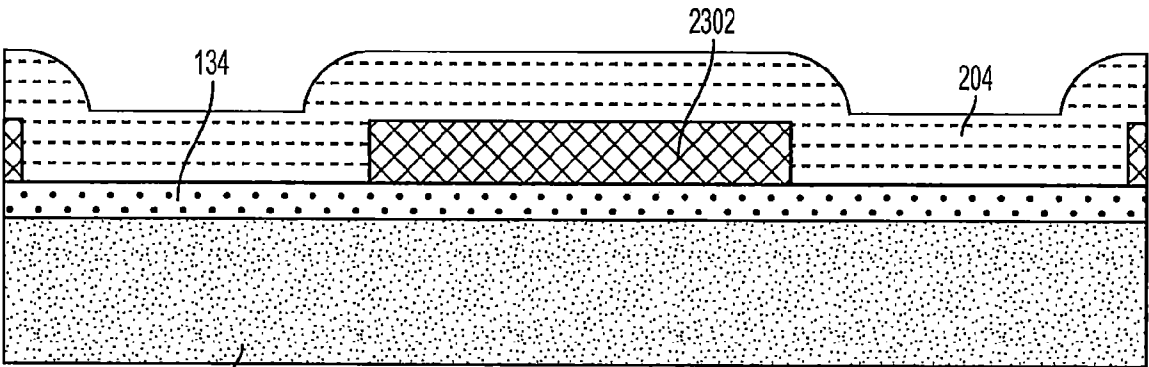


圖23B

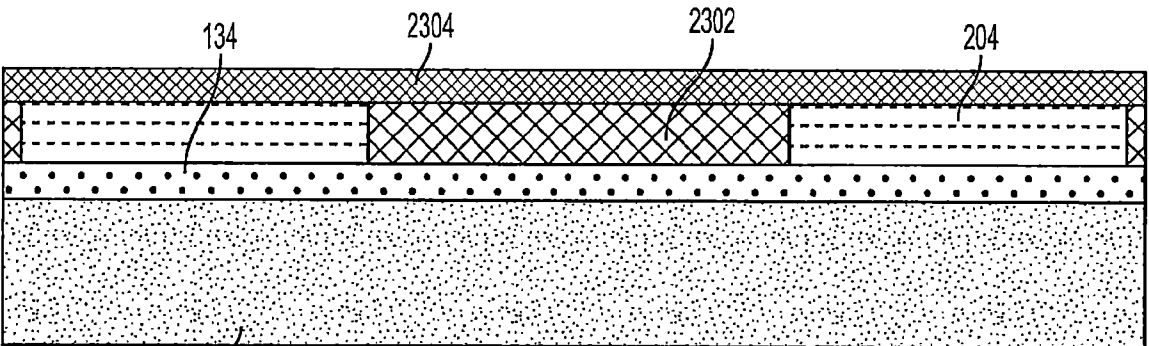


圖23C

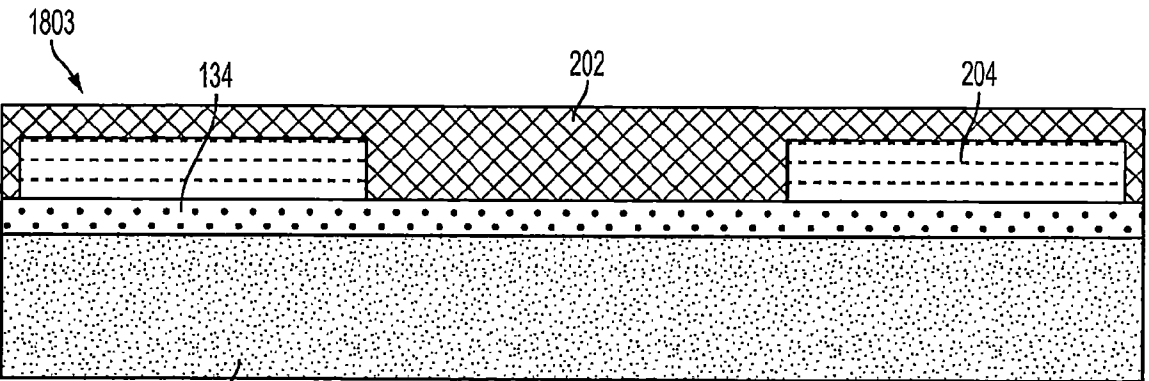
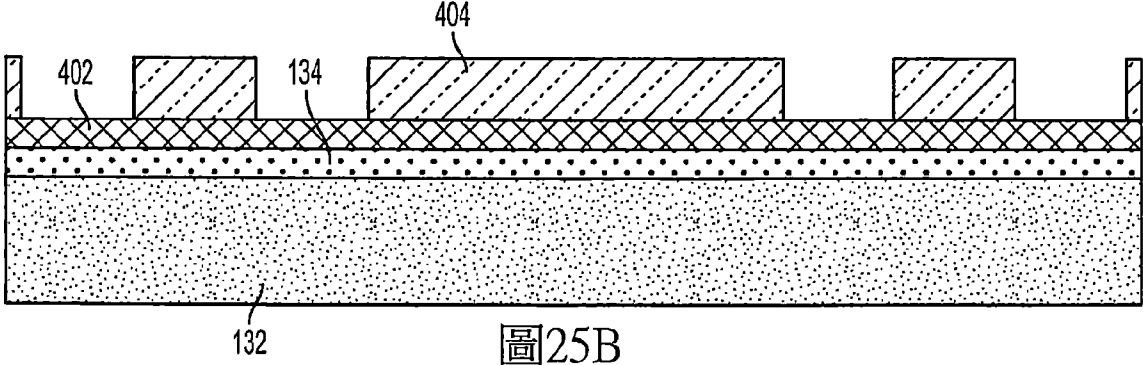
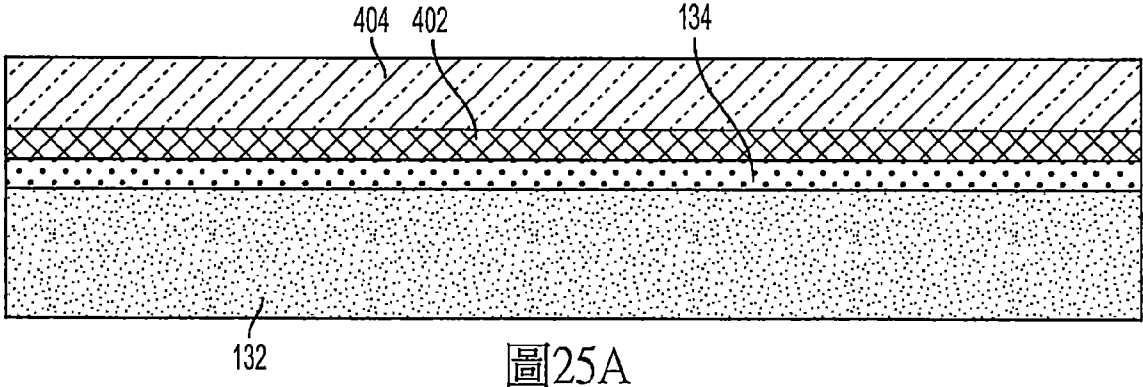
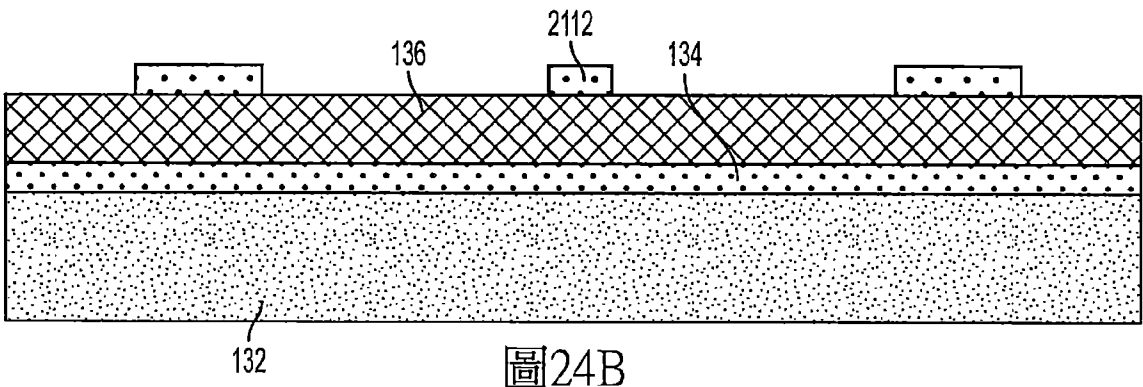
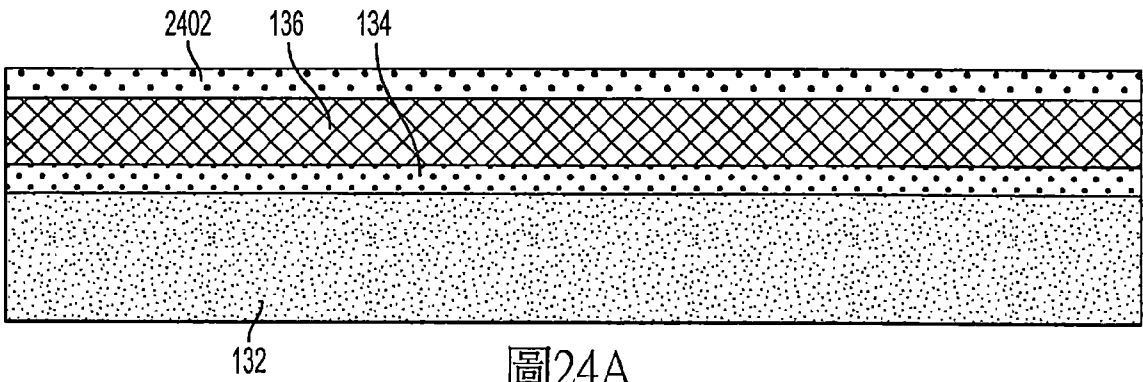
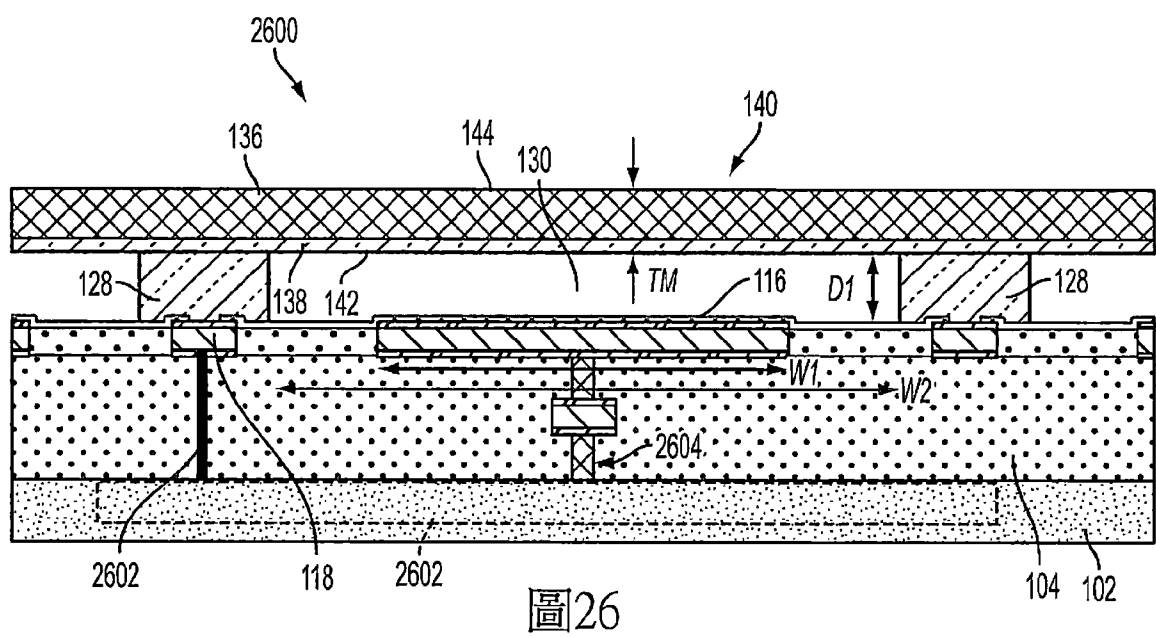


圖23D





## 【發明申請專利範圍】

【第1項】一種換能器，其係包括：

一半導體晶圓，其具有一互補式金屬氧化物半導體(CMOS)積體電路；

一導電薄膜，其和該半導體晶圓接合以形成一接合結構，使得在該半導體晶圓的一接合表面和該導電薄膜的一第一側之間存在一密封凹處，該導電薄膜具有遠離該半導體晶圓的該接合表面的一第二側；以及

一導電支座，其在靠近該半導體晶圓的該接合表面之該導電薄膜的該第一側上，使得該導電支座的一表面形成介於該導電薄膜的該第一側和該接合表面之間的一介面，其中該導電支座連接該導電薄膜至該CMOS積體電路，以及

其中該接合結構欠缺位在該導電薄膜的該第二側上且覆蓋該凹處之一電極。

【第2項】如申請專利範圍第1項之換能器，其中該導電薄膜係一摻雜矽層。

【第3項】如申請專利範圍第1項之換能器，其中該導電支座形成圍繞該凹處的一閉合輪廓。

【第4項】如申請專利範圍第1項之換能器，其中該導電支座係由氮化鈦(TiN)所形成。

【第5項】如申請專利範圍第1項之換能器，其中該導電支座係由一金屬所形成。

【第6項】如申請專利範圍第1項之換能器，其中該導電薄膜具有小於30微米的一厚度。

【第7項】一種用於形成換能器的方法，其係包括：

接合一轉移晶圓至一半導體晶圓，以形成帶有一密封凹處的一接合結構，該半導體晶圓具有一互補式金屬氧化物半導體(CMOS)積體電路；以及

移除該轉移晶圓的至少一部分，以從該轉移晶圓的一剩餘部分界定一導電

107 年 11 月 07 日修正替換頁

薄膜，其中該密封凹處係介於該半導體晶圓的一接合表面和該導電薄膜的第一側之間，該導電薄膜具有遠離該半導體晶圓的該接合表面的一第二側；

其中一導電支座係設置在靠近該半導體晶圓的該接合表面之該導電薄膜的該第一側上，使得該導電支座的一表面形成一介面，該介面係介於該導電薄膜的該第一側和該接合表面之間，其中該導電支座連接該導電薄膜至該CMOS積體電路；以及

其中該接合結構欠缺位在該導電薄膜的該第二側上且覆蓋該凹處之一電極。

【第8項】如申請專利範圍第7項之方法，其中該導電薄膜係一摻雜矽層。

【第9項】如申請專利範圍第7項之方法，其中該導電支座形成圍繞該凹處的一閉合輪廓。

【第10項】如申請專利範圍第7項之方法，其中該導電支座係由氮化鈦(TiN)所形成。

【第11項】如申請專利範圍第7項之方法，其中該導電支座係由一金屬所形成。

【第12項】如申請專利範圍第7項之方法，其中該導電薄膜具有小於30微米的一厚度。

【第13項】一種用於形成換能器的方法，其係包括：

在一半導體晶圓上形成一互補式金屬氧化物半導體(CMOS)積體電路；

在該半導體晶圓上形成一導電支座；

接合具有至少一導電層的一轉移晶圓至該半導體晶圓的該導電支座，以及移除該轉移晶圓的至少一部分以形成：

一接合結構，其具有一導電薄膜，該導電薄膜係至少部分藉由該至少一導電層來加以界定；以及

一密封凹處，其介於該半導體晶圓的一接合表面和該導電薄膜的一第一側之間，該導電薄膜具有遠離該半導體晶圓的該接合表面的一第二側；

其中該導電支座係在該導電薄膜的第一側上，以及其中該導電支座的一表面形成一介面，該介面係介於該導電薄膜的該第一側和該接合表面之間，其中該導電支座連接該導電薄膜至該CMOS積體電路；以及

其中該接合結構欠缺位在該導電薄膜的該第二側上且覆蓋該凹處之一電極。

【第14項】如申請專利範圍第13項之方法，其中該轉移晶圓的該至少一導電層包括一摻雜矽層。

【第15項】如申請專利範圍第13項之方法，其中該導電支座形成圍繞該凹處的一閉合輪廓。

【第16項】如申請專利範圍第13項之方法，其中形成該導電支座包括從氮化鈦(TiN)形成該導電支座。

【第17項】如申請專利範圍第13項之方法，其中形成該導電支座包括從一金屬形成該導電支座。

【第18項】如申請專利範圍第13項之方法，其中該導電薄膜具有小於30微米的一厚度。