

(43) 国際公開日
2009年6月25日 (25.06.2009)

PCT

(10) 国際公開番号
WO 2009/078299 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/33 (2006.01)
H01L 31/10 (2006.01) H04N 5/335 (2006.01)
- (21) 国際出願番号: PCT/JP2008/072261
- (22) 国際出願日: 2008年12月8日 (08.12.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2007-327423
2007年12月19日 (19.12.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 松島 理 (MAT-SUSHIMA, Osamu) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 宮崎 憲一 (MIYAZAKI, Kenichi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 三好 秀和, 外 (MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目2番8号 虎ノ門 琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH,

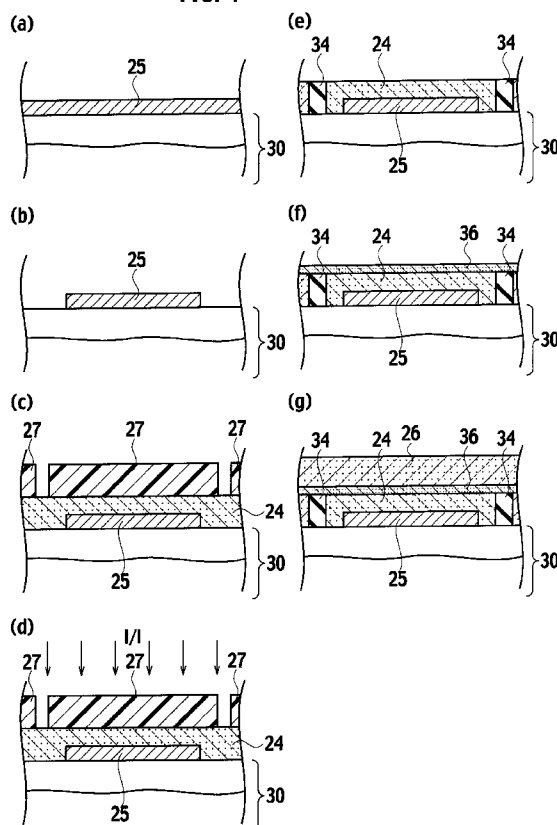
[続葉有]

(54) Title: SOLID-STATE IMAGING DEVICE AND METHOD FOR FABRICATING THE SAME

(54) 発明の名称: 固体撮像装置およびその製造方法

[図4]

FIG. 4



(57) Abstract: A solid-state imaging device having a planarized structure exhibiting high sensitivity over a wide wavelength region from visible light to near infrared light, and a method for fabricating such solid-state imaging device. The method for fabricating the solid-state imaging device comprises a step for forming a circuit portion (30) on a substrate (10); a step for forming a lower electrode layer (25) on the circuit portion (30); a step for separating the lower electrode layer (25) for every pixel by patterning; a step for forming a compound semiconductor thin film (24) having a chalcopyrite structure on the entire surface of the element region; a step for applying a resist layer (27) onto the compound semiconductor thin film (24) and then patterning the compound semiconductor thin film for every pixel in accordance with the separated underlying lower electrode layer (25); a step for forming an isolation region (34) on the compound semiconductor thin film (24) by implanting ions into the entire surface of the element region; a step for stripping the resist layer (27) and exposing the surface of the compound semiconductor thin film (24) isolated by the isolation region (34) for every element; and a step for forming a transparent electrode layer (26) planarly on the entire surface of the element region.

(57) 要約: 可視光から近赤外光までの広い波長域にわたって高い感度を有し、暗電流が低減され、かつ平坦化構造の固体撮像装置およびその製造方法を提供する。基板(10)上に回路部(30)を形成する工程と、回路部(30)上に下部電極層(25)を形成する工程と、下部電極層(25)をパターンニングして画素毎に分離する工程と、素子領域全面にカルコパイライト構造の化合物半導体薄膜(24)を形成する工程と、化合物半導体薄膜(24)上にレジスト層(27)を塗布後、分離された下地の下部電極層(25)に合

わせて、画素毎にパターンニングする工程と、素子領域全面にイオン注入を実施して、化合物半導体薄膜(24)に素子分離領域(34)を形成する工程と、透明電極層(26)を素子領域全面に形成する工程とを含む。

[続葉有]



GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

添付公開書類:
— 国際調査報告書

明 細 書

固体撮像装置およびその製造方法

技術分野

- [0001] 本発明は、固体撮像装置およびその製造方法に関し、特に光電変換部にCu(In, Ga)Se₂からなるカルコパイライト構造の化合物半導体膜を備える固体撮像装置およびその製造方法に関する。

背景技術

- [0002] Ib族元素とIIIb族元素とVIb族元素とからなる、カルコパイライト構造の半導体薄膜であるCuInSe₂ (CIS系薄膜)、或いはこれにGaを固溶したCu(In,Ga)Se₂ (CIGS系薄膜)を光吸収層に用いた薄膜太陽電池は、高いエネルギー変換効率を示し、光照射などによる効率の劣化が少ないという利点を有している。
- [0003] しかしながら、カルコパイライト構造の半導体薄膜であるCIS系薄膜、或いはこれにGaを固溶したCIGS系薄膜の形成では、膜質の悪化、リーク電流の増大の観点から、550℃による成膜が一般的である。550℃よりも低温で形成した場合、粒径が小さくなり、暗電流特性が悪化すると従来考えられてきた。なお、半導体集積回路の耐熱限界は400℃程度である。
- [0004] 一方、基板上に薄膜トランジスタによるスイッチ素子が形成され、上記スイッチ素子に接続された画素電極を介して、アモルファス半導体層によるセンサ領域が積層されてなることを特徴とする固体撮像素子、或いはまた上記基板が絶縁基板で形成されてなる固体撮像素子については、既に関示されている(例えば、特許文献1参照)。
- [0005] 特許文献1による固体撮像素子では、アモルファス半導体層をフォトセンサ領域としていることから、光電変換波長は、主として可視光領域である。

特許文献1:特開2001-144279号公報

発明の開示

発明が解決しようとする課題

- [0006] 現在CIS系薄膜ならびにCIGS系薄膜は、太陽電池としての利用が主流である。

[0007] 一方、本発明の発明者らは、この化合物半導体薄膜材料の高い光吸収係数と、可視光から近赤外光までの広い波長域に渡って高い感度を持つ特性に着目し、この化合物半導体薄膜材料を、セキュリティカメラ(昼間は可視光をセンシングし、夜間は近赤外光をセンシングするカメラ)や、個人認証カメラ(外光の影響を受けない近赤外光で個人認証するためのカメラ)、或いは車載カメラ(夜間の視覚補助や遠方の視野確保などのために車に搭載されるカメラ)用のイメージセンサとして利用することについて検討している。

[0008] 本発明の目的は、可視光から近赤外光までの広い波長域にわたって高い感度を有し、平坦化構造で受光効率がよく、かつ高解像度の固体撮像装置およびその製造方法を提供することにある。

[0009] また、本発明の目的は、微細パターンの形成が容易な固体撮像装置およびその製造方法を提供することができる。

[0010] また、本発明の目的は、暗電流特性が改善された固体撮像装置およびその製造方法を提供することができる。

課題を解決するための手段

[0011] 上記目的を達成するための本発明の一態様によれば、基板上に形成された回路部と、前記回路部上に配置され、列方向若しくは行方向に隣接する画素間で互いに分離した下部電極層と、前記下部電極層上に配置され、列方向若しくは行方向に隣接する画素間で互いに分離したカルコパイライト構造の化合物半導体薄膜と、前記化合物半導体薄膜上に配置され、隣接する画素間で平坦化構造を有する透明電極層とを備え、前記下部電極層、前記化合物半導体薄膜、および前記透明電極層は、前記回路部上に順次積層されたことを特徴とする固体撮像装置が提供される。

[0012] 本発明の他の態様によれば、基板上に回路部を形成する工程と、前記回路部上に下部電極層を形成する工程と、前記下部電極層をパターニングして画素毎に分離する工程と、素子領域全面にカルコパイライト構造の化合物半導体薄膜を形成する工程と、前記化合物半導体薄膜上にレジスト層を塗布後、前記分離された下地の下部電極層に合わせて、画素毎にパターニングする工程と、素子領域全面にイオン注入を実施して、前記化合物半導体薄膜に素子分離領域を形成する工程と、前記レジス

ト層を剥離し、画素毎に前記素子分離領域で分離された前記化合物半導体薄膜表面を露出する工程と、素子領域全面に透明電極層を平坦化形成する工程とを有することを特徴とする固体撮像装置の製造方法が提供される。

発明の効果

[0013] 本発明によれば、可視光から近赤外光までの広い波長域にわたって高い感度を有し、平坦化構造で受光効率が高く、かつ高解像度の固体撮像装置およびその製造方法を提供することができる。

[0014] また、本発明によれば、微細パターンの形成が容易な固体撮像装置およびその製造方法を提供することができる。

[0015] また、本発明によれば、暗電流特性が改善された固体撮像装置およびその製造方法を提供することができる。

図面の簡単な説明

[0016] [図1]本発明の第1の実施の形態に係る固体撮像装置の模式的全体平面パターン構成図。

[図2]本発明の第1の実施の形態に係る固体撮像装置の模式的断面構造図。

[図3]本発明の第1の実施の形態に係る固体撮像装置の隣接する画素を含めた模式的断面構造図。

[図4]本発明の第1の実施の形態に係る固体撮像装置の製造方法の工程図であって、(a)下部電極層(Mo)のスパッタリング工程図、(b)下部電極層(Mo)のエッチング工程図、(c)光吸収層として機能するカルコパイライト構造の化合物半導体薄膜(CIGS薄膜)の形成後、レジスト層を塗布し、パターンニングする工程図、(d)素子分離領域の形成のための化合物半導体薄膜(CIGS薄膜)への不純物添加(イオン注入)工程図、(e)レジスト層を剥離する工程図、(f)バッファ層(CdS膜)の溶液成長工程図、(g)透明電極層(ZnO膜)のスパッタリング工程図。

[図5]本発明の第1の実施の形態に係る固体撮像装置に適用するカルコパイライト構造の化合物半導体薄膜の形成工程の詳細説明図であって、(a)各段階における基板温度と、イオンビームスパッタ法によって成膜する際のイオン種を表す図、(b)各段階における(Cu/(In+Ga))の組成比を表す図。

[図6]本発明の第1の実施の形態に係る固体撮像装置の光電変換部におけるエネルギーバンド構造の模式図であって、(a)CIGS薄膜の組成が均一に形成された場合のエネルギーバンド構造の模式図、(b)バンドギャップコントロールを行った場合エネルギーバンド構造の模式図、(c)バンドギャップコントロールを行った場合の、CIGS(p)薄膜24部分のエネルギーバンド構造の詳細拡大図。

[図7]本発明の第1の実施の形態に係る固体撮像装置の製造方法によって形成された光電変換部の化合物半導体薄膜(CIGS薄膜)のオージェ電子分光法(AES:Auger Electron Spectroscopy)による分析結果の一例であって、原子密度(%)とスパッタ時間との関係図。

[図8]本発明の第1の実施の形態に係る固体撮像装置に適用するカルコパイライト構造の化合物半導体薄膜のバンドギャップエネルギーとIn/(In+Ga)組成比の依存特性図。

[図9]本発明の第1の実施の形態に係る固体撮像装置の光電変換特性を説明するための、量子効率の波長特性。

[図10]本発明の第1の実施の形態に係る固体撮像装置の製造方法によって形成された化合物半導体薄膜(CIGS薄膜)の量子効率の波長特性。

[図11]本発明の第1の実施の形態に係る固体撮像装置の光吸収特性図。

[図12]本発明の第1の実施の形態の変形例に係る固体撮像装置の1画素部分の模式的断面構造図。

[図13]本発明の第2の実施の形態に係る固体撮像装置の模式的断面構造図。

[図14]本発明の第2の実施の形態の変形例に係る固体撮像装置の1画素部分の模式的断面構造図。

符号の説明

- [0017] 1…パッケージ基板
2…ボンディングパッド
3…アルミニウム電極層
4…ボンディングパッド接続部
5…画素

- 10…半導体基板
- 12…ソース・ドレイン拡散層
- 14…ゲート絶縁膜
- 16…ゲート電極
- 17…VIA0電極
- 18…配線層
- 20,34…層間絶縁膜
- 22,23…VIA1電極
- 24…化合物半導体薄膜(CIGS膜)
- 25…下部電極層
- 26…透明電極層
- 27…レジスト層
- 28…光電変換部
- 30…回路部
- 32,33…VIA電極
- 34…素子分離領域
- 36…バッファ層

発明を実施するための最良の形態

[0018] 次に、図面を参照して、本発明の実施の形態を説明する。以下において、同じブロックまたは要素には同じ符号を付して説明の重複を避け、説明を簡略にする。図面は模式的なものであり、現実のものとは異なることに留意すべきである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0019] 以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施の形態は、各構成部品の配置などを下記のものに特定するものでない。この発明の実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

[0020] [第1の実施の形態]

(素子構造)

本発明の第1の実施の形態に係る固体撮像装置の模式的全体平面パターン構成は、図1に示すように、パッケージ基板1と、パッケージ基板1上の周辺部に配置された複数のボンディングパッド2と、ボンディングパッド2とボンディングパッド接続部4によって接続され、かつ固体撮像装置の画素5上に配置された透明電極層26と固体撮像装置の周辺部において接続されるアルミニウム電極層3とを備える。すなわち、透明電極層26の端部領域をアルミニウム電極層3が被覆していて、かつアルミニウム電極層3は、ボンディングパッド接続部4によって1つのボンディングパッド2に接続されている。また、画素5は、図1の例ではマトリックス状に配置されている。

[0021] 本発明の第1の実施の形態に係る固体撮像装置の概略の断面構造は、図2に示すように、基板上に形成された回路部30と、回路部30上に配置された光電変換部28を備える。

[0022] 光電変換部28は、光吸収層として機能するカルコパイライト構造の化合物半導体薄膜($\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$)) 24と、化合物半導体薄膜24上に配置された透明電極層26とを備える。

[0023] 透明電極層26は、化合物半導体薄膜24上に設けられるノンドープのZnO膜(i-ZnO)と、ノンドープのZnO膜(i-ZnO)上に設けられる n^+ 型のZnO膜とで構成される。

[0024] 回路部30は、例えば、相補型絶縁ゲート電界効果トランジスタ(CMOSFET: Complementary Metal Oxide Semiconductor Field Effect Transistor)集積回路などによって形成する。

[0025] 第1の実施の形態に係る固体撮像装置は、図2および図3に示すように、基板10上に形成された回路部30と、回路部30上に配置され、列方向若しくは行方向に隣接する画素間で互いに分離した下部電極層25と、下部電極層25上に配置され、列方向若しくは行方向に隣接する画素間で互いに分離したカルコパイライト構造の化合物半導体薄膜24と、化合物半導体薄膜24上に配置されたバッファ層36と、バッファ層36上に配置され、隣接する画素間で平坦化構造を有する透明電極層26とを備える。ここで、列方向とは、各画素の信号を読み出すビット線が延伸する方向であり、行

方向とは、列方向に直交し、各画素へのアドレス線であるワード線が延伸する方向である。

- [0026] また、下部電極層25としては、例えば、モリブデン(Mo)、ニオブ(Nb)、タンタル(Ta)、およびタングステン(W)などを使用することができる。
- [0027] 図2において、回路部30には、CMOSの一部を構成するnチャネルMOSトランジスタが示されており、半導体基板10と、半導体基板10内に形成されたソース・ドレイン領域12と、ソース・ドレイン領域12間の半導体基板10上に配置されるゲート絶縁膜14と、ゲート絶縁膜14上に配置されるゲート電極16と、ゲート電極16上に配置されるVIA0電極17と、VIA0電極17上に配置されるゲート用の配線層18と、配線層18上に配置されるVIA1電極22とを備える。
- [0028] ゲート電極16、VIA0電極17、配線層18、およびVIA1電極22は、いずれも層間絶縁膜20内に形成される。
- [0029] VIA0電極17と、VIA0電極17上に配置される配線層18と、配線層18上に配置されるVIA1電極22によって、ゲート電極16上に配置されるVIA電極32が形成される。後述する図3、或いは図12の断面構造においても、VIA電極32が示されている。
- [0030] 固体撮像装置においては、ゲート電極16上に配置されるVIA電極32によって、CMOSの一部を構成するnチャネルMOSトランジスタのゲート電極16と光電変換部28とを電氣的に接続している。
- [0031] nチャネルMOSトランジスタのゲート電極16に光電変換部28を構成するフォトダイオードのアノードが接続されることから、フォトダイオードにおいて検出された光情報は、当該nチャネルMOSトランジスタによって増幅される。
- [0032] なお、回路部30は、図2の例では、半導体基板10上に配置される半導体集積回路の例で示されているが、例えば、ガラス基板上に形成された薄膜上に形成された薄膜トランジスタを集積化した薄膜トランジスタ集積回路によって形成することもできる。
- [0033] 固体撮像装置の隣接する画素を含めたより詳細な断面構造は、図3に示すように表され、半導体基板10上に形成された回路部30と、回路部30上に配置された光電変換部28を備える。

- [0034] 光電変換部28は、下部電極層25と、下部電極層25上に配置され、光吸収層として機能するカルコパイライト構造の化合物半導体薄膜($\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$)) 24と、化合物半導体薄膜24上に配置されたバッファ層36と、バッファ層36上に配置された平坦化構造を有する透明電極層26とを備える。
- [0035] 下部電極層25は、回路部30内のMOSTランジスタのゲート電極16にVIA電極32を介して接続されている。
- [0036] 図3から明らかなように、隣接する画素セル間で、下部電極層25および下部電極層25上に配置される化合物半導体薄膜24が互いに層間絶縁膜34を介して分離されている。
- [0037] また、化合物半導体薄膜24上に配置されるバッファ層36は、半導体基板表面全面に一体的に形成されている。
- [0038] また、透明電極層26は、半導体基板表面全面に一体的に形成され、かつ電氣的に共通にされている。
- [0039] この構成によれば、透明電極層26としてノンドープのZnO膜(i-ZnO)を設けることにより、下地のCIGS薄膜に生じるボイドやピンホールを半絶縁層で埋め込むと共に、リークを防ぐことができる。したがって、ノンドープのZnO膜(i-ZnO)を厚膜化することによって、pn接合界面の暗電流を低減することができる。なお、図3に示す下部電極層25およびバッファ層36は、図2では図示を省略した。
- [0040] また、バッファ層36の形成材料としては、例えば、CdS、ZnS、ZnO、ZnSe、 In_2S_3 などを使用することができる。
- [0041] また、透明電極層26としては他の電極材料を適用することもできる。例えば、ITO膜、酸化錫(SnO_2)膜、或いは酸化インジウム(In_2O_3)膜を用いることができる。
- [0042] また、本発明の第1の実施の形態に係る固体撮像装置は、近赤外光領域にも感度を持つフォトセンサとして構成することもできる。
- [0043] また、化合物半導体薄膜24および素子分離領域34上に配置されるバッファ層36は、半導体基板表面全面に一体的に平坦化形成されている。
- [0044] また、集積化された複数の画素において、透明電極層26は、半導体基板表面に一体的に平坦化されて形成され、電氣的に共通にされている。

[0045] 即ち、透明電極層26は、光電変換部28を構成するフォトダイオード(PD)のカソード電極となり、一定電位(例えば、接地電位)になされている。したがって、集積化された複数の画素において、光電変換部28を構成するフォトダイオード(PD)のカソード電極は、分離して形成する必要はなく、半導体基板表面に一体的に形成され、電氣的に共通にされている。

[0046] (製造方法)

第1の実施の形態に係る固体撮像装置の製造方法は、図4に示すように、基板上に回路部30を形成する工程と、回路部30上に下部電極層25を形成する工程と、下部電極層25をパターンニングして画素毎に分離する工程と、素子領域全面にカルコパイライト構造の化合物半導体薄膜24を形成する工程と、化合物半導体薄膜24上にレジスト層27を塗布後、分離された下地の下部電極層25に合わせて、画素毎にパターンニングする工程と、素子領域全面にイオン注入を実施して、化合物半導体薄膜24に素子分離領域34を形成する工程と、レジスト層27を剥離し、画素毎に素子分離領域34で分離された化合物半導体薄膜24表面を露出する工程と、素子領域全面に透明電極層26を平坦化形成する工程とを有する。

[0047] また、化合物半導体薄膜24表面を露出する工程後、素子領域全面にバッファ層36を平坦化形成する工程を更に有していても良い。

[0048] また、カルコパイライト構造の化合物半導体薄膜24を形成する工程は、物理的气相堆積(PVD: Physical Vapor Deposition)法により、 $\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$) 薄膜を成膜する工程を有する。ここで、PVD法とは、真空中で蒸発させた原材料を堆積させて、成膜する方法をいうものとする。

[0049] また、透明電極層26上にカラーフィルタを形成する工程を更に有していても良い。

[0050] また、透明電極層26を形成する工程は、ノンドープのZnO膜を形成する工程と、ノンドープのZnO膜上にn型のZnO膜、ITO膜などの透明電極膜を形成する工程とを有していても良い。

[0051] 第1の実施の形態に係る固体撮像装置の製造方法を、図4に示す概略の工程図を用いて説明する。

[0052] (a)まず、図4(a)に示すように、半導体基板上に形成されたCMOS集積回路などの

回路部30上に、下部電極層25として、例えばモリブデン(Mo)層をスパッタリング技術などによって形成する。下部電極層25の厚さは、例えば約 $0.3\mu\text{m}$ 程度である。

[0053] (b)次に、図4(b)に示すように、モリブデン(Mo)層からなる下部電極層25をパターニングして、各画素毎にエッチングにより分離する。

[0054] (c)次に、図4(c)に示すように、光吸収層として機能するカルコパイライト構造の化合物半導体薄膜(CIGS薄膜)24を素子表面全面に形成する。化合物半導体薄膜(CIGS薄膜)24の形成工程は、例えば、イオンビームスパッタリング法により、後述する図5に示すような三段階のスパッタリング工程を用いることができる。化合物半導体薄膜(CIGS薄膜)24の厚さは、例えば、約 $1.0\mu\text{m}$ 程度である。

[0055] (d)次に、図4(c)に示すように、化合物半導体薄膜24上にレジスト層27を塗布後、分離された下地の下部電極層25に合わせて、画素毎にパターニングする。

[0056] (e)次に、図4(d)に示すように、素子領域全面にイオン注入を実施して、化合物半導体薄膜24に素子分離領域34を形成する。

[0057] イオン注入する不純物イオンの材料種としては、例えば、ドナー不純物として作用するII族、VII族の元素などを主として適用する。具体的な材料種としては、例えばマグネシウム(Mg)、塩素(Cl)、亜鉛(Zn)、臭素(Br)、カドミウム(Cd)などを適用することができる。また、他の材料種としては、例えばリン(P)、アンチモン(Sb)、キセノン(Xe)、ビスマス(Bi)などを適用することができる。

[0058] イオン注入時のドーズ量および加速電圧は、イオン注入する元素によって、変動するが、加速電圧は、例えば $100\text{keV}\sim 400\text{keV}$ 程度であり、ドーズ量は、例えば $10^{15}\sim 10^{17}(\text{cm}^{-2})$ 程度である。

[0059] (f)次に、図4(e)に示すように、レジスト層を剥離し、画素毎に素子分離領域34で分離された化合物半導体薄膜24の表面を露出する。

[0060] (g)次に、図4(f)に示すように、バッファ層(窓層)36として、例えば、薄いCdS膜を(50nm 程度)を溶液成長法により成膜する。溶液成長法により、バッファ層36を被覆性よく成膜することができる。

[0061] (h)次に、図4(g)に示すように、透明電極層(ZnO膜)26をスパッタリング法により成膜する。このとき、バッファ層36が化合物半導体薄膜24へのダメージを低減する。

- [0062] 透明電極層 (ZnO膜) 26は、p型ドーパのZnO膜 (i-ZnO) と、n型不純物がドーパされた低抵抗のZnO (n^+) 膜を、連続的に成膜することによって形成される。ここで、i-ZnOの厚みは約60nm程度であり、一方、低抵抗のZnO (n^+) 膜の厚みは、約0.5 μ m程度である。
- [0063] p型ドーパのZnO膜 (i-ZnO) は、下地のCIGS薄膜24に生じるボイドやピンホールを半絶縁層で埋め込むと共に、リーク電流を防ぐ役割を果たす。
- [0064] したがって、p型ドーパのZnO膜 (i-ZnO) を厚膜化することによって、pn接合界面の暗電流を低減することができる。但し、厚膜化するといっても、その厚みは十分に薄い (例えば、約60nm程度)、透明電極層26として機能する低抵抗のZnO (n^+) 膜とCIGS薄膜 (p^-) との間で実質的なpn接合が形成されと考えられる。
- [0065] (i) 最後に電極付けの工程を実施する。通常のCMOSプロセスにおける電極付け工程と同様であるため、説明は、省略する。なお、透明電極層 (ZnO膜) 26は、等電位となるため、画素毎に分離形成する必要はないが、抵抗率が問題になる大容量のエリアセンサなどの場合には、画素の開口率に影響を及ぼさない範囲で、アルミニウムなどからなる電極を一定のピッチで、透明電極層 (ZnO膜) 26上にメッシュ状、ストライプ状に配置してもよい。
- [0066] (j) 更に、可視光領域において、カラー画像を撮像する場合には、カラーフィルタを透明電極層 (ZnO膜) 26上に配置してもよい。カラーフィルタは、赤 (Red) 用、緑 (Green) 用、青 (Blue) 用を、隣り合う画素5に設けて3組で1つとしてもよい。さらには、近赤外用のフィルタを追加して、4組で1つとしてもよい。この4組を2×2のマトリクス状に配置してもよい。カラーフィルタは、例えば、ゼラチン膜の多層化によって形成することもできる。
- [0067] (カルコパイライト構造の化合物半導体薄膜の形成工程)
- 光吸収層として機能するカルコパイライト構造の化合物半導体薄膜は、PVD法と呼ばれる真空蒸着法やスパッタ法によって、回路部30が形成された半導体基板やガラス基板上に、形成可能である。
- [0068] 真空蒸着法を用いる場合、化合物の各成分 (Cu, In, Ga, Se) を蒸着源として、回路部30が形成された基板上に別々に蒸着させる。

[0069] スパッタ法では、カルコパイライト化合物をターゲットとして用いるか、或いは、その各成分を別々にターゲットとして用いる。

[0070] なお、カルコパイライト構造の化合物半導体薄膜を回路部30が形成されたガラス基板上に形成する場合、基板を高温に加熱するため、カルコゲナイド元素の離脱による組成ずれが起こる場合がある。この場合は、成膜後にSeまたはSの蒸気雰囲気中で400～600℃の温度で1～数時間程度の熱処理を行うことにより、SeまたはSを補充するのが望ましい(セレン化処理または硫化処理)。

[0071] 第1の実施の形態に係る固体撮像装置に適用するカルコパイライト構造の化合物半導体薄膜の形成工程は、例えば、図5に示すように表される。

[0072] 組成制御のなされたp⁻型のCIGS薄膜($\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$))を例えば、イオンビームスパッタ法を使用して成膜する際、図5に示すように、例えば、第I階、第II段階、第III段階の三段階に分けて行う。図5(a)は各段階における基板温度と、イオンビームスパッタ法によって成膜する際のイオン種を表す。図5(b)は各段階における($\text{Cu}/(\text{In} + \text{Ga})$)の組成比を表す。InとGaの割合は、後述するように、適宜調節する。基板温度は、最高でも、例えば、約400℃程度である。

[0073] まず、第I段階において、III族元素が過剰な状態において、($\text{Cu}/(\text{In} + \text{Ga})$)の組成比を0のままとする。

[0074] 次に、第II段階に移行して、($\text{Cu}/(\text{In} + \text{Ga})$)の組成比を0から1.0以上のCu元素が過剰な状態に移行させる。

[0075] 次に、第III段階に移行して、($\text{Cu}/(\text{In} + \text{Ga})$)の組成比が1.0以上のCu元素が過剰な状態から、1.0以下のIII族元素が過剰な状態に移行させて、所望のカルコパイライト構造の化合物半導体薄膜($\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$))を成膜する。以上のように、本実施形態では、化合物半導体薄膜24の形成を400℃程度以下で行っている。基板温度が十分高い場合には、各成分元素は、相互に拡散し得る。

[0076] (エネルギーバンド構造)

固体撮像装置の光電変換部におけるエネルギーバンド構造は、模式的に図6に示すように表される。

[0077] 即ち、図6(a)は、CIGS薄膜の組成が均一に形成された場合の熱平衡状態におけ

るZnO(n)/CdS/CIGS(p)からなる光電変換部のpn接合ダイオードのエネルギーバンド構造を示し、図6(b)は、CIGS薄膜の組成を制御し、バンドギャップコントロールを行った場合の熱平衡状態におけるZnO(n)/CdS/CIGS(p)からなる光電変換部のpn接合ダイオードのエネルギーバンド構造を示す。図6(c)は、図6(b)のバンドギャップコントロールを行った場合の、CIGS(p)薄膜24部分のエネルギーバンド構造の詳細拡大図を示す。

[0078] バンドギャップが大きいとリーク電流は低減され、暗電流は減少する。一方、バンドギャップが小さいと光電変換効率が增加する。

[0079] 固体撮像装置においては、光電変換部におけるCIGS薄膜の組成制御を実施して、バンドギャッププロファイルを制御し、暗電流の低減化、および所定の波長域における光電変換特性の向上をはかることができる。

[0080] 例えば、図6(c)に示すように、暗電流低減のために、pn接合界面近傍、およびMo電極面近傍において、化合物半導体薄膜($\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$)) 24の組成をGa過剰にして、図示されるように、エネルギーギャップ E_{g1} および E_{g3} を大きくする。

[0081] 一方、光電変換効率を1300nm程度までの近赤外波長域で向上させるために、化合物半導体薄膜($\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$)) 24の組成を所定の深さの範囲でIn過剰にして、図示されるように、エネルギーギャップ E_{g2} を小さくするようにする。

[0082] なお、固体撮像装置の動作においては、p型のCIGS薄膜24とn型の透明電極層(ZnO膜) 26との間には、例えば逆バイアス電圧を印加して、画素情報の検出を行う。

[0083] 図7は、固体撮像装置の製造方法によって形成された光電変換部の化合物半導体薄膜(CIGS薄膜)のオージェ電子分光法(AES: Auger Electron Spectroscopy)による分析結果の一例であって、原子密度(%)とスパッタ時間との関係を示す。

[0084] In過剰領域が、光電変換部の化合物半導体薄膜(CIGS薄膜)中の所定の深さに形成されている。

[0085] (バンドギャップエネルギーとIn/(In+Ga)組成比特性)

固体撮像装置に適用するカルコパイライト構造の化合物半導体薄膜($\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$))のバンドギャップエネルギーとIn/(In+Ga)組成比の依存性は、

図8に示すように表される。

[0086] 図8に示すように、 $\text{Cu}(\text{Ga})\text{Se}_2$ のバンドギャップエネルギーは1.68eVであり、 $\text{Cu}(\text{In}, \text{Ga})\text{Se}_2$ のバンドギャップエネルギーは1.38eVであり、 $\text{Cu}(\text{In})\text{Se}_2$ のバンドギャップエネルギーは1.04eVである。

[0087] カルコパイライト構造の化合物半導体薄膜($\text{Cu}(\text{In}_X\text{Ga}_{1-X})\text{Se}_2$ ($0 \leq X \leq 1$)) のバンドギャップエネルギーは、図8に示すように、 $\text{In}/(\text{In} + \text{Ga})$ 組成比を制御することによって、可変にすることができることから、組成制御によって、光電変換波長を可変にすることができる。

[0088] (光電変換特性)

固体撮像装置の光電変換特性は、図9に示すように表される。即ち、光吸収層として機能するカルコパイライト構造の化合物半導体薄膜($\text{Cu}(\text{In}_X\text{Ga}_{1-X})\text{Se}_2$ ($0 \leq X \leq 1$)) 24の量子効率を反映して、可視光から近赤外光まで幅広い波長領域において、高い量子効率の光電変換特性を示している。シリコン(Si)の場合の光電変換特性に比べ、量子効率は倍以上である。

[0089] 光吸収層として機能するカルコパイライト構造の化合物半導体薄膜($\text{Cu}(\text{In}_X\text{Ga}_{1-X})\text{Se}_2$ ($0 \leq X \leq 1$)) 24の組成を、 $\text{Cu}(\text{InGa})\text{Se}_2$ から $\text{Cu}(\text{In})\text{Se}_2$ まで変化することによって、波長域を近赤外光の波長である約1300nmまで拡張することができる。

[0090] 図10は、固体撮像装置の製造方法によって形成された化合物半導体薄膜(CIGS薄膜)の量子効率の波長特性を示す。

[0091] 固体撮像装置の製造方法においては、400℃という低温プロセスで、化合物半導体薄膜($\text{Cu}(\text{In}_X\text{Ga}_{1-X})\text{Se}_2$ ($0 \leq X \leq 1$)) 24の組成制御を組み合わせることで、550℃で形成されるCIGS薄膜と同程度の暗電流密度が得られている。

[0092] 化合物半導体薄膜($\text{Cu}(\text{In}_X\text{Ga}_{1-X})\text{Se}_2$ ($0 \leq X \leq 1$)) の形成では、膜質、リーク電流の観点から、550℃による成膜が一般的であるため、回路部にCMOSなどの半導体集積回路を形成することが難しかったのに対して、固体撮像装置では、組成制御による化合物半導体薄膜(CIGS薄膜)の形成によって、約400℃程度の低温プロセスが可能となり、暗電流も抑制されている。

[0093] また、固体撮像装置の製造方法によって形成された化合物半導体薄膜(CIGS薄

膜)の量子効率の波長特性においても、組成制御による化合物半導体薄膜(CIGS薄膜)の形成によって、約400℃程度の低温プロセスにおいて、550℃で形成されるCIGS薄膜と同程度の波長特性が得られている。

[0094] 図11に示す光吸収特性により、光強度が $(1/e)$ に減衰する光の侵入深さを、吸収係数の逆数から得ることができる。また、対応する化合物半導体薄膜($\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$)) 24のエネルギーギャップは、図8から得ることができる。

[0095] (光吸収特性)

固体撮像装置の光吸収特性は、図11に示すように表される。即ち、光吸収層として機能するカルコパイライト構造の化合物半導体薄膜($\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$)) 24の光吸収係数特性を反映して、可視光から近赤外光まで幅広い波長領域において、強い吸収性能を有する。

[0096] 例えば、可視光領域においてもシリコン(Si)の吸収係数の約100倍であり、光吸収層として機能するカルコパイライト構造の化合物半導体薄膜($\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$)) 24の組成を、 CuGaSe_2 から CuInSe_2 まで変化することによって、波長1300nm程度まで、吸収性能を拡張することができる。

[0097] (第1の実施の形態の変形例)

本発明の第1の実施の形態の変形例に係る固体撮像装置は、図12に1画素部分の断面図として示すように、半導体基板10上に形成された回路部30と、回路部30上に配置された下部電極層25と、下部電極層25上に配置され、光吸収層として機能するカルコパイライト構造の化合物半導体薄膜($\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$)) 24と、化合物半導体薄膜24上に配置された透明電極層26とを備える光電変換部28とを備える。

[0098] 下部電極層25、化合物半導体薄膜24、および透明電極層26は、回路部30上に順次積層されている。

[0099] また、固体撮像装置において、回路部30は、下部電極層25がゲート電極16に接続されたトランジスタを備える。

[0100] 下部電極層25としては、例えば、モリブデン(Mo)、ニオブ(Nb)、タンタル(Ta)、およびタングステン(W)などを使用することができる。

- [0101] 透明電極層26は、前記化合物半導体薄膜24との界面の設けられるノンドープのZnO膜(i-ZnO)と、前記ノンドープのZnO膜(i-ZnO)上に設けられる n^+ 型のZnO膜とで構成される。
- [0102] この構成によれば、透明電極層26としてノンドープのZnO膜(i-ZnO)を設けることにより、下地のCIGS薄膜に生じるボイドやピンホールを半絶縁層で埋め込むと共に、CIGS薄膜とi-p接合を形成し、導電性のZnO膜(n^+)をCIGS薄膜と直接に接触させた場合に起こるトンネル電流によるリークを防ぐことができる。したがって、ノンドープのZnO膜(i-ZnO)を厚膜化することによって、pn接合界面の暗電流を低減することができる。
- [0103] また、透明電極層26としては他の電極材料を適用することもできる。例えば、ITO膜、酸化錫(SnO_2)膜、或いは酸化インジウム(In_2O_3)膜を用いることができる。
- [0104] 図12において、回路部30は、例えば、CMOS集積回路によって形成する。図12において、ソース・ドレイン領域12間の半導体基板10上に配置されるゲート絶縁膜は図示を省略している。また、ゲート電極16と下部電極層25間には、層間絶縁膜20に埋め込まれたVIA電極32が配置されている。
- [0105] 第1の実施の形態の変形例に係る固体撮像装置は、回路部30と光電変換部28からなる光電変換セルが1次元、或いは2次元マトリックス状に集積化されている。
- [0106] 集積化された複数の画素において、透明電極層26は、半導体基板表面に一体的に平坦化形成され、電氣的に共通にされている。
- [0107] 即ち、第1の実施の形態の変形例に係る固体撮像装置においては、透明電極層26は、光電変換部28を構成するフォトダイオード(PD)のカソード電極となり、一定電位(例えば、電源電圧)になされている。したがって、集積化された複数の画素において、光電変換部28を構成するフォトダイオード(PD)のカソード電極は、分離して形成する必要はなく、半導体基板表面に一体的に平坦化形成され、電氣的に共通にされている。
- [0108] 第1の実施の形態の変形例に係る固体撮像装置は、回路部30と光電変換部28の積層化構造によって、光電変換セルの画素(ピクセル)領域全体が略光電変換領域として使用可能である。このことは、CMOS型イメージセンサにおいて、光電変換部2

8をpn接合ダイオードとして半導体基板内に形成した場合の開口率約30～40％に比べ、開口率約80～90％となり、大幅な改善効果を有する。

[0109] 第1の実施の形態、およびその変形例に係る固体撮像装置によれば、光電変換部28に $\text{Cu}(\text{In}, \text{Ga})\text{Se}_2$ からなるカルコパイライト構造の化合物半導体膜24を備えることによって、可視光から近赤外光までの広い波長域に渡って高い感度を有し、暗電流が低減され、構造が簡単な固体撮像装置を提供することができる。

[0110] 第1の実施の形態、およびその変形例に係る固体撮像装置の製造方法によれば、透明電極層26が基板表面に一体的に平坦化形成でき、透明電極層26をパターンニングする必要がないため、製造工程を簡略化することができる。

[0111] 第1の実施の形態、およびその変形例に係る固体撮像装置によれば、In(インジウム)の一部をガリウムに置換したCIGS系薄膜を使用してバンド幅を広げることによって、キャリア再結合過程を減らすことができ、暗電流を低減することができる。

[0112] 第1の実施の形態、およびその変形例に係る固体撮像装置およびその製造方法によれば、平坦化構造で受光効率が高く、かつ高解像度を実現することができる。

[0113] また、第1の実施の形態、およびその変形例に係る固体撮像装置およびその製造方法によれば、化合物半導体薄膜24に対するエッチング工程がないため、微細パターンの形成を容易にすることができる。

[0114] また、第1の実施の形態、およびその変形例に係る固体撮像装置およびその製造方法によれば、化合物半導体薄膜24に対するエッチングダメージがないため暗電流特性が改善することができる。

[0115] また、第1の実施の形態、およびその変形例に係る固体撮像装置によれば、 $\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$)でのバンドギャップコントロールによって、暗電流密度を 10^2 のオーダーで、低減することができる。

[0116] [第2の実施の形態]

(素子構造)

本発明の第2の実施の形態に係る固体撮像装置は、図13に示すように、基板上に形成された回路部30と、回路部30上に配置された光電変換部28を備える。

[0117] 光電変換部28は、光吸収層として機能するカルコパイライト構造の化合物半導体

薄膜($\text{Cu}(\text{In}_X\text{Ga}_{1-X})\text{Se}_2$ ($0 \leq X \leq 1$)) 24と、化合物半導体薄膜24上に配置された平坦化構造を有する透明電極層26とを備える。

[0118] 透明電極層26は、化合物半導体薄膜24との界面の設けられるノンドープのZnO膜(i-ZnO)と、ノンドープのZnO膜(i-ZnO)上に設けられる n^+ 型のZnO膜とで構成される。

[0119] この構成によれば、透明電極層26としてノンドープのZnO膜(i-ZnO)を設けることにより、下地のCIGS薄膜に生じるボイドやピンホールを半絶縁層で埋め込むと共に、CIGS薄膜とi-p接合を形成し、導電性のZnO膜(n^+)をCIGS薄膜と直接に接触させた場合に起こるトンネル電流によるリークを防ぐことができる。したがって、ノンドープのZnO膜(i-ZnO)を厚膜化することによって、pn接合界面の暗電流を低減することができる。

[0120] 回路部30は、例えば、相補型絶縁ゲート電界効果トランジスタ(CMOS)集積回路などによって形成する。図13において、回路部30には、CMOSの一部を構成するnチャネルMOSトランジスタが示されており、半導体基板10と、半導体基板10内に形成されたソース・ドレイン領域12と、ソース・ドレイン領域12間の半導体基板10上に配置されるゲート絶縁膜14と、ゲート絶縁膜14上に配置されるゲート電極16と、ソース・ドレイン領域12上に配置されるVIA0電極17と、VIA0電極17上に配置されるソース・ドレイン用の配線層18と、配線層18上に配置されるVIA1電極23とを備える。VIA0電極17、配線層18、およびVIA1電極23は、いずれも層間絶縁膜20内に形成される。

[0121] VIA0電極17と、VIA0電極17上に配置される配線層18と、配線層18上に配置されるVIA1電極23によって、ソース・ドレイン領域12上に配置されるVIA電極33が配置形成される。後述する図14の断面構造においても、VIA電極33が示されている。

[0122] 第2の実施の形態に係る固体撮像装置においては、ソース・ドレイン領域12上に配置されるVIA電極33によって、CMOSの一部を構成するnチャネルMOSトランジスタのソース・ドレイン領域12と光電変換部28とを電氣的に接続している。

[0123] nチャネルMOSトランジスタのソース・ドレイン領域12に、光電変換部28を構成するフォトダイオードのアノードが接続されることから、フォトダイオードにおいて検出さ

れた光情報は、nチャネルMOSトランジスタによってスイッチングされる。

[0124] なお、回路部30は、図13の例では、半導体基板10上に配置される半導体集積回路の例で示されているが、例えば、ガラス基板上に形成された薄膜上に形成された薄膜トランジスタを集積化した薄膜トランジスタ集積回路によって形成することもできる。

[0125] (第2の実施の形態の変形例)

第2の実施の形態の変形例に係る固体撮像装置は、図14に1画素部分の断面図として示すように、半導体基板10上に形成された回路部30と、回路部30上に配置された下部電極層25と、下部電極層25上に配置され、光吸収層として機能するカルコパイライト構造の化合物半導体薄膜($\text{Cu}(\text{In}_x\text{Ga}_{1-x})_2\text{Se}_2$ ($0 \leq x \leq 1$)) 24と、化合物半導体薄膜24上に配置された透明電極層26とを備える光電変換部28とを備える。

[0126] 下部電極層25、化合物半導体薄膜24、および透明電極層26は、回路部30上に順次積層されている。

[0127] また、第2の実施の形態の変形例に係る固体撮像装置において、回路部30は、下部電極層25がソース・ドレイン領域12に接続されたトランジスタを備える。

[0128] 下部電極層25としては、例えば、モリブデン(Mo)、ニオブ(Nb)、タンタル(Ta)、およびタングステン(W)などを使用することができる。

[0129] 透明電極層26は、化合物半導体薄膜24との界面の設けられるノンドープのZnO膜(i-ZnO)と、ノンドープのZnO膜(i-ZnO)上に設けられるn⁺型のZnO膜とで構成される。

[0130] この構成によれば、透明電極層26としてノンドープのZnO膜(i-ZnO)を設けることにより、下地のCIGS薄膜に生じるボイドやピンホールを半絶縁層で埋め込むと共に、CIGS薄膜とi-p接合を形成し、導電性のZnO膜(n⁺)をCIGS薄膜と直接に接触させた場合に起こるトンネル電流によるリークを防ぐことができる。したがって、ノンドープのZnO膜(i-ZnO)を厚膜化することによって、pn接合界面の暗電流を低減することができる。

[0131] 更にまた、透明電極層26としては他の電極材料を適用することもできる。例えば、ITO膜、酸化錫(SnO_2)膜、或いは酸化インジウム(In_2O_3)膜を用いることができる。

- [0132] 図14において、回路部30は、例えば、CMOS集積回路によって形成するが、回路の詳細は、説明を省略する。図14において、ソース・ドレイン領域12間の半導体基板10上に配置されるゲート絶縁膜14は図示を省略している。また、ソース・ドレイン領域12と下部電極層25間には、VIA電極33が配置されている。
- [0133] また、第2の実施の形態の変形例に係る固体撮像装置は、回路部30と光電変換部28からなる光電変換セルが1次元、或いは2次元マトリックス状に集積化されている。
- [0134] 1次元、或いは2次元マトリックス状に集積化された複数の画素において、透明電極層26は、半導体基板表面に一体的に形成され、電氣的に共通にされている。
- [0135] 即ち、第2の実施の形態の変形例に係る固体撮像装置においては、透明電極層26は、光電変換部28を構成するフォトダイオード(PD)のカソード電極となり、一定電位(例えば、電源電圧)になされている。したがって、1次元、或いは2次元マトリックス状に集積化された複数の画素において、光電変換部28を構成するフォトダイオード(PD)のカソード電極は、分離して形成する必要はなく、半導体基板表面に一体的に形成され、電氣的に共通にされていればよい。
- [0136] 第2の実施の形態の変形例に係る固体撮像装置は、回路部30と光電変換部28の積層化構造によって、光電変換セルの画素(ピクセル)領域全体が略光電変換領域として使用可能である。開口率は、約80～90%である。
- [0137] 第2の実施の形態の変形例に係る固体撮像装置においては、回路構成上の差異を反映して、第1の実施の形態と比べ、各画素毎に増幅機能はない。
- [0138] 光電変換部28の構成は第1の実施の形態に係る固体撮像装置と同様であるため、図5に示したカルコパイライト構造の化合物半導体薄膜の形成工程、図8に示した化合物半導体薄膜のバンドギャップエネルギーの組成比依存性、図9に示した光電変換特性、図10に示した化合物半導体薄膜(CIGS薄膜)の量子効率の波長特性、図11に示した光吸収特性、などはいずれも本発明の第2の実施の形態、およびその変形例に係る固体撮像装置においても同様である。また、図4に示した製造方法についても回路部の形成後の製造方法は共通である。したがって、これらの説明は省略する。
- [0139] 第2の実施の形態、およびその変形例に係る固体撮像装置によれば、光電変換部

28に $\text{Cu}(\text{In},\text{Ga})\text{Se}_2$ からなるカルコパイライト構造の化合物半導体膜24を備えることによって、可視光から近赤外光までの広い波長域に渡って高い感度を有し、暗電流が低減され、かつ構造が簡単な固体撮像装置を提供することができる。

[0140] 第2の実施の形態、およびその変形例に係る固体撮像装置の製造方法によれば、透明電極層26が基板表面に一体的に平坦化形成でき、透明電極層26をパターンニングする必要がないため、製造工程を簡略化することができる。

[0141] また、第2の実施の形態、およびその変形例に係る固体撮像装置によれば、In(インジウム)の一部をガリウムに置換したCIGS系薄膜を使用してバンド幅を広げることによって、キャリア再結合過程を減らすことができ、暗電流を低減することができる。

[0142] 第2の実施の形態、およびその変形例に係る固体撮像装置およびその製造方法によれば、平坦化構造で受光効率がよく、かつ高解像度を実現することができる。

[0143] 第2の実施の形態、およびその変形例に係る固体撮像装置およびその製造方法によれば、化合物半導体薄膜24に対するエッチング工程がないため、微細パターンの形成を容易にすることができる。

[0144] 第2の実施の形態、およびその変形例に係る固体撮像装置およびその製造方法によれば、化合物半導体薄膜24に対するエッチングダメージがないため暗電流特性が改善することができる。

[0145] 第2の実施の形態、およびその変形例に係る固体撮像装置によれば、 $\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$)でのバンドギャップコントロールによって、暗電流密度を 10^2 のオーダーで、低減することができる。

[0146] [その他の実施の形態]

上記のように、本発明は第1乃至第2の実施の形態によって記載したが、この開示の一部をなす論述および図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

[0147] 第1乃至第2の実施の形態に係る固体撮像装置は、近赤外光にも高い感度を有するため、セキュリティカメラ(昼間は可視光をセンシングし、夜間は近赤外光をセンシングするカメラ)や、個人認証カメラ(外光の影響を受けない近赤外光で個人認証す

るためのカメラ)、或いは車載カメラ(夜間の視覚補助や遠方の視野確保などのために車に搭載されるカメラ)用のイメージセンサとして、十分に利用可能である。

[0148] 第1乃至第2の実施の形態に係る固体撮像装置においては、カルコパイライト構造をもつ化合物半導体薄膜(CIGS)としては、 $\text{Cu}(\text{In}_X\text{Ga}_{1-X})\text{Se}_2$ ($0 \leq X \leq 1$)を用いているが、これに限定されるものではない。

[0149] CIGS薄膜としては、 $\text{Cu}(\text{In}_X\text{Ga}_{1-X})(\text{Se}_Y\text{S}_{1-Y})$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$)という組成のものも知られており、このような組成をもつCIGS薄膜も利用可能である。

[0150] カルコパイライト構造の化合物半導体薄膜としては、この他、 CuAlS_2 , CuAlSe_2 , CuAlTe_2 , CuGaS_2 , CuGaSe_2 , CuGaTe_2 , CuInS_2 , CuInSe_2 , CuInTe_2 , AgAlS_2 , AgAlSe_2 , AgAlTe_2 , AgGaS_2 , AgGaSe_2 , AgGaTe_2 , AgInS_2 , AgInSe_2 , AgInTe_2 など、他の化合物半導体薄膜も適用可能である。

[0151] 第1乃至第2の実施の形態に係る固体撮像装置においては、各画素領域上にマイクロレンズを配置し、画素毎の集効率を高めてもよい。

[0152] また、複数の画素を有する実施形態について説明したが、これに限るものではなく、例えば、1つの受光領域のみを有するPD(フォトダイオード)として構成してもよい。

[0153] 第1乃至第2の実施の形態に係る固体撮像装置においては、回路部30は、半導体基板上に形成されたCMOS集積回路で構成される例を主として記載したが、CMOSに限られるものでなく、他の回路構成を用いてもよい。例えば、光電変換部28は、第1乃至第2の実施の形態に係る固体撮像装置で適用したカルコパイライト構造の化合物半導体薄膜を使用し、回路部にはCCD(Charge Coupled Device)と同様に電荷転送機能を持たせてもよい。

[0154] 第1乃至第2の実施の形態に係る固体撮像装置においては、基板は半導体基板について主として説明したが、簡単な構成としては、ガラス基板上に薄膜を形成し、当該薄膜に薄膜トランジスタからなる所定の回路部を形成してもよい。

[0155] 第1乃至第2の実施の形態、およびその変形例に係る固体撮像装置においては、基板は半導体の例を主として記載したが、単結晶基板のみならず、低消費電力化、高速化を目的に、シリコン・オン・インスレータ(SOI: Silicon On Insulator)基板を用いてもよい。

[0156] このように、本発明はここでは記載していない様々な実施の形態などを含む。

産業上の利用可能性

[0157] 本発明の固体撮像装置は、近赤外光にも高い感度を有するため、セキュリティカメラ(昼間は可視光をセンシングし、夜間は近赤外光をセンシングするカメラ)や、個人認証カメラ(外光の影響を受けない近赤外光で個人認証するためのカメラ)、或いは車載カメラ(夜間の視覚補助や遠方の視野確保などのために車に搭載されるカメラ)用のイメージセンサ、更に医療用の近赤外光検出用のイメージセンサとして利用可能である。

請求の範囲

- [1] 基板上に形成された回路部と、
前記回路部上に配置され、列方向若しくは行方向に隣接する画素間で互いに分離した下部電極層と、
前記下部電極層上に配置され、列方向若しくは行方向に隣接する画素間で互いに分離したカルコパイライト構造の化合物半導体薄膜と、
前記化合物半導体薄膜上に配置され、隣接する画素間で平坦化構造を有する透明電極層と
を備え、前記下部電極層、前記化合物半導体薄膜、および前記透明電極層は、前記回路部上に順次積層されたことを特徴とする固体撮像装置。
- [2] 請求項1に記載の固体撮像装置であって、
前記回路部は、前記下部電極層がゲートに接続されたトランジスタを備えることを特徴とする固体撮像装置。
- [3] 請求項1に記載の固体撮像装置であって、
前記回路部は、前記下部電極層がソース、若しくはドレインに接続されたトランジスタを備えることを特徴とする固体撮像装置。
- [4] 請求項1乃至3のいずれかに1項に記載の固体撮像装置であって、
前記回路部と、前記回路部上に順次積層された、前記下部電極層、前記化合物半導体薄膜、および前記透明電極層は集積化されていることを特徴とする固体撮像装置。
- [5] 請求項1乃至4のいずれか1項に記載の固体撮像装置であって、
前記透明電極層が前記基板表面に一体的に平坦化形成されたことを特徴とする固体撮像装置。
- [6] 請求項1乃至5のいずれか1項に記載の固体撮像装置であって、
前記カルコパイライト構造の化合物半導体薄膜は、 $\text{Cu}(\text{In}_X\text{Ga}_{1-X})\text{Se}_2$ ($0 \leq X \leq 1$)
で形成されることを特徴とする固体撮像装置。
- [7] 請求項1乃至6のいずれか1項に記載の固体撮像装置であって、
前記透明電極層は、前記化合物半導体薄膜との界面の設けられるノンドープのZn

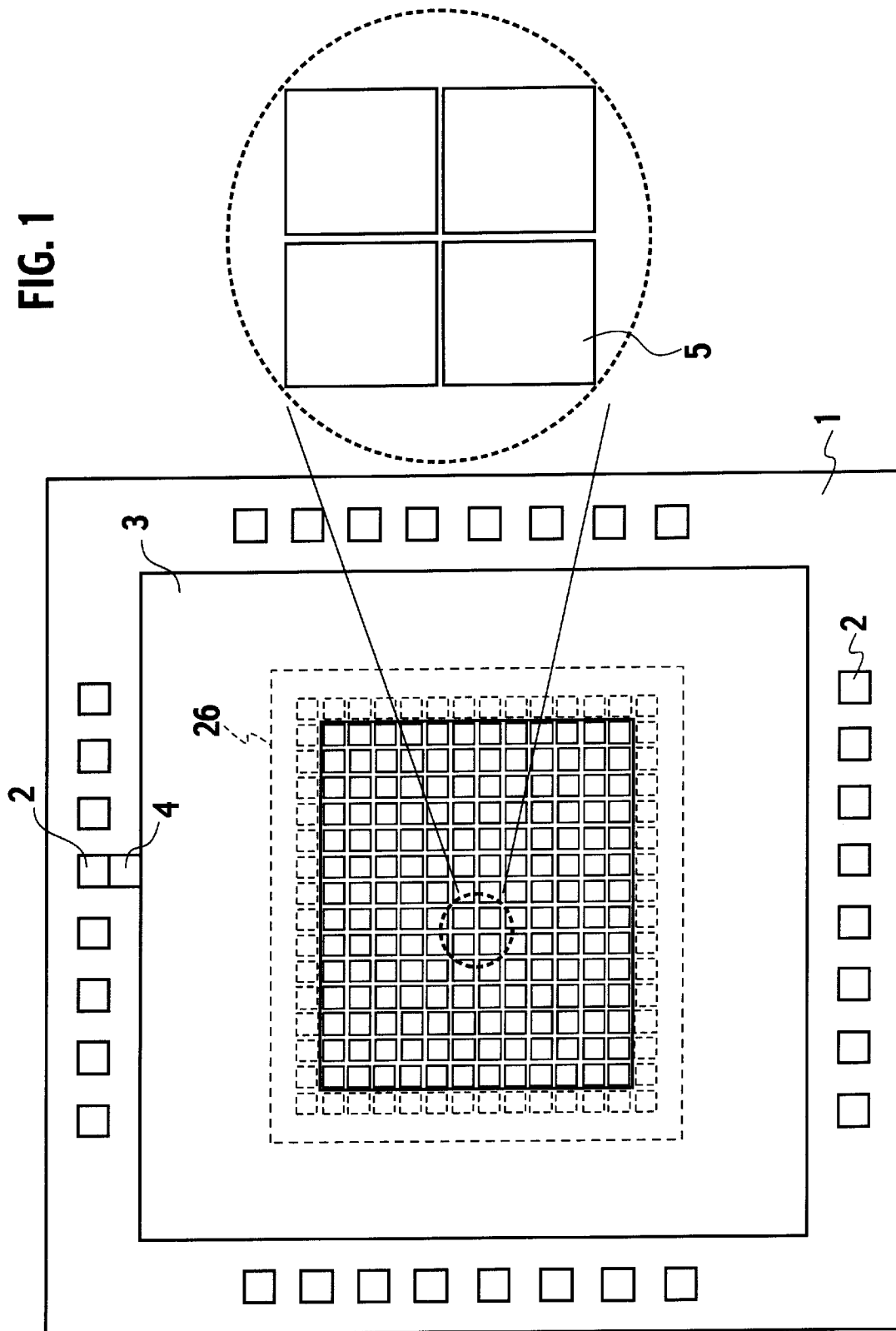
O膜と、前記ノンドープのZnO膜上に設けられるn型のZnO膜とを備えることを特徴とする固体撮像装置。

- [8] 請求項1乃至7のいずれか1項に記載の固体撮像装置であって、
前記固体撮像装置は、近赤外光領域にも感度を持つフォトセンサであることを特徴とする固体撮像装置。
- [9] 請求項1乃至7のいずれか1項に記載の固体撮像装置であって、
前記固体撮像装置は、前記透明電極層上にカラーフィルタを備えることを特徴とする固体撮像装置。
- [10] 基板上に回路部を形成する工程と、
前記回路部上に下部電極層を形成する工程と、
前記下部電極層をパターニングして画素毎に分離する工程と、
素子領域全面にカルコパイライト構造の化合物半導体薄膜を形成する工程と、
前記化合物半導体薄膜上にレジスト層を塗布後、前記分離された下地の下部電極層に合わせて、画素毎にパターニングする工程と、
素子領域全面にイオン注入を実施して、前記化合物半導体薄膜に素子分離領域を形成する工程と、
前記レジスト層を剥離し、画素毎に前記素子分離領域で分離された前記化合物半導体薄膜表面を露出する工程と、
素子領域全面に透明電極層を平坦化形成する工程と
を有することを特徴とする固体撮像装置の製造方法。
- [11] 請求項10に記載の固体撮像装置の製造方法であって、
前記化合物半導体薄膜表面を露出する工程後、素子領域全面にバッファ層を平坦化形成する工程を更に有することを特徴とする固体撮像装置の製造方法。
- [12] 請求項10に記載の固体撮像装置の製造方法であって、
前記カルコパイライト構造の化合物半導体薄膜を形成する工程は、物理的气相堆積法により、 $\text{Cu}(\text{In}_x\text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$) 薄膜を成膜する工程を有することを特徴とする固体撮像装置の製造方法。
- [13] 請求項10または11に記載の固体撮像装置の製造方法であって、

前記透明電極層上にカラーフィルタを形成する工程を更に有することを特徴とする固体撮像装置の製造方法。

- [14] 請求項10に記載の固体撮像装置の製造方法であって、
前記透明電極層を形成する工程は、
ノンドープのZnO膜を形成する工程と、
前記ノンドープのZnO膜上にn型のZnO膜、ITO膜などの透明電極膜を形成する工程と
を有することを特徴とする固体撮像装置の製造方法。

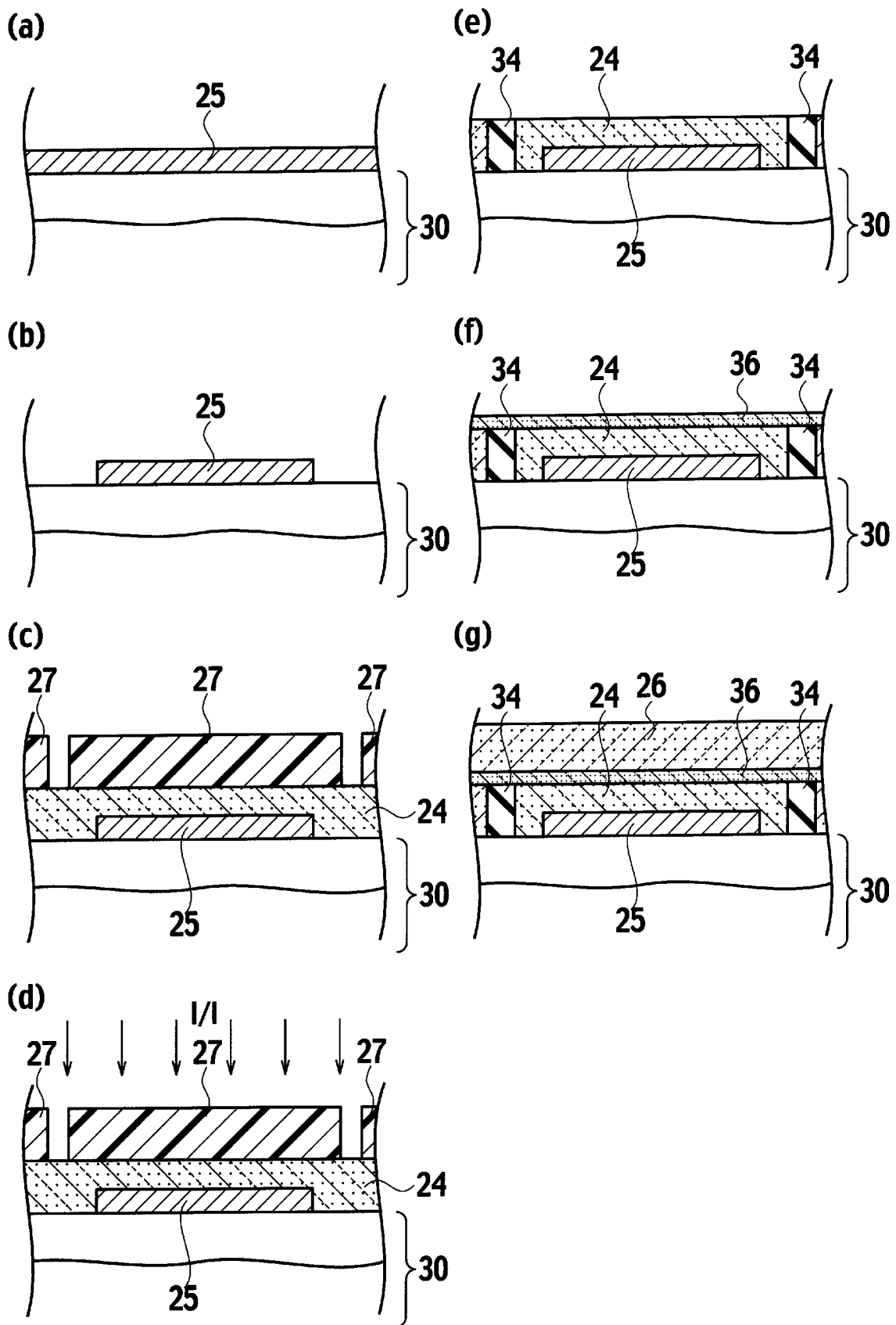
[図1]



A cross-sectional view of a pixel structure (1画素). The structure consists of several layers: a bottom layer (20) with diagonal hatching, a middle layer (24) with diagonal hatching, a layer (25) with diagonal hatching, a layer (32) with diagonal hatching, a layer (34) with diagonal hatching, a layer (36) with diagonal hatching, and a top layer (26) with diagonal hatching. A bracketed region (28) encompasses the layers 24, 25, 32, 34, and 36. Another bracketed region (30) encompasses the layers 20, 24, 25, 32, 34, and 36. The top layer (26) is shown as a thin layer on top of the other layers.

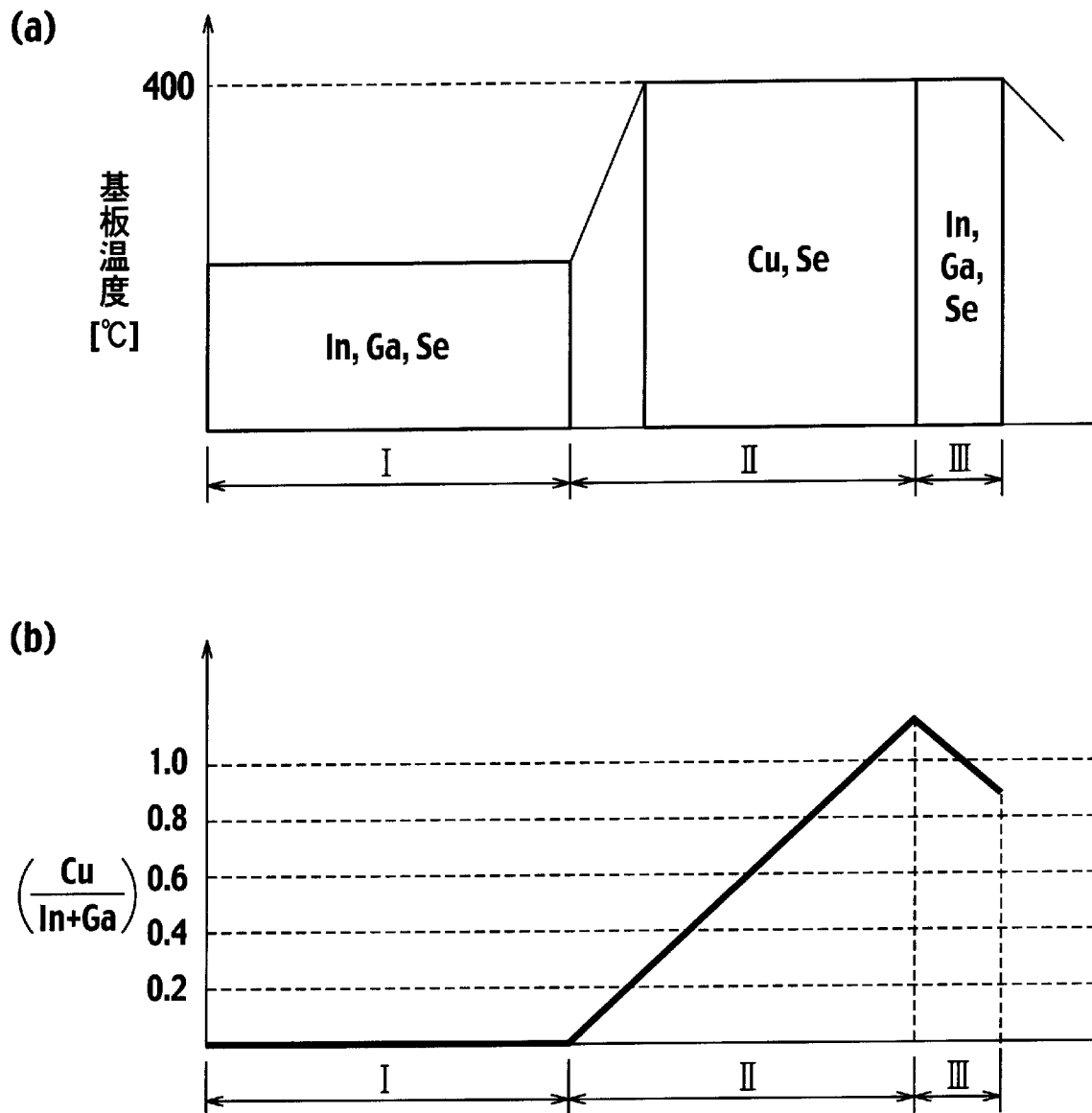
[図4]

FIG. 4



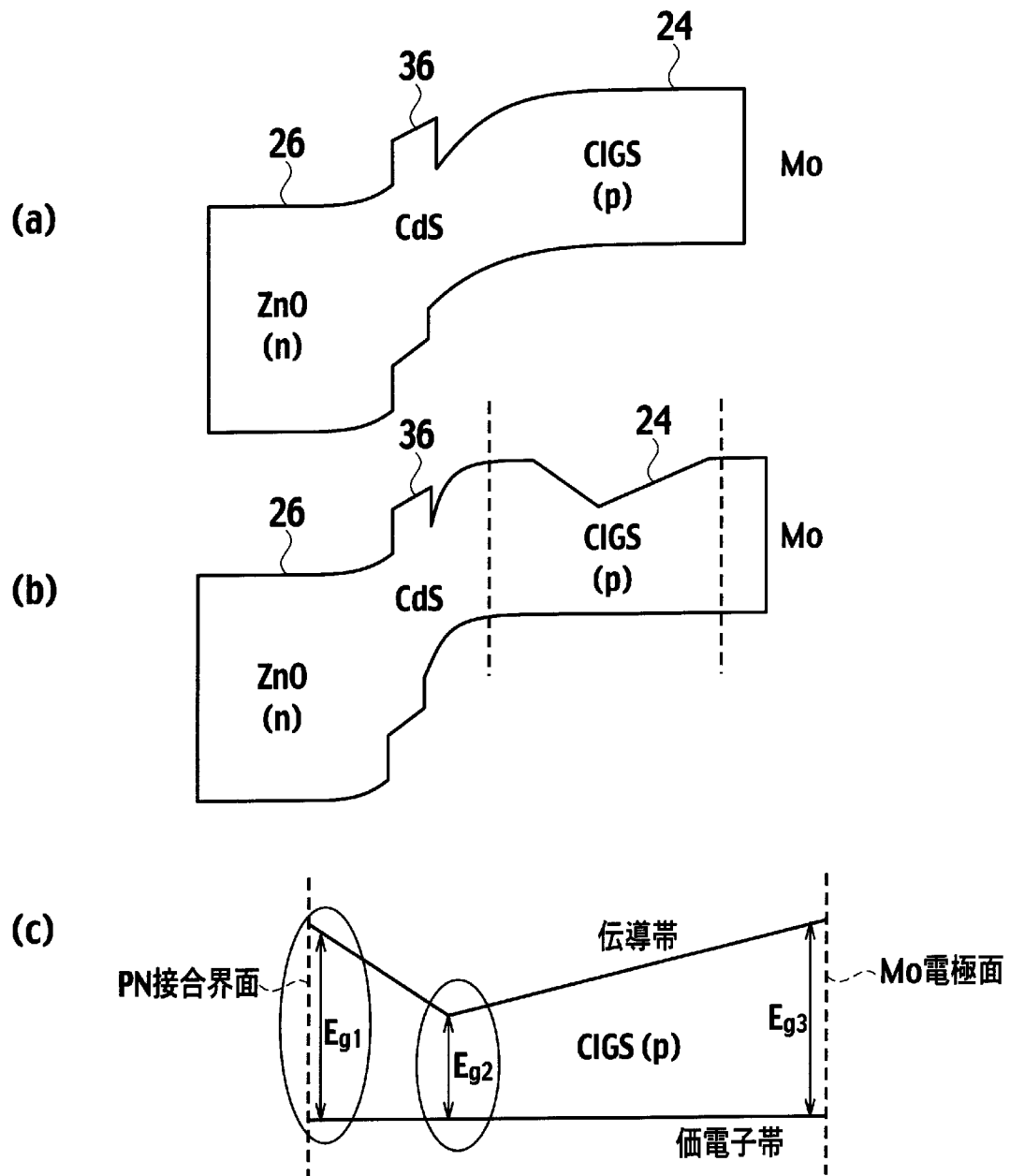
[図5]

FIG. 5



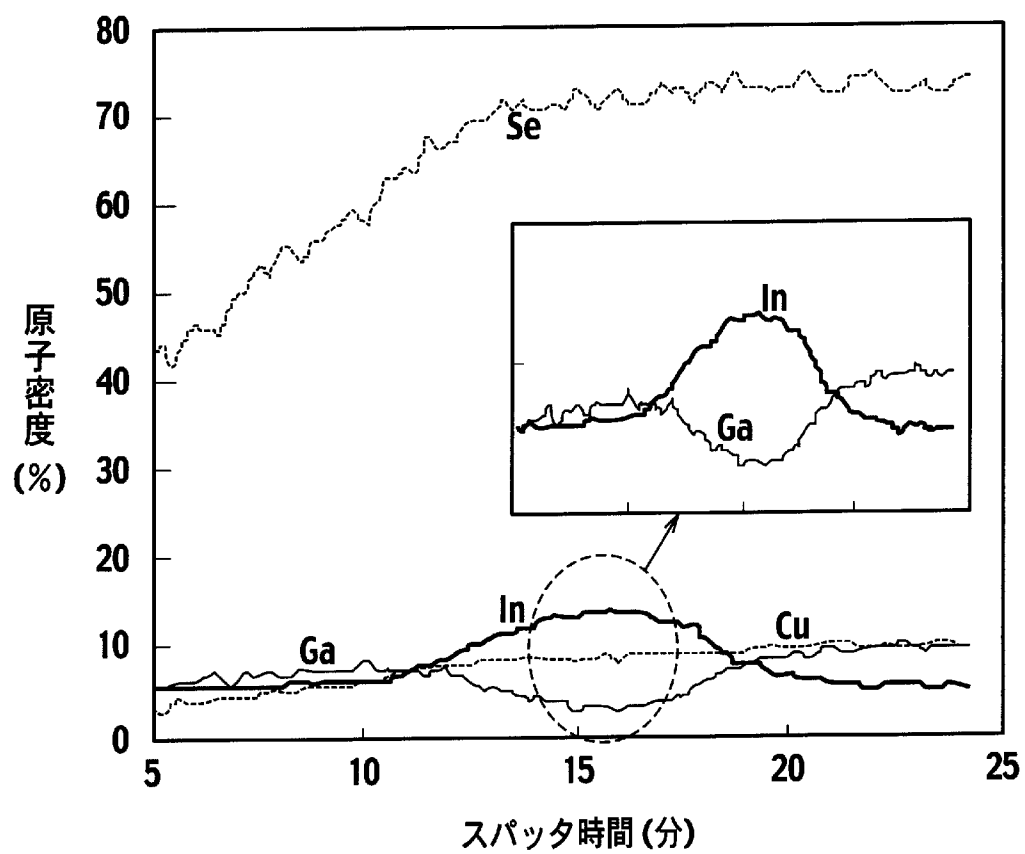
[図6]

FIG. 6



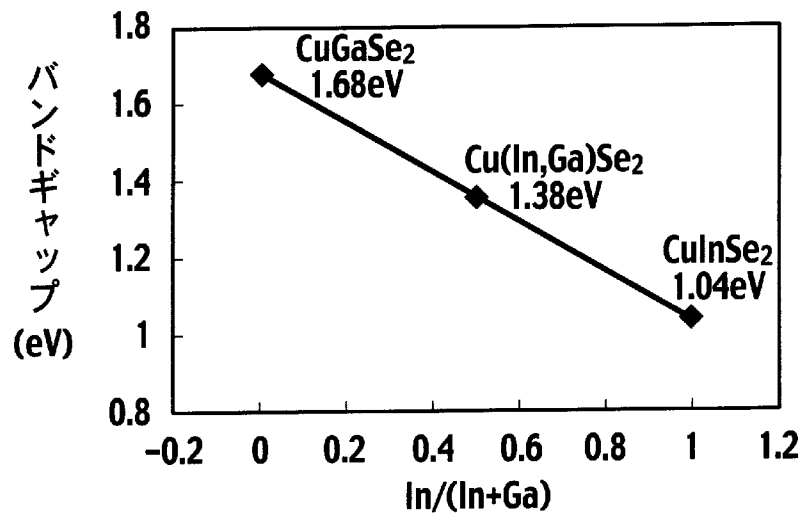
[図7]

FIG. 7



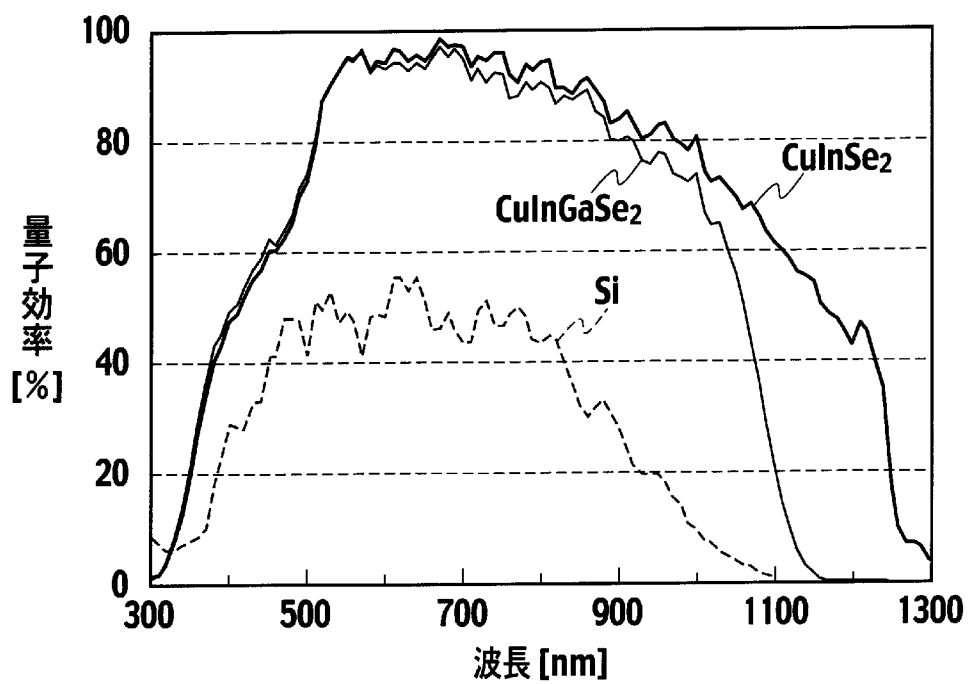
[図8]

FIG. 8



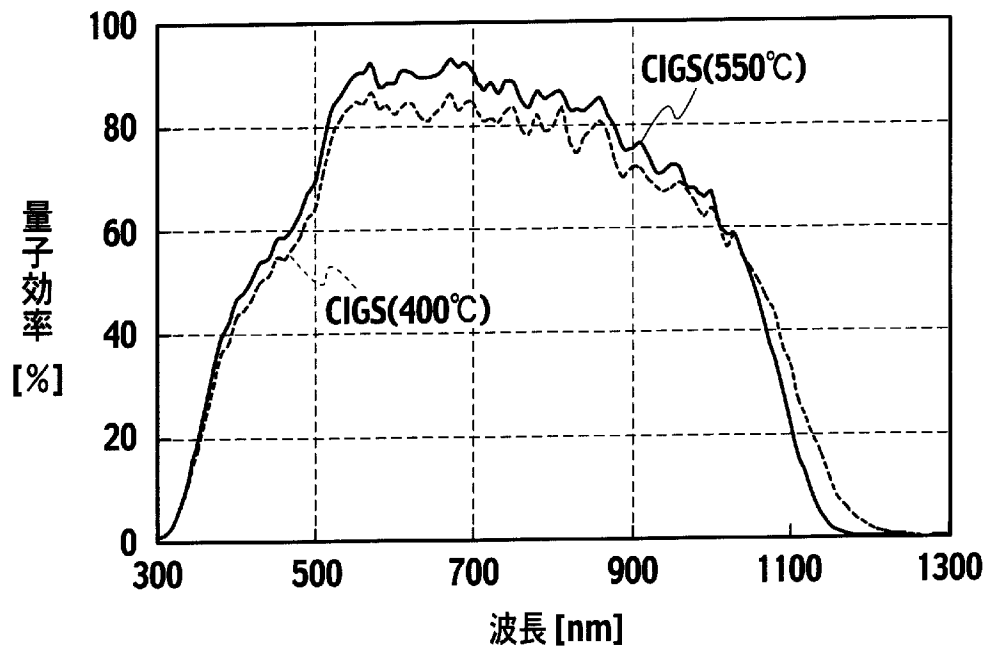
[図9]

FIG. 9



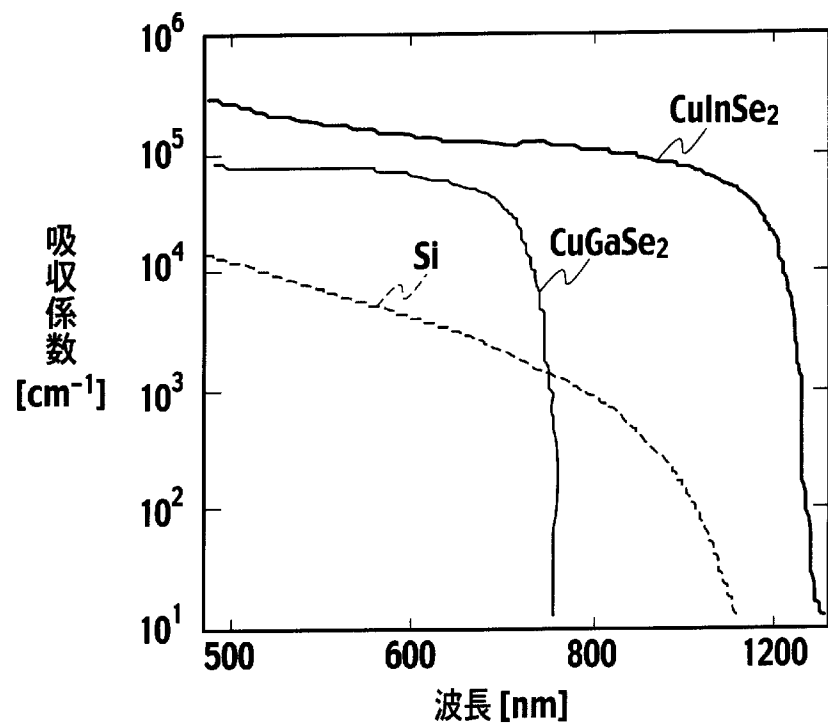
[図10]

FIG. 10



[図11]

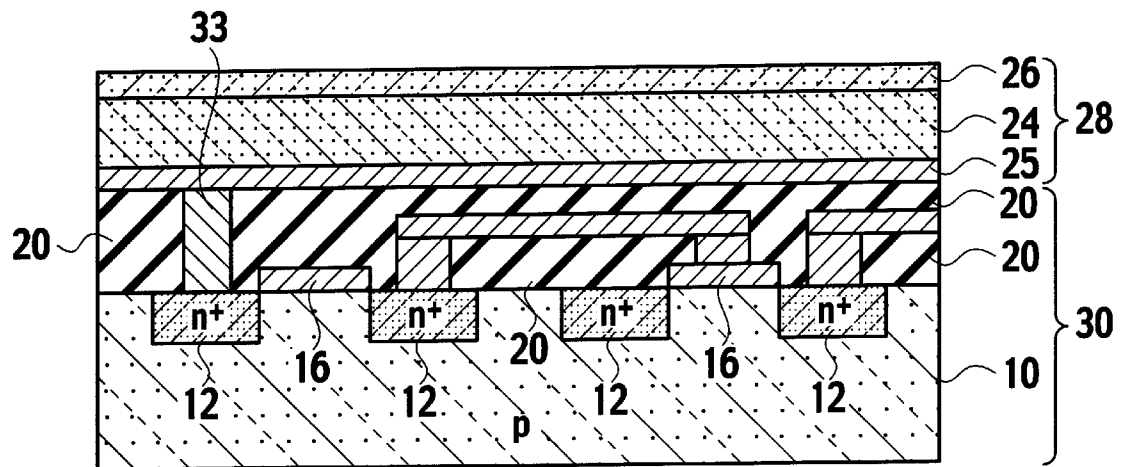
FIG. 11



[illegible]

[図14]

FIG. 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/072261

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H01L31/10(2006.01)i, H04N5/33(2006.01)i, H04N5/335(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H01L31/10, H04N5/33, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-30576 A (Canon Inc.), 03 February, 1992 (03.02.92), Full text; all drawings (Family: none)	1-6, 8-13
Y	JP 7-226410 A (Katsuaki SATO), 22 August, 1995 (22.08.95), Par. Nos. [0005] to [0008], [0037]; Fig. 6 (Family: none)	1-6, 8-13
Y	JP 2004-95931 A (Fuji Xerox Co., Ltd.), 25 March, 2004 (25.03.04), Par. Nos. [0001], [0078] to [0084]; Fig. 5 (Family: none)	1-6, 8-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 December, 2008 (22.12.08)

Date of mailing of the international search report
13 January, 2009 (13.01.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/146(2006.01)i, H01L31/10(2006.01)i, H04N5/33(2006.01)i, H04N5/335(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/146, H01L31/10, H04N5/33, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 4-30576 A（キヤノン株式会社）1992.02.03, 全文、全図（ファミリーなし）	1-6, 8-13
Y	JP 7-226410 A（佐藤 勝昭）1995.08.22, 段落【0005】－【0008】、段落【0037】、図6（ファミリーなし）	1-6, 8-13
Y	JP 2004-95931 A（富士ゼロックス株式会社）2004.03.25, 段落【0001】、段落【0078】－【0084】、図5（ファミリーなし）	1-6, 8-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 1 2 . 2 0 0 8

国際調査報告の発送日

1 3 . 0 1 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

河本 充雄

4 M

9 0 5 6

電話番号 03-3581-1101 内線 3462