(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2011 년 9 월 1 일 (01.09.2011)

PCT

(10) 국제공개번호
WO 2011/105743 A2

(51) 국제특허분류:
*H04N 7/015* (2006.01) *H04L 27/26* (2006.01)
*H04B 7/04* (2006.01)

(21) 국제출원번호: PCT/KR2011/001180

(22) 국제출원일: 2011 년 2 월 23 일 (23.02.2011)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
61/307,334 2010 년 2 월 23 일 (23.02.2010) US

(71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **엘지전자 주식회사 (LG ELECTRONICS INC.)** [KR/KR]; 서울 영등포구 여의도동 20, 150-721 Seoul (KR).

(72) 발명자; 겸
(75) 발명자/출원인 (US 에 한하여): **고우석 (KO, Woo Suk)** [KR/KR]; 서울시 서초구 우면동 16 번지 엘지전자 특허센터, 137-724 Seoul (KR). **문상철 (MOON, Sang Chul)** [KR/KR]; 서울시 서초구 우면동 16 번지 엘지전자 특허센터, 137-724 Seoul (KR). **홍호택 (HONG, Ho Taek)** [KR/KR]; 서울시 서초구 우면동 16 번지 엘지전자 특허센터, 137-724 Seoul (KR).

(74) 대리인: **김용인 (KIM, Yong In)** 등; 서울 송파구 잠실동 175-9 현대빌딩 7 층 KBK 특허법률사무소, 138-861 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

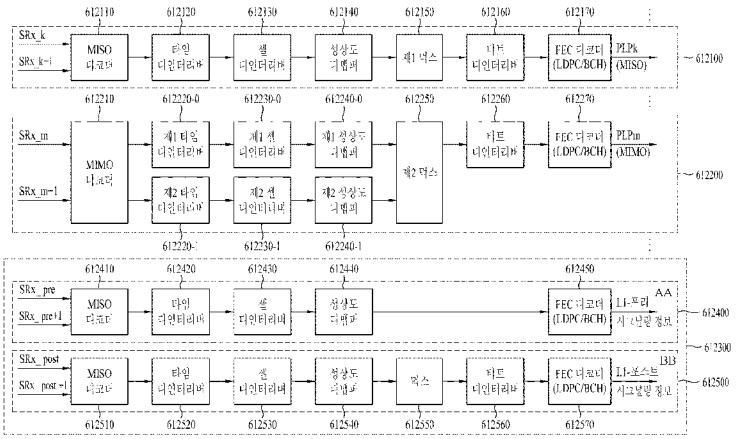
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: BROADCASTING SIGNAL TRANSMITTER/RECEIVER AND BROADCASTING SIGNAL TRANSMISSION/RECEPTION METHOD

(54) 발명의 명칭 : 방송 신호 송/수신기 및 방송 신호 송/수신 방법

[Fig. 38]




(57) Abstract: A broadcasting signal transmission method, according to one embodiment of the present invention, comprises the following steps: FEC encoding and bit interleaving PLP data and signaling information; cell mapping the PLP data and signaling information, and building a frame; and OFDM modulating the PLP data and signaling information, wherein the FEC encoding and bit interleaving step also includes the steps of MISO encoding first PLP data, MIMO encoding second PLP data, and MISO encoding signaling information, and the frame building step can also include the step of cell mapping PLP data cells in pairs within a frequency domain.

(57) 요약서: 본 발명의 일 실시예에 따른 방송 신호 송신 방법은 PLP 데이터 및 시그널링 정보를 FEC 인코딩하고 비트 인터리빙하는 단계, PLP 데이터 및 시그널링 정보를 셀 매핑하여 프레임을 빌딩하는 단계 및 PLP 데이터 및 시그널링 정보를 OFDM 변조하는 단계를 포함하며, FEC 인코딩 및 비트 인터리빙 단계는, 제 1 PLP 데이터에 대해 MISO 인코딩을 수행하는 단계, 제 2 PLP 데이터에 대해 MIMO 인코딩을 수행하는 단계, 시그널링 정보에 대해 MISO 인코딩을 수행하는 단계를 더 포함하며, 프레임 빌딩 단계는 PLP 데이터의 셀들을 주파수 도메인에서 페어 단위로 셀 매핑하는 단계를 더 포함할 수 있다.

WO 2011/105743 A2

**공개**:

— 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

# 명세서

# 발명의 명칭: 방송 신호 송/수신기 및 방송 신호 송/수신 방법

## 기술분야

[1] 본 발명은 방송 신호 송/수신기 및 방송 신호 송/수신 방법에 관한 것으로, 더욱 상세하게는 데이터 전송 효율을 높이면서 종래의 방송 신호 송수신기와 호환될 수 있는 방송 신호를 송수신할 수 있는 방송 신호 송/수신기 및 그의 송/수신 방법에 관한 것이다.

## 배경기술

[2] 아날로그 방송 신호의 송출의 중단 시점이 다가오면서, 디지털 방송 신호를 송수신하기 위한 다양한 기술들이 개발되고 있다. 디지털 방송 신호는 아날로그 방송 신호에 비해 대용량의 비디오/오디오 데이터를 전송할 수 있으며, 비디오/오디오 데이터 외에도 다양한 부가 데이터를 포함할 수 있다.

[3] 디지털 방송 시스템은 HD(High Definition)급의 영상과 다채널의 음향 및 다양한 부가 서비스를 제공할 수 있다. 다만, 고용량의 데이터 전송을 위한 데이터 전송 효율, 송수신 네트워크의 강인성(robustness) 및 모바일 수신 장비를 고려한 네트워크의 유연성(flexibility)은 여전히 개선해야 하는 과제이다.

## 발명의 상세한 설명

## 기술적 과제

[4] 본 발명은 모바일 수신 장비 또는 인도어 환경에서도 디지털 방송 신호를 오류없이 수신할 수 있는 방송 신호의 송수신 방법 및 장치를 제공하고자 한다.

[5] 또한, 본 발명은 상술한 목적을 달성함과 동시에 종래의 방송 시스템과 호환성을 유지할 수 있는 방송 신호의 송/수신기 및 송/수신 방법을 제공하고자 한다.

## 과제 해결 수단

[6] 본 발명의 기술적 해결방법으로서, 본 발명의 일 실시예에 따른 방송 신호 송신기는, PLP 데이터 및 시그널링 정보를 FEC 인코딩하고 비트 인터리빙하는 BICM 인코더, 상기 PLP 데이터 및 상기 시그널링 정보를 셀 매핑하여 프레임을 빌딩하는 프레임 빌더 및 상기 PLP 데이터 및 상기 시그널링 정보를 OFDM 변조하는 OFDM 제네레이터를 포함하며, 상기 BICM 인코더는,

[7] 제 1 PLP 데이터에 대해 MISO 인코딩을 수행하는 MISO 인코더를 포함하는 제 1 BICM 인코딩 블록, 제 2 PLP 데이터에 대해 MIMO 인코딩을 수행하는 MIMO 인코더를 포함하는 제 2 BICM 인코딩 블록, 및 상기 시그널링 정보에 대해 MISO 인코딩을 수행하는 MISO 인코더를 포함하는 제 3 BICM 인코딩 블록을 포함하며, 상기 프레임 빌더는 상기 PLP 데이터의 셀들을 주파수 도메인에서 페어 단위로 셀 매핑하는 셀 매퍼를 포함할 수 있다.

## 발명의 효과

[8] 본 발명에 따르면 디지털 방송 시스템에 있어서 MIMO 시스템을 사용함으로써 데이터 전송 효율을 높이고 방송 신호 송수신의 강인성(Robustness)를 증가시킬 수 있다.

[9] 또한, 본 발명에 따르면 MIMO 프로세싱에 의해 다양한 방송 환경에서도 수신기에서 MIMO 수신 신호들을 효율적으로 복구할 수 있다.

[10] 또한, 본 발명에 따르면 MIMO 시스템을 사용하면서도 종래의 송수신 시스템을 최대한 사용함으로써 호환성을 확보할 수 있는 방송 신호 송/수신기 및 송/수신 방법을 제공할 수 있다.

[11] 또한, 본 발명에 따르면 모바일 수신 장비 또는 인도어 환경에서도 디지털 방송 신호를 오류없이 수신할 수 있는 방송 신호의 송/수신기 및 송/수신 방법을 제공할 수 있다.

## 도면의 간단한 설명

[12] 도 1은 본 발명의 일 실시예에 따른 MIMO 기법을 이용한 방송 신호 송신기를 나타낸 도면이다.

[13] 도 2는 본 발명의 일 실시예에 따른 따른 방송 신호 수신기를 나타낸 도면이다.

[14] 도 3은 본 발명의 일 실시예에 따른 PLP 기반의 추가 프레임 구조를 나타낸 도면이다.

[15] 도 4는 본 발명의 일 실시예에 따른 FEF 기반의 추가 프레임의 구조를 나타낸 도면이다.

[16] 도 5의 A 및 B는 본 발명의 일 실시예에 따른 추가 프레임을 식별하기 위한 P1 심볼 생성과정을 나타낸 도면이다.

[17] 도 6은 본 발명의 일 실시예에 따른 L1-프리 시그널링 정보를 나타낸 도면이다.

[18] 도 7은 본 발명의 일 실시예에 따른 L1-포스트 시그널링 정보를 나타낸 도면이다.

[19] 도 8은 본 발명의 또 다른 실시예에 따른 L1-포스트 시그널링 정보를 나타낸 도면이다.

[20] 도 9는 본 발명의 일 실시예에 따른 방송 신호 전송 방법을 나타낸 개념도이다.

[21] 도 10은 본 발명의 다른 일 실시예에 따른 방송 신호 전송 방법을 나타낸 개념도이다.

[22] 도 11은 본 발명의 일 실시예에 따른 상술한 SVC를 사용한 MIMO 전송 시스템이 적용된 지상파 방송 시스템이 전송하는 방송 신호를 나타낸 도면이다.

[23] 도 12는 본 발명의 일 실시예에 따른 MIMO 송수신 시스템을 나타낸 도면이다.

[24] 도 13은 본 발명의 일 실시예에 따른 채널 환경에서 SM 기법의 MIMO 전송에 따른 데이터 송수신 방법을 나타낸 도면이다.

[25] 도 14는 본 발명의 일 실시예에 따른 MIMO 인코딩 방법을 수행한 입력 신호 및 송수신 신호를 나타낸 도면이다.

[26] 도 15는 MIMO 인코딩 매트릭스로서 GC의 서브세트를 사용한 경우 및 제 1

실시예의 경우의 성상도를 각각 나타낸 도면이다.

[27] 도 16은 MIMO 인코딩 매트릭스로서 GC의 서브세트를 사용한 경우 및 제 1 실시예의 경우의 성상도에서 유클리디언 디스턴스와 해밍 디스턴스의 관계를 나타낸 도면이다.

[28] 도 17은 본 발명의 제 2 실시예에 따른 MIMO 인코딩 방법을 수행한 입력 신호 및 송수신 신호를 나타낸 도면이다.

[29] 도 18은 본 발명의 제 3 실시예에 따른 MIMO 인코딩 방법을 나타낸 도면이다.

[30] 도 19는 본 발명의 제 3 실시예에 따른 MIMO 인코딩 방법을 수행한 입력 신호 및 송수신 신호를 나타낸 도면이다.

[31] 도 20은 본 발명의 제 4 실시예에 따른 MIMO 인코딩 방법을 수행한 입력 신호 및 송신 신호를 나타낸 도면이다.

[32] 도 21은 본 발명의 제 6 실시예에 따른 MIMO 인코딩 방법을 수행한 입력 신호 및 송신 신호를 나타낸 도면이다.

[33] 도 22는 본 발명의 일 실시예에 따른 P1 심볼의 구조와 AP1 심볼의 구조를 나타낸 도면이다.

[34] 도 23은 본 발명의 일 실시예에 따른 P1 심볼 검출 모듈을 나타낸 도면이다.

[35] 도 24는 본 발명의 일 실시예에 따른 AP1 심볼 검출 모듈을 나타낸 도면이다.

[36] 도 25의 A 및 B는 본 발명의 일 실시예에 따른 P1 시그널링 정보 및 AP1 시그널링 정보를 나타낸 도면이다.

[37] 도 26은 본 발명의 또 다른 실시예에 따른 L1-프리 시그널링 정보를 나타낸 도면이다.

[38] 도 27은 본 발명의 또 다른 실시예에 따른 L1-포스트 시그널링 정보를 나타낸 도면이다.

[39] 도 28은 본 발명의 또 다른 실시예에 따른 L1-포스트 다이나믹 시그널링 정보를 나타낸 도면이다.

[40] 도 29는 본 발명의 일 실시예에 따른 방송 신호 송신기의 인풋 프로세서를 나타낸 도면이다.

[41] 도 30은 본 발명의 일 실시예에 따른 방송 신호 송신기의 인풋 프로세서로서, 복수의 PLP를 처리하는 모드 어댑테이션 모듈을 나타낸 도면이다.

[42] 도 31은 본 발명의 일 실시예에 따른 방송 신호 송신기의 인풋 프로세서로서, 복수의 PLP를 처리하는 스트림 어댑테이션 모듈을 나타낸 도면이다.

[43] 도 32는 본 발명의 제 1 실시예에 따른 BICM 인코더를 나타낸 도면이다.

[44] 도 33은 본 발명의 제 1 실시예에 따른 프레임 빌더를 나타낸 도면이다.

[45] 도 34는 본 발명의 제 1 실시예에 따른 OFDM 제너레이터를 나타낸 도면이다.

[46] 도 35는 본 발명의 제 2 실시예에 따른 BICM 인코더를 나타낸 도면이다.

[47] 도 36은 본 발명의 제 1 실시예에 따른 OFDM 디모듈레이터를 나타낸 도면이다.

[48] 도 37은 본 발명의 제 1 실시예에 따른 프레임 디맵퍼를 나타낸 도면이다.

[49] 도 38은 본 발명의 제 1 실시예에 따른 BICM 디코더를 나타낸 도면이다.

[50] 도 39는 본 발명의 제 2 실시예에 따른 BICM 디코더를 나타낸 도면이다.

[51] 도 40은 본 발명의 일 실시예에 따른 방송 신호 수신기의 아웃풋 프로세서를 나타낸 도면이다.

[52] 도 41은 본 발명의 또 다른 실시예에 따른 방송 수신기의 아웃풋 프로세서를 나타낸 도면이다.

[53] 도 42는 본 발명의 제 3 실시예에 따른 BICM 인코더를 나타낸 도면이다.

[54] 도 43은 본 발명의 제 3 실시예에 따른 프레임 빌더를 나타낸 도면이다.

[55] 도 44는 본 발명의 제 3 실시예에 따른 OFDM 제너레이터를 나타낸 도면이다.

[56] 도 45는 본 발명의 제 4 실시예에 따른 BICM 인코더를 나타낸 도면이다.

[57] 도 46은 도 45에 도시된 본 발명의 제 4 실시예에 따른 BICM 인코더의 또 다른 실시예를 나타낸 도면이다.

[58] 도 47은 본 발명의 제 4 실시예에 따른 OFDM 제너레이터를 나타낸 도면이다.

[59] 도 48은 본 발명의 제 4 실시예에 따른 방송 신호 송수신 시스템을 나타낸 도면이다.

[60] 도 49는 본 발명의 제 3 실시예에 따른 OFDM 디모듈레이터를 나타낸 도면이다.

[61] 도 50은 본 발명의 제 3 실시예에 따른 프레임 디맵퍼를 나타낸 도면이다.

[62] 도 51은 본 발명의 제 3 실시예에 따른 BICM 디코더를 나타낸 도면이다.

[63] 도 52은 본 발명의 제 4 실시예에 따른 OFDM 디모듈레이터를 나타낸 도면이다.

[64] 도 53은 본 발명의 제 4 실시예에 따른 BICM 디코더의 일 실시예를 나타낸 도면이다.

[65] 도 54는 본 발명의 제 4 실시예에 따른 BICM 디코더의 또 다른 실시예를 나타낸 도면이다.

[66] 도 55의 (a) 내지 (e)는 LDPC 블록 길이가 16800이고, 심볼 매핑에 이용될 변조 포맷이 256QAM일 때, 각 코드 레이트에 따른 디멀티플렉서의 출력 순서의 실시예들을 보이고 있다.

[67] 도 56은 도 55의 디먹스 타입에 따라 디멀티플렉서의 입력 비트와 출력 비트와의 매핑 관계를 보인 예이다.

[68] 도 57의 (a) 내지 (c)는 LDPC 블록 길이가 16800이고, 심볼 매핑에 이용될 변조 포맷이 256QAM일 때, 각 코드 레이트에 따른 디멀티플렉서의 출력 순서의 다른 실시예들을 보이고 있다.

[69] 도 58은 도 57의 디먹스 타입에 따라 디멀티플렉서의 입력 비트와 출력 비트와의 매핑 관계를 보인 예이다.

[70] 도 59의 (a) 내지 (c)는 LDPC 블록 길이가 16800이고, 심볼 매핑에 이용될 변조 포맷이 256QAM일 때, 각 코드 레이트에 따른 디멀티플렉서의 출력 순서의 또 다른 실시예들을 보이고 있다.

[71] 도 60의 (a) 내지 (c)는 LDPC 블록 길이가 16800이고, 심볼 매핑에 이용될 변조 포맷이 64QAM일 때, 각 코드 레이트에 따른 디멀티플렉서의 출력 순서의 실시예들을 보이고 있다.

[72] 도 61의 (a),(b)는 LDPC 블록 길이가 16800이고, 심볼 매핑에 이용될 변조 포맷이 16QAM일 때, 각 코드 레이트에 따른 디멀티플렉서의 출력 순서의 실시예들을 보이고 있다.

[73] 도 62는 본 발명에 따른 프레임 내 셀 매핑 구조를 나타낸 도면이다.

[74] 도 63은 본 발명에 따른 페어-와이즈 주파수 인터리버의 인터리빙 수행과정을 나타낸 도면이다.

[75] 도 64는 본 발명에 따른 페어-와이즈 주파수 디인터리버의 디인터리빙 수행과정을 나타낸 도면이다.

[76] 도 65는 본 발명의 제 1 실시예 및 제 2 실시예에 따른 프레임 내 셀 매핑 구조의 일 실시예를 나타낸 도면이다.

[77] 도 66은 본 발명의 제 3 실시예 및 제 4 실시예에 따른 프레임 내 셀 매핑 구조의 일 실시예를 나타낸 도면이다.

[78] 도 67은 본 발명의 일 실시예에 따른 방송 신호 송신기의 송신 방법을 나타낸 순서도이다.

## 발명의 실시를 위한 최선의 형태

[79] 본 명세서에서 사용되는 용어는 본 발명에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 이는 당 분야에 종사하는 기술자의 의도, 관례 또는 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한 특정 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 발명의 설명 부분에서 그 의미를 기재할 것이다. 따라서 본 명세서에서 사용되는 용어는, 단순한 용어의 명칭이 아닌 그 용어가 아닌 실질적인 의미와 본 명세서의 전반에 걸친 내용을 토대로 해석되어야 함을 밝혀두고자 한다.

[80] 디지털 방송 시스템에서 전송 효율을 높이고 강건한(robust) 통신을 수행하기 위해 다양한 기술이 도입되고 있다. 그 중 하나로서 송신측 또는 수신측에서 복수의 안테나를 사용하는 방법이 제안되고 있으며, 이를 각각 단일 안테나 전송 단일 안테나 수신 방식(SISO; Single-Input Single-Output), 단일 안테나 전송 다중 안테나 수신 방식(SIMO; Single-Input Multi-Output) 다중 안테나 전송 단일 안테나 수신 방식(MISO; Multi-Input Sinle-Output), 다중 안테나 전송 다중 안테나 수신 방식(MIMO; Multi-Input Multi-Output)으로 나눌 수 있다. 이하에서, 다중 안테나는 설명의 편의를 위해 2개의 안테나를 예로서 설명할 수 있으나, 이러한 본 발명의 설명은 2개 이상의 안테나를 사용하는 시스템에 적용될 수 있다.

[81] SISO 방식은 1개의 송신 안테나와 1개의 수신 안테나를 사용하는 일반적인 방송 시스템을 나타낸다. SIMO 방식은 1개의 송신 안테나와 복수의 수신 안테나를 사용하는 방송 시스템을 나타낸다.

[82] MISO 방식은 복수의 송신 안테나와 1개의 수신 안테나를 사용하여 송신 다이버시티를 제공하는 방송 시스템을 나타내며, 일 예로서 알라모우티(Alamouti) 방식 등을 나타낸다. MISO 방식은 1개의 안테나로 데이터를 성능 손실(performance loss) 없이 수신할 수 있는 방식을 일컫는다. 수신 시스템에서 성능 향상을 위해 복수의 수신 안테나로 동일한 데이터를 수신할 수 있지만, 이러한 경우에도 본 명세서에서는 이를 MISO의 범위에 포함하여 설명하도록 한다.

[83] MIMO 기술을 적용한 시스템의 성능은 전송 채널의 특성에 의존하는데, 특히 독립적 채널 환경들을 가진 시스템에서 그 효율이 높아진다. 즉, 송신단의 각 안테나에서 수신단의 각 안테나까지 이르는 각 채널들이 서로 상관성이 없는 독립적인 채널일수록 MIMO 기술을 적용한 시스템의 성능은 좋아질 수 있으나, LOS (line-of-sight) 환경처럼 각 송수신 안테나간 채널들의 상호 상관성이 매우 높은 채널 환경에서는 MIMO 기술을 적용한 시스템의 성능이 급격히 떨어지거나 또는 동작 자체가 불가능한 경우가 발생할 수도 있다.

[84] 또한, SISO(Single-Input Single-Output) 및 MISO 방식을 사용하던 방송 시스템에 MIMO 방식을 적용하는 경우, 데이터 전송 효율을 높일 수 있으나 상술한 문제점 외에도 단일 안테나를 갖는 수신기에서도 서비스를 수신할 수 있도록 호환성을 유지해야 하는 과제가 존재한다. 따라서 본 발명에서는 이하에서 이러한 현존하는 문제점 및 과제들을 해결할 수 있는 방법을 제시하도록 한다.

[85] 또한 본 발명에서는 종래 지상파 방송 시스템, 예컨대 DVB-T2 등의 지상파 방송 시스템과 RF 주파수 대역을 공유하면서, 추가적인 방송 신호(또는 인핸스드 방송 신호) 예컨대 모바일 방송 신호를 송수신할 수 있는 시스템을 위한 방송 신호 송수신기 및 송수신방법을 제시할 수 있다.

[86] 이를 위해, 본 발명에서는 통신환경에 강인하지만 화질이 낮은 기본 비디오 컴포넌트와, 고화질의 영상을 제공할 수 있지만 통신 환경에 다소 취약한 확장 비디오 컴포넌트로 구분하여 전송할 수 있는 확장성(scalability))을 갖는 비디오 코딩 방법을 사용할 수 있다. 본 발명에서는 확장성을 갖는 비디오 코딩 방법으로 SVC을 설명하나, 이외의 임의의 비디오 코딩 방법을 적용할 수 있다. 이하 도면을 참조하여 본 발명의 실시예들을 보다 상세히 설명한다.

[87] 본 발명의 방송 신호 송신기 및 수신기는 복수의 안테나를 통해 송수신되는 복수의 신호에 대해 MISO 프로세싱 및 MIMO 프로세싱을 수행할 수 있으며, 이하에서는 2개의 안테나를 통해 송수신되는 2개의 신호에 대해 신호처리를 수행하는 방송 신호 송수신기에 대하여 설명하도록 한다.

[88]

[89] 도 1은 본 발명의 일 실시예에 따른 MIMO 기법을 이용한 방송 신호 송신기를 나타낸 도면이다.

[90] 도 1에 도시된 바와 같이, 본 발명에 따른 방송 신호 송신기는 인풋 프리-프로세서(101100), 인풋 프로세서101200), BICM(Bit Interleaved Coded

Modulation)인코더(101300), 프레임 빌더(101400), OFDM (Orthogonal frequency-division multiplexing) 제너레이터(또는 송신부)(101500)를 포함할 수 있다. 본 발명에 따른 방송 신호 송신기는 복수의 MPEG-TS 스트림 또는 GSE (General Sream Encapsulation) 스트림(또는 GS 스트림)을 입력 받을 수 있다.

[91] 인풋 프리-프로세서(101100)는 입력 스트림 즉, 복수의 MPEG-TS 스트림 또는 GSE 스트림에 대해 강인성을 부여하기 위하여 서비스 단위로 복수의 PLP(physical layer pipe)를 생성할 수 있다.

[92] PLP는 피지컬 레이어에서 식별이 되는 데이터의 단위로, PLP별로 동일한 전송 경로에서 데이터가 가공된다. 즉, PLP는 전송 경로에서 처리되는 피지컬 레이어의 속성이 동일한 데이터로서, 프레임 내의 셀 단위로 매핑될 수 있다. 또한 PLP는 하나 또는 복수의 서비스를 전달(carry)하는 피지컬 레이어 TDM(Time Division Multiplex) 채널로 볼 수 있다. 이러한 서비스가 전송되는 경로 또는 그 경로를 통해서 전송되는, 피지컬 레이어에서 식별 가능한 스트림의 단위를 PLP라고 호칭한다.

[93] 이후 인풋 프로세서(101200)은 생성된 복수의 PLP를 포함하는 BB(Base Band) 프레임을 생성할 수 있다. 또한 BICM 모듈(101300)은 전송 채널상의 오류를 정정할 수 있도록 BB 프레임에 리던던시(redundancy)를 추가하고 BB 프레임에 포함된 PLP 데이터를 인터리빙할 수 있다.

[94] 프레임 빌더(101400)는 복수의 PLP를 프레임에 매핑하고, 시그널링 정보를 추가하여 프레임 구조를 완성할 수 있다. OFDM 제너레이터(101500)는 프레임 빌더로부터 입력 데이터를 OFDM 복조하여 복수의 안테나를 통해 전송될 수 있는 복수의 경로로 분리하여 출력할 수 있다. 각 블록에 대한 구체적인 설명은 후술하기로 한다.

[95]

[96] 도 2는 본 발명의 일 실시예에 따른 따른 방송 신호 수신기를 나타낸 도면이다.

[97] 도 2에 도시된 바와 같이 방송 신호 수신기는 OFDM 디모듈레이터(107100), 프레임 디맵퍼(107200), BICM 디코더(107300) 및 아웃풋 프로세서(107400)를 포함할 수 있다. OFDM 디모듈레이터(또는 OFDM 복조부 또는 수신부)(107100)는 복수개의 수신 안테나로 수신된 신호들을 주파수 영역의 신호로 변환할 수 있다. 프레임 디맵퍼(107200)는 주파수 영역으로 변환된 신호 중 필요한 서비스를 위한 PLP들을 출력할 수 있다. BICM 디코더(107300)는 전송 채널에 의해서 발생한 에러를 정정할 수 있으며, 아웃풋 프로세서(107400)는 출력 TS 혹은 GS 스트림을 발생시키기 위해 필요한 과정들을 수행할 수 있다. 이때, 입력 안테나 신호는 듀얼 극성 신호를 입력받을 수 있으며 출력 TS 혹은 GS 스트림은 한 개 혹은 복수개의 스트림들이 출력될 수 있다.

[98]

[99] 도 3은 본 발명의 일 실시예에 따른 PLP 기반의 추가 프레임 구조를 나타낸 도면이다.

[100] 도 3에 도시된 바와 같이 본 발명의 일 실시예에 따른 프레임은 프리앰블 영역과 데이터 영역을 포함할 수 있다. 프리앰블 영역은 P1 심볼과 P2 심볼을 포함할 수 있으며, 데이터 영역은 복수의 데이터 심볼을 포함할 수 있다. P1 심볼은 P1 시그널링 정보를 전송하고, P2 심볼은 L1- 시그널링 정보를 전송할 수 있다.

[101] 이 경우, 본 발명에서는 프리앰블 영역에 추가적으로 프리앰블 심볼을 할당할 수 있다. 이와 같은 추가의 프리앰블 심볼을 AP1 (Additional Preable 1)심볼이라 하기로 하며, 본 발명은 매우 낮은 SNR 또는 시간-선택적인 페이딩 조건들에서 모바일 방송 신호의 검출 성능을 향상시키기 위해 프레임에 하나 이상의 AP1 심볼을 추가하는 것을 일 실시예로 할 수 있다. AP1 심볼에 의해 전송되는 AP1 시그널링 정보는 추가적인 전송 파라미터를 포함할 수 있다.

[102] 본 발명의 일 실시에 따른 AP1 시그널링 정보는 해당 프레임에 삽입되는 파일럿 패턴 정보를 포함할 수 있다. 따라서 본 발명의 일 실시예에 따른 방송 신호 수신기는 P2 심볼이 전송되지 않고, 데이터 영역의 데이터 심볼들에 L1 시그널링 정보가 스프레딩되어 있는 경우 AP1 시그널링 정보를 이용하여 데이터 영역의 L1 시그널링 정보를 디코딩하기 전에 파일럿 패턴을 알 수 있다.

[103] 또한 프레임의 데이터 영역에 L1-시그널링 정보가 스프레딩 되는 경우, 본 발명의 일 실시에 따른 AP1 시그널링 정보는 방송 신호 수신기가 프레임의 데이터 영역에 스프레드된 시그널링 정보를 디코딩하기 위해 필요한 정보를 더 포함할 수 있다.따라서 본 발명에 따른 프레임의 프리앰블 영역은 P1 심볼, 하나 이상의 AP1 심볼, 하나 이상의 P2 심볼을 포함할 수 있다. 그리고 데이터 영역은 복수개의 데이터 심볼들(또는 데이터 OFDM 심볼이라 함)들로 구성된다. P2 심볼은 선택적이며, P2 심볼의 삽입 여부는 AP1 심볼을 통해 전송되는 AP1 시그널링 정보에 시그널링하는 것을 일 실시예로 할 수 있다.

[104] 본 발명에 따른 P1 심볼과 AP1 심볼은 방송 신호 송신기의 OFDM 제너레이터(101500) 내 P1 삽입 모듈에서 매 프레임마다 삽입하는 것을 일 실시예로 할 수 있다. 즉, P1 삽입 모듈은 매 프레임마다 2개 이상의 프리앰블 심볼을 삽입한다. 다른 실시예로, P1 삽입 모듈 후단에 AP1 삽입 모듈을 추가하고, AP1 삽입 모듈에서 AP1 심볼을 삽입할 수도 있다. 본 발명에서와 같이 2개 이상의 프리앰블 심볼을 사용하는 경우 모바일 페이딩 환경에서 발생할 수 있는 버스트 페이딩(burst fading)에 더욱 강인해지고, 신호 검출(signal detection) 성능을 향상시키는 장점을 가진다.

[105] P1 심볼은 전송 타입 및 베이직 전송 파라미터에 관련된 P1 시그널링 정보를 전송할 수 있으며, 수신기에서는 P1 심볼을 이용하여 프레임을 검출할 수 있다. P2 심볼은 복수개가 될 수 있으며, L1 시그널링 정보 및 커먼 PLP와 같은 시그널링 정보를 운반할 수 있다. L1 시그널링 정보는 L1-프리 시그널링 정보, L1-포스트 시그널링 정보를 포함할 수 있으며, 커먼 PLP는 NIT(Network Information Table)와 같은 네트워크 정보 또는 PLP 정보 및 SDT(Service

Description Table) 또는 EIT(Event Information Table)와 같은 서비스 정보를 포함할 수 있다. 본 발명의 프리앰블은 설계자의 의도에 따라 P1 심볼, L1-프리 시그널링 정보 및 L1- 포스트 시그널링 정보만을 포함할 수 있고, P1 심볼, L1-프리 시그널링 정보, L1- 포스트 시그널링 정보 및 커먼 PLP를 전부 포함할 수 있다. P2 심볼 후단에 위치한 복수의 데이터 심볼은 복수의 PLP 데이터를 포함할 수 있다. 복수의 PLP는 오디오, 비디오 및 데이터 TS 스트림 및 PAT(Program Association Table), PMT(Program Map Table)와 같은 PSI/SI 정보를 포함할 수 있다. 본 발명에서는 PSI/SI 정보를 전송하는 PLP를 베이스 PLP라 호칭할 수 있다. PLP는 프레임당 하나의 서브 슬라이스에 의해 전송되는 타입 1 PLP와 복수개의 서브 슬라이스에 의해 전송되는 타입 2 PLP를 포함할 수 있다. 또한 복수의 PLP는 하나의 서비스를 전송할 수 있고, 하나의 서비스에 포함되는 서비스 컴포넌트들을 전송할 수도 있다. 만약 PLP가 서비스 컴포넌트를 전송하는 경우, 전송측은 서비스 컴포넌트를 전송하는 PLP임을 지시하는 시그널링 정보를 전송할 수 있다.

[106] 또한 본 발명에서는 종래 지상파 방송 시스템과 RF 주파수 대역을 공유하면서, 기본적인 데이터 외에 추가적인 데이터(또는 인핸스드 방송 신호)를 특정 PLP를 통해 전송하는 것을 일 실시예로 할 수 있다. 이 경우 전송측은 상술한 P1 심볼의 시그널링 정보를 통해 현재 전송되는 신호 또는 시스템을 정의할 수 있을 것이다. 이하에서는 추가적인 데이터가 비디오 데이터의 경우를 설명한다. 즉, 도 3에 도시된 바와 같이 프레임의 타입 2 PLP인 PLP M1(112100)과 PLP (M1+M2)(112200)은 추가적인 비디오 데이터를 포함하여 전송할 수 있다. 또한 본 발명에서는 이와 같이 추가적인 비디오 데이터를 전송하는 프레임을 추가 프레임이라 호칭할 수 있으며, 기본적인 데이터를 전송하는 프레임을 기본 프레임(또는 기본 프레임)이라 호칭할 수 있다.

[107] 또한 본 발명에서는 설계자의 의도에 따라 추가적인 비디오 데이터를 전송할 수 있을 뿐만 아니라 종래 지상파 방송 시스템과는 다른 새로운 방송 시스템과 관련된 데이터를 전송하는 프레임을 추가 프레임이라 호칭할 수도 있다. 이 경우 종래 지상파 방송을 전송하는 프레임을 지상파 방송 프레임이라 호칭할 수 있으며 추가 프레임은 새로운 방송 시스템과 관련된 기본적인 데이터 또는 추가적인 데이터를 전송할 수 있다.

[108]

[109] 도 4는 본 발명의 일 실시예에 따른 FEF 기반의 추가 프레임의 구조를 나타낸 도면이다.

[110] 도 4에서는 상술한 추가적인 비디오 데이터를 전송하기 위하여 FEF(Future extension frame)를 사용하는 경우를 나타내고 있다. 본 발명에서는 기본적인 비디오 데이터를 전송하는 프레임을 기본 프레임이라 호칭하고, 추가적인 비디오 데이터를 전송하는 FEF를 추가 프레임이라 호칭할 수 있다.

[111] 도 4는 기본 프레임과 추가 프레임이 멀티플렉싱된 수퍼 프레임(113100,

113200) 구조를 나타내고 있다. 수퍼 프레임(11310)에 포함된 프레임 중 표시 되지 않은 프레임(113100-1~n)은 기본 프레임이며, 표시된 프레임(113110-1~2)은 추가 프레임이다.

[112] 도 4의 A는 기본 프레임과 추가 프레임의 비율이 N:1인 경우를 나타낸 도면이다. 이 경우 수신기에서 하나의 추가 프레임(113120-1)을 수신한 뒤 다음 추가 프레임(113120-2)을 수신하는데 걸리는 시간은 n개의 기본 프레임 정도에 해당할 수 있다.

[113] 도 4의 B는 기본 프레임과 추가 프레임의 비율이 1:1인 경우를 나타낸 도면이다. 이 경우, 수퍼 프레임(113200) 내에서 추가 프레임의 비율이 최대가 될 수 있으므로, 추가 프레임은 기본 프레임과의 공유성을 극대화시키기 위하여 기본 프레임과 매우 유사한 구조를 가질 수도 있다. 또한 이 경우 수신기에서 하나의 추가 프레임(113210-1)을 수신한 뒤 다음 추가 프레임(113210-1)을 수신하는데 걸리는 시간은 1개의 기본 프레임(113220) 정도에 해당하므로, 도 4의 A에 도시된 경우보다 주기가 짧다.

[114]

[115] 도 5의 A 및 B는 본 발명의 일 실시예에 따른 추가 프레임을 식별하기 위한 P1 심볼 생성과정을 나타낸 도면이다.

[116] 도 4에 도시된 바와 같이 기본 프레임 구별되는 추가 프레임을 통해 추가적인 비디오 데이터를 전송하는 경우, 수신기에서 추가 프레임을 식별하고 처리할 수 있도록 별도의 시그널링 정보를 전송해야 한다. 본 발명의 추가 프레임은 이와 같이 별도의 시그널링 정보를 전송하는 P1 심볼을 포함할 수 있으며, 이를 new_system_P1 심볼이라 호칭할 수 있다. 이는 기존 프레임에서 사용되던 P1 심볼과 다를 수 있으며, 복수개가 될 수 있다. 이때 new_system_P1 심볼은 프레임의 프리앰블 영역 내 첫 번째 P2 심볼 전단에 위치하는 것을 일 실시예로 할 수 있다.

[117] 또한 본 발명에서는 new_system_P1 심볼을 생성하기 위하여 기존의 프레임의 P1 심볼을 수정하여 사용할 수 있다. 이를 위하여 본 발명에서는 기존 프레임의 P1 심볼의 구조를 수정하여 new_system_P1 심볼을 생성하거나, 심볼을 생성하는 심볼 제너레이션부(114100)을 변형시켜 new_system_P1 심볼을 생성하는 방법을 제시한다.

[118] 도 5의 A는 기존 프레임의 P1 심볼의 구조를 나타낸 도면이다. 본 발명에서는 도 5의 A에 도시된 기존 프레임의 P1 심볼의 구조를 수정하여 new_system_P1 심볼을 생성할 수 있다. 이 경우, 기존 P1 심볼의 prefix와 postfix를 위한 주파수 변위값(f_SH)을 변형시키거나 P1 심볼의 길이(T_P1C나 T_P1B의 크기)를 바꿔서 new_system_P1 심볼을 생성할 수 있다. 단, P1 심볼 구조를 수정하여 new_system_P1심볼을 생성하는 경우, P1 심볼 구조에 사용되는 파라미터들(f_SH, T_P1C, T_P1B의 크기)도 적절하게 수정되어야 한다.

[119] 도 5의 B는 P1 심볼을 생성하는 P1 심볼 제너레이션부를 나타낸 도면이다. 본

발명에서는 도 5의 B에 도시된 P1 심볼 제너레이션부를 변형시켜 new_system_P1 심볼을 생성할 수 있다. 이 경우, P1 심볼 제너레이션부에 포함된 CDS 테이블 모듈(114110), MSS 모듈(114120) 및 C-A-B 스트럭쳐 모듈(114130)으로부터 P1 심볼에 사용되는 액티브 캐리어(active carrier)의 분포를 바꾸는 방법(예를 들어 CDS 테이블 모듈(114110)이 다른 CSS(Complementary Set of Sequence)를 사용하는 방법등) 또는 P1 심볼로 전송하는 정보를 위한 패턴을 변형시키는 방법(MSS 모듈(114120)이 다른 CSS(Complementary Set of Sequence)를 사용하는 방법 등)등을 사용하여 new_system_P1 심볼을 생성할 수 있다.

[120] 또한 도 3에서 설명한 본 발명의 AP1 심볼은 도 5에서 설명한 과정을 통해 생성될 수 있다.

[121]

[122] 도 6은 본 발명의 일 실시예에 따른 L1-프리 시그널링 정보를 나타낸 도면이다.

[123] 상술한 바와 같이 L1 시그널링 정보는 L1-프리 시그널링 정보 및 L1-포스트 시그널링 정보를 포함할 수 있다.

[124] 도 6은 본 발명의 일 실시예에 따른 L1-프리 시그널링 정보에 포함되는 테이블을 나타낸 도면이다. L1-프리 시그널링 정보는 L1-포스트 시그널링 정보를 수신 및 디코딩하는데 필요한 정보를 포함할 수 있다. 이하 테이블에 포함되는 각 필드들을 살펴본다. 각 필드의 크기와 테이블에 포함될 수 있는 필드의 종류는 설계자의 의도에 따라 추가 또는 변경 가능하다.

[125] TYPE 필드는 8비트의 크기를 가지는 필드로, 인풋 스트림의 타입이 TS인지 GS인지를 지시할 수 있다.

[126] BWT_EXT 필드는 1비트의 크기를 가지는 필드로, OFDM 심볼의 대역폭 확장(bandwidth extension) 여부를 지시할 수 있다.

[127] S1 필드는 3 비트의 크기를 가지는 필드로, 현재 전송 시스템이 MISO인지 SISO인지 또는 MIMO 인지를 지시할 수 있다.

[128] S2 필드는 4 비트의 크기를 가지는 필드로, FFT 사이즈를 지시할 수 있다.

[129] L1_REPETITION_FLAG 필드는 1비트의 크기를 가지는 필드로, P2 심볼에 현재 프레임과 관련된 L1-포스트 시그널링 정보가 시그널링되어 있는지 여부를 지시할 수 있다. 만약 다음 프레임에 대한 L1 시그널링 정보가 현재 프레임의 데이터 심볼들에 스프레딩 되어 전송된다면, L1_REPETITION_FLAG 필드는 다음 프레임에 대한 L1 시그널링 정보가 현재 프레임에 스프레드되었는지 여부를 지시할 수 있다. 예를 들어, L1_REPETITION_FLAG 필드가 1이면 다음 프레임에 대한 L1 시그널링 정보가 현재 프레임에 스프레딩되었음을 나타내고, 0이면 스프레딩되어 있지 않음을 나타낸다.

[130] GUARD_INTERVAL 필드는 3비트의 크기를 가지는 필드로, 현재 프레임의 가드 인터벌의 크기를 지시할 수 있다.

[131] PAPR 필드는 4비트의 크기를 가지는 필드로, PAPR 리덕션(Peak-to-Average

Power Ratio reduction)의 방식을 지시할 수 있다. 본 발명에서 사용되는 PAPR 방식으로는 본 발명에서는 PAPR 방식으로, ACE(Active constellation extension)방식이나 TR(tone reservation)방식을 일 실시예로 할 수 있다.

[132] L1_MOD 필드는 4비트의 크기를 가지는 필드로, L1-포스트 시그널링 정보의 QAM 모듈레이션 타입을 지시할 수 있다.

[133] L1_COD 필드는 2비트의 크기를 가지는 필드로, L1-포스트 시그널링 정보의 코드 레이트를 지시할 수 있다.

[134] L1_FEC_TYPE 필드는 2비트의 크기를 가지는 필드로, L1-포스트 시그널링 정보의 FEC 타입을 지시할 수 있다.

[135] L1_POST_SIZE 필드는 18비트의 크기를 가지는 필드로, 부호화(coded) 및 변조(modulated)된 L1-포스트 시그널링 정보의 크기를 지시할 수 있다.

[136] L1_POST_INFO_SIZE 필드는 18비트의 크기를 가지는 필드로, L1-포스트 시그널링 정보의 정보 영역의 크기를 지시할 수 있다.

[137] PILOT_PATTERN 필드는 4비트의 크기를 가지는 필드로, 현재 프레임의 파일럿 삽입 패턴을 지시할 수 있다.

[138] TX_ID_AVAILABILITY 필드는 8비트의 크기를 가지는 필드로, 현재 지리적인 셀의 범위 내에서 전송 장치 식별 능력을 지시할 수 있다.

[139] CELL_ID 필드는 16비트의 크기를 가지는 필드로, 모바일 방송을 위한 네트워크 내 지리적 셀을 식별하는 셀 식별자를 지시할 수 있다.

[140] NETWORK_ID 필드는 16비트의 크기를 가지는 필드로, 현재 네트워크 식별자를 지시할 수 있다.

[141] SYSTEM_ID 필드는 16비트의 크기를 가지는 필드로, 시스템 식별자를 지시할 수 있다.

[142] NUM_FRAMES 필드는 8비트의 크기를 가지는 필드로, 하나의 수퍼 프레임에 포함된 추가적인 프레임, 즉 추가적인 데이터 또는 종래 지상파 방송 시스템과는 다른 새로운 방송 시스템과 관련된 데이터를 전송하는 프레임의 개수를 지시할 수 있다.

[143] NUM_DATA_SYMBOLS 필드는 12비트의 크기를 가지는 필드로, 현재 프레임에서 P1, AP1, P2 심볼을 제외한 데이터 심볼들의 개수를 지시할 수 있다.

[144] REGEN_FLAG 필드는3 비트의 크기를 가지는 필드로, 리피터에 의해 신호 재생산의 횟수를 지시할 수 있다.

[145] L1_POST_EXTENSION 필드는 1비트의 크기를 가지는 필드로, L1-포스트 시그널링 정보의 익스텐션 블록의 존재 여부를 지시할 수 있다.

[146] NUM_RF 필드는 3비트의 크기를 가지는 필드로, 현재 시스템에서 RF 밴드의 개수를 지시할 수 있다.

[147] CURRENT_RF_IDX 필드는 3비트의 크기를 가지는 필드로, 현재 RF 채널의 인덱스를 지시할 수 있다.

[148] RESERVED 필드는 10비트의 크기를 가지는 필드로, 향후 사용하기 위한

필드이다.

[149] CRC-32 필드는 32비트의 크기를 가지는 필드로, L1-프리 시그널링 정보의 CRC 에러 추출 코드를 지시할 수 있다.

[150]

[151] 도 7은 본 발명의 일 실시예에 따른 L1-포스트 시그널링 정보를 나타낸 도면이다.

[152] L1-포스트 시그널링 정보는 수신기가 PLP 데이터를 부호화하기 위해 필요한 파라미터들을 포함할 수 있다.

[153] L1-포스트 시그널링 정보는 컨피규러블 블록(configurable block), 다이내믹 블록(dynamic block), 익스텐션 블록(extension block), CRC 블록(Cyclic Redundancy Check block) 및 L1 패딩 블록(L1 padding block)을 포함할 수 있다.

[154] 컨피규러블 블록은 하나의 프레임 동안에 걸쳐 동일하게 적용될 수 있는 정보들을 포함할 수 있고, 다이내믹 블록은 현재 전송되고 있는 프레임에 해당하는 특징적인 정보들을 포함할 수 있다.

[155] 익스텐션 블록은 L1-포스트 시그널링 정보가 확장되는 경우 사용될 수 있는 블록이며, CRC 블록은 L1-포스트 시그널링 정보의 에러정정을 위해 사용되는 정보들을 포함할 수 있으며 32비트 크기를 가질 수 있다. 또한 패딩 블록은 L1-포스트 시그널링 정보가 여러 개의 인코딩 블록들에 나뉘어 전송되는 경우, 각 인코딩 블록에 포함되는 정보의 크기를 동일하게 맞추기 위해 사용될 수 있으며 그 크기는 가변적이다.

[156] 도 7에 도시된 테이블은 컨피규러블 블록에 포함되는 테이블로, 테이블에 포함된 필드들은 다음과 같다. 각 필드의 크기와 테이블에 포함될 수 있는 필드의 종류는 설계자의 의도에 따라 추가 또는 변경 가능하다.

[157] SUB_SLICES_PER_FRAME 필드는 15비트의 크기를 가지는 필드로, 프레임에 포함되는 서브 슬라이스의 개수를 지시할 수 있다.

[158] NUM_PLP 필드는 8비트의 크기를 가지는 필드로, 현재 수퍼 프레임에 포함된 PLP의 개수를 지시할 수 있다.

[159] NUM_AUX 필드는 4비트의 크기를 가지는 필드로, 보조 스트림(auxiliary stream)의 개수를 지시할 수 있다.

[160] AUX_CONFIG_RFU 필드는 8비트의 크기를 가지는 필드로, 향후 사용을 위한 영역이다.

[161] 이하는 현재 시스템의 RF 개수(NUM_RF 필드 값-1)만큼 반복되는 for' 루프(이하, 주파수 루프라 함)에 포함된 필드들에 대한 설명이다. NUM_RF 필드는 L1-프리 시그널링 정보에 시그널링될 수 있다.

[162] RF_IDX 필드는 3 비트의 크기를 가지는 필드로, RF 채널의 각 주파수의 인덱스를 지시할 수 있다.

[163] FREQUENCY 필드는 32비트의 크기를 가지는 필드로, RF 채널의 중심 주파수를 지시할 수 있다.

[164] 이하의 필드들은 S2 필드의 LSB가 1인 경우 즉, S2='xxx1'로 표현되는 경우에만 사용되는 필드들이다.

[165] FEF_TYPE 필드는 4비트의 크기를 가지는 필드로, FEF(Future extension frame)타입을 지시하기 위해 사용될 수 있다.

[166] FEF_LENGTH 필드는 22비트의 크기를 가지는 필드로, FEF의 길이를 지시할 수 있다.

[167] FEF_INTERVAL 필드는 8비트의 크기를 가지는 필드로, FEF 인터벌의 크기를 지시할 수 있다.

[168] 이하의 필드들은 현재 수퍼 프레임 내 PLP의 개수(NUM_PLP 필드 값-1)만큼 반복되는 for' 루프(이하, PLP 루프라 함)에 포함되는 필드들이다.

[169] PLP_ID 필드는 8비트의 크기를 가지는 필드로, PLP를 식별하기 위해 사용될 수 있다.

[170] PLP_TYPE 필드는 3비트의 크기를 가지는 필드로, 현재 PLP가 커먼 PLP 인지 일반적인 데이터를 포함하는 Type1 데이터 PLP인지, Type2 데이터 PLP인지 여부를 지시할 수 있다.

[171] PLP_PAYLOAD_TYPE 필드는 5비트의 크기를 가지는 필드로, PLP 페이로드의 타입을 지시할 수 있다. 즉, PLP의 페이로드에 포함되는 데이터는 GFPS, GCS, GSE, TS, IP 등이 될 수 있으며, 이러한 식별은 PLP_PAYLOAD_TYPE 필드를 이용한다.

[172] FF_FLAG 필드는 1비트의 크기를 가지는 필드로, 고정된 주파수 플래그(fixed frequency flag)를 지시할 수 있다.

[173] FIRST_RF_IDX 필드는 3비트의 크기를 가지는 필드로, 현재 PLP의 첫번째 프레임의 RF 인덱스를 지시할 수 있다.

[174] FIRST_FRAME_IDX 필드는 8비트의 크기를 가지는 필드로, 수퍼 프레임 내 현재 PLP의 첫번째 프레임의 프레임 인덱스를 지시할 수 있다.

[175] PLP_GROUP_ID 필드는 8비트의 크기를 가지는 필드로, PLP 그룹을 식별하기 위해 사용될 수 있다. 본 발명에서는 PLP 그룹을 LLP(Link-Layer-Pipe)라 호칭할 수 있으며 PLP_GROUP_ID 필드를 LLP_ID 필드로 호칭하는 것을 일 실시예로 한다.

[176] PLP_COD 필드는 3비트의 크기를 가지는 필드로, 현재 PLP의 코드 레이트를 지시할 수 있다.

[177] PLP_MOD 필드는 3비트의 크기를 가지는 필드로, 현재 PLP의 QAM 모듈레이션 타입을 지시할 수 있다. 본 발명에서는 BPSK, QPSK, 16QAM, 64QAM, 256QAM 중 어느 하나의 변조 포맷이 사용될 수 있다.

[178] PLP_ROTATION 필드는 1비트의 크기를 가지는 필드로, PLP의 성상도 로테이션 및 재매핑의 수행여부를 지시할 수 있다.

[179] PLP_FEC_TYPE 필드는 2비트의 크기를 가지는 필드로, PLP의 FEC 타입을 지시할 수 있다.

[180] PLP_NUM_BLOCKS_MAX 필드는 10비트의 크기를 가지는 필드로, FEC 블럭들의 PLP 최대 개수를 지시할 수 있다.

[181] FRAME_INTERVAL 필드는 8비트의 크기를 가지는 필드로, 수퍼 프레임에 포함된 기본 프레임, 즉 종래 지상파 방송 시스템과 관련된 데이터를 전송하는 프레임의 인터벌을 지시할 수 있다.

[182] TIME_IL_LENGTH 필드는 8비트의 크기를 가지는 필드로 심볼 인터리빙 (또는 타임 인터리빙)의 뎁스(depth)를 지시할 수 있다.

[183] TIME_IL_TYPE 필드는 1비트의 크기를 가지는 필드로 심볼 인터리빙(또는 타임 인터리빙)의 타입을 지시할 수 있다.

[184] IN-BAND_B_FLAG 필드는 1비트의 크기를 가지는 필드로, 인밴드 시그널링 의 존재여부를 지시할 수 있다.

[185] RESERVED_1 필드는 16비트의 크기를 가지는 필드로, PLP 루프 내에서 향후 사용하기 위한 필드이다.

[186] RESERVED_2 필드는 32비트의 크기를 가지는 필드로, 컨피규러블 블록에서 향후 사용을 위한 필드이다.

[187] 이하는 보조 스트림 루프에 포함되는 필드이다.

[188] AUX_RFU 필드는 32비트의 크기를 가지는 필드로, 보조 스트림의 개수(NUM_AUX 필드 값-1)만큼 반복되는 for' 루프(이하, 보조 스트림 루프라 함) 즉, 보조 스트림 루프 내에서 향후 사용하기 위한 필드이다.

[189]

[190] 도 8은 본 발명의 또 다른 실시예에 따른 L1-포스트 시그널링 정보를 나타낸 도면이다.

[191] 도 8에 도시된 테이블은 다이나믹 블록에 포함되는 테이블로, 수신기가 PLP를 디코딩하는데 필요한 파라미터들을 포함하며, 특히 현재 전송되고 있는 프레임에 해당하는 특징적인 정보들을 포함할 수 있다. 도 8에 도시된 테이블은 수신기에서 슬라이싱을 효율적으로 처리할 수 있도록 인밴드에 시그널링 될 수도 있다.

[192] 이하 도 8에 도시된 테이블에 포함된 필드들에 대해 설명한다. 각 필드의 크기와 테이블에 포함될 수 있는 필드의 종류는 설계자의 의도에 따라 변경 가능하다.

[193] FRAME_IDX 필드는 8비트의 크기를 가지는 필드로, 수퍼 프레임 내의 현재 프레임의 인덱스를 지시할 수 있다.

[194] SUB_SLICE_INTERVAL 필드는 22비트의 크기를 가지는 필드로, 동일한 PLP에 포함된 서브 슬라이스 간의 인터벌을 지시할 수 있다.

[195] TYPE_2_START 필드는 22비트의 크기를 가지는 필드로, 복수의 프레임에 걸친 심볼 인터리버의 PLP의 시작 포지션을 지시할 수 있다. L1_CHANGE_COUNTER 필드는 8비트의 크기를 가지는 필드로, 컨피규레이션 블록이 변화하기 전에 남아있는 수퍼 프레임의 개수를 지시할 수 있다.

[196] START_RF_IDX 필드는 3비트의 크기를 가지는 필드로, 다음 프레임의 시작 RF 채널 인덱스를 지시할 수 있다.

[197] RESERVED_1 필드는 8비트의 크기를 가지는 필드로, 향후 사용을 위한 필드이다.

[198] 이하는 현재 수퍼 프레임 내 PLP의 개수(NUM_PLP 필드 값-1)만큼 반복되는 for' 루프(이하, PLP 루프라 함)에 포함되는 필드들이다.

[199] PLP_ID 필드는 8비트의 크기를 가지는 필드로, 각 PLP를 식별하기 위해 사용될 수 있다.

[200] PLP_START 필드는 22비트의 크기를 가지는 필드로, 프레임 내의 PLP 시작 포지션을 지시할 수 있다.

[201] PLP_NUM_BLOCKS 필드는 10비트의 크기를 가지는 필드로, PLP와 관련된 FEC 블럭들의 개수를 지시할 수 있다.

[202] RESERVED_2 필드는 8비트의 크기를 가지는 필드로, PLP 루프에서 향후 사용하기 위한 필드이다.

[203] RESERVED_3 필드는 8비트의 크기를 가지는 필드로, 다이내믹 블록에서 향후 사용하기 위한 필드이다.

[204] 이하는 보조 스트림 루프에 포함되는 필드이다.

[205] AUX_RFU는 48비트의 크기를 가지는 필드로, 보조 스트림 루프 내에서 향후 사용하기 위한 필드이다.

[206]

[207] 또한 본 발명에서는 SVC(Scalable Video Coding) 방식을 사용한 MIMO 시스템을 제안한다. SVC 방식은 다양한 단말기와 통신 환경 및 이들의 변화에 대응하기 위해 개발된 동영상의 코딩 방법이다. SVC 방식은 하나의 동영상을 계층적으로 원하는 화질이 발생하도록 코딩하여, 베이스 레이어에서 기본 화질의 영상에 대한 비디오 데이터를, 인핸스먼트 레이어에서 상위 화질의 영상을 복원할 수 있는 추가적인 비디오 데이터를 전송할 수 있다. 따라서 수신기는 수신기의 특성에 따라 베이스 레이어의 비디오 데이터만을 수신하여 디코딩하여 기본 화질의 영상을 획득하거나, 베이스 레이어의 비디오 데이터와 인핸스먼트 레이어의 비디오 데이터를 디코딩하여 상위 화질의 영상을 획득할 수 있다. 이하에서 베이스 레이어는 베이스 레이어에 해당하는 비디오 데이터를 포함하는 의미로, 인핸스먼트 레이어는 인핸스먼트 레이어에 해당하는 비디오 데이터를 포함하는 의미로 사용될 수 있다. 또한, 이하에서 SVC의 대상은 비디오 데이터만이 아닐 수도 있으며, 베이스 레이어는 베이스 레이어에 해당하는 기본 영상/음성/데이터를 포함하는 기본 서비스를 제공할 수 있는 데이터를, 인핸스먼트 레이어는 인핸스먼트 레이어에 해당하는 상위 영상/음성/데이터를 포함하는 상위 서비스를 제공할 수 있는 데이터를 포함하는 의미로 사용될 수 있다.

[208] 이하 본 발명의 방송 시스템에서는, SVC 방식을 이용하여 SISO 또는 MISO

방식으로 수신 가능한 경로로 SVC의 베이스 레이어를 전송하고, MIMO 방식으로 수신이 가능한 경로로 SVC의 인핸스먼트 레이어를 전송하는 방법을 제시한다. 즉, 단일 안테나를 갖는 수신기의 경우 SISO 또는 MISO 방식으로 베이스 레이어를 수신하여 기본 화질의 영상을 획득하고, 복수의 안테나를 갖는 수신기의 경우 MIMO 방식으로 베이스 레이어와 인핸스먼트 레이어를 수신하여 상위 화질의 영상을 획득할 수 있는 방법을 제시한다.

[209] 이하에서는 베이스 레이어와 인핸스먼트 레이어를 포함하는 MIMO 방송 데이터를 지상파 방송 프레임과의 관계에서 어떻게 전송할 것인지에 대하여 설명하도록 한다.

[210] (1) MIMO 방송 데이터를 특정 PLP로 전송하는 방법

[211] 상술한 바와 같이 생성된 MIMO 방송 데이터를 특정 PLP에 포함시키면서, 지상파 방송 데이터를 포함하는 PLP와 구별하여 전송하는 방법이 가능하다. 이 경우 특정 PLP는 MIMO 방송 데이터를 전송하기 위해 사용되며, 이때 특정 PLP에 대한 부가 정보를 시그널링하여 기존의 수신 시스템에서의 오동작을 방지할 수 있다. 이하에서, MIMO 방송 데이터를 포함하는 특정 PLP를 MIMO 방송 PLP로, 지상파 방송 데이터를 포함하는 PLP를 지상파 방송 PLP로 지칭할 수 있다.

[212] 지상파 방송 수신기에서 MIMO 방송 데이터는 처리하지 못할 수 있으므로, 지상파 방송 PLP와 MIMO 방송 PLP를 식별하기 위한 추가 정보를 시그널링할 필요가 있다. 이때 이 시그널링은 지상파 방송 시스템의 L1 시그널링 정보 내의 미사용(reserved) 필드를 사용할 수 있다. 송신단에서 복수의 안테나로 MIMO 방송 데이터를 전송하는 경우, 기존의 지상파 방송 데이터도 MISO로 전송할 수 있다. 본 발명에서는 MIMO 방송 PLP를 식별을 위해, L1-포스트 시그널링 정보를 사용하는 것을 일 실시예로 한다.

[213] (2) MIMO 방송 데이터를 특정 프레임으로 전송하는 방법

[214] 상술한 바와 같이 생성된 MIMO 방송 데이터를 특정 프레임에 포함시키면서, 지상파 방송 데이터를 포함하는 프레임과 구별하여 전송하는 방법이 가능하다. 이 경우 특정 프레임은 MIMO 방송 데이터를 전송하기 위해 사용되며, 이때 특정 프레임에 대한 부가 정보를 시그널링하여 기존의 수신 시스템에서의 오동작을 방지할 수 있다. 이하에서, MIMO 방송 데이터를 포함하는 특정 프레임을 MIMO 방송 프레임으로, 지상파 방송 데이터를 포함하는 프레임을 지상파 방송 프레임으로 지칭할 수 있다. 또한 MIMO 방송 프레임이 지상파 방송 시스템의 상술한 FEF에 포함될 수 있으며, 이하에서 FEF는 MIMO 방송 프레임을 지칭될 수도 있다.

[215]

[216] 도 9는 본 발명의 일 실시예에 따른 방송 신호 전송 방법을 나타낸 개념도이다.

[217] 도 9와 같이 프레임 단위로 지상파 방송 데이터와 MIMO 방송 데이터를 구별하여 전송할 수 있으며, 지상파 방송 프레임 사이에 일정 간격(FEF

간격)으로 일정 길이(FEF 길이)의 MIMO 방송 프레임(FEF)이 배치될 수 있다. 이러한 경우 지상파 방송 시스템이 사용하는 주파수 밴드 내에서 MIMO 시스템의 데이터가 공존할 수 있으며, 지상파 방송 수신기는 L1 시그널링을 통해 프레임을 식별하여 MIMO 방송 프레임은 무시함으로써 오동작을 방지할 수 있다. 이 경우 일 실시예로서 MIMO 시스템은 지상파 방송 시스템의 L1 포스트 시그널링 정보에서 정의되는 FEF 관련 파라미터들(FEF_TYPE, FEF_LENGTH, FEF_INTERVAL)을 통해 해당 대역의 쓰루풋 중 일부를 사용할 수 있다.

[218] (3) MIMO 방송 PLP를 지상파 방송 프레임과 MIMO 방송 프레임으로 전송하는 방법

[219] MIMO 방송 데이터를 포함하는 PLP를 지상파 방송 프레임과 MIMO 방송 프레임을 통해 전송할 수 있다. 앞의 실시예들과 달리, MIMO 방송 PLP가 지상파 방송 프레임에도 존재하므로, 지상파 방송 프레임과 MIMO 방송 프레임에 존재하는 연결되는 PLP간의 관계를 시그널링해줄 필요가 있다. 이를 위해 MIMO 방송 프레임도 L1 시그널링 정보를 포함하도록 하며, 프레임 내에 존재하는 MIMO 방송 PLP에 대한 정보를 지상파 방송 프레임의 L1 시그널링 정보와 같이 전송할 수 있다.

[220] 서로 다른 프레임들에 존재하는 MIMO 방송 PLP들의 연결은 각각의 프레임들의 L1 시그널링 정보인 L1-포스트 시그널링 정보에 포함되는 PLP에 대한 필드들을 사용할 수 있으며, 일 실시예로서, 수신 시스템은 L1-포스트 시그널링 정보에 포함되는 정보로서, PLP_ID 정보, PLP_TYPE 정보, PLP_PAYLOAD_TYPE 정보, PLP_GROUP_ID 정보 중 적어도 하나를 사용하여 상이한 프레임에 포함된 MIMO 방송 PLP들의 연결 관계를 확인하고, 원하는 MIMO 방송 PLP들을 연속으로 디코딩하여 서비스를 획득할 수 있다.

[221] 지상파 방송 프레임에 존재하는 지상파 방송 PLP는 지상파 방송 시스템에서 기정의되어 지원되는 전송 모드로 전송될 수 있으며, 또한 상술한 바와 같이 MIMO 시스템을 지원하는 형태의 새로운 모드로 전송될 수도 있다. 일 실시예로서, 상술한 바와 같이 지상파 방송 프레임에 포함되는 MIMO 방송 PLP는 베이스 레이어로서 MISO 또는 SISO 방식으로 지상파 방송의 전송 모드로 전송되고, MIMO 방송 프레임에 포함되는 MIMO 방송 PLP는 인핸스먼트 레이어로서 MIMO 방식으로 전송될 수도 있다.

[222]

[223] 도 10은 본 발명의 다른 일 실시예에 따른 방송 신호 전송 방법을 나타낸 개념도이다.

[224] 도 10은 방법 (3)에서 설명한 바와 같이 지상파 방송 시스템에서 MIMO 방송 시스템의 방송 신호를 전송하는 실시예를 나타낸다. MIMO 방송 서비스들(MIMO 방송 서비스 1~n)은 각각 SVC 인코더들(18010, 18020)을 통해 베이스 레이어와 인핸스먼트 레이어로 인코딩된다. 스케줄러&BICM(Bit Interleaved Coding and Modulation) 모듈(18030)은, MIMO 방송 서비스들의

베이스 레이어들은 지상파 방송 프레임과 함께 전송되도록 할당하고, 인핸스먼트 레이어들은 MIMO 방송 프레임에 포함되어 전송되도록 할당할 수 있다. 인핸스먼트 레이어들은 각각 MIMO 인코더들(18040, 18050)을 통해 MIMO 인코딩되어, MIMO 방송 시스템의 MIMO 방송 프레임으로 전송될 수 있다. 베이스 레이어들은 지상파 방송 프레임에 포함되어 전송될 수 있으며, 이 경우 지상파 방송 시스템이 지원하는 SISO 또는 MISO 방식으로 전송될 수 있다.

[225] 이렇게 지상파 방송 프레임과 MIMO 방송 프레임을 포함하는 방송 신호를 전송하는 경우, 방법 (1) 내지 방법 (3)에서 상술한 바와 같이 시그널링 정보가 구성되므로 지상파 방송 수신기는 지상파 방송 프레임에서 지상파 방송 PLP만을 식별할 수 있으므로, 오동작없이 지상파 방송 서비스를 획득하여 제공할 수 있다. 또한, MIMO 방송 수신기는 지상파 방송 프레임의 MIMO 방송 PLP만으로 베이스 레이어에 해당하는 MIMO 방송 서비스를 획득하여 제공할 수 있으며, 지상파 방송 프레임의 MIMO 방송 PLP와 MIMO 방송 프레임의 MIMO 방송 PLP를 획득하여 베이스 레이어 및 인핸스먼트 레이어에 해당하는 MIMO 방송 서비스를 획득하여 제공할 수 있다.

[226] 지상파 방송 프레임에 포함되는 MIMO 방송 PLP는 MISO/SISO 방식으로만 전송될 수 있다. 이 경우 MIMO 방송 PLP에는 시스템 요구에 따라 새로운 에러 정정 코드의 코드 레이트(예를 들면, 1/4, 1/3, 2/5 등), 새로운 시간 인터리빙 모드 등이 포함될 수 있으며, 베이스 레이어만을 전송할 수도 있다.

[227] MIMO 방송 프레임에 포함되는 MIMO 방송 PLP에는 SISO, MISO, MIMO 방식의 PLP가 존재할 수 있다. 이 경우 SISO/MISO 방식의 PLP 또는 캐리어에는 베이스 레이어가 전송될 수 있고, MIMO 방식의 PLP 또는 캐리어에는 인핸스먼트 레이어가 전송될 수 있다. SISO/MISO 방식의 PLP 또는 캐리어와 MIMO 방식의 PLP 또는 캐리어의 비율은 0~100%로 가변할 수 있으며, 그 비율은 프레임마다 상이하게 설정될 수 있다.

[228]

[229] 도 11은 본 발명의 일 실시예에 따른 상술한 SVC를 사용한 MIMO 전송 시스템이 적용된 지상파 방송 시스템이 전송하는 방송 신호를 나타낸 도면이다.

[230] 도 11은 SVC를 사용하여 베이스 레이어와 인핸스먼트 레이어가 생성된 후, 상술한 바와 같이 프레임 또는 PLP에 지상파 방송 데이터와 MIMO 방송 데이터를 할당하여 전송하는 방송 신호의 실시예를 나타낸다.

[231] 도 11의 A는 본 발명의 일 실시예에 따른 SVC를 사용한 MIMO 전송 시스템이 적용된 방송 시스템이 전송하는 방송 신호를 나타낸 도면이다.

[232] 도 11의 A에서 방송 시스템은 지상파 방송 프레임과 MIMO 방송 프레임이 포함된 방송 신호를 전송한다. 도 11의 A에서 MIMO 방송 PLP는 지상파 방송 프레임 및 MIMO 방송 프레임에 존재할 수 있다. 지상파 방송 프레임에 포함된 MIMO 방송 PLP는 베이스 레이어로서, SISO 또는 MISO 방식으로 전송될 수 있으며, MIMO 방송 프레임이 포함된 MIMO 방송 PLP는 인핸스먼트

레이어로서, SISO, MISO, 또는 MIMO 방식으로 전송될 수 있다.

[233] 도 11의 B는 본 발명의 다른 일 실시예에 따른 SVC를 사용한 MIMO 전송 시스템이 적용된 방송 시스템이 전송하는 방송 신호를 나타낸 도면이다.

[234] 도 11의 B에서 방송 시스템은 지상파 방송 프레임과 MIMO 방송 프레임이 포함된 방송 신호를 전송한다. 도 11의 B에서 MIMO 방송 PLP는 MIMO 방송 프레임에만 존재할 수 있다. 이 경우 MIMO 방송 PLP는 베이스 레이어를 포함하는 PLP와 인핸스먼트 레이어를 포함하는 PLP를 포함할 수 있다. MIMO 방송 PLP중 베이스 레이어를 포함하는 PLP는 SISO 또는 MISO 방식으로 전송될 수 있으며, 인핸스먼트 레이어를 포함하는 PLP는 SISO, MISO, 또는 MIMO 방식으로 전송될 수 있다. 상술한 바와 같이 MIMO 방송 프레임 내에서 베이스 레이어를 포함하는 PLP와 인핸스먼트 레이어를 포함하는 PLP의 비율은 0~100%로 변화할 수 있다.

[235] 도 11의 C는 본 발명의 또 다른 일 실시예에 따른 SVC를 사용한 MIMO 전송 시스템이 적용된 방송 시스템이 전송하는 방송 신호를 나타낸 도면이다.

[236] 도 11의 C에서 방송 시스템은 지상파 방송 프레임과 MIMO 방송 프레임이 포함된 방송 신호를 전송한다. MIMO 방송 데이터는 MIMO 방송 프레임 내에만 존재한다. 다만, 도 11의 B에서와 달리 베이스 레이어와 인핸스먼트 레이어는 PLP로 구분되어 전송되지 않고, 캐리어로 구분되어 전송될 수 있다.

[237] 디지털 방송 시스템에서 전송 효율을 높이고 강건한(robust) 통신을 수행하기 위해 다양한 기술이 도입되고 있다. 그 중 하나로서 송신측 또는 수신측에서 복수의 안테나를 사용하는 방법이 제안되고 있으며, 이를 각각 단일 안테나 전송 단일 안테나 수신 방식(SISO; Single-Input Single-Output), 단일 안테나 전송 다중 안테나 수신 방식(SIMO; Single-Input Multi-Output) 다중 안테나 전송 단일 안테나 수신 방식(MISO; Multi-Input Sinle-Output), 다중 안테나 전송 다중 안테나 수신 방식(MIMO; Multi-Input Multi-Output)으로 나눌 수 있다. 이하에서, 다중 안테나는 설명의 편의를 위해 2개의 안테나를 예로서 설명할 수 있으나, 이러한 본 발명의 설명은 2개 이상의 안테나를 사용하는 시스템에 적용될 수 있다.

[238] SISO 방식은 1개의 송신 안테나와 1개의 수신 안테나를 사용하는 일반적인 방송 시스템을 나타낸다. SIMO 방식은 1개의 송신 안테나와 복수의 수신 안테나를 사용하는 방송 시스템을 나타낸다.

[239] MISO 방식은 복수의 송신 안테나와 복수의 수신 안테나를 사용하여 송신 다이버시티를 제공하는 방송 시스템을 나타내며, 일 예로서 알라모우티(Alamouti) 방식 등을 나타낸다. MISO 방식은 1개의 안테나로 데이터를 성능 손실(performance loss) 없이 수신할 수 있는 방식을 일컫는다. 수신 시스템에서 성능 향상을 위해 복수의 수신 안테나로 동일한 데이터를 수신할 수 있지만, 이러한 경우에도 본 명세서에서는 이를 MISO의 범위에 포함하여 설명하도록 한다.

[240] MIMO 방식은 복수의 송신 안테나와 복수의 수신 안테나를 사용하여

송신/수신 다이버시티와 높은 전송 효율을 제공하는 방송 시스템을 나타낸다. MIMO 방식은 시간 및 공간 차원에서 상이하게 신호를 처리하여, 동일 주파수 대역에서 동시에 동작하는 병렬적 경로를 통해 복수의 데이터 스트림을 전송하여 다이버시티 효과와 높은 전송 효율을 달성할 수 있다.

[241] 일 실시예로서, MIMO 방식에는 공간 다중화 (SM; Spatial Multiplexing) 기법 및 골든 코드(GC; Golden Code) 기법이 사용될 수 있으며, 이하에서 이들에 대해 상술하도록 한다.

[242] 이하에서 방송 신호 전송시 변조 방식을 M-QAM(Quadrature Amplitude Modulation)으로 표현할 수 있다. 즉, M이 2인 경우에는 2-QAM으로 BPSK(Binary Phase Shift Keying) 방식을, M이 4인 경우에는 4-QAM으로 QPSK(Quadrature Phase Shift Keying)을 나타낼 수 있다. M은 변조에 사용되는 심볼의 개수를 나타낼 수 있다.

[243] 이하에서, MIMO 시스템은 2개의 전송 안테나를 사용하여 2개의 방송 신호를 전송하고, 2개의 수신 안테나를 사용하여 2개의 방송 신호를 수신하는 경우를 예로써 설명하도록 한다.

[244]

[245] 도 12는 본 발명의 일 실시예에 따른 MIMO 송수신 시스템을 나타낸 도면이다.

[246] 도 12에서, MIMO 전송 시스템은 입력 신호 생성부(201010), MIMO 인코더(201020), 제 1 전송 안테나(201030) 및 제 2 전송 안테나(201040)를 포함한다. 이하에서 입력 신호 생성부(201010)는 디바이더로, MIMO 인코더(201020)는 MIMO 프로세서로 각각 지칭할 수도 있다.

[247] MIMO 수신 시스템은 제 1 수신 안테나(201050), 제 2 수신 안테나(201060), MIMO 디코더(201070) 및 출력 신호 생성부(201080)를 포함할 수 있다. 이하에서 출력 신호 생성부(201080)는 머저(merger)로, MIMO 디코더(201070)는 ML 디텍터로 지칭할 수도 있다.

[248] MIMO 전송 시스템에서, 입력 신호 생성부(201010)는 복수의 안테나로 전송하기 위한 복수의 입력 신호를 생성하며, 이하에서 디바이더로 지칭할 수도 있다. 즉, 송신하려는 입력 신호를 2개의 입력 신호로 분배하여 MIMO 전송을 위한 제 1 입력 신호 S1 및 제 2 입력 신호 S2를 출력할 수 있다.

[249] MIMO 인코더(201020)는 복수의 입력 신호(S1 및 S2)에 MIMO 인코딩을 수행하여 MIMO 전송을 위한 제 1 전송 신호 St1 및 제 2 전송 신호 St2를 출력하며, 출력된 전송 신호들 각각은 필요한 신호 처리 및 변조 과정을 거쳐 각각 제 1 안테나(201030) 및 제 2 안테나(201040)를 통해 전송될 수 있다. MIMO 인코더(201020)는 심볼 단위로 인코딩을 수행할 수 있다. MIMO 인코딩 방법으로는 상술한 SM 기법, GC 기법을 사용할 수 있으며, 이하에서 본 발명에서는 새로운 MIMO 인코딩 방법을 제안한다. MIMO 인코더는 이하에서 설명하는 MIMO 인코딩 방법을 사용하여 복수의 입력 신호를 MIMO 인코딩할 수 있다. 또한, MIMO 인코더는 이하에서 MIMO 프로세서로 지칭할 수도 있다.

즉, MIMO 인코더는 이하에서 제안하는 MIMO 매트릭스와 MIMO 매트릭스의 파라미터 값에 따라 복수의 입력 신호를 프로세싱하여 복수의 전송 신호를 출력한다.

[250] 입력 신호 생성부(201010)는 MIMO 인코딩을 위한 복수의 입력 신호를 출력하는 엘러먼트로서, 전송 시스템에 따라 디멀티플렉서, 프레임 빌더 등의 엘러먼트가 될 수도 있다. 또한, MIMO 인코더(201020)에 포함되어, MIMO 인코더(201020)가 복수의 입력 신호를 생성하여 생성된 복수의 입력 신호에 인코딩을 수행할 수도 있다. 그리고 MIMO 인코더(201020)는 MIMO 전송 시스템의 다이버시티 이득 및 멀티플렉싱 이득을 획득할 수 있도록 복수의 신호를 MIMO 인코딩 또는 MIMO 프로세싱하여 출력하는 디바이스를 나타낸다.

[251] 입력 신호 생성부(201010) 이후의 신호 처리는 복수의 입력 신호들에 대하여 행해져야 하므로, 복수의 디바이스들이 구비되어 병렬로 신호를 처리하거나, 메모리를 구비한 하나의 디바이스에서 순차적으로 또는 동시에 병렬로 신호를 처리할 수 있다.

[252] MIMO 수신 시스템은, 제 1 수신 안테나(201050) 및 제 2 수신 안테나(201060)를 사용하여 제 1 수신 신호 Sr1 및 제 2 수신 신호 Sr2를 수신한다. 그리고 MIMO 디코더(201070)가 제 1 수신 신호 및 제 2 수신 신호를 처리하여 제 1 출력 신호 및 제 2 출력 신호를 출력한다. MIMO 디코더(201070)는 MIMO 인코더(201020)가 사용한 MIMO 인코딩 방법에 따라 제 1 수신 신호 및 제 2 수신 신호를 처리한다. MIMO 디코더(201070)는, ML 디텍터로서 전송 시스템에서 MIMO 인코더가 사용한 MIMO 매트릭스와 수신 신호, 채널 환경에 대한 정보를 사용하여 제 1 출력 신호 및 제 2 출력 신호를 출력한다. 실시예에 따라, ML 디텍팅을 수행하는 경우 제 1 출력 신호 및 제 2 출력 신호는 비트 값이 아닌 비트에 대한 확률 정보를 포함할 수 있고, 이러한 제 1 출력 신호 및 제 2 출력 신호는 FEC 디코딩을 거쳐 비트 값으로 변환될 수도 있다.

[253] MIMO 수신 시스템의 MIMO 디코더는 MIMO 전송 시스템에서 처리한 제 1 입력 신호 및 제 2 입력 신호의 QAM 타입에 따라 제 1 수신 신호 및 제 2 수신 신호를 처리한다. MIMO 수신 시스템에서 수신하는 제 1 수신 신호 및 제 2 수신 신호는 동일한 QAM 타입 또는 상이한 QAM 타입의 제 1 입력 신호 및 제 2 입력 신호가 MIMO 인코딩되어 전송된 신호이므로, MIMO 수신 시스템은 수신 신호가 어떤 QAM 타입의 조합인지를 파악하여 수신 신호를 MIMO 디코딩할 수 있다. 따라서, MIMO 전송 시스템은 전송 신호에 전송 신호의 QAM 타입을 식별하는 정보를 전송할 수 있으며, 이때 전송 신호의 QAM 타입을 식별하는 정보는 전송 신호의 프리앰블 부분에 포함될 수 있다. 그리고 MIMO 수신 시스템은 전송 신호의 QAM 타입을 식별하는 정보로부터 수신 신호의 QAM 타입의 조합(M-QAM+M-QAM 또는 M-QAM+N-QAM)을 식별하여, 수신 신호를 MIMO 디코딩할 수 있다.

[254] 이하에서는, 본 발명의 일 실시예에 따라 다양한 채널 환경에서 낮은 시스템

복잡도, 높은 데이터 전송 효율 및 높은 신호 복구 성능을 갖는 MIMO 인코더 및 MIMO 인코딩 방법에 대하여 설명하도록 한다.

[255] SM 기법은 전송하려는 데이터를 별도의 MIMO 방식을 위한 별도의 인코딩없이 복수의 안테나로 동시에 전송하는 방식이다. 이 경우 수신기는 복수의 수신 안테나로 동시에 수신된 데이터에서 정보를 획득할 수 있다. SM 기법의 경우 수신기에서 신호 복원시 사용하는 ML(Maximum Likelihood) 디코더는 수신된 복수의 신호 조합을 검사하면 되므로 복잡도가 비교적 낮은 장점이 있다. 다만, 송신측에서의 송신 다이버시티를 기대할 수 없는 단점이 있다. 이하에서, SM 기법의 경우 MIMO 인코더는 복수의 입력 신호들을 바이패스하며, 이러한 바이패스 처리를 MIMO 인코딩으로 표현할 수 있다.

[256] GC 기법은 전송하려는 데이터를 정해진 규칙(예를 들면, 골든 코드를 사용하는 인코딩 방법)으로 인코딩한 후 이를 복수의 안테나로 전송하는 방식이다. 안테나가 2개인 경우, GC 기법은 2x2 행렬을 사용하여 인코딩하므로, 송신측에서의 송신 다이버시티가 획득된다. 다만 수신기의 ML 디코더는 4개의 신호 조합을 검사해야 하므로 복잡도가 높아지는 단점이 있다.

[257] GC 기법은 SM 기법에 비해 송신 다이버시티가 획득되는 점에서 강건한 통신이 가능해지는 장점이 있다. 다만, 이는 데이터 전송시 데이터 가공에 GC 기법과 SM 기법만을 사용한 경우를 비교한 것으로, 별도의 데이터 코딩(또는, 아우터 코딩(outer coding)이라 지칭할 수 있다)을 함께 사용하여 데이터를 전송하는 경우에는 GC 기법의 송신 다이버시티가 추가적인 이득을 주지 못할 수도 있다. 이러한 현상은 특히 이러한 아우터 코딩이 넓은(large) 미니멈 해밍 디스턴스(hamming distance)를 갖는 경우 쉽게 나타난다. 해밍 디스턴스는 같은 비트 수를 갖는 2진 부호 사이에 대응되는 비트값이 일치하지 않는 것의 개수를 나타낸다. 예를 들면, 미니멈 해밍 디스턴스가 넓은 LDPC(Low Density Parity Check) 부호 등을 사용하여, 에러 정정을 위한 리던던시를 추가하여 부호화한 데이터를 전송하는 경우 GC 기법의 송신 다이버시티가 SM 기법에 비해 추가적인 이득을 주지 못할 수도 있으며, 이러한 경우에는 복잡도가 낮은 SM 기법을 사용하는 것이 방송 시스템에 있어서 유리할 수 있다.

[258]

[259] 도 13은 본 발명의 일 실시예에 따른 채널 환경에서 SM 기법의 MIMO 전송에 따른 데이터 송수신 방법을 나타낸 도면이다.

[260] MIMO 전송 시스템은 SM 기법으로 송신 안테나 1 및 송신 안테나 2로 각각 입력 신호 1(S1) 및 입력 신호 2(S2)를 보낼 수 있다. 도 21은 송신측에서 4-QAM으로 변조된 심볼을 전송하는 실시예에 해당한다.

[261] 수신 안테나 1은 두 경로로 신호를 수신하며, 도 21의 채널 환경에서 수신 안테나 1의 수신 신호는 S1*h11 + S2*h21과 같고, 수신 안테나 2의 수신 신호는 S1*h12 + S2*h22와 같다. 수신측에서는 채널 추정을 통해 S1과 S2를 획득하여 데이터를 복구할 수 있게 된다.

[262] 이는 송수신 경로가 서로 독립적인 경우의 시나리오로서, 이러한 환경을 이하에서 무상관(un-correlated)라고 지칭하도록 한다. 반면에, LOS(Line Of Sight)환경과 같이 송수신 경로의 채널들 간의 상관이 매우 높을 수 있으며, 이를 전상관(fully correlated)이라고 지칭하도록 한다.

[263] MIMO에서 채널들이 전상관 채널인 경우는 도 13에서 채널을 나타내는 2 by 2 행렬의 각 파라미터들이 모두 1인 경우에 해당한다(h11=h12=h21=h22=1). 이 때 수신 안테나 1과 수신 안테나 2는 동일한 수신 신호(S1+S2)를 수신한다. 다시 말해, 수신 안테나 1과 수신 안테나 2는 모두 전송 신호들을 더한 신호와 같은 신호를 수신하게 되는 것이다. 결국, 2개의 송신 안테나에서 전송된 신호들이 모두 같은 채널을 겪고 2개의 수신 안테나에서 수신되면 수신기에서 수신한 수신 신호 즉 채널에 의해 더해진 데이터는 두 개의 심볼 S1 및 S2를 모두 표현하지 못하게 된다. 도 13에서, 전상관 채널 환경이 경우 수신기에서는 4-QAM인 심볼로 표현되는 신호 S1과 4-QAM 심볼로 표현되는 S2가 더해진 16-QAM 심볼을 수신하지 못하고, 우측 도면에서와 같이 9개의 심볼로 표현되는 신호 S1+S2를 수신하게 되므로 S1과 S2를 분리하여 복구할 수 없게 되는 것이다.

[264] 이하에서, 전상관 채널을 통과한 수신 신호는 전송 시스템에서 전송하는 전송 신호들을 더한 신호로 표현할 수 있다. 즉, 안테나가 2개인 경우 전송 시스템에서 제 1 전송 신호 및 제 2 전송 신호를 전송하면, 전상관 채널을 통과한 수신 신호는 제 1 전송 신호와 제 2 전송 신호를 더한 신호로 가정하여 MIMO 인코딩 방법을 설명하도록 한다.

[265] 이러한 경우 수신기는 매우 높은 SNR 환경에 있더라도 SM 기법을 이용하여 MIMO로 송신된 신호를 복구하지 못한다. 통신 시스템의 경우 통상 양방향 통신을 전제로 하므로 송수신기 간의 피드백 채널을 통해 이러한 채널 상황을 송신기에 알려 전송 방법을 변경하는 등의 처리가 가능하다. 그러나 방송 시스템의 경우 피드백 채널을 통한 양방향 통신이 어려울 수 있고, 송신기당 커버하는 수신기의 수가 크고 범위 또한 매우 넓어지므로 다양한 채널 환경 변화에 대응하기 어려운 점이 있다. 따라서 이러한 전상관 채널 환경에서 SM 기법을 사용하면 수신기는 서비스를 사용할 수 없고 방송망의 커버리지(coverage)를 줄이지 않으면 이런 환경에 대응이 어려워 비용이 증가된다.

[266] 이하에서는 MIMO 채널간의 상관이 1인 경우 즉 전상관 채널 환경인 경우를 극복하기 위한 방법을 상술하도록 한다.

[267]

[268] 본 발명은, MIMO 채널이 전상관 채널인 경우를 극복할 수 있도록, 채널을 통과하여 수신된 신호가 다음과 같은 조건을 만족하도록 MIMO 시스템을 설계하고자 한다.

[269] 1) 수신된 신호는 원래의 신호 S1, S2를 모두 표현할 수 있으야 한다. 다시 말하면, 수신기에서 수신한 성상도의 좌표들이 S1 및 S2의 시퀀스를

유니크하게(uniquely) 표현할 수 있어야 한다.

[270] 2) 심볼 에러 레이트를 낮출 수 있도록 수신된 신호의 미니멈 유클리디언 디스턴스(minimum Euclidean distance)가 커지도록 한다. 유클리디언 디스턴스란, 성상도 상에서 좌표간의 거리를 나타낸다.

[271] 3) 비트 에러 레이트를 낮출 수 있도록 수신된 신호의 해밍 디스턴스 특성이 좋아야 한다.

[272] 이러한 요구를 만족시킬 수 있도록, 본 발명은 먼저 다음 수학식 1과 같이 파라미터 a를 포함하는 MIMO 인코딩 매트릭스를 사용하는 MIMO 인코딩 방법을 제안한다.

[273] 수학식 1

$$\begin{bmatrix} 1 & a \\ a & -1 \end{bmatrix}$$

[274] 수학식 1과 같은 MIMO 인코딩 매트릭스를 사용하여 MIMO 인코더에서 입력 신호 S1, S2를 인코딩하는 경우 안테나 1 및 안테나 2에서 수신하는 수신 신호 1(Rx1) 및 수신 신호 2(Rx2)는 다음의 수학식 2와 같이 산출되며, 특히 MIMO 채널이 전상관인 경우는 수학식 2의 마지막 줄과 같이 산출된다.

[275] 수학식 2

$$\begin{aligned} Rx_1 &= h_{11}(S1 + aS2) + h_{21}(aS1 - S2) \\ Rx_2 &= h_{12}(S1 + aS2) + h_{22}(aS1 - S2) \end{aligned}, if\ h_{11} = h_{21} = h_{12} = h_{22} = h,$$

$$R = Rx_1 = Rx_2 = h\{(a+1)S1 + (a-1)S2\}$$

[276] 먼저 MIMO 채널이 무상관 채널인 경우, 수신 신호 1(Rx1)은 Rx1 = h11(S1+a*S2)+h21(a*S1-S1)로, 수신 신호 2(Rx2)는 Rx2 = h12(S1+a*S2)+h22(a*S1-S2)와 같이 산출되어, S1과 S2가 같은 파워를 갖게 되므로 MIMO 시스템의 이득(gain)을 SM 기법과 같이 모두 이용할 수 있다. MIMO 채널이 전상관 채널인 경우에 수신 신호들(R=Rx1=Rx2)은 R = h{(a+1)S1+(a-1)S2}와 같이 획득되어, S1과 S2를 분리하여 획득할 수 있으며, S1과 S2는 각각 다른 파워를 갖도록 설계되어, 이를 이용하여 강인성을 확보할 수 있다.

[277] 다시 말해, MIMO 인코더는 입력 신호 S1 및 S2가 인코딩 파라미터 a에 따라 다른 파워를 갖고, 전상관 채널에서도 S1과 S2가 상이한 분포로 수신되도록 입력 신호들을 인코딩할 수 있다. 예를 들면, S1과 S2가 다른 전력을 갖도록 인코딩하고, 노멀라이제이션에 의해 상이한 유클리디언 디스턴스를 갖는 성상도로 전송함으로써 수신기에서 전상관 채널을 겪은 경우에도 입력

신호들을 분리하여 복구할 수 있게 된다.

[278] 위의 MIMO 인코딩 매트릭스를 노멀라이제이션 팩터를 고려하여 표현하면 수학식 3과 같다.

[279] 수학식 3

$$\frac{1}{\sqrt{1+a^2}}\begin{pmatrix}1 & a\\ a & -1\end{pmatrix}=\begin{pmatrix}\frac{1}{\sqrt{1+a^2}} & \frac{a}{\sqrt{1+a^2}}\\ \frac{a}{\sqrt{1+a^2}} & \frac{-1}{\sqrt{1+a^2}}\end{pmatrix}=\begin{bmatrix}\cos\theta & \sin\theta\\ \sin\theta & -\cos\theta\end{bmatrix}$$

[280] 수학식 3에서와 같이, 수학식 2와 같은 MIMO 인코딩 매트릭스를 사용하는 MIMO 인코더의 MIMO 인코딩은, 입력 신호들을 인코딩 파라미터 a로 표현할 수 있는 임의의 각도(세타)만큼 회전하여, 회전된 신호의 코사인 성분과 사인 성분(또는 실수 성분과 허수 성분)을 각각 분리하고 분리된 성분들에 각각 +/- 부호를 할당하여 다른 안테나로 전송하는 것으로도 볼 수 있다. 예를 들면, MIMO 인코더는 입력 신호 S1의 코사인 성분과 입력 신호 S2의 사인 성분을 하나의 전송 안테나로, 입력 신호 S1의 사인 성분과 입력 신호 S2의 ?부호를 붙인 코사인 성분을 다른 전송 안테나로 전송하도록 인코딩할 수 있다. 인코딩 파라미터 a값의 변화에 따라 회전시키는 각도가 변화하며, 이 파라미터의 값 및 각도에 따라 입력 신호 S1 및 S2 간의 파워 분포가 달라진다. 달라진 파워의 분포는 성상도에서 심볼 좌표간의 거리로 표현될 수 있으므로, 이렇게 인코딩된 입력 신호들은 수신측에서 전상관 채널을 겪고 수신되더라도 다른 성상도로 표현되어, 식별 및 분리하여 복구가 가능하게 된다.

[281] 다시 말하면, 달라진 파워의 분포에 해당하는 만큼 송신 신호의 유클리디언 디스턴스가 달라지므로, 수신측에서 수신한 송신 신호들은 각각 상이한 유클리디언 디스턴스를 갖는 식별 가능한 성상도로 표현되어, 전상관 채널에서도 복구가 가능하게 되는 것이다. 즉, MIMO 인코더는 입력 신호 S1과 입력 신호 S2를 a값에 따라 다른 유클리디언 디스턴스를 갖는 신호로 인코딩할 수 있으며, 이렇게 인코딩된 송신 신호들은 수신단에서 식별 가능한 성상도들로 수신 및 복구될 수 있다.

[282] 상술한 MIMO 인코딩 매트릭스를 사용한 입력 신호의 MIMO 인코딩은 다음의 수학식 4과 같이 표현할 수 있다.

[283] 수학식 4

$$\begin{pmatrix}X1\\ X2\end{pmatrix}=\frac{1}{\sqrt{1+a^2}}\begin{pmatrix}1 & a\\ a & -1\end{pmatrix}\begin{pmatrix}S1\\ S2\end{pmatrix}$$

[284] 수학식 4에서, S1 및 S2는 각각 입력 신호 S1 및 입력 신호 S2의 MIMO 경로의 심볼 매퍼에서 매핑된 성상도의 노멀라이즈된 QAM 심볼들을 나타낸다. 그리고 X1 및 X2는 각각 MIMO 인코딩된 심볼들을 나타낸다. 다시 말하면, MIMO 인코더는 S1에 해당하는 심볼들을 포함하는 제 1 입력 신호 및 S2에 해당하는 심볼들을 포함하는 제 2 입력 신호에 수학식 4와 같은 매트릭스를 적용하여, X1에 해당하는 심볼들을 포함하는 제 1 전송 신호 및 X2에 해당하는 심볼들을 포함하는 전송 신호 X2의 심볼들을 출력할 수 있다.

[285] MIMO 인코더는, 위와 같은 MIMO 인코딩 매트릭스를 사용하여 입력 신호들에 MIMO 인코딩을 수행하면서, 인코딩 파라미터 a 값을 추가로 조정하여 인코딩을 수행할 수도 있다. 즉, MIMO 송수신 시스템의 추가적인 데이터 복구 성능의 고려 및 조정은 파라미터 a값을 조정하여 최적화할 수 있으며, 이에 대하여는 이하에서 상술하도록 하겠다.

[286]

[287] 1. 제 1 실시예: 유클리디언 디스턴스를 고려하여 인코딩 파라미터 a값을 최적화하는 MIMO 인코딩 방법(전상관 MIMO 채널)

[288] 상술한 MIMO 인코딩 매트릭스를 사용하면서, 유클리디언 디스턴스를 고려하여 a값을 산출할 수 있다. 송수신 안테나가 각각 2개인 MIMO 시스템에서, 전송 신호 St1이 M-QAM 심볼, 전송 신호 St2가 N-QAM 또는 M-QAM 심볼인 경우 전상관 MIMO 채널을 거쳐 수신측에서 수신하는 신호 St1+St2는 (M*N)-QAM 또는 (M*M)-QAM 신호가 된다.

[289]

[290] 도 14는 본 발명의 일 실시예에 따른 MIMO 인코딩 방법을 수행한 입력 신호 및 송수신 신호를 나타낸 도면이다.

[291] 도 14의 실시예에서, 입력 신호 S1은 4-QAM 심볼로 성상도(205010)를 갖고, 입력 신호 S2는 4-QAM 심볼로 성상도(205020)를 갖는다. MIMO 인코딩 매트릭스를 사용하여 입력 신호 S1 및 입력 신호 2를 MIMO 인코딩하면 안테나 1(Tx1) 및 안테나 2(Tx2)에서 전송되는 인코딩된 제 1 전송 신호 St1 및 제 2 전송 신호 St2는 16-QAM 심볼이 되며, 도 14에서 성상도(205030) 및 성상도(205040)와 같다.

[292] 본 발명의 제 1 실시예에는, 전상관 채널을 통과한 수신 신호의 심볼의 성상도(205050)가 도 14에서 도시된 바와 같이 각 심볼들이 동일한 유클리디언 디스턴스를 갖도록 a값을 최적화하는 방법을 제안한다. 유클리디언 디스턴스를 최적화하는 것은, 신호의 성상도에서 인접한 심볼간의 간격이 균등하도록 배치하는 것을 의미하며, 또한 성상도에서 미니멈 유클리디언 디스턴스를 최대화하는 것을 의미한다. 도 14에서, 수신 신호의 성상도(205050)는 이하의 수학식 5와 같은 a값을 사용하여, 유클리디언 디스턴스를 조정한 성상도이다. 즉, MIMO 인코더는 상술한 MIMO 매트릭스를 사용하여 입력 신호들을 인코딩하는 경우, 전상관 채널을 겪은 수신 신호(즉, 제 1 전송 신호 St1과 제 2 전송 신호

St2가 더해진 신호)의 성상도에서 미니멈 유클리디언 디스턴스를 최대화하도록 인코딩 파라미터 a의 값을 산출 또는 설정하여 인코딩할 수 있으며, 이러한 a값은 변조 방식의 조합에 따라 수학식 5와 같이 표현될 수 있다.

[293] 수학식 5

$$a=\begin{cases} 3 & \text{, for QPSK + QPSK} \\ \left(4+\sqrt{5}\right)/\left(4-\sqrt{5}\right) & \text{, for QPSK + 16QAM} \\ 0.6 & \text{, for 16QAM + 16QAM} \end{cases}$$

[294] 도 14의 실시예에서 수신 심볼의 성상도(205050)는 입력 신호들이 각각 4-QAM과 4-QAM, 즉 QPSK+QPSK와 같은 경우로, a값이 3으로 설정되어 MIMO 인코딩된 경우에 해당한다. 다시 말해, 송수신 심볼의 분포 및 성상도는 수신 신호의 변조 방식 및 그들의 조합에 따라 달라지고, 심볼의 분포 및 성상도에 따라 유클리디언 디스턴스가 달라지므로 유클리디언 디스턴스를 최적화하기 위한 a값도 달라질 수 있다. 수학식 5에서 송수신 신호가 4-QAM과 16-QAM의 조합인 경우(QPSK+16QAM) 및 16-QAM과 16-QAM의 조합인 경우(16QAM+16QAM) 유클리디언 디스턴스를 최적화하는 a값을 각각 산출하여 나타내었다.

[295] 다시 말하면, 제 1 실시예의 경우 예를 들면 4-QAM의 제 1 입력 신호와 4-QAM의 제 2 입력 신호를 MIMO 인코딩하여 출력하는 제 1 전송 신호와 제 2 전송 신호를 더한 신호에서, 더한 신호의 성상도가 16-QAM 신호의 성상도와 같도록 a 값을 설정하는 것이다.

[296]

[297] 본 발명의 다른 일 실시예로서, MIMO 인코딩시 MIMO 인코딩 매트릭스로서 GC의 서브세트를 사용할 수 있으며, 이 경우 MIMO 인코딩 매트릭스는 수학식 6과 같다.

[298] 수학식 6

$$\begin{bmatrix} \alpha & \alpha\theta \\ i\overline{\alpha} & i\overline{\alpha}\overline{\theta} \end{bmatrix}\begin{bmatrix} S1 \\ S2 \end{bmatrix},\ \alpha=1+(1-\theta)i, \overline{\alpha}=1+(1-\overline{\theta})i, \theta=\frac{1+\sqrt{5}}{2}, \overline{\theta}=\frac{1-\sqrt{5}}{2}$$

[299] 수학식 6과 같은 인코딩 매트릭스를 사용한 경우 성능은 본 발명의 제 1 실시예보다 양호한 것으로 나타난다.

[300]

[301] 도 15는 MIMO 인코딩 매트릭스로서 GC의 서브세트를 사용한 경우 및 제 1 실시예의 경우의 성상도를 각각 나타낸 도면이다.

[302] 도 15의 성상도는 MIMO 인코딩 매트릭스를 사용하여 16-QAM 타입의 입력

신호 S1 및 16-QAM 타입의 입력 신호 S2를 MIMO 인코딩하고, 수신기에서 2개의 송신 안테나에서 송신된 신호를 전상관 채널을 통해 수신한 성상도이다. 좌측이 GC의 서브세트를 사용한 경우의 수신 성상도이며, 우측이 제 1 실시예를 사용한 경우의 수신 성상도에 해당하다.

[303]

[304] 도 16은 MIMO 인코딩 매트릭스로서 GC의 서브세트를 사용한 경우 및 제 1 실시예의 경우의 성상도에서 유클리디언 디스턴스와 해밍 디스턴스의 관계를 나타낸 도면이다.

[305] 좌측의 도면이, GC의 서브세트를 사용한 경우의 성상도를 나타내고, 우측의 도면이 제 1 실시예의 경우의 성상도를 나타낸다.

[306] 미니멈 유클리디언 디스턴스가 제 1 실시예의 경우가 더 넓음에도 불구하고 SNR 성능이 GC의 서브세트를 사용한 경우보다 좋지 않은 이유는 유클리디언 디스턴스와 해밍 디스턴스의 관계에 기인하다.

[307] 제 1 실시예의 경우 및 GC의 서브세트를 사용한 경우는 모두 해밍 디스턴스의 분포 자체는 비슷하며, 두 경우 모두 그레이 매핑을 갖지 못한다. 다만, 도 16을 보면 GC의 서브세트를 사용한 경우 해밍 디스턴스가 큰 녹색 선의 페어 또는 검은색 선의 페어의 유클리디언 디스턴스가 제 1 실시예의 경우보다 넓은 것을 알 수 있다. 즉, 전체 성상도에서 16개의 영역에 분포하는 4 by 4의 16-QAM 성상도들 내부의 유클리디언 디스턴스는 양 경우가 유사하나 이 4 by 4의 16-QAM 성상도들간의 유클리디언 디스턴스는 GC의 서브세트를 사용한 경우가 더 넓어, 해밍 디스턴스의 성능 차이를 보완해주고 있는 것이다.

[308] 이러한 특성으로 인해, GC의 서브세트를 사용한 경우 미니멈 유클리디언 디스턴스가 제 1 실시예의 경우가 더 좁음에도 불구하고 BER 성능이 제 1 실시예의 경우보다 양호하게 나타난다. 따라서, 이하에서는 더 나은 SNR 성능 또는 BER 성능을 갖는 MIMO 인코딩 방법을 제안하도록 한다.

[309]

[310] 2. 제 2 실시예: 유클리디언 디스턴스에 추가로 그레이 매핑을 고려하는 MIMO 인코딩 방법

[311] 제 2 실시예에서는, 제 1 실시예에서와 같이 유클리디언 디스턴스가 최적화되도록 a 값을 설정한 상태에서 전상관 채널을 거친 수신 신호가 그레이 매핑을 갖도록 하는 MIMO 인코딩 방법을 제시한다.

[312] 제 2 실시예의 MIMO 인코딩 방법에서는, 수신단에서 그레이 매핑이 되도록 입력신호 S1, S2 중 S2의 실수(real), 허수(imaginary) 부분의 부호를 S1의 값에 따라 변경할 수 있다. S2에 포함된 데이터 값의 변경은 이하의 수학식 7와 같은 방법을 사용하여 수행할 수 있다.

[313] MIMO 인코더는 제 1 실시예에서 사용한 MIMO 인코딩 매트릭스를 사용하면서, 입력 신호 2의 부호를 S1의 값에 따라 변경하여 MIMO 인코딩을 수행할 수 있다. 다시 말하면, 수학식 7에서와 같이 입력 신호 2의 부호를 입력

신호 1의 부호에 따라 결정한 후, 결정된 입력 신호 1 및 입력 신호 2에 상술한 바와 같이 MIMO 인코딩 매트릭스를 적용하여 제 1 전송 신호 및 제 2 전송 신호를 출력할 수 있다.

[314] 수학식 7

$$
\begin{aligned}
& S1 = b_0 b_1 \ldots b_{N-1}, \quad N = \log_2 M, \quad M = \text{QAM size of } S1 \\
& real(S1) = b_0 b_2 .. b_{N-2} \\
& imag(S1) = b_1 b_3 .. b_{N-1} \\
& for\ \ i = 1 \ldots N-1 \\
& \quad si = sq = 1 \\
& \quad if\ i = index\ of\ real(S1)\ \ and\ \ b_i = 1 \\
& \qquad si = -si \\
& \quad if\ i = index\ of\ imag(S1)\ \ and\ \ b_i = 1 \\
& \qquad sq = -sq \\
& end\ for \\
& S2 = si \cdot real(S2) + i \cdot sq \cdot imag(S2)
\end{aligned}
$$

[315]

[316] 도 17은 본 발명의 제 2 실시예에 따른 MIMO 인코딩 방법을 수행한 입력 신호 및 송수신 신호를 나타낸 도면이다.

[317] 수학식 7에서와 같이 입력 신호 S1(212010) 및 S2(212020)에서 S1의 실수부 및 허수부에 할당된 비트 값들에 각각 XOR 연산을 수생하고 그 결과에 따라 S2의 실수부 및 허수부의 부호를 정하고, 이렇게 처리된 입력 신호 S1 및 입력 신호 S2에 MIMO 인코딩 매트릭스를 적용한 전송 신호 1(212030) 및 전송 신호 2(212040)를 안테나 1 및 안테나 2에서 각각 전송하면, 수신기에서 수신한 전상관 채널을 거친 수신 신호(212050)의 수신 심볼들은 그레이 매핑을 갖게 되어, 도 17에서 도시한 바와 같이 성상도에서 인접한 심볼 간의 해밍 디스턴스는 2를 넘지 않는다.

[318] 수신단에서 수신한 (M*N)-QAM 또는 (M*M)-QAM 신호가 미니멈 유클리디언 디스턴스와 그레이 매핑을 가지므로, 제 2 실시예의 경우 전상관 MIMO 채널에서도 SIMO 방식과 같은 성능을 기대할 수 있다. 다만, ML 디코더에서 수신 신호를 디코딩하여 S1과 S2를 획득할 때 S2의 값이 S1에 의존하므로 복잡도가 증가할 수 있고, 무상관 MIMO 채널에서 입력 신호간의 상관으로 인해

성능이 열화될 가능성이 있다.

[319]

[320] 3. 제 3 실시예: 유클리디언 디스턴스에 추가로 해밍 디스턴스를 고려하여 MIMO 인코딩 파라미터를 설정하는 MIMO 인코딩 방법

[321] 제 3 실시예에서는, 제 1 실시예에서와 같이 수신 신호의 성상도 전체가 미니멈 유클리디언 디스턴스를 갖도록 하지 않고, 수신 신호의 해밍 디스턴스를 고려하여 유클리디언 디스턴스가 최적화되도록 a값을 설정하여 MIMO 인코딩을 수행하는 방법을 제시한다.

[322]

[323] 도 18은 본 발명의 제 3 실시예에 따른 MIMO 인코딩 방법을 나타낸 도면이다.

[324] 도 18은 전상관 MIMO 채널을 통해 수신한 수신 신호의 성상도에서 해밍 디스턴스와 MIMO 인코딩 매트릭스의 인코딩 파라미터 a 값과의 관계를 나타낸다. 제 3 실시예에서는 수신 신호의 성상도에서 D_E1 구간의 해밍 디스턴스가 D_E2 구간의 해밍 디스턴스보다 작으므로, D_E1 구간이 D_E2 구간의 2배의 파워 차이를 유지하여 해밍 디스턴스의 차이가 보상되도록 유클리디언 디스턴스를 조정한다. 다시 말하면, 해밍 디스턴스의 차이에 따른 복구 성능의 차이를 파워 차이로 보상할 수 있도록, 유클리디언 디스턴스를 조정하는 것이다.

[325] 도 18에서, D_E2 구간은 D_E1 구간의 2배의 해밍 디스턴스를 갖는다. 즉, 인접한 심볼들에 있어서, 다른 비트 수의 차이가 2배인 것으로, 2배의 해밍 디스턴스를 갖는 구간은 더 많은 파워를 갖도록 유클리디언 디스턴스를 더 넓게 조정하여 수신 신호 복구시 해밍 디스턴스의 차이에 따른 성능 열화를 보상할 수 있다. 먼저, 수신단에서 수신한 2개의 전송 신호(St2, St2)가 합해진 도 18과 같은 수신 신호에 있어서 상대적인 유클리디언 디스턴스를 파악한다. 상술한 수학식 2로부터 파워가 작아지는 16-QAM 심볼의 미니멈 유클리디언 디스턴스는 2(a-1)이 되고, 파워가 커지는 16-QAM 심볼의 미니멈 유클리디언 디스턴스는 2(a+1)가 됨을 알 수 있다(하나의 수신 신호가 R = h{(a+1)S1+(a-1)S2}로 표현되므로). 도 18에서, D_E1은 파워가 작아진 16-QAM 심볼들의 유클리디언 디스턴스와 같다. 그리고 D_E2는 파워가 커진 16-QAM 심볼의 유클리디언 디스턴스의 1/2로부터 파워가 작아진 16-QAM 심볼들의 유클리디언 디스턴스의 3/2에 해당하는 거리를 빼고, 이렇게 계산된 거리의 2배가 됨을 알 수 있으며, 이는 수학식 8과 같이 나타낼 수 있다.

[326] 수학식 8

$$2D_{H_1} = D_{H_2}$$
$$\sqrt{2}D_{E_1} = D_{E_2}$$
$$2\sqrt{2}(a-1) = 2((a+1)-3(a-1))$$
$$a = \frac{\sqrt{2}+4}{\sqrt{2}+2}$$

[327] 다시 말하면, MIMO 인코더는 상술한 MIMO 매트릭스를 사용하여 입력 신호들의 파워가 다르게 분배되어 각각 다른 크기의 유클리디언 디스턴스를 갖도록 MIMO 인코딩한다. 이 경우 제 3 실시예에서 MIMO 인코더는, 파워가 분배된 입력 신호들이 해밍 디스턴스의 차이를 보상하는 유클리디언 디스턴스를 갖도록 인코딩 파라미터 a값을 설정한 MIMO 매트릭스를 사용하여 MIMO 인코딩을 수행할 수 있다.

[328]

[329] 도 19는 본 발명의 제 3 실시예에 따른 MIMO 인코딩 방법을 수행한 입력 신호 및 송수신 신호를 나타낸 도면이다.

[330] 도 19에서, 입력 신호 S1(214010) 및 입력 신호 S2(214020)를 제 3 실시예에 따라 MIMO 인코딩하는 경우, 인코딩되어 전송되는 송신 신호들의 성상도는 각각 송신 신호 1(214030) 및 송신 신호 2(214040)과 같다. 이러한 송신 신호들이 전상관 MIMO 채널을 통해 전송되면 수신기에서 수신하는 수신 신호의 성상도는 수신 신호(214050)와 같고, 수신 신호의 성상도(214050)에서 해밍 디스턴스에 따라 유클리디언 디스턴스가 조정되었음을 알 수 있다.

[331] 도 18 및 도 19와 관련하여 설명한 예는 입력 신호 S1이 16-QAM, 입력 신호 S2가 16-QAM인 경우에 a 값을 산출하는 예로서, 같은 원리를 사용하여 다른 변조 방식의 a 값을 수학식 9와 같이 산출할 수 있다.

[332] 수학식 9

$$a = \begin{cases} \sqrt{2}+1 & \text{, for QPSK + QPSK} \\ \left(\sqrt{2}+3+\sqrt{5}\right)/\left(\sqrt{2}+3-\sqrt{5}\right) & \text{, for QPSK + 16QAM} \\ \left(\sqrt{2}+4\right)/\left(\sqrt{2}+2\right) & \text{, for 16QAM + 16QAM} \end{cases}$$

[333] QPSK+16QAM MIMO의 경우 위에 제시된 값은 심볼 매퍼가 입력 신호 S1과 S2를 각각 QPSK 및 16QAM으로 QAM 변조를 수행한 후 파워를 1로

노멀라이제이션(normalization)을 수행하였을 때를 가정한다. 만약 노멀라이제이션을 수행하지 않은 경우 그에 맞게 a 값을 수정할 수 있다.

[334] 또한, QPSK+16QAM의 경우 위에 제시된 값 외에 4.0등의 값을 a 값으로 사용할 수 있다. 이는 QPSK+16QAM MIMO의 경우 전상관 채널에서 SM 기법의 경우에도 더해진 신호가 S1, S2를 모두 표현할 수 있는 특성에 기인한다. 이 경우 아우터 코드의 높은 코드 레이트에서의 성능을 보완하기 위해서 수학식 9에서 산출한 값 대신 4.0 혹은 근처의 값을 사용할 수 있다.

[335] 상술한 설명 및 차트를 기초로 제 2 실시예 및 제 3 실시예를 비교하여 보면, 제 2 실시예는 전상관 MIMO 채널에서는 SIMO와 동일한 성능을 나타내어 성능 손실이 없고, 전상관 MIMO 채널에서의 MIMO 방식의 단점을 개선할 수 있다. 다만, 제 2 실시예는 MIMO 인코딩에 의해 입력 데이터 S1, S2가 서로 독립적이지 않고 S1에 따라 S2가 변화하게 되어, 무상관 채널에서 성능 열화가 발생한다. 따라서 S1의 수신 및 디코딩 에러가 S2에 반영되어 S2의 디코딩 에러에 추가적인 에러를 발생시키는 문제를 해결하기 위해서 이터래티브(iterative) ML 디텍션을 사용할 수 있다.

[336] 이터래티브 ML 디텍션은, 이터래티브 루프(loop)안에 아우터 코드를 포함시키고, 아우터 포드에서 출력되는 S1의 연(soft) 사후확률(posteriori probability) 값을 ML 디텍터의 사전확률(priori probability) 값으로 이용하여, S1 디텍션 에러를 줄임으로써 S2 디텍션에 S1의 디텍션 에러가 인가되는 것을 줄일 수 있다. 이러한 방식을 사용하면 제 2 실시예의 MIMO 인코딩 방법을 사용하여 전상관 MIMO 채널에서는 SIMO 시스템의 성능을, 무상관 MIMO 채널에서는 SM 기법의 성능을 나타낼 수 있다.

[337] 제 3 실시예의 MIMO 인코딩 방법은 전상관 MIMO 채널을 통해 수신된 수신 신호가 해밍 디스턴스와 유클리디언 디스턴스를 모두 고려하도록 설계된다. 따라서 전상관 MIMO 채널에서 좋은 성능을 가질 뿐 아니라, 무상관 MIMO 채널에서도 SM 기법과 비교하여 성능 손실이 없으므로 MIMO 송수신의 이득을 모두 사용할 수 있음을 확인하였다. 이 경우는 수신기의 복잡도도 SM 기법과 비슷한 복잡도를 가지므로 수신기의 구현에 있어서도 장점을 갖는다.

[338]

[339] 한편, MIMO 송수신시 각각의 통신 경로로 전송되는 신호들 간에 파워 임밸런스(imbalance) 상황이 발생할 수 있다. 즉, 복수의 송신 안테나에서 전송된 신호들이 서로 다른 전력으로 수신기에 전달될 수 있으며, 최악의 경우 하나의 송신 안테나에서 전송된 신호만을 수신하는 경우가 발생할 수 있다. 이하에서는 특히 이런 파워 임밸런스 상황에서 성능 열화를 최소화할 수 있는 MIMO 인코딩 방법을 설명한다. 특히 상술한 바와 같은 인코딩 계수를 포함하는 본 발명의 MIMO 인코딩 매트릭스를 사용하며, 추가적으로 파워 임밸런스 상황을 고려한 MIMO 인코딩 방법을 설명한다.

[340]

[341] 4. 제 4 실시예: 송신 신호의 유클리디언 디스턴스를 고려하여 a값을 최적화하는 MIMO 인코딩 방법

[342] 상술한 MIMO 인코딩 매트릭스를 사용하면서, 송신 신호의 유클리디언 디스턴스를 고려하여 a값을 산출할 수 있다. 송수신 안테나가 각각 2개인 MIMO 시스템에서, 입력 신호 S1이 M-QAM 심볼, 입력 신호 S2가 N-QAM 심볼인 경우 전상관 MIMO 채널을 거쳐 수신측에서 수신하는 신호 S1+S2는 (M*N)-QAM 신호가 된다.

[343]

[344] 도 20은 본 발명의 제 4 실시예에 따른 MIMO 인코딩 방법을 수행한 입력 신호 및 송신 신호를 나타낸 도면이다.

[345] 도 20의 실시예에서, 입력 신호 S1은 16-QAM 심볼로 성상도(221010)를 갖고, 입력 신호 S2는 16-QAM 심볼로 성상도(221020)를 갖는다. MIMO 인코딩 매트릭스를 사용하여 입력 신호 S1 및 입력 신호 2를 MIMO 인코딩하면 안테나 1(Tx1) 및 안테나 2(Tx2)에서 전송되는 인코딩된 송신 신호 St1및 St2는 256-QAM 심볼이 되며, 인코딩된 송신 신호들의 성상도는 미니멈 유클리디언 디스턴스를 갖지 않는다. 상술한 실시예 1에서와 같이 수신 신호를 기준으로 유클리디언 디스턴스를 최적화하여 a 값을 결정할 수도 있으나, 이 경우 파워 임밸런스 상황에서는 디코딩 성능이 열화될 수 있다. 따라서 송신 측의 송신 신호들을 기준으로 유클리디언 디스턴스를 최적화하면, 수신단에서 파워 임밸런스 상황에서 발생하는 성능 열화를 최소화할 수 있다. 송신 신호들을 기준으로 유클리디언 디스턴스를 최적화하기 위한 a 값은 수학식 10과 같다.

[346] 수학식 10

$$a = \begin{cases} 2 & ,\text{for QPSK} + \text{QPSK} \\ 4 & ,\text{for 16QAM} + \text{16QAM} \end{cases}$$

[347] 수학식 10과 같은 a 값을 사용하는 경우, 즉 도 20에서 a 값을 4로 설정하여 MIMO 인코딩한 경우 송신 신호 St1 및 St2의 성상도는 각각 성상도(221030) 및 성상도(221040)와 같다. 송신 신호 St1 및 St2의 성상도들(221030 및 221040)을 보면, 유클리디언 디스턴스가 균일하게 분포하고 있음을 알 수 있다. 따라서, 제 4 실시예와 같은 MIMO 인코딩 방법을 사용할 경우 파워 임밸런스 상황에서 수신한 송신 신호의 유클리디언 디스턴스가 최적화되어 있으므로, 수신 성능 열화가 최소화됨을 알 수 있다.

[348] 다만, QPSK+16-QAM 전송 방법의 경우와 같이 입력 신호들의 심볼 타입이 다른 경우에는 다른 값을 사용해야 한다. 이는 MIMO 전송에 사용되는 입력 신호들의 변조 방식이 다른 경우, 한쪽 송신 안테나에 최적화된 a 값을 사용하면 다른 송신 안테나에서는 상대적으로 떨어지는 성능을 갖는 신호가 전송되는 트레이드-오프가 발생하기 때문이다.

[349]

[350] 2. 제 5 실시예: 송신 신호의 유클리디언 디스턴스에 추가로 그레이 매핑을 고려하는 MIMO 인코딩 방법

[351] 제 5 실시예에서는, 제 4 실시예에서와 같이 송신 신호의 유클리디언 디스턴스가 최적화되도록 a 값을 설정한 상태에서 파워 임밸런스 상황에서 전상관 채널을 거친 송신 신호가 그레이 매핑을 갖도록 하는 MIMO 인코딩 방법을 제시한다.

[352] 제 5 실시예의 MIMO 인코딩 방법에서는, 송신 신호 각각이 그레이 매핑이 되도록 입력신호 S1, S2 중 S2의 실수(real), 허수(imaginary) 부분의 부호를 S1의 값에 따라 변경할 수 있다. S2에 포함된 데이터 값의 변경은 실시예 2에서와 같이 상술한 수학식 6와 같은 방법을 사용하여 수행할 수 있다.

[353] 즉, 수학식 6에서와 같이 입력 신호 S1 및 S2에서 S1의 실수부 및 허수부에 할당된 비트 값들에 각각 XOR 연산을 수생하고 그 결과에 따라 S2의 실수부 및 허수부의 부호를 정하여 안테나 1 및 안테나 2에서 각각 그레이 매핑을 갖는 송신 신호 1 및 송신 신호 2를 전송할 수 있다.

[354] 송신단에서 송신하는 (M*N)-QAM 신호가 미니멈 유클리디언 디스턴스와 그레이 매핑을 가지므로, 제 5 실시예의 경우 파워 임밸런스 상황에서도 SIMO 방식과 같은 성능을 기대할 수 있다. 다만, ML 디코더에서 수신 신호를 디코딩하여 S1과 S2를 획득할 때 S2의 값이 S1에 의존하므로 복잡도가 증가할 수 있다.

[355]

[356] 3. 제 6 실시예: 송신 신호의 유클리디언 디스턴스에 추가로 해밍 디스턴스를 고려하는 MIMO 인코딩 방법

[357] 제 6 실시예에서는, 제 4 실시예에서와 같이 송신 신호의 성상도 전체가 미니멈 유클리디언 디스턴스를 갖도록 하지 않고, 송신 신호의 해밍 디스턴스를 고려하여 유클리디언 디스턴스가 최적화되도록 a 값을 설정한다. 즉, 제 3 실시예 및 도 18과 관련하여 설명한 바와 같이, 인접한 성상도 포인트들 간의 해밍 디스턴스가 2인 경우 그 포인트들 간의 유클리디언 디스턴스의 제곱이 해밍 디스턴스가 1인 경우 그 포인트들 간의 유틀리디언 디스턴스 제곱의 2배가 되도록 인코딩 매트릭스를 설계할 수 있다. 다시 말하면, 해밍 디스턴스의 차이에 따른 복구 성능의 차이를 파워 차이로 보상할 수 있도록, 유클리디언 디스턴스를 조정하는 것이다.

[358] 도 18을 송신 신호의 성상도라고 가정하면, 송신 신호 성상도의 D_E1 구간의 해밍 디스턴스가 D_E2 구간의 해밍 디스턴스보다 1/2로 작으므로, D_E1 구간이 D_E2 구간의 2배의 파워 차이를 유지하여 해밍 디스턴스의 차이가 보상되도록 유클리디언 디스턴스를 조정할 수 있다. 다시 말해, D_E2 구간은 D_E1 구간의 2배의 해밍 디스턴스를 갖는다. 즉, 인접한 심볼들에 있어서, 다른 비트 수의 차이가 2배인 것으로, 2배의 해밍 디스턴스를 갖는 구간은 더 많은 파워를

갖도록 유클리디언 디스턴스를 더 넓게 조정하여 수신 신호 복구시 해밍 디스턴스의 차이에 따른 성능 열화를 보상할 수 있다.

[359] a 값을 설정하는 방법의 일 실시예를 설명하면 이하와 같다.

[360] 예를 들면, 송신 신호에서, 성상도의 제 1 입력 신호를 나타내는 성상도 내부 심볼 사이 구간의 해밍 디스턴스가 제 1 입력 신호를 나타내는 성상도들 간의 심볼 사이 구간의 해밍 디스턴스보다 1/2로 작으므로, 내부 구간이 인접 구간의 2배의 파워 차이를 유지하여 해밍 디스턴스의 차이가 보상되도록 유클리디언 디스턴스를 조정할 수 있다. 다시 말해, 인접 구간은 내부 구간의 2배의 해밍 디스턴스를 갖는다. 즉, 인접한 심볼들에 있어서, 다른 비트 수의 차이가 2배인 것으로, 2배의 해밍 디스턴스를 갖는 구간은 더 많은 파워를 갖도록 유클리디언 디스턴스를 더 넓게 조정하여 수신 신호 복구시 해밍 디스턴스의 차이에 따른 성능 열화를 보상할 수 있다. 다시 말하면, 해밍 디스턴스의 차이에 따른 복구 성능의 차이를 파워 차이로 보상할 수 있도록, 유클리디언 디스턴스를 조정하는 것이다.

[361] 먼저, 송신단에서 송신하는 전송 신호(St1, St2) 각각에 대해 성상도에서 상대적인 유클리디언 디스턴스를 파악한다. 상술한 수학식 2로부터 파워가 작아지는 16-QAM 심볼의 미니멈 유클리디언 디스턴스는 (a-1)이 되고, 파워가 커지는 16-QAM 심볼의 미니멈 유클리디언 디스턴스는 (a+1)가 됨을 알 수 있다(하나의 전송 신호가 R = h{(a+1)S1+(a-1)S2}로 표현되므로). 그리고 위의 조건을 사용하여 a 값을 구할 수 있으며, 이는 수식으로 나타내면 수학식 11과 같다.

[362] 수학식 11

$$a=\begin{cases}\sqrt{2}+1 & \text{,for QPSK+QPSK}\\ \sqrt{2}+3 & \text{,for 16QAM+16QAM}\end{cases}$$

[363] 도 21은 본 발명의 제 6 실시예에 따른 MIMO 인코딩 방법을 수행한 입력 신호 및 송신 신호를 나타낸 도면이다.

[364] 도 21의 실시예에서, 입력 신호 S1은 16-QAM 심볼로 성상도(222010)를 갖고, 입력 신호 S2는 16-QAM 심볼로 성상도(222020)를 갖는다. 제 6 실시예에 따라 설정된 인코딩 계수를 포함하는 MIMO 인코딩 매트릭스를 사용하여 입력 신호 S1 및 입력 신호 2를 MIMO 인코딩하면, 안테나 1(Tx1) 및 안테나 2(Tx2)에서 전송되는 인코딩된 송신 신호 St1 및 St2는 256-QAM 심볼이 되며, 인코딩된 송신 신호들의 성상도는 해밍 디스턴스를 고려한 유클리디언 디스턴스를 갖는 성상도들(208030 및 208040)을 갖는다. 또한, 송신 신호들 각각이 해밍 디스턴스를 고려한 유클리디언 디스턴스를 갖는 심볼 분포를 가지므로, 파워 임밸런스 상황에서 수신기가 각각의 송신 신호들 중 하나만을 수신하여

디코딩하는 경우에도 성능 손실을 최소화할 수 있다.

[365] 다만, QPSK+16-QAM 전송 방법의 경우와 같이 입력 신호들의 심볼 타입이 다른 경우에는 다른 값을 사용해야 한다. 이는 MIMO 전송에 사용되는 입력 신호들의 변조 방식이 다른 경우, 한쪽 송신 안테나에 최적화된 a 값을 사용하면 다른 송신 안테나에서는 상대적으로 떨어지는 성능을 갖는 신호가 전송되는 트레이드-오프가 발생할 수 있기 때문이다.

[366]

[367] 도 22는 본 발명의 일 실시예에 따른 P1 심볼의 구조와 AP1 심볼의 구조를 나타낸 도면이다.

[368] P1 심볼은 유효 심볼(A)의 앞쪽 일부와 뒤쪽 일부를 각각 복사하고 +fSH 만큼 주파수 쉬프트한 후 유효 심볼(A)의 앞(C)과 뒤(B)에 위치시켜 생성된다. 본 발명에서는 유효 심볼(A)의 앞 부분(C)을 prefix 부분이라 하고, 뒷부분 (B)을 postfix 부분이라 하기로 한다. 즉, P1 심볼은 프리픽스, 유효 심볼, 포스트픽스 부분을 포함할 수 있다.

[369] 마찬가지로, AP1 심볼은 유효 심볼(D)의 앞쪽 일부와 뒤쪽 일부를 각각 복사하고 -fSH 만큼 주파수 쉬프트한 후 유효 심볼(D)의 앞(F)과 뒤(E)에 위치시켜 생성된다. 본 발명은 유효 심볼(D)의 앞 부분(F)을 prefix 부분이라 하고, 뒷부분 (E)을 postfix 부분이라 하기로 한다. 즉, AP1 심볼은 프리픽스, 유효 심볼, 포스트픽스 부분을 포함할 수 있다.

[370] 여기서 P1 심볼과 AP1 심볼에 사용된 두 주파수 쉬프트 값 +fSH, -fSH은 서로 동일하고 부호만 정반대이다. 즉, 주파수 쉬프트는 반대 방향으로 수행된다. 그리고 유효 심볼의 앞에 복사되는 C와 F의 길이는 서로 다르게 설정하고, 또한 유효 심볼의 뒤에 복사되는 B와 E의 길이도 서로 다르게 설정한다. 또는 C와 F의 길이는 다르게 하고, B와 E의 길이는 같게 설정할 수도 있으며, 그 반대로 설정할 수도 있다. 본 발명은 다른 실시예로, P1 심볼의 유효 심볼 길이와 AP1 심볼의 유효 심볼 길이를 다르게 설정할 수도 있다. 또 다른 실시예로, P1 심볼과 다른 CSS(Complementary Set Sequence)가 AP1 내 톤 선택 및 데이터 스크램블을 위해 사용된다.

[371] 본 발명은 유효 심볼의 앞에 복사되는 C와 F의 길이는 서로 다르게 설정하고, 유효 심볼의 뒤에 복사되는 B와 E의 길이도 서로 다르게 설정하는 것을 일 실시예로 한다.

[372] 본 발명에 따른 C, B, F, E 길이는 다음의 수학식 12를 이용하여 구할 수 있다.

[373] 수학식 12

C의 길이(TC) = {A의 길이(TA)/2 + 30}
B의 길이(TB) = {A의 길이(TA)/2 - 30}
F의 길이(TF) = {D의 길이(TD)/2 + 15}
E의 길이(TE) = {D의 길이(TD)/2 - 15}

[374] 수학식 12에서와 같이 P1 심볼과 AP1 심볼은 주파수 쉬프트 값은 동일하지만 정반대의 부호를 가진다. 또한 C, B의 길이를 설정하기 위해 A의 길이(TA)/2 값에 더해지거나 빼지는 옵셋 값과 F, E의 길이를 설정하기 위해 D의 길이(TD)/2 값에 더해지거나 빼지는 옵셋 값을 서로 다르게 설정할 수 있다. 본 발명은 P1 심볼의 옵셋 값은 30으로 설정하고, AP1 심볼의 옵셋 값은 15로 설정하는 것을 일 실시예로 한다. 이러한 수치는 본 발명의 이해를 돕기 위한 실시예이며, 이 수치는 당업자에 의해 용이하게 변경될 수 있으므로 본 발명은 수치에 한정되지 않을 것이다.

[375] 본 발명은 도 22와 같은 구조로 P1 심볼과 AP1 심볼을 생성하여 각 프레임에 삽입함으로써, P1 심볼은 AP1 심볼의 검출 성능을 저하시키지 않고, 반대로 AP1 심볼은 P1 심볼의 검출 성능을 저하시키지 않는다. 또한 P1 심볼과 AP1 심볼의 검출 성능은 거의 동일하다. 그리고 P1 심볼과 AP1 심볼이 비슷한 구조를 가지도록 함으로써, 수신기의 복잡도를 최소화할 수 있다.

[376] 이때, P1 심볼과 AP1 심볼은 서로 연속적으로 전송될 수도 있고, 또는 프레임 내에서 서로 다른 위치에 할당되어 전송될 수도 있다. 서로 다른 위치에 할당되어 전송되는 경우, 프리앰블 심볼에 대해 높은 타임 다이버시티 효과를 얻을 수 있다. 본 발명은 연속적으로 전송하는 것을 일 실시예로 한다. 이 경우, AP1 심볼은 도 3에서 설명한 바와 같이 방송 신호 수신기에서 파일럿 패턴 및 프레임의 데이터 영역에 스프레딩된 시그널링 정보를 디코딩하기 위해 필요한 정보를 전송할 수 있으며, 도 5에서 설명한 과정을 통해 생성될 수 있다.

[377]

[378] 도 23은 본 발명의 일 실시예에 따른 P1 심볼 검출 모듈을 나타낸 도면이다. P1 심볼 검출 모듈은 도 2에서 설명한 OFDM 디모듈레이터(107100)에 포함될 수 있다.

[379] 본 발명에서는 P1 심볼 검출 모듈을 C-A-B 프리앰블 검출기라 호칭할 수 있다. 본 발명의 P1 심볼 검출 모듈은 다운 쉬프터(307101), 제 1 콘쥬게이터(307103), 및 제 2 지연기(307106)를 포함할 수 있다.

[380] 다운 쉬프터(307101)는 입력 신호에 값을 곱해서 역변조를 수행할 수 있다. 다운 쉬프터(307101)에서 역변조가 수행되면, 주파수 쉬프트되어 입력되는 신호가 원래의 신호로 복원될 수 있다. 역변조된 신호는 제 1 지연기(307102)와 제 2 콘쥬게이터(307107)로 출력된다.

[381] 제 1 지연기(307102)는 역변조된 신호를 C 파트의 길이(TC)만큼 지연시켜 제1

콘쥬게이터(307103)로 출력한다. 제 1 콘쥬게이터(307103)는 C 파트의 길이(TC)만큼 지연된 신호를 복소 콘쥬게이트(complex-conjugate) 시킨 후 입력 신호와 곱하여 제 1 필터(307104)로 출력한다. 제 1 필터(307104)는 TR=TA 길이를 갖는 러닝 애버리지 필터(running average filter)를 이용하여 입력 신호에 불필요하게 남아있는 변조 성분을 제거한 후 제 3 지연기(307105)로 출력한다. 제 3 지연기(307105)는 필터링된 신호를 A 파트(즉, 유효 심볼)의 길이(TA)만큼 지연시켜 곱셈기(307109)로 출력한다.

[382] 제 2 지연기(307106)는 입력 신호를 B 파트의 길이(TB)만큼 지연시켜 제2 콘쥬게이터(307107)로 출력한다. 제 2 콘쥬게이터(307107)는 B 파트의 길이(TB)만큼 지연된 신호를 복소 콘쥬게이트(complex-conjugate) 시킨 후 역변조된 신호와 곱하여 제 2 필터(307108)로 출력한다. 제 2 필터(307108)는 TR=TA 길이를 갖는 러닝 애버리지 필터(running average filter)를 이용하여 입력 신호에 불필요하게 남아있는 변조 성분을 제거한 후 곱셈기(307109)로 출력한다.

[383] 곱셈기(307109)는 제 2 필터(307109)의 출력과 A 파트의 길이(TA)만큼 지연된 신호를 곱한다. 이렇게 함으로써, 수신된 방송 신호의 각 신호 프레임으로부터 P1 심볼을 검출할 수 있다.

[384] 여기서, C의 길이(TC), B의 길이(TB)는 수학식 12를 이용하여 구할 수 있다.

[385]

[386] 도 24는 본 발명의 일 실시예에 따른 AP1 심볼 검출 모듈을 나타낸 도면이다. AP1 심볼 검출 모듈은 도 2에서 설명한 OFDM 디모듈레이터(107100)에 포함될 수 있다.

[387] 또한 본 발명에서는 AP1 심볼 검출 모듈을 F-D-E 프리앰블 검출기라 호칭할 수 있다. AP1 심볼 검출 모듈은 업 쉬프터(308101), 제 1 콘쥬게이터(308103), 및 제 2 지연기(308106)를 포함할 수 있다. AP1 심볼 검출 모듈은 방송 신호 수신기로 입력된 신호 또는 도 23에서 설명한 P1 심볼 검출 모듈에서 출력되는 신호를 입력받을 수 있다.

[388] 업 쉬프터(308101)는 입력 신호에 값을 곱해서 역변조를 수행한다. 업 쉬프터(308101)에서 역변조가 수행되면, 주파수 쉬프트되어 입력되는 신호가 원래의 신호로 복원된다. 즉, 도 24의 업 쉬프터(308101)는 도 23에서 설명한 P1 심볼 추출기의 다운 쉬프터(307101)와 동일한 구조이지만, 역변조의 주파수 방향을 정반대로 하는 것이 다르다. 업 쉬프터(308101)에서 역변조된 신호는 제 1 지연기(308102)와 제 2 콘쥬게이터(308107)로 출력된다.

[389] 제 1 지연기(308102)는 역변조된 신호를 F 파트의 길이(TF)만큼 지연시켜 제 1 콘쥬게이터(308103)로 출력한다. 제 1 콘쥬게이터(308103)는 F 파트의 길이(TF)만큼 지연된 신호를 복소 콘쥬게이트(complex-conjugate) 시킨 후 입력 신호와 곱하여 제 1 필터(308104)로 출력한다. 제 1 필터(308104)는 TR=TD 길이를 갖는 러닝 애버리지 필터(running average filter)를 이용하여 입력 신호에 불필요하게 남아있는 변조 성분을 제거한 후 제 3 지연기(308105)로 출력한다. 제

3 지연기(308105)는 필터링된 신호를 D 파트(즉, 유효 심볼)의 길이(TD)만큼 지연시켜 곱셈기(308109)로 출력한다.

[390] 제 2 지연기(308106)는 입력 신호를 E 파트의 길이(TE)만큼 지연시켜 제2 콘쥬게이터(308107)로 출력한다. 제 2 콘쥬게이터(308107)는 E 파트의 길이(TE)만큼 지연된 신호를 복소 콘쥬게이트(complex-conjugate) 시킨 후 역변조된 신호와 곱하여 제 2 필터(308108)로 출력한다. 제 2 필터(308108)는 TR=TD 길이를 갖는 러닝 애버리지 필터(running average filter)를 이용하여 입력 신호에 불필요하게 남아있는 변조 성분을 제거한 후 곱셈기(308109)로 출력한다.

[391] 곱셈기(308109)는 제 2 필터(308109)의 출력과 D 파트의 길이(TD)만큼 지연된 신호를 곱한다. 이렇게 함으로써, 수신된 방송 신호의 각 신호 프레임으로부터 AP1 심볼을 검출할 수 있다. 여기서, F의 길이(TF), E의 길이(TE)는 수학식 9를 적용하여 구할 수 있다.

[392] 도 3에서 설명한 바와 같이, 본 발명의 일 실시예에 따른 프레임은 프리앰블 영역과 데이터 영역을 포함할 수 있다. 프리앰블 영역은 P1 심볼과 P2 심볼을 포함할 수 있으며, 데이터 영역은 복수의 데이터 심볼을 포함할 수 있다. 또한 프리앰블 영역은 설계자의 의도에 따라 AP1 심볼을 포함할 수 있다.

[393] 이때 P1 시그널링 정보는 P1 심볼을 통해 전송되고, AP1 시그널링 정보는 AP1 심볼을 통해 전송되며, L1-프리 시그널링 정보와 L1-포스트 시그널링 정보는 P2 심볼을 통해 전송되는 것을 일 실시예로 한다.

[394]

[395] 도 25의 A 및 B는 본 발명의 일 실시예에 따른 P1 시그널링 정보 및 AP1 시그널링 정보를 나타낸 도면이다.

[396] 도 25의 A는 본 발명의 일 실시예에 따른 P1 시그널링 정보에 포함되는 테이블을 나타낸 도면이다.

[397] 도 25의 A에 도시된 바와 같이, 본 발명의 일 실시예에 따른 P1 시그널링 정보는 S1 필드와 S2 필드를 포함할 수 있다. 이하 각 필드에 대해 설명한다.

[398] S1 필드는 3비트의 크기를 가지며, 프리앰블의 포맷과 P2 타입을 지시할 수 있다.

[399] S2 필드는 4비트의 크기를 가지며, S2 field 1 필드와 S2 field 2 필드를 포함할 수 있다.

[400] S2 field 1 필드는 3비트의 크기를 가지며, FFT 사이즈 정보와 가이드 인터벌(GI)에 관한 부분 정보를 지시할 수 있다. FFT 사이즈는 하나의 OFDM 심볼을 구성하는 서브 캐리어의 개수를 의미하고, GI 사이즈는 하나의 OFDM 심볼에서 GI가 차지하는 비율을 의미한다. 따라서 OFDM 심볼 길이는 FFT 사이즈와 GI 사이즈에 따라 달라질 수 있다.

[401] S2 field 2 필드는 1비트의 크기를 가지며, 프레임에 포함된 프리앰블이 같은 타입인지 또는 다른 타입인지를 지시할 수 있다.

[402] 도 25의 B는 본 발명의 일 실시예에 따른 AP1 시그널링 정보에 포함되는

테이블을 나타낸 도면이다.

[403] 도 25의 B에 도시된 바와 같이, AP1 시그널링 정보는 PILOT_PATTERN 필드 및 L1_PRE_SPREAD_LENGTH 필드를 포함할 수 있다. 이하 각 필드에 대해 설명한다.

[404] PILOT_PATTERN 필드는 4비트의 크기를 가지며, 해당 프레임의 파일럿 패턴을 지시할 수 있다. 본 발명의 일 실시예에 따라 AP1 심볼을 통해 파일럿 패턴 정보를 전송하는 경우, P2 심볼이 전송되지 않고, L1 시그널링 정보가 데이터 영역의 데이터 심볼들에 스프레드되어 있을 때에도 수신기는 데이터 영역의 L1 시그널링 정보를 디코딩하기 전에 파일럿 패턴을 알 수 있다.

[405] L1_PRE_SPREAD_LENGTH 필드는 3비트의 크기를 가지며, L1 프리 시그널링 정보가 데이터 영역에서 스프레드되는 구간의 길이를 지시할 수 있다. 즉, 프레임의 데이터 심볼들 중 L1 프리 시그널링 정보가 스프레드되는 구간에 포함되는 데이터 심볼들의 개수를 나타낸다. 본 발명은 L1 프리 시그널링 정보가 스프레드되는 구간을 L1 프리 스프레드 구간이라 하기로 한다. 만일 L1_PRE_SPREAD_LENGTH 필드 값이 '000'이면, 해당 프레임의 데이터 영역에 L1 시그널링 정보가 스프레드되어 있지 않음을 의미한다.

[406] 도 25의 P1 시그널링 정보 및 AP1 시그널링 정보에 포함되는 필드들 및 그 값의 의미는 본 발명의 이해를 돕기 위한 실시예들이며, 각 필드 및 그 값의 의미는 설계자에 의도에 따라 변경 가능하다.

[407]

[408] 도 26은 본 발명의 또 다른 실시예에 따른 L1-프리 시그널링 정보를 나타낸 도면이다. 도 6에서 설명한 바와 같이, L1-프리 시그널링 정보는 L1 포스트 시그널링 정보를 디코딩하는데 필요한 정보를 포함한다.

[409] 도 26에 도시된 L1-프리 시그널링 정보는 도 6의 L1-프리 시그널링 정보의 일 실시예로서, 도 6에 설명한 필드와 동일한 필드에 대한 설명은 생략한다.

[410] 이하에서는, 도 26에 도시된 L1-프리 시그널링 정보 중 도 6에서 설명한 L1-프리 시그널링 정보에 포함되지 않은 필드들에 대해 설명한다. 각 필드의 크기와 테이블에 포함될 수 있는 필드의 종류는 설계자의 의도에 따라 추가 또는 변경 가능하다.

[411] NUM_T2_FRAMES 필드는 8비트가 할당되며, 현재 수퍼 프레임 내 기존 지상파 방송 시스템의 프레임의 개수를 지시할 수 있다. 수신기는 본 필드를 통해 수퍼 프레임의 구조를 파악하고, 다음에 전송되는 추가적인 프레임, 즉, 즉 추가적인 데이터 또는 종래 지상파 방송 시스템과는 다른 새로운 방송 시스템과 관련된 데이터를 전송하는 프레임으로 직접 호핑하기 위해 필요한 정보를 계산하는데 사용할 수 있다.

[412] L1_POST_SPREAD_LENGTH 필드는 12비트의 크기를 가지며, L1 포스트 시그널링 정보가 데이터 영역에서 스프레드되는 구간의 길이를 지시할 수 있다. 즉, 프레임의 데이터 심볼들 중 L1 포스트 시그널링 정보가 스프레드되는 구간에

포함되는 데이터 심볼들의 개수를 나타낸다. 본 발명은 L1 포스트 시그널링 정보가 스프레드되는 구간을 L1 포스트 스프레드 구간이라 하기로 한다. 만일 L1_POST_SPREAD_LENGTH 필드 값이 모두 0이면, 해당 프레임의 데이터 영역에 L1 포스트 시그널링 정보가 스프레드되어 있지 않음을 의미한다.

[413] NUM_MISO_SYMBOLS 필드는 12비트의 크기를 가지며, 현재 프레임의 데이터 심볼들 중 MISO 심볼들의 개수를 지시할 수 있다.

[414] MIMO_SYMBOL_INTERVAL 필드는 12비트의 크기를 가지며, 두 MIMO 심볼 파트 사이에 포함된 MIMO 심볼의 개수를 지시할 수 있다.

[415] MIMO_SYMBOL_LENGTH 필드는 12비트의 크기를 가지며, 하나의 MIMO 심볼 파트 내 MIMO 심볼의 개수를 지시할 수 있다.

[416]

[417] 도 27은 본 발명의 또 다른 실시예에 따른 L1-포스트 시그널링 정보를 나타낸 도면이다.

[418] 도 7에서 설명한 바와 같이, L1-포스트 시그널링 정보는 컨피규러블 블록(configurable block), 다이내믹 블록(dynamic block), 익스텐션 블록(extension block), CRC 블록(Cyclic Redundancy Check block) 및 L1 패딩 블록(L1 padding block)을 포함할 수 있다.

[419] 도 27에 도시된 테이블은 컨피규러블 블록에 포함되는 테이블로, 도 7에서 설명한 L1-포스트 시그널링 정보의 일 실시예로서 동일한 필드들에 관한 설명은 생략한다.

[420] 이하에서는, 도 27에 도시된 L1-프리 시그널링 정보 중 도 7에서 설명한 L1-포스트 시그널링 정보에 포함되지 않은 필드들에 대해 설명한다.

[421] 각 필드의 크기와 테이블에 포함될 수 있는 필드의 종류는 설계자의 의도에 따라 추가 또는 변경 가능하다.

[422] 이하는 주파수 루프에 포함되는 필드들이다.

[423] NEXT_NGH_SUPERFRAME 필드는 8비트의 크기를 가지는 필드로, 현재 프레임과 다음 NGH 프레임을 포함하는 다음 수퍼 프레임 사이의 수퍼 프레임의 개수를 지시할 수 있다.

[424] 이하의 필드들은 PLP 루프에 포함되는 필드들이다.

[425] PLP_PROFILE 필드는 2비트의 크기를 가지는 필드로, 현재 PLP에 포함된 스트림의 프로파일을 지시할 수 있다. 즉, 현재 PLP가 베이스 레이어의 PLP인지, 인핸스드 레이어의 PLP인지를 지시할 수 있다.

[426] PLP_MIMO_TYPE 필드는 2비트의 크기를 가지는 필드로, 현재 PLP가 MIMO 타입인지, MISO 타입인지를 지시할 수 있다.

[427] 일 예로, PLP_MOD 필드 값은 PLP_MIMO_TYPE 필드와의 결합(combination)에 의해 결정될 수 있다. PLP_MIMO_TYPE 필드 값이 MISO 타입을 지시하는 경우, PLP_MOD 필드는 심볼 재매핑을 위해 사용될 수 있고, PLP_MIMO_TYPE 필드 값이 MIMO 타입을 지시하는 경우, PLP_MOD 필드는

MIMO 처리 후 그 결과로서 생기는 스펙트럼 효율을 갖는 성상도 사이즈로 해석될 수 있다.

[428]

[429] 도 28은 본 발명의 또 다른 실시예에 따른 L1-포스트 다이나믹 시그널링 정보를 나타낸 도면이다. 도 28에 도시된 테이블은 다이나믹 블록에 포함되는 테이블로, 도 8에서 설명한 L1-포스트 시그널링 정보의 일 실시예로서, 동일한 필드들에 관한 설명은 생략한다.

[430] 이하에서는, 도 28에 도시된 L1-프리 시그널링 정보 중 도 8에서 설명한 L1-포스트 시그널링 정보에 포함되지 않은 필드들에 대해 설명한다.

[431] 각 필드의 크기와 테이블에 포함될 수 있는 필드의 종류는 설계자의 의도에 따라 추가 또는 변경 가능하다.

[432] NEXT_NGH_FRAME 필드는 8비트의 크기를 가지는 필드로, S2 필드의 LSB가 1인 경우 즉, S2='xxx1'로 표현되는 경우에만 사용된다. NEXT_NGH_SUPERFRAME 필드는 추가 전송프레임을 포함하는 다음 수퍼 프레임 내 첫번째 기본 프레임과 다음 추가 프레임 사이의 기본 또는 FEF 프레임들의 개수를 지시할 수 있다. NEXT_NGH_FRAME 필드와 NEXT_NGH_SUPERFRAME 필드는 수신기가 다음 추가 프레임으로 호핑하기 위해 필요한 양을 계산하는데 이용될 수 있다. 즉, NEXT_NGH_FRAME 필드와 NEXT_NGH_SUPERFRAME 필드는 FEF와 믹스된 많은 기본 프레임들이 있고, 모든 FEF들이 추가 프레임만을 위해 사용되지 않을 때 효율적인 호핑 메커니즘을 제공한다. 특히 수신기는 수퍼 프레임 내 모든 프레임들의 P1 시그널링 정보를 검출하여 디코딩하지 않고도 다음 추가 프레임으로 직접 호핑할 수 있다.

[433]

[434] 이하에서는 MIMO 프로세싱을 이용한 방송 신호 송신기 및 방송 신호 수신기의 구체적인 실시예에 대하여 설명한다.

[435] 본 발명에 따른 방송 신호 송신기는 도 1에서 설명한 바와 같이 인풋 프로세서(101200), BICM 인코더(101300), 프레임 빌더(101400) 및 OFDM 제너레이터(101500)를 포함할 수 있다 또한, 본 발명에 따른 방송 신호 수신기는 도 2에서 설명한 바와 같이 OFDM 디모듈레이터(107100), 프레임 디맵퍼(107200), BICM 디코더(107300) 및 아웃풋 프로세서(1073400)를 포함할 수 있다.

[436] 방송 신호 송신기의 인풋 프로세서(101200)는 전송할 데이터를 FEC 인코딩을 수행하기 위한 블록 형태로 처리하는 동작을 수행할 수 있으며, BICM 인코더(101300)는 오류 정정을 위한 인코딩을 수행할 수 있다. 또한 프레임 빌더(101400)는 데이터를 프레임에 매핑할 수 있으며, OFDM 제너레이터(101500)는 프레임 내 매핑된 입력 데이터를 심볼단위로 OFDM 복조하여 안테나로 출력할 수 있다. 방송 신호 수신기에 포함된 디바이스들은

방송 신호 송신기에 포함된 디바이스들에 대응하여 역동작을 수행할 수 있다.

[437] 본 발명에서는 복수개의 PLP 입력에 대하여 각 PLP 별로 MISO 프로세싱 또는 MIMO 프로세싱을 독립적으로 적용하는 방송 신호 송신기 및 방송 신호 수신기를 제시하고자 한다. 본 발명에 따르면, 피지컬 레이어에서 각 PLP를 통해 전송되는 서비스 또는 서비스 컴포넌트들의 QoS (quality of service)를 각각 조절할 수 있는 효과를 얻을 수 있다.

[438]

[439] 이하 본 발명에서는, 복수의 안테나를 통해 송수신되는 복수의 신호에 대해 MISO 프로세싱 및 MIMO 프로세싱을 수행하는 방송 신호 송수신기에 대해 4가지 실시예를 들어 설명한다. 각 실시예에 대해 간략히 설명하면 이하와 같다.

[440] 제 1 실시예는 BICM 인코딩 과정에서 입력 PLP 데이터 마다 독립적으로 MISO 프로세싱 및 MIMO 프로세싱을 수행하는 방송 신호 송신기 및 이에 대응하는 방송 신호 수신기에 관한 것 이다.

[441] 제 2 실시예는 BICM 인코딩 과정에서 입력 PLP 데이터마다 독립적으로 MISO 프로세싱 및 MIMO 프로세싱을 수행하는 또 다른 방송 신호 송신기 및 이에 대응하는 방송 신호 수신기에 관한 것이다.

[442] 제 3 실시예는 OFDM 제너레이팅 과정에서 프레임 내 매핑된 PLP 데이터에 대하여 MISO 프로세싱 및 MIMO 프로세싱을 수행하는 방송 신호 송신기 및 이에 대응하는 방송 신호 수신기에 관한 것이다.

[443] 제 4 실시예는 BICM 인코딩 과정에서 입력되는 PLP 데이터 중 MIMO 프로세싱을 수행할 MIMO PLP 데이터에 대해서는 독립적으로 MIMO 프로세싱을 수행하고, OFDM 제너레이터는 MISO 프로세싱을 수행할 MISO PLP 데이터 및 L1-시그널링 정보에 대해서는 MISO 프로세싱을 수행하는 방송 신호 송신기 및 이에 대응하는 방송 신호 수신기에 관한 것이다.

[444]

[445] 구체적으로 제 1 실시예에 따른 방송 신호 송신기의 BICM 인코더는 성상도 매핑, 셀 인터리빙 및 타임 인터리빙이 수행된 이후 입력 PLP 데이터에 대해 MISO 인코딩 또는 MIMO 인코딩을 수행할 수 있다. 또한 제 1 실시예에 따른 방송 신호 수신기의 BICM 디코더는 방송 신호 송신기의 BICM 인코딩의 역과정을 수행할 수 있다.

[446] 제 2 실시예에 따른 방송 신호 송신기의 BICM 인코더는 성상도 매핑 이후 각 입력 PLP 데이터에 대해 MISO 인코딩 또는 MIMO 인코딩을 수행하고, 셀 인터리빙 및 타임 인터리빙을 수행할 수 있다. 또한 제 2 실시예에 따른 방송 신호 수신기의 BICM 디코더는 방송 신호 송신기의 BICM 디코딩의 역과정을 수행할 수 있다.

[447] 제 3 실시예에 따른 방송 신호 송신기의 OFDM 제너레이터는 프레임 빌더로부터 출력된 PLP 데이터에 대해 MISO 인코딩 또는 MIMO 인코딩을 수행할 수 있다. 또한 제 3 실시예에 따른 방송 신호 수신기의 OFDM

디모듈레이터는 방송 신호 송신기의 OFDM 제너레이터의 역과정을 수행할 수 있다.

[448] 제 4 실시예에 따른 방송 신호 송신기의 BICM 인코더는 타임 인터리빙 이후 MIMO 프로세싱을 수행할 MIMO PLP 데이터에 대해서 MIMO 인코딩을 수행하거나, 성상도 매핑 이후 MIMO PLP 데이터에 대해서 MIMO 인코딩을 수행할 수 있다. 또한 제 4 실시예에 따른 방송 신호 송신기의 OFDM 제너레이터는 프레임 내 매핑된 MISO 프로세싱을 수행할 MISO PLP 데이터 및 L1-시그널링 정보에 대해서 MISO 인코딩을 수행할 수 있으며, MIMO PLP 데이터에 대해서도 MISO 인코딩을 수행할 수 있다. 또한 제 4 실시예에 따른 방송 신호 수신기의 BICM 디코더 및 OFDM 디모듈레이터는 방송 신호 송신기의 BICM 디코더 및 OFDM 제너레이터의 역과정을 수행할 수 있다.

[449]

[450] 이하 본 발명에서는 본 발명의 각 실시예에 따른 따른 방송 신호 송수신기에 대하여 설명한다. 본 발명의 방송 신호 송신기 및 수신기는 복수의 안테나를 통해 송수신되는 복수의 신호에 대해 MISO 프로세싱 및 MIMO 프로세싱을 수행할 수 있으며, 이하에서는 2개의 안테나를 통해 송수신되는 2개의 신호에 대해 신호처리를 수행하는 방송 신호 송수신기에 대하여 설명하도록 한다.

[451]

[452] 도 29 내지 30은 본 발명의 각 실시예에 따른 방송 신호 송신기에 공통적으로 포함되는 인풋 프로세서의 실시예를 나타낸다. 이하 구체적으로 설명한다.

[453] 도 29는 본 발명의 일 실시예에 따른 방송 신호 송신기의 인풋 프로세서를 나타낸 도면이다.

[454] 도 29의 인풋 프로세서는 도 1 에서 설명한 인풋 프로세서(101200)의 일 실시예로서, 하나의 PLP를 처리하는 인풋 프로세서의 실시예이다. 도 29의 인풋 프로세서은, 모드 어댑테이션 모듈(601100; mode adaptation module) 및 스트림 어댑테이션 모듈(601200; stream adaptation module)을 포함한다. 모드 어댑테이션 모듈(601100)은 인풋 인터페이스 모듈(601110), CRC-8 인코더(601120) 및 BB 헤더 삽입 모듈(601130)를 더 포함하고, 스트림 어댑테이션 모듈(1020)은 패딩 삽입 모듈(601210) 및 BB 스크램블러(601220)를 더 포함할 수 있다.

[455] 싱글 PLP를 처리하는 인풋 프로세서에서, 인풋 인터페이스 모듈(601110)는 입력 비트 스트림을 후단의 BICM 인코더에서 FEC(BCH/LDPC) 인코딩을 수행하기 위한 논리적인 단위로 구분하여 매핑을 수행한다. CRC-8 인코더(601120)는 매핑된 비트 스트림에 CRC 인코딩을 수행하고, BB 헤더 삽입 모듈(1050)는 데이터 필드에 BB 헤더를 삽입한다. 이 경우 BB 헤더는 모드 어답테이션 타입 (TS/GS/IP) 정보, 사용자 패킷 길이 정보, 데이터 필드 길이 정보 등을 포함할 수 있다.

[456] 또한 스트림 어댑테이션 블록(601200)은 입력 데이터가 FEC 인코딩을 위한 하나의 BB 프레임을 채우지 못하는 경우 BB 프레임을 완성할 수 있도록 패딩

비트를 삽입하는 패딩 삽입부(601210) 및 PRBS(Pseudo Random Binary Sequence)를 생성하고, 입력 비트 스트림을 생성된 PRBS와 XOR 연산하여 데이터를 랜더마이징하는 BB 스크램블러(601220)를 포함할 수 있다. 이러한 BB 스크램블러(601220)의 동작은 최종적으로 전송되는 OFDM 변조 신호의 PAPR(Peak-to-Average Power Ratio)를 낮출 수 있다.

[457]

[458] 도 30은 본 발명의 일 실시예에 따른 방송 신호 송신기의 인풋 프로세서로서, 복수의 PLP를 처리하는 모드 어댑테이션 모듈을 나타낸 도면이다.

[459] 도 30의 모드 어댑테이션 모듈은 복수의 PLP들 중 각각의 PLP에 대해 모드 어댑테이션을 수행하도록 병렬로 동작하는 복수의 인풋 인터페이스 모듈(602100), 인풋 스트림 싱크로나이저(602200), 컴펜세이팅(compensating) 딜레이 모듈(602300), 널 패킷 삭제(deletion) 모듈(602400), CRC-8 인코더(602500) 및 BB 헤더 삽입부(602600)를 포함한다. 도 30의 블록들 중, 도 29에서 도시된 동일한 블록들과 동일한 동작을 수행하는 인풋 인터페이스 모듈(602100), CRC-8 인코더(602500) 및 BB 헤더 삽입부(602600)에 대하여는 중복하여 설명하지 않기로 한다.

[460] 인풋 스트림 싱크로나이저(602200)는 ISCR(Input Stream Clock Reference) 정보 즉 수신단에서 TS(Transport Stream) 또는 GS(Generic Stream)을 복원하는데 필요한 타이밍 정보를 삽입할 수 있다. 컴펜세이팅 딜레이 모듈(602300)은 입력 스트림 싱크로나이저에서 삽입된 타이밍 정보를 기준으로 그룹 단위의 PLP들에 대하여 데이터를 지연시켜 동기를 맞춘다. 널 패킷 삭제 모듈(602400)은 불필요하게 전송되는 널 패킷을 삭제하고, 삭제된 위치에 따라 삭제된 널 패킷의 개수를 삽입한다.

[461]

[462] 도 31은 본 발명의 일 실시예에 따른 방송 신호 송신기의 인풋 프로세서로서, 복수의 PLP를 처리하는 스트림 어댑테이션 모듈을 나타낸 도면이다.

[463] 도 31의 스트림 어댑테이션 모듈은, 도 30의 모드 어댑테이션 모듈에 이어, 도 30에서 모드 어댑테이션이 수행된 PLP단위의 데이터를 수신하여, PLP 단위로 이하의 설명과 같이 스트림 어댑테이션을 수행한다.

[464] 스케줄러(603100)는 양극성(dual polarity)을 포함하는 다중 안테나를 사용하는 MIMO 전송 시스템을 위한 스케줄링을 수행할 수 있으며, BICM 블록의 디멀티플렉서, 셀 인터리버, 타임 인터리버 등의 신호 처리 블록들에서 사용되는 파라미터를 생성할 수 있다. 또한, 스케줄러(603100)는, 인밴드 시그널링과 별도로 현재 프레임에 대한 L1-다이나믹 시그널링 정보를 출력하여 셀 매퍼가 스케줄링에 따라 입력 셀들을 매핑하도록 할 수 있다.

[465] 복수의 PLP를 각각 처리하는 복수의 1-프레임 딜레이 모듈(603200)은 인밴드 시그널링 등을 위해서 후속 프레임에 대한 스케줄링 정보가 현재 프레임에 포함될 수 있도록 입력 데이터를 한 프레임만큼 지연시킨다. 복수의 PLP를 각각

처리하는 복수의 인밴드 시그널링/패딩 삽입 모듈(603300)은 한 프레임만큼 지연된 데이터에 지연되지 않은 L1-다이나믹 시그럴링 정보를 삽입한다. 또한, 인밴드 시그널링/패딩 삽입 모듈(603300)은 패딩을 위한 공간이 있는 경우 패딩 비트를 삽입하거나, 인밴드 시그널링 정보를 패딩 공간에 삽입할 수 있다. 그리고, BB 스크램블러(603400)는 도 29에서 설명한 바와 같이 PRBS(Pseudo Random Binary Sequence)를 생성하고 입력 비트 스트림을 생성된 PRBS와 XOR 연산하여 데이터를 랜더마이즈한다.

[466] 도 31의 스트림 어댑테이션 모듈에서, L1-시그널링 제네레이터(603500)는 인밴드 시그널링 정보 외에, 프레임의 프리앰블 심볼이나 스프래딩되는 데이터 심볼 등을 통해 전송되는 L1-시그널링 정보를 생성한다. 이러한 L1-시그널링 정보는 L1-프리 시그널링 정보 및 L1-포스트 시그널링 정보를 포함할 수 있다. L1-프리 시그널링 정보는 L1-포스트 시그널링 정보를 처리하는데 필요한 파라미터들과 스태틱(static) L1-시그널링 정보를 포함하고, L1-포스트 시그널링 정보는 스태틱 L1-시그널링 정보 및 다이나믹 L1-시그널링 정보를 포함할 수 있다. L1 시그널링 제네레이터(603500)는 생성한 L1-프리 시그널링 정보 및 L1-포스트 시그널링 정보를 각각 출력할 수 있다. 출력되는 L1-프리 시그널링 정보 및 L1-포스트 시그널링 정보에 해당하는 데이터는 각각 BB 스크램블러들(603600, 603700)에서 스크램블링될 수 있다. 또한, 다른 실시예로서 L1 시그널링 제네레이터(603500)는 L1-프리 시그널링 정보 및 L1-포스트 시그널링 정보를 포함하는 L1-시그널링 정보를 출력하고, 하나의 BB 스크램블러가 출력된 L1-시그널링 정보를 스크램블링할 수도 있다.

[467]

[468] 도 32 내지 도 34는 본 발명의 제 1 실시예에 따른 방송 신호 송신기의 구성 블록을 나타낸다. 이하 구체적으로 설명한다.

[469] 도 32는 본 발명의 제 1 실시예에 따른 BICM 인코더를 나타낸 도면이다.

[470] 도 32에 도시된 BICM 인코더는 도 1에서 설명한 BICM 인코더(101300)의 일 실시예이다.

[471] 본 발명의 제 1 실시예에 따른 BICM 인코더는 인풋 프로세싱된 복수개의 PLP 데이터와 L1-프리 시그널링 정보 및 L1-포스트 시그널링 정보에 대해 비트 인터리빙 및 에러 정정을 위한 인코딩을 수행할 수 있다.

[472] 또한 본 발명의 제 1 실시예에 따른 BICM 인코더는 PLP 데이터마다 독립적으로 MISO 방식을 적용할 수 있고, MIMO 방식을 적용할 수 있다. 즉, 도 32의 BICM 인코더는 MISO 방식으로 PLP 데이터를 처리하는 제 1 BICM 인코딩 블록(604100), MIMO 방식으로 PLP 데이터를 처리하는 제 2 BICM 인코딩 블록(604200) 및 MISO 방식으로 시그널링 정보를 처리하는 제 3 BICM 인코딩 블록(604300)을 포함할 수 있다. 제 3 BICM 인코딩 블록(604300)은 MIMO 방식으로 시그널링 정보를 처리할 수도 있다. 하지만 시그널링 정보는 수신부에서 프레임에 포함된 PLP 데이터를 복구하기 위해 필요한 정보들을

포함하고 있으므로, PLP 데이터의 경우보다 송수신간의 더 큰 강인성(robustness)이 요구된다. 따라서 본 발명에서는 MISO 방식으로 시그널링 정보를 처리하는 것을 일 실시예로 한다.

[473] 이하에서 각 블록의 데이터 처리 방식에 대해 설명한다.

[474] 먼저, 제 1 BICM 인코딩 블록(604100)은 BICM 인코더(604100)는 FEC(Forward Error Correction) 인코더(604110), 비트 인터리버(604120), 제 1 디먹스(604130), 성상도 맵퍼(604140), 셀 인터리버(604150), 타임 인터리버(604160) 및 MISO 인코더(604170)를 포함할 수 있다.

[475] FEC 인코더(604110)는 인풋 프로세싱된 PLP 데이터에 대하여 수신부에서 전송 채널상의 오류를 정정할 수 있도록 리던던시(redundancy)를 추가하여 BCH 인코딩과 LDPC 인코딩을 수행할 수 있다. 비트 인터리버(604120)는 FEC 인코딩이 수행된 PLP 데이터에 대하여 하나의 FEC 블록 단위로 비트 인터리빙을 수행하여 전송 중에 발생할 수 있는 버스트 에러에 대해 강인성(robustness)를 가질 수 있도록 한다. 이 경우, 비트 인터리버는 두 개의 FEC 블록 단위를 이용하여 비트 인터리빙을 수행할 수 있다. 이와 같이 두 개의 FEC 블록을 이용하여 비트 인터리빙을 수행하는 경우, 후술할 프레임 빌더에서 쌍을 이루는 셀들이 서로 다른 FEC 블록으로부터 생성될 수 있다. 따라서 방송 신호 수신기에서는 다이버시티를 확보하여 수신 성능을 향상시킬 수 있다.

[476] 제 1 디먹스(604130)는 비트 인터리빙된 PLP 데이터에 대하여 하나의 FEC 블록 단위로 디멀티플렉싱 할 수 있다. 이 경우 제 1 디먹스(604130)는 두 개의 FEC 블록을 사용하여 디멀티플렉싱을 수행할 수 있다. 이와 같이 두 개의 FEC 블록을 사용하여 디멀티플렉싱을 수행하는 경우, 후술할 프레임 빌더에서 페어(pair)를 이루는 셀들이 서로 다른 FEC 블록으로부터 생성될 수 있다. 따라서 수신기는 다이버시티를 확보하여 높은 수신 성능을 얻을 수 있다.

[477] 성상도 맵퍼(604140)는 디멀티플렉싱된 비트 단위의 PLP 데이터를 심볼 단위로 성상도에 매핑할 수 있다. 이 경우 성상도 맵퍼(604140)는 모듈레이션 타입에 따라 성상도를 일정 각도로 회전시킬 수 있다. 회전된 성상도들은 I-phase(In-phase) 성분과 Q-phase(Quadrature-phase) 성분으로 표현될 수 있으며, 성상도 맵퍼(604140)는 이중 Q-phase 성분만을 임의의 값으로 딜레이할 수 있다. 이후 성상도 맵퍼(604140)는 In-phase 성분과 딜레이된 Q-phase 성분을 이용하여 디멀티플렉싱된 PLP 데이터를 새로운 성상도에 재매핑할 수 있다.

[478] 셀 인터리버(604150)는 성상도에 매핑 또는 재매핑된 PLP 데이터에 대해 셀 단위로 인터리빙을 수행할 수 있으며, 타임 인터리버(604160)는 셀 인터리빙된 PLP 데이터에 대해 시간단위로 인터리빙을 수행 할 수 있다. 이 경우 타임 인터리버(604160)는 2 개의 FEC 블록을 이용하여 인터리빙을 수행할 수 있다. 이 과정을 통해, 후술할 프레임 빌더에서 쌍을 이루는 셀들이 서로 다른 FEC 블록으로부터 생성될 수 있으므로 수신기는 다이버시티를 확보하여 높은 수신 성능을 얻을 수 있다.

[479] MISO 인코더(604170)는 타임 인터리빙된 PLP 데이터에 대해 MISO 인코딩 매트릭스를 이용하여 MISO 인코딩을 수행하여 2개의 경로(STx_k, STx_k+1)로 MISO PLP 데이터를 출력할 수 있다. 이를 통해 전송 다이버시티를 획득할 수 있다. 본 발명에서는 MISO 인코딩 방법의 실시예로써 OSTBC(Orthogonal Space-Time Block Code)/OSFBC(Orthogonal Space Frequency Block Code/Alamouti code)을 포함할 수 있다.

[480] 제 2 BICM 인코딩 블록(604200)은 FEC 인코더(604210), 비트 인터리버(604220), 제 2 디먹스(604230), 제 1 성상도 맵퍼(604240-1) 및 제 2 성상도 맵퍼(604240-2), 제 1 셀 인터리버(604250-1) 및 제 2 셀 인터리버(604250-2), 제 1 타임 인터리버(604260-1) 및 제 2 셀 인터리버(604260-2) 및 MIMO 인코더(604270)를 포함할 수 있다.

[481] FEC 인코더(604210) 및 비트 인터리버(604220)는 MISO 방식의 FEC 인코더(604110) 및 비트 인터리버(604120)와 동일한 기능을 수행할 수 있다.

[482] 제 2 디먹스(604230)는 MISO 방식의 제 1 디먹스(604130)과 동일한 기능을 수행할 수 있으며 추가로, PLP 데이터를 디멀티플렉싱하여 MIMO 전송에 필요한 2개의 경로로 출력할 수 있다. 이 경우 각 경로를 통해 전송되는 데이터의 전송 특성은 다를 수 있다. 따라서 제 2 디먹스는 비트 인터리빙된 PLP 데이터를 각 입력 경로에 랜덤하게 할당할 수 있다.

[483] 제 1 성상도 맵퍼(604240-1) 및 제 2 성상도 맵퍼(604240-2)는 MISO 방식의 성상도 맵퍼(604140)과 동일한 기능을 수행할 수 있다.

[484] 제 1 셀 인터리버(604250-1) 및 제 2 셀 인터리버(604250-2)는 각각의 경로를 통해 입력되는 PLP 데이터 중 하나의 FEC 블록에 포함된 셀의 절반 크기에 해당하는 PLP 데이터에 대해서만 셀 인터리빙을 수행할 수 있다. 따라서 제 1 셀 인터리버(604250-1) 및 제 2 셀 인터리버(604250-2)에 의한 셀 인터리빙은 MISO 방식의 셀 인터리버(604150)의 인터리빙과 동일한 효과를 가질 수 있다. 또한, 복수의 경로의 데이터를 처리하기 위해 제 1 셀 인터리버(604250-1)및 제 2 셀 인터리버(604250-2)에 추가적인 메모리 할당을 하지 않고, 셀 인터리버(604150)의 메모리 설정을 사용하여 셀 인터리빙을 수행할 수 있는 장점이 있다.

[485] 제 1 타임 인터리버(603260-1) 및 제 2 타임 인터리버(603260-2)는 MISO 방식의 타임 인터리버(603160)과 동일한 기능을 수행할 수 있다. 이 경우 제 1 타임 인터리버(603260-1) 및 제 2 타임 인터리버(603260-2)는 각각의 경로를 통해 입력되는 PLP 데이터에 대해 동일한 방법으로 타임 인터리빙을 수행할 수도 있고, 다른 방법으로 타임 인터리빙을 수행할 수도 있다.

[486] MIMO 인코더(604270)는 타임 인터리빙된 2 개 경로의 입력 PLP 데이터에 대해 MIMO 인코딩 매트릭스를 이용하여 MIMO 인코딩을 수행하여 2개 경로(STx_m, STx_m+1)로 MIMO PLP 데이터를 출력할 수 있다. 본 발명의 MIMO 인코딩 매트릭스는 공간 멀티플렉싱(spatial multiplexing), GC(Golden code), 풀-레이트 풀

다이버시티 코드(Full-rate full diversity code) 및 리니어 디스펄션 코드(Linear dispersion code) 등을 포함할 수 있다. 또한, MIMO 인코더(604170)는 도 14내지 도 21에서 상술한 제 1 내지 제 6 실시예와 같이 MIMO 인코딩 매트릭스를 사용하여 MIMO 인코딩을 수행할 수 있다.

[487] L1-시그널링 정보는 L1-프리 시그널링 정보와 L1-포스트 시그널링 정보를 포함할 수 있으며, L1-프리 시그널링 정보와 L1-포스트 시그널링 정보에 대해 각각 독립적으로 MISO 방식이 적용될 수 있다.

[488] 따라서 제 3 BICM 인코딩 블록(604300)은 L1- 프리 시그널링 정보를 처리하기 위한 제 1 인코딩 블록(604400) 및 L1-포스트 시그널링 정보를 처리하기 위한 제 2 인코딩 블록(604500)을 포함할 수 있다.

[489] 제 1 인코딩 블록(604400)은 FEC 인코더(604410), 성상도 맵퍼(604420), 셀 인터리버(604430), 타임 인터리버(604440)및 MISO 인코더(604450)를 포함할 수 있다. 또한 제 2 인코딩 블록(604500)은 FEC 인코더(604510), 비트 인터리버(604520), 디먹스(604530), 성상도 맵퍼(604540), 셀 인터리버(604550), 타임 인터리버(604560) 및 MISO 인코더(604570)를 포함할 수 있다.

[490] L1-프리 시그널링 정보는 L1-포스트 시그널링 정보를 디코딩하는데 필요한 정보를 포함할 수 있으며, L1-포스트 시그널링 정보는 전송부에서 전송하는 데이터를 수신부에서 복구하는데 필요한 정보들을 포함할 수 있다.

[491] 즉, 수신부에서 L1-시그널링 정보 및 데이터를 디코딩하기 위해서는 L1-프리 시그널링 정보를 정확하고 빠르게 디코딩할 필요가 있다. 따라서 본 발명은 수신부에서 L1-프리 시그널링 정보의 빠른 디코딩을 수행할 수 있도록, L1-프리 시그널링 정보에 대해서는 비트 인터리빙 및 디멀티플렉싱을 수행하지 않는 것을 일 실시예로 한다.

[492] 이하 각 제 1 인코딩 블록(604500) 제 2 인코딩 블록(604600)에 포함된 각 블록들의 기능은 제 1 BICM 인코딩 블록(604100)에 포함된 블록들의 기능과 동일하므로 구체적인 설명은 생략한다.

[493] 결과적으로 L1- 프리 시그널링 정보를 처리하기 위한 제 1 인코딩 블록(604400)은 L1-프리 시그널링 정보에 대해 MISO 인코딩을 수행하여 2개의 경로(STx_pre, STx_pre+1)로 프리-시그널링 데이터을 출력할 수 있다. 또한 L1-포스트 시그널링 정보를 처리하기 위한 제 2 인코딩 블록(604500)은 L1-포스트 시그널링 정보에 대해 MISO 인코딩을 수행하여 2개의 경로(STx_post, STx_post+1)로 L1-포스트 시그널링 데이터을 출력할 수 있다.

[494]

[495] 도 33은 본 발명의 제 1 실시예에 따른 프레임 빌더를 나타낸 도면이다.

[496] 도 33에 도시된 프레임 빌더는 도 1에서 설명한 프레임 빌더(101400)의 일 실시예이다.

[497] 상술한 바와 같이 제 1 BICM 인코딩 블록(604100)은 2개의 경로(STx_k, STx_k+1)로 MISO PLP 데이터를, 출력할 수 있고, 제 2 BICM 인코딩

블록(604200)은 2개의 경로(STx_m, STx_m+1)로 MIMO PLP 데이터를 출력할 수 있다. 또한 제 3 BICM 인코딩 블록(604300)은 L1-프리 시그널링 정보와 L1-포스트 시그널링 정보에 대하여 각각 2개의 경로(STx_pre, STx_pre+1 및 STx_post, STx_post+1)로 시그널링 데이터를 출력할 수 있다.

[498] 각 데이터는 프레임 빌더로 입력된다. 이 경우, 도 33에 도시된 바와 같이 프레임 빌더는 BICM 인코더 출력 데이터 중 STx_0부터 STx_post까지의 경로의 데이터를 입력받는 제 1 경로와 BICM 인코더 출력 데이터 중 STx_0+1부터 STx_post+1까지의 경로의 데이터를 입력받는 제 2 경로를 통해 각 데이터를 입력받을 수 있다. 제 1 경로를 통해 입력되는 데이터는 제 1 안테나(Tx_1)를 통해 전송될 수 있으며 제 2 경로를 통해 입력되는 데이터는 제 2 안테나(Tx_2)를 통해 전송 될 수 있다.

[499] 도 33에 도시된 바와 같이 본 발명의 제 1 실시예에 따른 프레임 빌더는 제 1 경로를 통해 입력되는 데이터를 처리하기 위한 제 1 프레임 빌딩 블록(605100) 및 제 2 경로를 통해 입력되는 데이터를 처리하기 위한 제 2 프레임 빌딩 블록(605200)을 포함할 수 있다. 제 1 프레임 빌딩 블록(605100)은 제1 딜레이 보상부(604110), 제 1 페어-와이즈 셀 맵퍼(605120), 및 제 1 페어-와이즈 주파수 인터리버(605300-1)를 포함할 수 있고, 제 2 프레임 빌딩 블록(605200)은 제 2 경로를 통해 입력되는 데이터를 처리하기 위한 제 2 딜레이 보상부(605100-2), 제 2 페어-와이즈 셀 맵퍼(605200-2), 및 제 2 페어-와이즈 주파수 인터리버(605300-2)을 포함할 수 있다.

[500] 제 1 페어-와이즈 셀 맵퍼(605120) 및 제 1 페어-와이즈 주파수 인터리버(605130)와 제 2 페어-와이즈 셀 맵퍼(605120) 및 제 2 페어-와이즈 주파수 인터리버(605310)는 제 1 경로 및 제 2 경로에 대해 동일하게 동작할 수 있으며 독립적으로 동작할 수 있다.

[501] 이하 제 1 프레임 빌딩 블록(605100) 및 제 2 프레임 빌딩 블록(605200)에 포함된 블록들의 데이터 처리 방식에 대해 설명한다.

[502] 제 1 딜레이 보상부(605110)는 및 제 2 딜레이 보상부(605110)는 각각의 경로를 통해 입력되는 L1-프리 시그널링 데이터 또는 L1-포스트 시그널링 데이터에 대해 1 프레임만큼의 지연 및 BICM 인코더(604300) 수행에 따른 지연을 모두 보상할 수 있다. L1-시그널링 정보는 현재 프레임에 대한 정보뿐 만 아니라 후속 프레임에 대한 정보까지 포함할 수 있다. 따라서 상술한 인풋 프로세싱 과정에서는 L1-시그널링 정보를 현재 입력되는 PLP 데이터보다 한 프레임씩 지연될 수 있기 때문이다. 이러한 과정을 통해 하나의 프레임은 현재 프레임 및 후속 프레임에 관한 정보를 포함하는 L1- 시그널링 정보를 모두 전송할 수 있게 된다.

[503] 제 1 페어-와이즈 셀 맵퍼(605120) 및 제 2 페어-와이즈 셀 맵퍼(605220)는 각 경로를 통해 입력된 심볼 단위의 PLP 데이터 및 L1-시그널링 데이터를 프레임 내 OFDM 심볼의 서브 케리어에 셀 단위로 매핑할 수 있다.

[504] 이 경우 각 경로를 통해 입력되는 PLP 데이터는 커먼 PLP 데이터, MISO/MIMO 인코딩된 PLP 데이터를 포함할 수 있으며, 서브 슬라이스 프로세서 모듈(605120-1~2)은 다이버시티 효과를 얻기 위하여 PLP 데이터 셀들에 대해 서브 슬라이싱을 수행하여 프레임에 매핑할 수 있다.

[505] 또한 제 1 페어-와이즈 셀 맵퍼(605120) 및 제 2 페어-와이즈 셀 맵퍼(605220)는 연속된 2개의 입력 셀들을 페어(pair)로 묶어 프레임에 매핑할 수 있다.

[506] 수신단의 MISO 신호의 복구 성능을 높이기 위하여, MISO 인코딩시 MISO 전송 채널은 채널간의 코히어런스(coherence)가 확보되어야 한다. 따라서, 채널간의 코히어런스를 확보하기 위하여 제 1 페어-와이즈 셀 맵퍼(605120) 및 제 2 페어-와이즈 셀 맵퍼(605220)는, 동일한 PLP 데이터로부터 생성되는 셀들을 페어로 묶어 OFDM 변조의 서브캐리어에 매핑함으로써 채널간의 코히어런스를 최대화할 수 있다. 다시 말하면, 본 발명의 실시예에서는 MISO 인코더가 프레임 빌더의 전단인 BICM 인코더에 위치하므로, 프레임 빌더에서 이러한 MISO 인코딩을 고려하여 페어 단위로 프레임 구조를 구성하게 된다.

[507] 또한 상술한 바와 같이, 비트 인터리버(604120) 및 타임 인터리버(604160)에 의해 두 개의 FEC 블록을 이용하여 비트 인터리빙 또는 타임 인터리빙이 수행되는 경우, 페어로 묶는 2개의 입력 셀들은 서로 다른 FEC 블록으로부터 생성될 수 있으므로 수신부에서는 다이버시티를 확보하고, 높은 수신 성능을 얻을 수 있는 효과가 있다. 제 1 페어-와이즈 주파수 인터리버(605130) 및 제 2 페어-와이즈 주파수 인터리버(605230)는 각 경로를 통해 입력된 데이터에 대해 셀 단위로 주파수 인터리빙을 수행하고 각 경로를 통해 주파수 인터리빙 된 데이터를 OFDM 제너레이터로 출력할 수 있다.

[508] 이 경우 제 1 페어-와이즈 주파수 인터리버(605130) 및 제 2 페어-와이즈 주파수 인터리버(605230)는 연속된 2개의 입력 셀들을 페어로 묶어 하나의 인터리빙 단위로 처리하여 주파수 인터리빙을 수행할 수 있다. 이는 상술한 바와 같이 채널간의 코히어런스를 최대화하기 위함이다.

[509]

[510] 도 34는 본 발명의 제 1 실시예에 따른 OFDM 제너레이터를 나타낸 도면이다.

[511] 도 34에 도시된 OFDM 제너레이터는 도 1에서 설명한 OFDM 제너레이터(101500)의 일 실시예이다.

[512] 본 발명은 2 개의 송신 안테나를 통해 MISO 또는 MIMO 방식으로 방송 신호를 전송하는 것을 일 실시예로 할 수 있다. 도 34에 도시된 OFDM 제너레이터는 제 1 경로 및 제 2 경로를 통해 방송 신호를 입력받아 복조하고 두 개의 안테나(Tx1, Tx2)로 출력할 수 있다.

[513] 본 발명에서는 제1 안테나(Tx1)를 통해 전송될 방송 신호를 변조하는 블록을 제 1 OFDM 제너레이팅 블록(606800)이라 하고, 제2 안테나(Tx2)를 통해 전송될 방송 신호를 변조하는 블록을 제 2 OFDM 제너레이팅 블록(606900)이라 호칭할 수 있다.

[514] 제 1 안테나와 제 2 안테나를 통해 전송되는 채널 간 채널 상관도(channel correlation)가 클 경우, 제 1 안테나 및 제 2 안테나는 상관도의 부호에 따라 전송 신호에 극성(polarity)을 적용하여 전송할 수 있다. 본 발명에서는 이러한 기법을 사용하는 MIMO 방식을 극성 다중화 MIMO(polarity multiplexing MIMO) 방식이라 호칭할 수 있으며, 수신한 신호에 대해 극성을 부가하여 전송하는 제 1 안테나를 수직 안테나(Vertical Antenna), 수신한 신호에 대해 극성을 부가하여 전송하는 제 2 안테나를 수평 안테나(Horizontal Antenna)라 호칭할 수 있다. 따라서 본 발명의 제1 OFDM 제너레이팅 블록(606100)은 제 1 경로로 입력되는 방송 신호를 OFDM 변조하여 제 1 안테나(Tx1)를 통해 전송하고, 제2 송신부(606900)는 제 1 경로로 입력되는 방송 신호를 OFDM 변조하여 제 2 안테나(Tx2)를 통해 전송할 수 있다.

[515] 제 1 OFDM 제너레이팅 블록(606800) 및 제 2 OFDM 제너레이팅 블록 (606900)이 포함하는 모듈들은 이하와 같다.

[516] 제 1 OFDM 제너레이팅 블록(606800)은 파일럿 삽입 모듈(606100-1), IFFT 모듈(606200-1), PAPR 모듈(606300-1), GI 삽입 모듈(606400-1), P1 심볼 삽입 모듈(606500-1), AP1 심볼 삽입 모듈(606600-1) 및 DAC(606700-1)를 포함할 수 있다.

[517] 제 2 OFDM 제너레이팅 블록(606900)은 파일럿 삽입 모듈(606100-2), IFFT 모듈(606200-2), PAPR 모듈(606300-2), GI 삽입 모듈(606400-2), P1 심볼 삽입 모듈(606500-2), AP1 심볼 삽입 모듈(606600-2), 및 DAC(606700-2)를 포함할 수 있으며, 제 1 송신부(606800)에 포함된 모듈들과 각각 동일한 기능을 수행한다.

[518] 따라서 이하에서는 제 1 OFDM 제너레이팅 블록(606800)에 포함된 모듈들의 동작에 대해 구체적으로 살펴본다. 파일럿 삽입 모듈(606100-1)은 미리 결정된 파일럿 패턴의 파일럿을 프레임 내 해당 위치에 삽입하여 IFFT 모듈(606200-1)로 출력한다. 이때 파일럿 패턴 정보는 AP1 시그널링 정보에 포함되어 전송될 수도 있고, L1-시그널링 정보에 포함되어 전송 될 수도 있다. 또는 AP1 시그널링 정보와 L1-시그널링 정보 모두에 포함되어 전송 될 수도 있다.

[519] IFFT 모듈(606200-1)은 파일럿이 삽입된 각 경로의 신호에 IFFT 연산을 수행하여 PAPR 모듈(606300-1)로 출력할 수 있다.

[520] PAPR 모듈(606300-1)은 시간 영역의 신호들의 PAPR을 감소시켜 GI 삽입 모듈(606400-1)로 출력한다. 또한 PAPR 리덕션 알고리즘(PAPR reduction algorithm)에 따라 필요한 정보를 파일럿 삽입 모듈(606100-1)로 피드백할 수 있다.

[521] GI 삽입 모듈(606400-1)은 이펙티브 OFDM 심볼의 마지막 부분을 복사하여 CP(cyclic prefix) 형태로 가드 인터벌을 각 OFDM 심볼에 삽입하여 P1 심볼 삽입 모듈(606500-1)로 출력한다. GI 정보는 P1 시그널링 정보 또는 L1 프리-시그널링 정보를 통해 전송될 수 있다.

[522] 본 발명에 따른 P1 심볼과 AP1 심볼은 방송 신호 송신기의 OFDM 제너레이터

내 P1 삽입 모듈에서 매 프레임마다 삽입되는 것을 일 실시예로 할 수 있다. 즉, P1 삽입 모듈은 매 프레임마다 2개 이상의 프리앰블 심볼을 삽입할 수 있다. 본 발명에서와 같이 2개 이상의 프리앰블 심볼을 사용하는 경우 모바일 페이딩 환경에서 발생할 수 있는 버스트 페이딩(burst fading)에 더욱 강인해지고, 신호 검출(signal detection) 성능을 향상시키는 장점을 가진다.

[523] P1 심볼 삽입 모듈(606500-1)은 각 프레임의 시작 부분에 P1 심볼을 삽입하여 AP1 심볼 삽입 모듈(606600-1)로 출력할 수 있다.

[524] AP1 심볼 삽입 모듈(606600-1)은 P1 심볼의 후단에 AP1 심볼(Additional Preamble symbol)을 삽입하여 DAC(606700-1)로 출력한다.

[525] DAC(606700-1)는 AP1 심볼이 삽입된 각 신호 프레임을 아날로그 신호로 변환한 후 해당 송신 안테나(Tx1)를 통해 전송할 수 있다.

[526]

[527] 이하에서는 본 발명의 제 2 실시예에 따른 방송 신호 송신기의 구성 블록에 대하 설명한다.

[528] 도 35는 본 발명의 제 2 실시예에 따른 BICM 인코더를 나타낸 도면이다.

[529] 도 35에 도시된 BICM 인코더는 도 1에서 설명한 BICM 인코더(101300)의 또 다른 실시예이다.

[530] 본 발명의 제 2 실시예에 따른 BICM 인코더는 인풋 프로세싱된 복수개의 PLP 데이터와 L1- 프리 시그널링 정보 및 L1-포스트 시그널링 정보에 대해 비트 인터리빙 및 에러 정정을 위한 인코딩을 수행할 수 있다.

[531] 또한 본 발명의 제 2 실시예에 따른 BICM 인코더는 PLP 데이터마다 독립적으로 MISO 방식을 적용할 수도 있고, MIMO 방식을 적용할 수도 있다.

[532] 도 35에 도시된 바와 같이, BICM 인코더는 MISO 방식으로 PLP 데이터를 처리하는 제 1 BICM 인코딩 블록(607100). MIMO 방식으로 PLP 데이터를 처리하는 제 2 BICM 인코딩 블록(607200) 및 MISO 방식으로 시그널링 정보를 처리하는 제 3 BICM 인코딩 블록(607300)을 포함할 수 있다.

[533] 도 35에 도시된 제 2 실시예에 따른 BICM 인코딩 블록들은 도 32에 도시된 제 1 실시예에 따른 BICM 인코딩 블록들과 각각 동일하게 동작하므로 구체적인 설명은 생략하기로 한다. 다만 제 2 실시예의 BICM 인코딩 블록들의 MISO 인코더(607120, 6074320-1~2) 및 MIMO 인코더(607320)는 성상도 맵퍼(607110,607210-1~2,607310-1~2)의 후단에 위치한다는 점이 제 1 실시예의 BICM 인코딩 블록들과 다르다.

[534] PLP 데이터 또는 시그널링 데이터는 성상도에 매핑된 이후부터 심볼 단위로 처리될 수 있다. 따라서 도 32에 도시된 제 1 실시예의 BICM 인코딩 블록이나 도 35에 도시된 제 2 실시예의 BICM 인코딩 블록에 포함된 셀 인터리버, 타임 인터리버, MISO 인코더 및 MIMO 인코더는 심볼 단위로 입력 데이터를 처리할 수 있다. 또한 방송 신호 수신기는 제 1 실시예 또는 제 2 실시예의 BICM 인코딩 블록들에 대응하여, 역과정으로 수신한 데이터에 대해 BICM 디코딩을 수행할

수 있다. 또한 방송 신호 수신기의 MISO 디코더, MIMO 디코더, 타임 디인터리버 및 셀 디인터리버는 수신 데이터를 심볼 단위로 처리할 수 있다.

[535] 하지만, 제 1 실시예에 따른 방송 신호 수신기의 BICM 디코더에서는 데이터마다 MISO 디코딩 또는 MIMO 디코딩을 가장 먼저 수행할 수 있으며, MISO 디코딩 또는 MIMO 디코딩이 수행된 데이터는 비트 단위로 출력될 수 있다. MISO 디코더 또는 MIMO 디코더가 출력하는 데이터는 비트 단위의 확률 정보가 될 수 있기 때문이다. 따라서 이후 방송 신호 수신기의 BICM 디코더에서는 타임 디인터리빙 및 셀 디인터리빙 과정을 수행할 수 있으나, 비트 단위로 출력된 데이터가 입력되므로 심볼 단위에 관한 정보가 필요하다. 따라서 제 1 실시예에 따른 방송 신호 수신기는 디인터리빙 과정에 필요한 입력 비트들의 심볼 매핑에 대한 정보를 저장해야 하므로 방송 신호 수신기의 메모리 복잡도가 증가할 수 있다.

[536] 도 35에 도시된 바와 같이 제 2 실시예의 BICM 인코더는 MISO 인코더(607100,607300,607400) 및 MIMO 인코더(607200)가 성상도 맵퍼의 후단에 위치하고 있다. 따라서 제 2 실시예에 따른 방송 신호 수신기의 BICM 디코더에서는 심볼 단위로 타임 디인터리빙과 셀 디인터리빙을 모두 수행한 이후에 MISO/MIMO 디코딩을 수행할 수 있다. 따라서 제 1 실시예의 방송 신호 수신기보다 메모리 복잡도가 감소하는 효과를 얻을 수 있다.

[537]

[538] 제 2 실시예에 따른 프레임 빌더 및 OFDM 제너레이터는 도 33 및 도 34에 도시된 제 1 실시예에 따른 프레임 빌더 및 OFDM 제너레이터와 동일하게 동작하므로 구체적인 설명은 생략하도록 한다.

[539] 도 36 내지 도 38은 본 발명의 제 1 실시예에 따른 방송 신호 수신기의 구성 블록을 나타낸다. 이하 구체적으로 설명한다.

[540] 도 36은 본 발명의 제 1 실시예에 따른 OFDM 디모듈레이터를 나타낸 도면이다.

[541] 도 36에 도시된 OFDM 디모듈레이터는 도 2에서 설명한 OFDM 디모듈레이터(107100)의 일 실시예이다.

[542] 본 발명은 MIMO 혹은 MISO로 전송된 신호를 수신하기 위해서 두 개의 수신 안테나(Rx1, Rx2)를 이용하는 것을 일 실시예로 할 수 있다. 도 36의 OFDM 디모듈레이터는 두 개의 안테나(Rx1, Rx2)를 통해 수신되는 각 경로의 방송 신호를 입력받아 각각 OFDM 디모듈레이션을 수행할 수 있다.

[543] 본 발명에서는 제 1 안테나(Rx1)를 통해 수신될 방송 신호를 복조하는 블록을 제 1 OFDM 디모듈레이팅 블록(610100)이라하고, 제 2 안테나(Rx2)를 통해 수신될 방송 신호를 복조하는 블록을 제 2 OFDM 디모듈레이팅 블록 (610200)이라고 호칭할 수 있다.

[544] 또한 본 발명에서는 극성 다중화 MIMO(polarity multiplexing MIMO) 방식을 사용하는 것을 일 실시예로 할 수 있다. 즉, 제 1 OFDM 디모듈레이팅

블록(610100)은 제 1 안테나(Rx1)를 통해 입력되는 방송 신호를 OFDM 복조하여 제 1 경로를 통해 프레임 디맵퍼로 출력하고, 제 2 OFDM 디모듈레이팅 블록(610200)은 제 2 안테나(Rx2)를 통해 입력되는 방송 신호를 OFDM 복조하여 제 2 경로를 통해 프레임 디맵퍼로 출력할 수 있다.

[545] 또한 도 36에 도시된 본 발명의 제 1 실시예에 따른 OFDM 디모듈레이터는 도34에 도시된 본 발명의 제 1 실시예에 따른 OFDM 제너레이터의 역과정을 수행할 수 있다.

[546] 본 발명의 제 1 실시예에 따른 OFDM 제너레이터에 포함되는 제 1 OFDM 디모듈레이팅 블록(610100) 및 제 2 OFDM 디모듈레이팅 블록 (610200)이 포함하는 모듈들은 이하와 같다.

[547] 제 1 OFDM 디모듈레이팅 블록(610100)은 튜너(610110), ADC(610120), P1 심볼 검출 모듈(610130), AP1 심볼 검출 모듈(610140), 동기화 모듈(610150), GI 제거 모듈(610160), FFT 모듈(610170) 및 채널 추정 모듈(610180)을 포함할 수 있다.

[548] 제 2 OFDM 디모듈레이팅 블록(610200)은 튜너(610210), ADC(610220), P1 심볼 검출 모듈(610230), AP1 심볼 검출 모듈(610240), 동기화 모듈(610250), GI 제거 모듈(610260), FFT 모듈(610270) 및 채널 추정 모듈(610280)을 포함할 수 있으며, 제 1 OFDM 디모듈레이팅 블록(610100)에 포함된 모듈들과 각각 동일한 기능을 수행한다.

[549] 따라서 이하에서는 제 1 OFDM 디모듈레이팅 블록(610100)에 포함된 모듈들의 동작에 대해 구체적으로 살펴본다.

[550] 튜너(610110)는 주파수 대역을 선택하여 원하는 대역의 방송 신호를 수신하고, 수신한 신호의 크기를 보상하여 ADC(610120)로 출력할 수 있다.

[551] ADC(610120)는 아날로그 방송 신호를 디지털 신호로 변환하여 P1 심볼 검출 모듈(610130)로 출력할 수 있다.

[552] P1 심볼 검출 모듈(610130)은 디지털 변환된 방송 신호 중 P1 시그널링 정보를 전송하는 P1 심볼을 검출하고, P1 시그널링 정보를 디코딩할 수 있다. 또한 P1 심볼 검출 모듈(610130)은 디코딩된 P1 시그널링 정보를 동기화 모듈(610150)및 시스템 컨트롤러(도면에는 도시되지 않음)로 출력할 수 있다. 시스템 컨트롤러는 디코딩된 P1 시그널링 정보를 이용하여 현재 수신한 신호가 어떤 프레임 구성을 가지고 있는지 등의 정보를 획득하여 다른 디바이스 요소들의 신호 처리를 제어할 수 있다.

[553] AP1 심볼 검출 모듈(610140)은 디지털 방송 신호 중 AP1 시그널링 정보를 전송하는 AP1 심볼을 검출하고, AP1 시그널링 정보를 디코딩할 수 있다. 또한 AP1 심볼 검출 모듈(610140)은 디코딩된 AP1 시그널링 정보를 동기화 모듈(610150)및 시스템 컨트롤러(도면에는 도시되지 않음)로 출력할 수 있다. 시스템 컨트롤러는 디코딩된 AP1 시그널링 정보를 이용하여 현재 프레임의 파일럿 패턴 정보, L1 프리 스프레드 구간 정보 등을 얻을 수 있다.

[554] 동기화 모듈(610150)은 디코딩된 P1 시그널링 정보와 AP1 시그널링 정보를

이용하여 수신 신호에 대해 시간 동기와 주파수 동기를 수행할 수 있다.

[555] GI 제거 모듈(610160)은 동기화가 수행된 신호에 포함된 가드 인터벌을 제거하여 FFT 모듈(610170)로 출력할 수 있다.

[556] FFT 모듈(610170)은 FFT 연산을 이용하여 시간 영역의 신호를 주파수 영역의 신호로 변환할 수 있다.

[557] 채널 추정 모듈(610180)은 주파수 영역으로 변환된 신호에 삽입된 파일럿 신호들로부터 전송 안테나로부터 수신 안테나까지의 전송 채널을 추정할 수 있다. 이때 채널 추정 모듈(610180)은 추가적으로 추정된 채널을 이용하여 각 수신 데이터에 대한 채널 등화(equalizing)를 수행 할 수 있다. 이후 주파수 영역으로 변환된 신호들은 프레임 디맵퍼로 입력된다.

[558]

[559] 도 37은 본 발명의 제 1 실시예에 따른 프레임 디맵퍼를 나타낸 도면이다.

[560] 도 37에 도시된 프레임 디맵퍼는 도 2에서 설명한 프레임 디맵퍼(107200)의 일 실시예이다.

[561] 도 37에 도시된 바와 같이 본 발명의 제 1 실시예에 따른 프레임 디맵퍼는 제 1 경로를 통해 입력되는 데이터를 처리하기 위한 제 1 프레임 디맵핑 블록(611100) 및 제 2 경로를 통해 입력되는 데이터를 처리하기 위한 제 2 프레임 디맵핑 블록(611200)을 포함할 수 있다. 제 1 프레임 디맵핑 블록(611100)은 제 1 페어-와이즈 주파수 디인터리버(611110) 및 제 1 페어-와이즈 셀 디맵퍼(611120)를 포함할 수 있고, 제 2 프레임 디맵핑 블록(611200)은 제 2 페어-와이즈 주파수 디인터리버(611210) 및 제 2 페어-와이즈 셀 디맵퍼(611220)를 포함할 수 있다.

[562] 또한 제 1 페어-와이즈 주파수 디인터리버(611110) 및 제 1 페어-와이즈 셀 디맵퍼(611120)와 제 2 페어-와이즈 주파수 디인터리버(611210) 및 제 2 페어-와이즈 셀 디맵퍼(611220)는 제 1 경로 및 제 2 경로에 대해 동일하게 동작할 수 있으며 독립적으로 동작할 수 있다.

[563] 또한 제 1 실시예에 따른 프레임 디맵퍼는 도 33에 도시된 제 1 실시예에 따른 프레임 빌더의 역과정을 수행할 수 있다.

[564] 제 1 프레임 빌더 디맵핑 블록(611100) 및 제 2 프레임 디맵핑 블록(611200)에 포함된 블록들의 데이터 처리 방식에 대해 이하 설명한다.

[565] 제 1 페어-와이즈 주파수 디인터리버(611110) 및 제 2 페어-와이즈 주파수 디인터리버(611210)는 제 1 경로 및 제 2 경로를 통해 입력되는 데이터에 대해 각각 주파수 영역에서 셀 단위로 디인터리빙을 수행할 수 있다. 이 경우, 제 1 페어-와이즈 주파수 디인터리버(611110) 및 제 2 페어-와이즈 주파수 디인터리버(611210)는 연속된 2개의 셀들을 페어로 묶어 하나의 디인터리빙 단위로 처리하여 주파수 디인터리빙을 수행할 수 있다. 디인터리빙 과정은 송신부에서 수행한 인터리빙의 역과정으로 수행되며, 주파수 디인터리빙이 수행된 데이터는 원래의 데이터 순서대로 복원되어 출력된다.

[566] 제 1 페어-와이즈 셀 디맵퍼(611120) 및 제 2 페어-와이즈 셀 디맵퍼(611220)는 디인터리빙된 데이터로부터 커먼 PLP 데이터, PLP 데이터 및 L1-시그널링 정보를 셀 단위로 추출할 수 있다. 추출된 PLP 데이터는 MISO 방식이 적용될 MISO PLP 데이터 및 MIMO 방식이 적용될 MIMO PLP 데이터를 포함할 수 있으며, 추출된 L1-시그널링 데이터는 현재 프레임 및 다음에 수신할 다음 프레임에 관한 정보를 포함할 수 있다. 또한 송신부에서 PLP 데이터에 대해 서브 슬라이싱이 수행되었다면, 제 1 페어-와이즈 셀 디맵퍼(611120)및 제 2 페어-와이즈 셀 디맵퍼(611220)는 슬라이싱된 PLP 데이터를 머징하여 하나의 스트림을 생성할 수 있다.

[567] 또한 제 1 페어-와이즈 셀 디맵퍼(611120)및 제 2 페어-와이즈 셀 디맵퍼(611220)는 연속한 2 개의 셀들을 페어로 묶어 추출할 수 있다.

[568] 추출된 데이터 즉, 제 1 경로를 통해 출력되는 데이터는 SRx_0부터 SRx_post까지의 경로로 BICM 디코더로 입력되고, 제 2 경로를 통해 출력되는 데이터는 SRx_0+1부터 SRx_post+1까지의 경로로 BICM 디코더로 입력된다.

[569]

[570] 도 38은 본 발명의 제 1 실시예에 따른 BICM 디코더를 나타낸 도면이다.

[571] 도 38에 도시된 BICM 디코더는 도 2에서 설명한 BICM 디코더(107300)의 일 실시예이다.

[572] 본 발명의 제 1 실시예에 따른 BICM 디코더는 프레임 디맵퍼에서 제 1 경로를 통해 출력되는 데이터를 SRx_0부터 SRx_post까지의 경로로 통해 입력받고, 제 2 경로를 통해 출력되는 데이터를 SRx_0+1부터 SRx_post+1까지의 경로로 입력받고 BICM 디코딩을 수행할 수 있다.

[573] 또한 본 발명의 제 1 실시예에 따른 BICM 디코더는 각각의 경로로부터 입력되는 데이터에 대해 독립적으로 MISO 방식을 적용할 수 있고, MIMO 방식을 적용할 수 있다.

[574] 즉, 도 38의 BICM 디코더는 2개의 경로(SRx_k, SRx_k+1)로 MISO 방식이 적용되는 MISO PLP 데이터를 입력받고 처리하는 제 1 BICM 디코딩 블록(612100), 2개의 경로(SRx_m, SRx_m+1)로 MIMO 방식이 적용되는 MIMO PLP 데이터를 입력받고 처리하는 제 2 BICM 디코딩 블록(612200) 및 4개의 경로(SRx_pre, SRx_pre+1 및 SRx_post, SRx_post+1)로 MISO 방식이 적용되는 L1-시그널링 데이터를 입력받고 처리하는 제 3 BICM 디코딩 블록(612300)을 포함할 수 있다.

[575] 또한 본 발명의 제 1 실시예에 따른 BICM 디코더는 도 32에 도시된 제 1 실시예에 따른 BICM 인코더의 역과정을 수행할 수 있다.

[576] 이하에서 각 블록의 데이터 처리 방식에 대해 설명한다.

[577] 먼저, 제 1 BICM 디코딩 블록(612100)은 MISO 디코더(612110), 타임 디인터리버(6122120), 셀 디인터리버(612130), 성상도 디맵퍼(612140), 제 1 먹스(612150), 비트 디인터리버(612160) 및 FEC 디코더(612170)를 포함할 수

있다.

[578] MISO 디코더(612110)는 MISO PLP 데이터에 대해 MISO 디코딩을 수행할 수 있다. 본 발명의 MISO 디코더(612110)는 4가지 동작을 수행할 수 있다. 이하 각 동작에 대해 설명한다.

[579] 첫째, MISO 디코더(612110)는 도 36에서 설명한 OFDM 디모듈레이터에 포함된 채널 추정 모듈(610800-1~2)에서 채널 등화를 수행하지 않은 경우, 송신 가능한 모든 레퍼런스 포인트에 대해 채널 추정의 효과를 적용한 후에 LLR 값을 계산할 수 있다. 따라서 채널 등화와 동일한 효과를 얻을 수 있다.

[580] 둘째, MISO 디코더(612110)는 도 32에 도시된 방송 신호 송신기의 BICM 인코더에 포함된 성상도 맵퍼(604140)의 동작에 따라 다음과 같은 동작을 수행할 수 있다. 방송 신호 송신기의 BICM 인코더에 포함된 성상도 맵퍼(604140)에서 성상도를 일정각도로 회전시키고 성상도의 Q-phase 성분만을 임의의 값으로 딜레이시킨 경우, MISO 디코더(612110)는 성상도의 I-phase 성분만을 임의의 값으로 딜레이 시킬 수 있으며 성상도 회전 각도를 고려하여 2D-LLR 값을 계산할 수 있다.

[581] 만약, 방송 신호 송신기의 BICM 인코더에 포함된 성상도 맵퍼(604140)에서 성상도를 회전시키지 않고, 성상도의 Q-phase 성분만을 임의의 값으로 딜레이시키지 않은 경우, MISO 디코더(612110)는 노멀 QAM을 기준으로 2-D LLR 값을 계산할 수 있다.

[582] 셋째, MISO 디코더(612110)는 방송 신호 송신기의 BICM 인코더에 포함된 MISO 인코더(604170)에서 사용된 인코딩 매트릭스에 따라 역과정이 수행될 수 있도록 디코딩 매트릭스를 선정한 후 MISO 디코딩을 수행할 수 있다.

[583] 넷째, MISO 디코더(612110)는 두 개의 수신 안테나로 입력된 신호들을 결합할 수 있다. 본 발명에 따른 신호 결합 방법은 맥시멈 레시오 컴바이닝(maximum ratio combining), 이퀄 게인 컴바이니이(equal gain combining), 셀렉티브 컴바이닝(selective combining) 등을 포함할 수 있으며, 결합된 신호의 SNR을 최대로 만들어 다이버시티 효과를 얻을 수 있다.

[584] 또한 MISO 디코더(612110)는 신호 결합이 수행된 하나의 신호에 대해 MISO 디코딩을 수행할 수 있으며, 두 안테나 입력에 대해서 MISO 디코딩을 수행한 뒤에 MISO 디코딩된 신호를 결합할 수 있다.

[585] 타임 디인터리버(6122120)는 MISO 디코딩된 데이터에 대하여 시간 영역의 디인터리빙을 수행하여 원래의 위치로 복구시키고, 셀 디인터리버(612130)는 타임 디인터리빙된 데이터에 대해 셀 단위로 디인터리빙을 수행할 수 있다.

[586] 성상도 디맵퍼(612140)는 MISO 디코더(612110)의 동작에 따라 다음과 같은 기능을 수행할 수 있다.

[587] 우선, MISO 디코더(612110)가 직접 LLR 값을 출력하지 않고 MISO 디코딩만 수행하는 경우, 성상도 디맵퍼(612140)는 LLR 값을 계산할 수 있다. 구체적으로는 이하와 같다. 도 32에 도시된 방송 신호 송신기의 BICM 인코더에

포함된 성상도 맵퍼(604140)에서 성상도 회전 및 Q-phase 성분 딜레이를 수행한 경우, 성상도 디맵퍼(612140)는 I-phase 성분을 딜레이시킨 뒤 LLR 값을 계산할 수 있다. 만약 방송 신호 송신기의 BICM 인코더에 포함된 성상도 맵퍼(604140)에서 성상도 회전 및 Q-phase 성분 딜레이를 수행하지 않은 경우, 성상도 디맵퍼(612140)는 노말 QAM을 기준으로 LLR 값을 계산할 수 있다.

[588] LLR 값을 계산하는 방법은 2-D LLR을 계산하는 방법과 1-D LLR 값을 계산하는 방법을 포함할 수 있다. 1-D LLR 값을 계산하는 경우, 제 1 경로 및 제 2 경로의 입력 중 어느 하나만을 수행하여 LLR 계산의 복잡도를 감소시킬 수 있다.

[589] 제 1 먹스(612150)는 디맵핑된 데이터를 비트 스트림의 형태로 복원할 수 있다.

[590] 비트 인터리버(612160)는 입력된 비트 스트림에 대하여 디인터리빙을 수행할 수 있으며, FEC 디코더(612170)는 디인터리빙이 수행된 데이터에 대해 FEC 디코딩을 수행하여 전송 채널상의 에러를 정정하여 MISO PLP 데이터를 출력할 수 있다.

[591] 제 2 BICM 디코딩 블록(612200)은 MIMO 디코더(612210), 제 1 타임 디인터리버(612220-0) 및 제 2 타임 디인터리버(612220-1), 제 1 셀 디인터리버(612230-0) 및 제 2 셀 디인터리버(612230-1), 제 1 성상도 디맵퍼(612240-0) 및 제 2 성상도 디맵퍼(612240-1), 제 2 먹스(612250), 비트 인터리버(612260) 및 FEC 디코더(612270)를 포함할 수 있다.

[592] MIMO 디코더(612210)는 2개의 경로(SRx_m, SRx_m+1)로 입력받은 MIMO PLP 데이터에 대해 MIMO 디코딩을 수행할 수 있다. MIMO 디코더(612210)는 상술한 MISO 디코더(612110)의 4가지 동작 중 네번째 동작, 즉, 신호 결합 동작을 제외한 나머지 동작을 MISO 디코더(612110)와 동일하게 수행할 수 있다. 이때 MIMO 디코더(612210)는 상술한 제 1 내지 제 6 실시예의 MIMO 인코딩 매트릭스를 사용하여 디코딩을 수행할 수도 있다.

[593] 제 1 타임 디인터리버(612220-0) 및 제 2 타임 디인터리버(612220-1)는 MIMO 디코딩된 데이터에 대해 셀 단위로 시간 영역의 디인터리빙을 수행하여 원래의 데이터 순서대로 복원시킬 수 있다. 이 경우 제 1 셀 디인터리버(612230-0) 및 제 2 셀 디인터리버(612230-1)는 각각의 경로를 통해 입력되는 데이터 중 하나의 FEC 블록에 포함된 셀의 절반 크기에 해당하는 데이터에 대해서만 셀 디인터리빙을 수행할 수 있다. 결과적으로 제 1 셀 디인터리버(612230-0) 및 제 2 셀 디인터리버(612230-1)에 의한 셀 디인터리빙은 하나의 FEC 블록을 이용한 MISO 방식의 셀 디인터리버(612130)의 디인터리빙과 동일한 효과를 가질 수 있다.

[594] 제 1 성상도 디맵퍼(612240-0), 제 2 성상도 디맵퍼(612240-1), 제 2 먹스(612250), 비트 인터리버(612260) 및 FEC 디코더(612270)는 상술한 MISO 방식과 동일한 기능을 수행할 수 있다.

[595] 제 3 BICM 디코딩 블록(612300)은 L1-프리 시그널링 데이터를 처리하기 위한 제 1 디코딩 블록(612400) 및 L1-포스트 시그널링 데이터를 처리하기 위한 제 2

디코딩 블록(612500)을 포함할 수 있다. 제 1 디코딩 블록(612400)은 MISO 디코더(612410), 타임 디인터리버(612420), 셀 디인터리버(612430), 성상도 디맵퍼(612440) 및 FEC 디코더(612450)를 포함할 수 있으며, 제 2 디코딩 블록(612500)은 MISO 디코더(612510), 타임 디인터리버(612520), 셀 디인터리버(612530), 성상도 디맵퍼(612540), 먹스(612550), 비트 디인터리버(612560) 및 FEC 디코더(612570)를 포함할 수 있다.

[596] 이하 제 1 디코딩 블록(612400) 및 제 2 디코딩 블록(612500)에 포함된 각 블록들의 기능은 제 1 BICM 디코딩 블록(612100)에 포함된 각 블록들의 기능과 동일하므로 구체적 내용은 생략한다.

[597] 결과적으로 제 1 BICM 디코딩 블록(612100)은 BICM 디코딩 처리된 MISO PLP 데이터를 아웃풋 프로세서로 출력할 수 있으며, 제 2 BICM 디코딩 블록(612200)은 BICM 디코딩 처리된 MIMO PLP 데이터를 아웃풋 프로세서로 출력할 수 있다.

[598] 또한 제 3 BICM 디코딩 블록(612300)에 포함된 제 1 디코딩 블록(612400)은 L1-프리 시그널링 데이터에 대해 MISO 디코딩을 수행하여 L1-프리 시그널링 정보를 출력할 수 있다. 또한 제 3 BICM 디코딩 블록(612300)에 포함된 제 2 디코딩 블록(612500)은 L1-포스트 시그널링 데이터에 대해 MISO 디코딩을 수행하여 하나의 L1-포스트 시그널링 정보를 출력할 수 있다.

[599] 이하에서는 본 발명의 제 2 실시예에 따른 방송 신호 수신기의 구성 블록에 대해 설명한다.본 발명의 제 2 실시예에 따른 OFDM 디모듈레이터 및 프레임 디맵퍼는 도 36 및 도 37에 도시된 제 1 실시예에 따른 OFDM 디모듈레이터 및 프레임 디맵퍼와 동일하게 동작하므로 구체적인 설명은 생략하기로 한다.

[600]

[601] 도 39는 본 발명의 제 2 실시예에 따른 BICM 디코더를 나타낸 도면이다.

[602] 도 39에 도시된 BICM 디코더는 도 2에서 설명한 BICM 디코더(107300)의 또 다른 실시예이다.

[603] 본 발명의 제 2 실시예에 따른 BICM 디코더는 프레임 디맵퍼에서 제 1 경로를 통해 출력되는 데이터를 SRx_0부터 SRx_post까지의 경로로 입력받고, 제 2 경로를 통해 출력되는 데이터를 SRx_0+1부터 SRx_post+1까지의 경로로 입력받고 BICM 디코딩을 수행할 수 있다. 또한 본 발명의 제 2 실시예에 따른 BICM 디코더는 각각의 경로로부터 입력 되는 데이터에 대해 독립적으로 MISO 방식을 적용할 수 있고, MIMO 방식을 적용할 수 있다.

[604] 즉, 도 39의 BICM 디코더는 2개의 경로(SRx_k, SRx_k+1)로 MISO 방식이 적용되는 MISO PLP 데이터를 입력받고 처리하는 제 1 BICM 디코딩 블록(615100), 2개의 경로(SRx_m, SRx_m+1)로 MIMO 방식이 적용되는 MIMO PLP 데이터를 입력받고 처리하는 제 2 BICM 디코딩 블록(615200) 및 4개의 경로(SRx_pre, SRx_pre+1 및 SRx_post, SRx_post+1)로 MISO 방식이 적용되는 L1-시그널링 데이터를 처리하는 제 3 BICM 디코딩 블록(615300)을 포함할 수

있다.

[605] 또한 제 3 BICM 디코딩 블록(615300)은 L1-프리 시그널링 데이터를 처리하기 위한 제 1 디코딩 블록(615400) 및 L1-포스트 시그널링 데이터를 처리하기 위한 제 2 디코딩 블록(615500)을 포함할 수 있다.

[606] 또한 본 발명의 제 2 실시예에 따른 BICM 디코더는 도 35에 도시된 제 2 실시예에 따른 BICM 인코더의 역과정을 수행할 수 있다.

[607] 도 39에 도시된 제 2 실시예에 따른 BICM 디코딩 블록들은 도 38에 도시된 제 1 실시예에 따른 BICM 디코딩 블록들과 동일하게 동작하므로 구체적인 설명은 생략하도록 한다. 다만 제 2 실시예의 BICM 디코더는 MISO 디코더(615110,615410,615510) 및 MIMO 디코더(615310)가 셀 디인터리버의 후단에 위치한다는 점이 제 1 실시예의 BICM 디코더와 다르다.

[608] 도 35에서 상술한 바와 같이, 제 2 실시예에 따른 BICM 디코더의 경우, 심볼 단위로 타임 디인터리빙과 셀 디인터리빙을 모두 수행한 이후에 MISO/MIMO 디코딩을 수행하므로 방송 신호 수신기의 메모리 복잡도가 감소하는 효과를 얻을 수 있다.

[609] 결과적으로 제 1 BICM 디코딩 블록(615100)은 BICM 디코딩 처리된 MISO PLP 데이터를 아웃풋 프로세서로 출력할 수 있으며, 제 2 BICM 디코딩 블록(615200)은 BICM 디코딩 처리된 MIMO PLP 데이터를 아웃풋 프로세서로 출력할 수 있다. 또한 제 3 BICM 디코딩 블록(615300)에 포함된 제 1 디코딩 블록(615400)은 L1-프리 시그널링 데이터에 대해 MISO 디코딩을 수행하여 L1-프리 시그널링 정보를 출력할 수 있다. 또한 제 3 BICM 디코딩 블록(615300)에 포함된 제 2 디코딩 블록(615500)은 L1-포스트 시그널링 데이터에 대해 MISO 디코딩을 수행하여 하나의 L1-포스트 시그널링 정보를 출력할 수 있다.

[610]

[611] 도 40 및 도 41은 본 발명에 따른 각 실시예에 따른 방송 신호 수신기에 공통적으로 포함되는 아웃풋 프로세서의 실시예를 나타낸다. 이하 구체적으로 설명한다.

[612]

[613] 도 40은 본 발명의 일 실시예에 따른 방송 신호 수신기의 아웃풋 프로세서를 나타낸 도면이다.

[614] 도 40에 도시된 아웃풋 프로세서는 도 2에서 설명한 아웃풋 프로세서(107400)의 일 실시예이다.

[615] 도 40의 아웃풋 프로세서는, 도 29에서 도시된 싱글 PLP를 처리하는 인풋 프로세서에 대응하여, 그의 역처리를 수행하는 아웃풋 프로세서의 실시예로서, BB 디스크램블러(616100), 패딩 제거(remove) 모듈(616200), CRC-8 디코더(616300) 및 BB 프레임 프로세서(616400)를 포함한다. 아웃풋 프로세서는, 방송 신호 수신기에서 방송 신호 송신기의 BICM 인코딩의 역처리를 수행하는

BICM 디코더(또는, 디코딩 모듈)로부터 비트 스트림을 수신하여 도 29에서 설명한 인풋 프로세서가 처리한 과정의 역과정을 수행한다.

[616] BB 디스크램블러(616100)는 비트 스트림을 입력받아, 도 29의 BB 스크램블러에서 프로세싱한 PRBS와 동일하게 발생된 비트열과 XOR 연산하여 출력한다. 패딩 제거 모듈(616200)은 필요에 따라, 방송 신호 송신기의 패딩 삽입 모듈에서 삽입된 패딩 비트들을 제거한다. CRC-8 디코더(616300)는 비트 스트림에 대해 CRC 디코딩을 수행하고, BB 프레임 프로세서(616400)는 BB 프레임 헤더에 포함된 정보를 디코딩하고, 디코딩된 정보를 사용하여 TS 또는 GS를 복원한다.

[617]

[618] 도 41은 본 발명의 또 다른 실시예에 따른 방송 수신기의 아웃풋 프로세서를 나타낸 도면이다.

[619] 도 41의 아웃풋 프로세서는, 도 30 및 도 31에서 도시한 복수의 PLP를 처리하는 인풋 프로세서에 대응하여, 그의 역처리를 수행하는 아웃풋 프로세서의 실시예이다. 아웃풋 프로세서는, 복수의 PLP를 처리할 수 있도록 복수의 블록들을 포함할 수 있으며, 이하의 설명에서는 동일한 종류의 블록에 대하여는 하나의 블록을 예로서 설명하도록 한다. 아웃풋 프로세서는 BB 디스크램블러(617100, 617400-1,617400-2 등), 패딩 제거(removal) 모듈(617120), CRC-8 디코더(617130), BB 프레임 프로세서(617140), 디-지터(De-jitter) 버퍼(617150), 널 패킷 삽입 모듈(617160), TS 클록(clock) 리제네레이션(regeneration) 모듈(617170), 인밴드 시그널링 디코더(617180), TS 재결합(recombining) 모듈(617300) 및 L1 시그널링 디코더(617410)를 포함한다. 이 중 도 40에서 설명한 블록과 동일한 블록에 대한 설명은 생략하기로 한다.

[620] 방송 신호 수신기의 복수의 PLP에 대한 프로세싱은, 커먼(common) PLP와 관련된 데이터 PLP를 디코딩하는 경우 또는 방송 신호 수신기가 복수의 서비스 혹은 서비스 컴포넌트(예를 들어, SVC(Scalable Video Service)의 컴포넌트들)를 동시에 디코딩하는 경우를 예로서 설명할 수 있다. BB 스크램블러(617110), 패딩 제거 모듈(617120), CRC-8 디코더(617130) 및 BB 프레임 프로세서(617140)의 동작은 도 40와 관련하여 상술한 바와 같다.

[621] 디-지터 버퍼(617150)는 복수의 PLP 간의 싱크로나이제이션을 위해 방송 신호 송신기에서 임의로 삽입된 딜레이를 TTO(Time To Output) 파라미터 정보에 따라 보상한다. 널 패킷 삽입 모듈(617160)은 DNP(Deleted Null Packet) 정보를 참고하여 송신측에서 제거된 널 패킷을 복원한다. 이 때 TS 클록 리제네레이션 모듈은 ISCR(Input Stream Time Reference) 정보를 기준으로 출력 패킷의 상세한 시간 동기를 복원한다. TS 재결합 모듈(617300)는 위와 같이 복원된 커먼 PLP와 관련된 데이터 PLP들을 입력받아 원래의 TS, IP 또는 GS를 복원하여 출력한다. 상술한 정보들 중 TTO 파라미터 정보, DNP 정보, ICSR 정보는 모두 BB 프레임 프로세서가 BB 프레임 헤더를 프로세싱하여 획득하고, 시스템 컨트롤러 또는 이

정보들이 필요한 각각의 블록들로 전송할 수 있다.

[622] 인밴드 시그널링 디코더(617200)는 데이터 PLP의 패딩 비트 필드를 통해 전송되는 인밴드 시그널링 정보를 복구하여 출력한다.

[623] L1 시그널링 정보의 경우, BB 디스크램버들(617400-1, 617400-2)이 각각 L1 프리 시그널링 정보에 해당하는 데이터 및 L1 포스트 시그널링 정보에 해당하는 데이터를 디스크램블링하고, L1 시그널링 디코더(6174100)는 디스크램블링된 데이터를 디코딩하여 L1 시그널링 정보를 복원한다. 복원되는 L1 시그널링 정보는 L1 프리 시그널링 정보 및 L1 포스트 시그널링 정보를 포함할 수 있으며, 복원된 L1 시그널링 정보는 시스템 컨트롤러에 전달되어 방송 신호 수신기가 BICM(Bit Interleaved Coding and Modulation) 디코딩, 프레임 디매핑, OFDM(Orthogonal Frequency Division Multiplex) 복조 등의 동작을 수행하는데 필요한 파라미터들을 제공한다. 상술한 바와 같이, L1 시그널링 정보에 해당하는 데이터는 하나의 BB 디스크램블러로 입력되어, 디스크램블링될 수도 있다.

[624]

[625] 도 42 내지 도 45는 본 발명의 제 3 실시예에 따른 방송 신호 송신기의 구성 블록을 나타낸다. 이하 구체적으로 설명한다.

[626] 도 42는 본 발명의 제 3 실시예에 따른 BICM 인코더를 나타낸 도면이다.

[627] 도 42에 도시된 BICM 인코더는 도 29에서 설명한 BICM 인코더(101300)의 또 다른 실시예이다.

[628] 본 발명의 제 3 실시예에 따른 BICM 인코더는 도 32에서 설명한 바와 같이, 인풋 프로세싱된 복수개의 PLP 데이터와 L1-프리 시그널링 정보 및 L1-포스트 시그널링 정보에 대해 비트 인터리빙 및 에러 정정을 위한 인코딩을 수행할 수 있다.

[629] 본 발명의 제 3 실시예에 따르면 후술할 OFDM 제너레이터는 MISO 방식 또는 MIMO 방식으로 처리될 PLP 데이터와 L1-시그널링 정보에 대해 MISO 인코딩 또는 MIMO 인코딩을 수행할 수 있다.

[630] 도 42에 도시된 바와 같이, 본 발명의 제 3 실시예에 따른 BICM 인코더는 MISO 인코딩 될 MISO PLP 데이터를 처리하는 제 1 BICM 인코딩 블록(618100), MIMO 인코딩 될 MIMO PLP 데이터를 처리하는 제 2 BICM 인코딩 블록(618200) 및 MISO 인코딩 될 시그널링 정보를 처리하는 제 3 BICM 인코딩 블록(618300)을 포함할 수 있다. 도 42에 도시된 제 3 실시예에 따른 BICM 인코딩 블록들은 도 32에 도시된 제 1 실시예에 따른 BICM 인코딩 블록들과 동일하게 동작하므로 구체적인 설명은 생략하기로 한다. 다만, 제 3 실시예의 BICM 인코딩 블록들은 MISO 인코더 및 MIMO 인코더를 포함하지 않는다는 점이 제 1 실시예의 BICM 인코딩 블록들과 다르다.

[631] 결과적으로, 제 1 BICM 인코딩 블록(618100)은 1개의 경로(STx_k)로 입력받은 타임 인터리빙된 MISO PLP 데이터를 BICM 인코딩 처리하여 프레임 빌더로 출력할 수 있으며, 제 2 BICM 인코딩 블록(618200)은 1개의 경로(STx_m)로

입력받은 타임 인터리빙된 MIMO PLP 데이터를 BICM 인코딩 처리하여 프레임 빌더로 출력할 수 있다. 또한, 제 3 BICM 인코딩 블록(618300)은 2개의 경로(STx_pre, STx_post)로 입력받은 L1-프리 시그널링 정보를 처리하기 위한 제 1 인코딩 블록(618400) 및 L1-포스트 시그널링 정보를 처리하기 위한 제 2 인코딩 블록(618500)을 포함할 수 있으며, 제 1 인코딩 블록(618400)은 타임 인터리빙이 수행된 L1-프리 시그널링 데이터를 출력할 수 있으며, 제 2 인코딩 블록(618500)은 타임 인터리빙이 수행된 L1-포스트 시그널링 데이터를 출력할 수 있다.

[632]

[633] 도 43은 본 발명의 제 3 실시예에 따른 프레임 빌더를 나타낸 도면이다.

[634] 도 43에 도시된 프레임 빌더는 도 1에서 설명한 프레임 빌더(101400)의 또 다른 실시예이다.

[635] 도 43에 도시된 바와 같이, BICM 인코더로부터 출력된, 타임 인터리빙된 MISO PLP 데이터, 2개의 MIMO PLP 데이터, 2개의 MIMO PLP 데이터 L1-프리 시그널링 데이터 및 L1-포스트 시그널링 데이터는 프레임 빌더로 입력될 수 있다.

[636] 이 경우, 프레임 빌더는 MISO PLP 데이터, MIMO PLP 데이터, L1-프리 시그널링 데이터 및 L1-포스트 시그널링 데이터를 입력받는 제 1 경로 및 MIMO PLP 데이터을 입력받는 제 2 경로를 통해 각 데이터를 입력받을 수 있다. 제 1 경로를 통해 입력되는 데이터는 제 1 안테나(Tx_1)를 통해 전송될 수 있으며 제 2 경로를 통해 입력되는 데이터는 제 2 안테나(Tx_2)를 통해 전송 될 수 있다.

[637] 도 43에 도시된 바와 같이 본 발명의 제 3 실시예에 따른 프레임 빌더는 제 1 경로를 통해 입력되는 데이터를 처리하기 위한 제 1 프레임 빌딩 블록(619100) 및 제 2 경로를 통해 입력되는 데이터를 처리하기 위한 제 2 프레임 빌딩 블록(619200)을 포함할 수 있다. 제 1 프레임 빌딩 블록(619100)은 제 1 딜레이 보상부(619110), 제 1 셀 맵퍼(619120), 및 제 1 주파수 인터리버(619300-1)를 포함할 수 있고, 제 2 프레임 빌딩 블록(619200)은 제 2 경로를 통해 입력되는 데이터를 처리하기 위한 제 2 셀 맵퍼(619210) 및 제 2 주파수 인터리버(619220)을 포함할 수 있다.

[638] 제 1 셀 맵퍼(619120) 및 제 1 주파수 인터리버(619130)와 제 2 셀 맵퍼(619120) 및 제 2 주파수 인터리버(619310)는 제 1 경로 및 제 2 경로에 대해 동일하게 동작할 수 있으며 독립적으로 동작할 수 있다.

[639] 이하 제 1 프레임 빌더 블록(619100) 및 제 2 프레임 빌더 블록(619200)에 포함된 블록들의 데이터 처리 방식에 대해 설명한다.

[640] 딜레이 보상부(619110)는 L1-프리 시그널링 데이터 또는 L1-포스트 시그널링 데이터에 대해 1 프레임만큼의 지연 및 제 3 BICM 인코딩 블록(619300)의 인코딩 수행에 따른 지연을 모두 보상할 수 있다. L1-시그널링 정보는 현재 프레임에 대한 정보뿐 만 아니라 후속 프레임에 대한 정보까지 포함할 수 있기

때문에, 인풋 프로세싱 과정에서는 L1-시그널링 정보를 현재 입력되는 PLP 데이터보다 한 프레임씩 지연될 수 있다. 이러한 과정을 통해 하나의 프레임은 현재 프레임 및 후속 프레임에 관한 정보를 모두 포함하는 L1-시그널링 정보를 전송할 수 있다.

[641] 제 1 셀 맵퍼(619120) 및 제 2 셀 맵퍼(619210)는 각 경로를 통해 입력된 심볼 단위의 PLP 데이터 및 L1-시그널링 데이터를 프레임 내 OFDM 심볼의 서브 케리어에 셀 단위로 매핑할 수 있다.

[642] 또한 제 1 셀 맵퍼(619120) 및 제 2 셀 맵퍼(619210)는 MISO PLP 데이터와 MIMO PLP 데이터를 각각 하나의 OFDM 심볼의 서브 케리어에 셀 단위로 매핑할 수 있다. 본 발명의 제 3 실시예에서는 주파수 인터리빙 이후 즉, OFDM 제너레이팅 단계에서 MISO/MIMO 인코딩이 이루어지는데, 이 경우, OFDM 심볼 단위로 MISO/MIMO 인코딩이 수행될 수 있다. 만약, MISO PLP 데이터 셀과 MIMO PLP 데이터 셀이 동일한 OFDM 심볼에 함께 매핑된다면, OFDM 제너레이터에서는 OFDM 심볼 단위로 MISO 인코딩/MIMO 인코딩을 독립적으로 수행할 수 없게 된다. 따라서 제 1 셀 맵퍼(619120) 및 제 2 셀 맵퍼(619210)는 MISO PLP 데이터와 MIMO PLP 데이터가 동일한 OFDM 심볼 내에 매핑되지 않도록 처리할 수 있다.

[643] 제 1 경로 및 제 2 경로를 통해 제 1 셀 맵퍼(619120) 및 제 2 셀 맵퍼(619210)로 입력되는 PLP 데이터는 커먼 PLP 데이터, MISO, MIMO PLP 데이터를 포함할 수 있으며, 서브 슬라이스 프로세서 모듈(619120-1 및 619210-1)은 다이버시티 효과를 얻기 위하여 PLP 데이터 셀들에 대해 서브 슬라이싱을 수행하여 프레임 내에 매핑할 수 있다.

[644] 또한 본 발명의 제 3 실시예에 따른 방송 신호 송신기에서는 송신 시스템을 단순하게 구성하기 위해서, 제 1 셀 맵퍼(619120)는 제 2 셀 맵퍼(619210)는 동일하게 동작하는 것을 일 실시예로 한다.

[645] 단, MISO PLP 데이터와 L1-프리 및 포스트 시그널링 데이터는 제 1 경로를 통해서만 입력이 되지만, MIMO PLP 데이터는 제 1 경로 및 제 2 경로를 통해 입력되므로, 어떤 데이터가 입력되느냐에 따라 셀 맵퍼의 동작은 달라질 수 있다.

[646] 이하에서 구체적인 동작에 대해 설명한다.

[647] 첫째, 제 1 셀 맵퍼(619120) 및 제 2 셀 맵퍼(619210)는 제 1 경로를 통해 입력되는 동일한 MISO PLP 데이터를 각각 입력받을 수 있으며, 딜레이 보상부(619110)에서 출력된 동일한 L1-프리 및 포스트 시그널링 데이터를 각각 입력받을 수 있다. 이 경우 제 1 셀 맵퍼(619120) 및 제 2 셀 맵퍼(619210)는 각각의 입력 데이터들을 프레임 내 OFDM 심볼의 서브 케리어에 할당되도록 매핑할 수 있다.

[648] 둘째, 제 1 셀 맵퍼(619120) 및 제 2 셀 맵퍼(619210)중 제 1 셀 맵퍼(619120)만 MISO PLP 데이터 및 지연 보상된 L1-프리 및 포스트 시그널링 데이터를 입력

받을 수 있다. 이 경우, 제 2 셀 맵퍼(619210)는 MIMO PLP에 대해서만 매핑을 수행할 수 있다.

[649] 제 1 주파수 인터리버(619130) 및 제 2 주파수 인터리버(619220)는 각 경로를 통해 입력된 데이터에 대해 셀 단위로 주파수 인터리빙을 수행하고 각 경로를 통해 주파수 인터리빙된 데이터를 OFDM 제너레이터로 출력할 수 있다.

[650] 이 경우 제 1 주파수 인터리버(619130) 및 제 2 주파수 인터리버(619220)는 하나의 OFDM 심볼을 인터리빙 단위로 하여 주파수 인터리빙을 수행할 수도 있다. 또한 제 2 셀 맵퍼(619210)가 MIMO PLP 데이터만 입력받는 경우, 제 2 주파수 인터리버(619220) 역시 MIMO PLP 데이터에 대해서만 인터리빙을 수행할 수 있다.

[651]

[652] 도 44는 본 발명의 제 3 실시예에 따른 OFDM 제너레이터를 나타낸 도면이다.

[653] 도 44에 도시된 OFDM 제너레이터는 도 1에서 설명한 OFDM 제너레이터(101500)의 또 다른 실시예이다.

[654] 본 발명은 2개의 송신 안테나를 통해 MISO 또는 MIMO 방식으로 방송 신호를 전송하는 것을 일 실시예로 할 수 있다. 도 44에 도시된 OFDM 제너레이터는 제 1 경로 및 제 2 경로를 통해 주파수 인터리빙된 데이터를 입력받아 MISO 인코딩 또는 MIMO 인코딩을 수행하고 OFDM 복조하여 두 개의 안테나(Tx1, Tx2)로 출력할 수 있다.

[655] 본 발명에서는 제 1 안테나(Tx1)를 통해 전송될 데이터를 변조하는 블록을 제 1 OFDM 제너레이팅 블록(620200)이라 하고, 제 2 안테나(Tx2)를 통해 전송될 방송 신호를 변조하는 블록을 제 2 OFDM 제너레이팅 블록(620300)이라 호칭할 수 있다. 또한 본 발명에서는 극성 다중화 MIMO(polarity multiplexing MIMO) 방식을 사용하는 것을 일 실시예로 할 수 있다.

[656] 도 44에 도시된 바와 같이 본 발명의 제 3 실시예에 따른 OFDM 제너레이터는 MISO/MIMO 인코더(620100), 제 1 OFDM 제너레이팅 블록(620200) 및 제 2 OFDM 제너레이팅 블록(620300)을 포함할 수 있다. 제 1 OFDM 제너레이팅 블록(620200)은 파일럿 삽입 모듈, IFFT 모듈, PAPR 모듈, GI 삽입 모듈, P1 심볼 삽입 모듈, AP1 심볼 삽입 모듈 및 DAC를 포함할 수 있으며, 제 2 OFDM 제너레이팅 블록(620300)은 파일럿 삽입 모듈, IFFT 모듈, PAPR 모듈, GI 삽입 모듈, P1 심볼 삽입 모듈, AP1 심볼 삽입 모듈, 및 DAC를 포함할 수 있고, 제 1 OFDM 제너레이팅 블록(620200)에 포함된 모듈들과 각각 동일한 기능을 수행한다.

[657] 제 3 실시예에 따른 OFDM 제너레이터에 포함된 제 1 OFDM 제너레이팅 블록(620200) 및 제 2 OFDM 제너레이팅 블록(620300)은 도 34에 도시된 제 1 실시예에 따른 OFDM 제너레이터와 동일하게 동작하므로 구체적인 설명은 생략한다. 단, 제 3 실시예에 따른 OFDM 제너레이터는 제 1 실시예에 따른 OFDM 제너레이터와 달리 MIMO/MISO 인코더(620100)을 포함하고 있으므로

MIMO/MISO 인코더(620100)의 구체적인 동작에 대해 설명한다.

[658] MIMO/MISO 인코더(603100)는 제 1 경로 및 제 2 경로를 통해 입력된 데이터가 MISO PLP 데이터 또는 L1-프리 및 포스트 시그널링 데이터인 경우, MISO 인코딩 매트릭스를 이용하여 OFDM 심볼 단위로 MISO 인코딩을 수행한 뒤 제 1 OFDM 제너레이팅 블록 (620200) 및 제 2 OFDM 제너레이팅 블록(620300)으로 출력할 수 있다. 이 경우 입력된 데이터는 제 1 경로 또는 제 2 경로 중 어느 하나의 경로를 통해서만 입력될 수도 있다. 본 발명에서는 MISO 인코딩 매트릭스의 실시예로써 OSTBC(Orthogonal Space-Time Block Code)/OSFBC(Orthogonal Space Frequency Block Code, 또는 Alamouti code)을 포함할 수 있다.

[659] 만약, 제 1 경로 및 제 2 경로를 통해 입력된 데이터가 MIMO PLP 데이터인 경우, MIMO/MISO 인코더(620100)는 MIMO 인코딩 매트릭스를 이용하여 OFDM 심볼 단위로 MIMO 인코딩을 수행한뒤 제 1 경로 및 제 2 경로를 통해 제 1 OFDM 제너레이팅 블록(620200) 및 제 2 OFDM 제너레이팅 블록(620300)으로 출력할 수 있다. 본 발명의 MIMO 인코딩 매트릭스는 공간 멀티플렉싱(spatial multiplexing), GC(Golden code), 풀-레이트 풀 다이버시티 코드(Full-rate full diversity code) 및 리니어 디스펄션 코드(Linear dispersion code) 등을 포함할 수 있다. 또한, 상술한 제 1 실시예 내지 제 6 실시예의 MIMO 인코딩 매트릭스를 사용하여 상술한 실시예와 같이 MIMO 인코딩을 수행할 수도 있다.

[660]

[661] 도 45 내지 도 47은 본 발명의 제 4 실시예에 따른 전송 시스템의 구성 블록을 나타낸다. 이하 구체적으로 설명한다.

[662] 도 45는 본 발명의 제 4 실시예에 따른 BICM 인코더를 나타낸 도면이다.

[663] 도 45에 도시된 BICM 인코더는 도 1에서 설명한 BICM 인코더(101300)의 또 다른 실시예이다.

[664] 본 발명의 제 4 실시예에 따른 BICM 인코더는 인풋 프로세싱된 복수개의 PLP 데이터와 L1- 프리 시그널링 정보 및 L1-포스트 시그널링 정보에 대해 비트 인터리빙 및 에러 정정을 위한 인코딩을 수행할 수 있다.

[665] 본 발명의 제 4 실시예는 본 발명의 제 3 실시예와 거의 동일하나 MIMO 방식으로 처리될 MIMO PLP 데이터에 대해서는 BICM 인코더에서 MIMO 인코딩을 수행한다는 점이 다르다. 즉, 본 발명의 제 4 실시예의 BICM 인코더는 MISO 인코딩 될 MISO PLP 데이터를 처리하는 제 1 BICM 인코딩 블록(621100), MIMO 인코딩 될 MIMO PLP 데이터를 처리하는 제 2 BICM 인코딩 블록(621200) 및 MISO 인코딩 될 시그널링 정보를 처리하는 제 3 BICM 인코딩 블록(621300)을 포함할 수 있으며, 제 3 BICM 인코딩 블록(621300)은 L1- 프리 시그널링 정보를 처리하기 위한 제 1 인코딩 블록(621400) 및 L1-포스트 시그널링 정보를 처리하기 위한 제 2 인코딩 블록(621500)을 포함할 수 있다.

[666] 도 45에 도시된 제 4 실시예에 따른 제 1 및 제 3 BICM 인코딩 블록들(621100 및

621300)은 도 42에 도시된 제 3 실시예에 따른 BICM 인코딩 블록들과 각각 동일하게 동작하므로 구체적인 설명은 생략하기로 한다. 하지만 제 2 BICM 인코딩 블록(621200)은 MIMO 인코더(621210)를 포함하고 있는 점이 제 3 실시예와 다르므로 이하 구체적인 동작에 대해 살펴본다. 단, MIMO 인코더(621210)를 제외한 제 2 BICM 인코딩 블록(621200)에 포함된 나머지 블록들 역시 도 42에 도시된 제 3 실시예에 따른 BICM 인코딩 블록들과 각각 동일하게 동작하므로 각 블록의 기능에 대한 구체적인 설명은 생략하기로 한다.

[667] 제 2 인코딩 블록(621200)은 입력된 MIMO PLP 데이터는 FEC 인코딩 및 비트 인터리빙되어 제 2 디먹스(621210)으로 입력된다.

[668] 제 2 디먹스(621210)는 MIMO 인코딩에 필요한 2개의 입력 경로를 만들 수 있으며, 이는 설계자의 의도에 따라 변경 가능하다. 또한 2개의 입력 경로를 통해 전송되는 MIMO PLP 데이터의 전송 특성은 동일할 수도 있고, 다를 수도 있다.

[669] 2개의 입력 경로를 통해 전송되는 MIMO PLP 데이터의 전송 특성이 다른 경우, 제 2 디먹스(621210)는 하나의 FEC 블록에 포함되는 셀에 해당하는 MIMO PLP 데이터의 비트 워드들을 각 입력 경로에 랜덤하게 할당할 수 있다.

[670] 또한, 2개의 경로를 통해 전송되는 MIMO PLP 데이터의 모듈레이션 QAM 타입이 동일한 경우, 도 45에서 점선으로 도시된 제 2 성상도 맵퍼(621220-2), 제 2 셀 인터리버(621230-2) 및 제 2 타임 인터리버(621240-2)는 사용되지 않을 수 있다. 이 경우, 제 1 성상도 맵퍼(621220-1), 제 1 셀 인터리버(621230-1) 및 제 1 타임 인터리버(621240-1)는 2개의 입력을 MIMO 인코더(621250)으로 출력할 수 있다.

[671] MIMO 인코더(621210)는 도 44에 도시된 제 3 실시예에 따른 OFDM 제너레이터의 MISO/MIMO 인코더(620100)의 MIMO 인코딩과 동일한 동작을 수행하므로 구체적인 설명은 생략하기로 한다.

[672] 결과적으로, 제 1 BICM 인코딩 블록(621100)은 1개의 경로(STx_k)로 MISO PLP 데이터, STx_k를 프레임 빌더로 출력할 수 있으며, 제 2 BICM 인코딩 블록(621200)은 2개의 경로(STx_m, STx_m+1)로 MIMO PLP 데이터를 프레임 빌더로 출력할 수 있으며, 제 3 BICM 인코딩 블록(621300)은 2개의 경로(STx_pre, STx_post)로 L1-프리 시그널링 데이터 및 L1-포스트 시그널링 데이터를 프레임 빌더로 출력할 수 있다.

[673]

[674] 도 46은 도 45에 도시된 본 발명의 제 4 실시예에 따른 BICM 인코더의 또 다른 실시예를 나타낸 도면이다.

[675] 도 46에 도시된 바와 같이, BICM 인코더의 또 다른 실시예는 제 1 BICM 인코딩 블록(622100), 제 2 BICM 인코딩 블록(622200) 및 제 3 BICM 인코딩 블록(622300)을 포함할 수 있다.

[676] 각 블록의 기능은 도 45에 도시된 본 발명의 제 2 실시예에 따른 BICM 인코더에 포함된 블록과 거의 동일하나, 제 2 BICM 인코딩 블록(622200)에

포함된 MIMO 인코더(622220)이 제 1 성상도 맵퍼(622210-1) 및 제 2 성상도 맵퍼(622210-1)의 다음에 위치하고 있다는 점이 다르다.

[677] PLP 데이터 또는 시그널링 데이터는 성상도에 매핑된 이후부터 심볼 단위로 처리될 수 있다. 따라서 도 46에 도시된 제 2 BICM 인코딩 블록(622200)은 MIMO PLP 데이터에 대해 OFDM 심볼 단위로 셀 인터리빙, 타임 인터리빙, MIMO 인코딩을 수행할 수 있다. 이 경우, 방송 신호 수신기는 제 2 실시예의 BICM 인코딩 블록들에 대응하여, 역과정으로 수신한 데이터에 대해 BICM 디코딩을 수행할 수 있다. 즉, 방송 신호 수신기의 MIMO 디코더, 타임 디인터리버 및 셀 디인터리버는 수신 데이터를 심볼 단위로 처리할 수 있다.

[678] 하지만, 도 45에 도시된 BICM 인코더에 대응하는 방송 신호 수신기의 BICM 디코더는 MIMO PLP 데이터에 대해 MIMO 디코딩을 가장 먼저 수행해야 하며, MIMO 디코딩이 수행된 데이터는 비트 단위로 출력된다. 이후 방송 신호 수신기의 BICM 디코더에서는 타임 디인터리빙 및 셀 디인터리빙을 수행할 수 있으나, 비트 단위로 출력된 데이터가 입력되므로 입력 데이터의 심볼 단위에 관한 정보가 필요하다.

[679] 즉, 방송 신호 수신기는 디인터리빙 과정에 필요한 입력 비트들의 심볼 매핑에 대한 정보를 저장해야 하므로 방송 신호 수신기의 메모리 복잡도가 증가할 수 있다.

[680] 하지만 도 46에 도시된 제 2 실시예의 BICM 인코더의 또 다른 실시예에서는 MIMO 인코더(622220)가 제 1 성상도 맵퍼(622210-1) 및 제 2 성상도 맵퍼(622210-2)의 후단에 위치하고 있다. 따라서 이에 대응하는 방송 신호 수신기의 BICM 디코더는 심볼 단위로 타임 디인터리빙과 셀 디인터리빙을 모두 수행한 이후에 심볼 단위의 데이터에 대하여 MIMO 디코딩을 수행할 수 있다.

[681] 이 경우 MIMO 디코딩이 수행된 비트 단위의 데이터는 성상도 디맵핑 과정을 거치게 되므로, 별도의 심볼 매핑에 관한 정보가 요구되지 않는다. 따라서 도 45에 도시된 제 4 실시예의 일 실시예에 대응하는 방송 신호 수신기보다 메모리 복잡도가 감소하는 효과를 얻을 수 있다.

[682] 결과적으로, 제 1 BICM 인코딩 블록(622100)은 1개의 경로(STx_k)를 통해 MISO PLP 데이터를 프레임 빌더로 출력할 수 있으며, 제 2 BICM 인코딩 블록(605200)은 2개의 경로(STx_m, STx_m+1)를 통해 MIMO PLP 데이터를 프레임 빌더로 출력할 수 있으며, 제 3 BICM 인코딩 블록(622300)은 2개의 경로(STx_pre, STx_post)를 통해 L1-프리 시그널링 데이터 및 L1-포스트 시그널링 데이터를 프레임 빌더로 출력할 수 있다.

[683]

[684] 본 발명의 제 4 실시예에 따른 프레임 빌더는 도 43에 도시된 제 3 실시예에 따른 프레임 빌더와 동일하게 동작하므로 구체적인 설명은 생략하기로 한다.

[685] 도 47은 본 발명의 제 4 실시예에 따른 OFDM 제너레이터를 나타낸 도면이다.

[686] 도 47에 도시된 OFDM 제너레이터는 도 1에서 설명한 OFDM

제너레이터(101500)의 또 다른 실시예이다.

[687] 본 발명은 2개의 송신 안테나를 통해 MISO 또는 MIMO 방식으로 방송 신호를 전송하는 것을 일 실시예로 할 수 있다. 도 47에 도시된 OFDM 제너레이터는 제 1 경로 및 제 2 경로를 통해 MIMO 인코딩된 MIMO PLP 데이터, 주파수 인터리빙된 MISO PLP 데이터 및 L1-시그널링 데이터를 입력받고, MISO PLP 데이터 및 L1-시그널링 데이터에 대해서만 MISO 인코딩을 수행한 뒤, 모든 데이터를 OFDM 복조하여 두 개의 안테나(Tx1, Tx2)로 출력할 수 있다.

[688] 본 발명에서는 제 1 안테나(Tx1)를 통해 전송될 데이터를 변조하는 블록을 제 1 OFDM 제너레이팅 블록(624200)이라 하고, 제 2 안테나(Tx2)를 통해 전송될 방송 신호를 변조하는 블록을 제 2 OFDM 제너레이팅 블록(624300)이라 호칭할 수 있다. 또한 본 발명에서는 극성 다중화 MIMO(polarity multiplexing MIMO) 방식을 사용하는 것을 일 실시예로 할 수 있다.

[689] 도 47에 도시된 바와 같이 본 발명의 제 4 실시예에 따른 OFDM 제너레이터는 MISO 인코더(624100), 제 1 OFDM 제너레이팅 블록(624200) 및 제 2 OFDM 제너레이팅 블록(624300)을 포함할 수 있다. 제 1 OFDM 제너레이팅 블록(624200) 및 제 2 OFDM 제너레이팅 블록 (624300)은 도 44에 도시된 본 발명의 제 3 실시예에 따른 OFDM 제너레이터에 포함된 블록들과 동일한 기능을 수행하므로 구체적인 설명은 생략하기로 한다. 다만, 본 발명의 제 4 실시예에 따른 OFDM 제너레이터는 MISO 인코더(624100)을 포함하고 있다는 점이 제 3 실시예와 다르므로, MISO 인코더(624100)의 동작에 대해 설명한다.

[690] MISO 인코더(624100)는 주파수 인터리빙된 MISO PLP 데이터, L1- 프리 시그널링 데이터 및 L1-포스트 시그널링 데이터에 대해서만 MISO 인코딩을 수행할 수 있다. MISO 인코더(624100)의 동작은 도 44에 도시된 MIMO/MISO 인코더(620100)의 동작과 동일하다. 또한 추가로, MIMO 인코딩된 MIMO PLP 데이터가 입력된 경우 바이패싱할 수도 있으며, MIMO 인코딩된 MIMO PLP 데이터에 대해서도 MISO 인코딩을 수행할 수 있다.

[691]

[692] 도 48은 본 발명의 제 4 실시예에 따른 방송 신호 송수신 시스템을 나타낸 도면이다.

[693] 도 48에 도시된 바와 같이 본 발명의 제 4 실시예에 따른 방송 신호를 송신하는 제 1 기지국(625100) 및 제 2 기지국(625200)은 각각 2개의 안테나를 통해 방송 신호를 송신할 수 있다. 각 기지국의 안테나에서 전송되는 방송 신호들은 MIMO 방식을 통해 생성될 수 있다.

[694] 제 1 방송 네트워크 셀(625110)내의 수신기(625120)는 제 1 기지국(625100)에서 전송하는 MIMO 방송 신호를 수신할 수 있으며, 제 2 방송 네트워크 셀(625210)내의 수신기(625220)는 제 2 기지국(625200)에서 전송하는 MIMO 방송 신호를 수신할 수 있다. 따라서 수신기(625120 및 625220)은 다이버시티를 확보하고 높은 수신 성능을 얻을 수 있다.

[695] 하지만 제 1 기지국(625100) 및 제 2 기지국(625200)으로부터 먼 거리에 있는 수신기(625300)의 경우 MIMO 방송 신호의 수신성능 열화가 일어날 수 있다. 이와 같이 수신 성능 열화가 일어나는 영역을 음영대라 호칭한다.

[696] 따라서 도 47에서 설명한 바와 같이 MISO 인코더(624100)에서 MIMO 인코딩된 MIMO PLP에 대해 MISO 인코딩을 수행하는 경우 제 1 기지국(625100) 및 제 2 기지국(625200)의 안테나로부터 전송되는 방송 신호는 MIMO 처리 및 MISO 처리가 중첩적으로 수행되므로, MIMO 게인과 MISO 게인을 동시에 얻을 수 있는 효과가 있다. 이 경우, 음영대 영역에 있는 수신기(625300)의 경우 MISO 처리된 방송 신호를 수신할 수 있으므로 음영대 영역의 수신 성능 열화를 보상할 수 있는 효과를 얻을 수 있다.

[697]

[698] 도 49 내지 도 51은 본 발명의 제 3 실시예에 따른 방송 신호 수신기의 구성 블록을 나타낸다. 이하 구체적으로 설명한다.

[699] 도 49는 본 발명의 제 3 실시예에 따른 OFDM 디모듈레이터를 나타낸 도면이다.

[700] 도 49에 도시된 OFDM 디모듈레이터는 도 2에서 설명한 OFDM 디모듈레이터(107100)의 또 다른 실시예이다.

[701] 본 발명은 MIMO 혹은 MISO로 전송된 신호를 수신하기 위해서 두 개의 수신 안테나(Rx1, Rx2)를 이용하는 것을 일 실시예로 할 수 있다. 도 49의 OFDM 디모듈레이터는 두 개의 안테나(Rx1, Rx2)를 통해 수신되는 각 경로의 방송 신호를 입력받아 각각 OFDM 디모듈레이션을 수행할 수 있다.

[702] 본 발명에서는 제 1 안테나(Rx1)를 통해 수신될 방송 신호를 복조하는 블록을 제 1 OFDM 디모듈레이팅 블록(626100)이라 호칭하고, 제 2 안테나(Rx2)를 통해 수신될 방송 신호를 복조하는 블록을 제 2 OFDM 디모듈레이팅 블록(626200)이라 호칭할 수 있다.

[703] 또한 본 발명에서는 극성 다중화 MIMO(polarity multiplexing MIMO) 방식을 사용하는 것을 일 실시예로 할 수 있다. 따라서 제 1 OFDM 디모듈레이팅 블록(626100)은 제 1 안테나(Rx1)를 통해 입력되는 방송 신호를 OFDM 복조하여 제 1 경로를 통해 MISO/MIMO 디코더(626300)로 출력하고, 제 2 OFDM 디모듈레이팅 블록(626200)은 제 2 안테나(Rx2)를 통해 입력되는 방송 신호를 OFDM 복조하여 제 2 경로를 통해 MISO/MIMO 디코더(626300)로 출력할 수 있다.

[704] 또한 도 49에 도시된 본 발명의 제 3 실시예에 따른 OFDM 디모듈레이터는 도 44에 도시된 본 발명의 제 3 실시예에 따른 OFDM 제너레이터의 역과정을 수행할 수 있다.

[705] 본 발명의 제 3 실시예에 따른 OFDM 디모듈레이터는 제 1 OFDM 디모듈레이팅 블록(626100), 제 2 OFDM 디모듈레이팅 블록(626200) 및 MISO/MIMO 디코더(626300)를 포함할 수 있다. 제 1 OFDM 디모듈레이팅

블록(626100)은 튜너, ADC, P1 심볼 검출 모듈, AP1 심볼 검출 모듈, 동기화 모듈, GI 제거 모듈, FFT 모듈 및 채널 추정 모듈을 포함할 수 있으며, 제 2 OFDM 디모듈레이팅 블록(626200)은 는 튜너, ADC, P1 심볼 검출 모듈, AP1 심볼 검출 모듈, 동기화 모듈, GI 제거 모듈, FFT 모듈 및 채널 추정 모듈을 포함할 수 있으며, 제 1 OFDM 디모듈레이팅 블록(626100)에 포함된 모듈들과 각각 동일한 기능을 수행할 수 있다.

[706] 제 3 실시예에 따른 OFDM 디모듈레이터에 포함된 제 1 OFDM 디모듈레이팅 블록(626100) 및 제 2 OFDM 디모듈레이팅 블록(626200)은 도 36에 도시된 제 1 실시예에 따른 OFMD 디모듈레이터와 동일하게 동작하므로 구체적인 설명은 생략한다, 단, 제 3 실시예에 따른 OFDM 디모듈레이터는 MIMO/MISO 디코더(626300)를 포함하고 있으므로 이하에서 설명한다.

[707] 본 발명의 MIMO/MISO 디코더(626300)는 MISO PLP 데이터 및 L1-시그널링 데이터에 대해 MISO 디코딩을 수행하는 경우, 4가지 동작을 수행할 수 있다. 이하 각 동작에 대해 설명한다.

[708] 첫째, MIMO/MISO 디코더(626300)는 제 1 수신부(626100) 및 제 2 수신부(626200)에 포함된 채널 추정 모듈에서 MISO PLP에 대해 채널 등화를 수행하지 않은 경우, 송신 가능한 모든 레퍼런스 포인트에 대해 채널 추정의 효과를 적용한 후에 LLR 값을 계산할 수 있다. 따라서 채널 등화와 동일한 효과를 얻을 수 있다.

[709] 둘째, MIMO/MISO 디코더(626300)는 도 42에 도시된 방송 신호 송신기의 제 3 실시예에 따른 BICM 인코더에 포함된 성상도 맵퍼의 동작에 따라 다음과 같은 동작을 수행할 수 있다. 도 42에서 설명한 제 1 BICM 인코딩 모듈(618100)에 포함된 성상도 맵퍼에서 성상도를 일정각도로 회전시키고 성상도의 Q-phase 성분만을 임의의 값으로 딜레이시킨 경우, MIMO/MISO 디코더(626110)는 성상도의 I-phase 성분만을 임의의 값으로 딜레이 시킬 수 있으며 성상도 회전 각도를 고려하여 2D-LLR 값을 계산할 수 있다.

[710] 만약, 성상도 맵퍼에서 성상도를 회전시키지 않고, 성상도의 Q-phase 성분만을 임의의 값으로 딜레이시키지 않은 경우, MIMO/MISO 디코더(626300)는 노멀 QAM을 기준으로 2-D LLR 값을 계산할 수 있다.

[711] 셋째, MIMO/MISO 디코더(626300)는 도 20에서 설명한 OFMD 제너레이터에 포함된 MIMO/MISO 인코더(620100)에서 사용된 인코딩 매트릭스에 따라 역과정이 수행될 수 있도록 디코딩 매트릭스를 선정한 후 MISO 디코딩을 수행할 수 있다.

[712] 넷째, MIMO/MISO 디코더(626300)는 두 개의 수신 안테나로 입력된 MISO PLP 데이터를 결합할 수 있다. 본 발명에 따른 신호 결합 방법은 맥시멈 레이셔 컴바이닝(maximum ratio combining), 이퀄 게인 컴바이닝(equal gain combining), 셀렉티브 컴바이닝(selective combining) 등을 포함할 수 있다. 이 경우 MIMO/MISO 디코더(626300)는 결합된 신호의 SNR을 최대로 만들어 다이버시티

효과를 얻을 수 있다.

[713] 또한 MIMO/MISO 디코더(626300)는 신호 결합이 수행된 하나의 신호에 대해 MISO 디코딩을 수행할 수 있으며, 두 안테나 입력에 대해서 MISO 디코딩을 수행한 뒤에 MISO 디코딩된 신호를 결합할 수 있다.

[714] MIMO/MISO 디코더(626300)는 제 1 경로 및 제 2 경로를 통해 입력되는 MIMO PLP 데이터에 대해 MIMO 디코딩을 수행할 수 있다. 이 경우, 상술한 MISO 디코딩과 동일한 동작들을 수행할 수 있으나, 4가지 동작 중 마지막 동작, 즉, 신호 결합 동작은 수행하지 않는다.

[715]

[716] 도 50은 본 발명의 제 3 실시예에 따른 프레임 디맵퍼를 나타낸 도면이다.

[717] 도 50에 도시된 프레임 빌더는 도 1에서 설명한 프레임 빌더(101400)의 또 다른 실시예이다.

[718] 도 50에 도시된 바와 같이 본 발명의 제 3 실시예에 따른 프레임 디맵퍼는 제 1 경로를 통해 입력되는 데이터를 처리하기 위한 제 1 프레임 디맵핑 블록(627100) 및 제 2 경로를 통해 입력되는 데이터를 처리하기 위한 제 2 프레임 디맵핑 블록(627200)을 포함할 수 있다.

[719] 제 1 프레임 디맵핑 블록(627100)은 제 1 주파수 디인터리버(627110), 제 1 셀 디맵퍼(627120), 제 1 결합기(627130-1), 제 2 결합기(627130-2) 및 제 3 결합기(627130-3)를 포함할 수 있고, 제 2 프레임 디맵핑 블록(627200)은 제 2 주파수 디인터리버(627210) 및 제 2 셀 디맵퍼(627220)를 포함할 수 있다.

[720] 또한 제 1 주파수 디인터리버(627110) 및 제 1 셀 디맵퍼(627120)와 제 2 주파수 디인터리버(627210) 및 제 2 셀 디맵퍼(627220)는 제 1 경로 및 제 2 경로에 대해 동일하게 동작할 수 있으며 독립적으로 동작할 수 있다.

[721] 또한 제 3 실시예에 따른 프레임 디맵퍼는 도 43에 도시된 제 3 실시예에 따른 프레임 빌더의 역과정을 수행할 수 있다.

[722] 이하에서는 제 1 프레임 빌더 디맵핑 블록(627100) 및 제 2 프레임 디맵핑 블록(627200)에 포함된 블록들의 데이터 처리 방식에 대해 설명한다.

[723] 제 1 주파수 디인터리버(627110) 및 제 2 주파수 디인터리버(627210)는 제 1 경로 및 제 2 경로를 통해 입력되는 데이터에 대해 각각 주파수 영역에서 셀 단위로 디인터리빙을 수행할 수 있다.

[724] 제 1 셀 디맵퍼(627120) 및 제 2 셀 디맵퍼(627220)는 디인터리빙된 데이터로부터 커먼 PLP 데이터, PLP 데이터 및 L1-시그널링 데이터를 셀 단위로 추출할 수 있다. 추출된 PLP 데이터는 MISO 디코딩된 MISO PLP 데이터 및 MIMO 디코딩된 MIMO PLP 데이터를 포함할 수 있으며, 추출된 L1-시그널링 데이터는 현재 프레임 및 후속 프레임에 관한 정보를 포함할 수 있다. 또한 송신부에서 PLP 데이터에 대해 서브 슬라이싱이 수행되었다면, 제 1 셀 디맵퍼(627120) 및 제 2 셀 디맵퍼(627220)의 서브-슬라이스 프로세서(627120-1 및 627220-1)는 슬라이싱된 PLP 데이터를 머징하여 하나의 스트림을 생성할 수

있다.

[725] 제 1 결합기(627130-1)는 MIMO/MISO 디코더(626300)에서 MISO 디코딩된 MISO PLP 데이터에 대하여 신호 결합을 수행하지 않은 경우 MISO 디코딩된 MISO PLP 데이터의 신호 결합을 수행할 수 있다.

[726] 제 2 결합기(627130-2) 및 제 3 결합기(627130-3)는 제 1 결합기(627130-1)과 동일한 기능을 수행하나, 각각 L1-프리 시그널링 데이터 및 L1-포스트 시그널링 데이터에 대하여 동작이 수행된다는 점이 다르다.

[727] 도 50에 도시된 바와 같이, 추출된 데이터 즉, 제 1 경로를 통해 출력되는 데이터, 즉, MISO PLP 데이터, MIMO PLP 데이터 및 시그널링 데이터는 SRx_k부터 SRx_post까지의 경로로 BICM 디코더로 입력되고, 제 2 경로를 통해 출력되는 MIMO PLP 데이터는 SRx_m+1부터 SRx_n+1까지의 경로로 BICM 디코더로 입력된다.

[728]

[729] 도 51은 본 발명의 제 3 실시예에 따른 BICM 디코더를 나타낸 도면이다.

[730] 도 51에 도시된 BICM 디코더는 도 2에서 설명한 BICM 디코더(107300)의 또 다른 실시예이다.

[731] 본 발명의 제 3 실시예에 따른 BICM 디코더는 프레임 디맵퍼에서 제 1 경로를 통해 출력되는 데이터를 SRx_k부터 SRx_post까지의 경로로 입력받고 BICM 디코딩을 수행하고, 제 2 경로를 통해 출력되는 데이터를 SRx_m+1 및 SRx_n+1까지의 경로로 입력받고, BICM 디코딩을 수행하고 아웃풋 프로세서로 출력할 수 있다.

[732] 또한 본 발명의 제 1 실시예에 따른 BICM 디코더는 각각의 경로로부터 입력되는 MISO PLP 데이터, MIMO PLP 데이터 및 시그널링 데이터에 대해 독립적으로 BICM 디코딩을 수행할 수 있다.

[733] 도 51에 도시된 바와 같이, 본 발명의 제 3 실시예에 따른의 BICM 디코더는 1개의 경로(SRx_k)로 MISO 디코딩된 MISO PLP 데이터를 입력받고 처리하는 제 1 BICM 디코딩 블록(628100), 2개의 경로(SRx_m, SRx_m+1)로 MIMO 디코딩된 MIMO PLP 데이터를 입력받고 처리하는 제 2 BICM 디코딩 블록(628200) 및 2개의 경로(SRx_pre, SRx_post)로 MISO 디코딩된 L1-시그널링 데이터를 입력받고 처리하는 제 3 BICM 디코딩 블록(628300)을 포함할 수 있다. 또한 제 3 BICM 디코딩 블록(628300)은 L1-프리 시그널링 데이터를 처리하기 위한 제 1 디코딩 블록(628400) 및 L1-포스트 시그널링 데이터를 처리하기 위한 제 2 디코딩 블록(628500)을 포함할 수 있다.

[734] 도 51에 도시된 제 3 실시예에 따른 BICM 디코딩 블록들은 도 38에 도시된 제 1 실시예에 따른 BICM 디코딩 블록들과 동일하게 동작하므로 구체적인 설명은 생략하기로 한다. 다만, 제 3 실시예의 BICM 디코딩 블록들은 MISO 디코더 및 MIMO 디코더를 포함하지 않는다는 점이 제 1 실시예의 BICM 인코딩 블록들과 다르다.

[735] 또한 본 발명의 제 3 실시예에 따른 BICM 디코더는 도 42에 도시된 제 3 실시예에 따른 BICM 인코더의 역과정을 수행할 수 있다.

[736] 결과적으로 제 1 BICM 디코딩 블록(628100)은 BICM 디코딩 처리된 MISO PLP 데이터를 아웃풋 프로세서로 출력할 수 있으며, 제 2 BICM 디코딩 블록(628200)은 BICM 디코딩 처리된 MIMO PLP 데이터를 아웃풋 프로세서로 출력할 수 있다. 또한 제 3 BICM 디코딩 블록(628300)에 포함된 제 1 디코딩 블록(628400) 및 제 2 디코딩 블록(628500)은 BICM 디코딩 처리된 L1-프리 시그널링 정보 및 L1-포스트 시그널링 정보를 출력할 수 있다.

[737]

[738] 도 52 내지 도 54은 본 발명의 제 4 실시예에 따른 방송 신호 수신기의 구성 블록을 나타낸다. 이하 구체적으로 설명한다.

[739] 도 52은 본 발명의 제 4 실시예에 따른 OFDM 디모듈레이터를 나타낸 도면이다.

[740] 도 52에 도시된 OFDM 디모듈레이터는 도 2에서 설명한 OFDM 디모듈레이터(107100)의 또 다른 실시예이다.

[741] 본 발명은 MIMO 혹은 MISO로 전송된 신호를 수신하기 위해서 두 개의 수신 안테나(Rx1, Rx2)를 이용하는 것을 일 실시예로 할 수 있다. 도 52의 OFDM 디모듈레이터는 두 개의 안테나(Rx1, Rx2)를 통해 수신되는 각 경로의 방송 신호를 입력받아 각각 OFDM 디모듈레이션을 수행할 수 있다.

[742] 본 발명에서는 제 1 안테나(Rx1)를 통해 수신될 방송 신호를 복조하는 블록을 제 1 OFDM 디모듈레이팅 블록(629100)이라하고, 제 2 안테나(Rx2)를 통해 수신될 방송 신호를 복조하는 블록을 제 2 OFDM 디모듈레이팅 블록(629200)이라 호칭할 수 있다.

[743] 또한 본 발명에서는 극성 다중화 MIMO(polarity multiplexing MIMO) 방식을 사용하는 것을 일 실시예로 할 수 있다. 따라서 본 발명의 제 4 실시예에 따른 OFDM 디모듈레이터는 제 1 OFDM 디모듈레이팅 블록(629100), 제 2 OFDM 디모듈레이팅 블록(629200) 및 MISO 인코더(629300)을 포함할 수 있으며, 제 1 OFDM 디모듈레이팅 블록(629100)은 제 1 안테나(Rx1)를 통해 입력되는 방송 신호를 OFDM 복조하여 제 1 경로를 통해 MISO 디코더(629300)로 출력하고, 제 2 OFDM 디모듈레이팅 블록(629200)은 제 2 안테나(Rx2)를 통해 입력되는 방송 신호를 OFDM 복조하여 제 2 경로를 통해 MISO 디코더(629300)로 출력할 수 있다.

[744] 또한 제 4 실시예에 따른 OFDM 디모듈레이터는 도 47에 도시된 제 4 실시예에 따른 OFDM 제너레이터의 역과정을 수행할 수 있다.

[745] 도 52에 도시된 바와 같이 제 1 OFDM 디모듈레이팅 블록(629100)은 튜너, ADC, P1 심볼 검출 모듈, AP1 심볼 검출 모듈, 동기화 모듈, GI 제거 모듈, FFT 모듈 및 채널 추정 모듈을 포함할 수 있으며 제 2 OFDM 디모듈레이팅 블록(629200)도 제 1 OFDM 디모듈레이팅 블록(629200)과 동일한 모듈을 포함할

수 있다.

[746] 제 4 실시예에 따른 제 1 OFDM 디모듈레이팅 블록(629100) 및 제 2 OFDM 디모듈레이팅 블록(629200)에 포함된 블록들은 도 49에 도시된 제 3 실시예에 따른 OFDM 디모듈레이터에 포함된 제 1 OFDM 디모듈레이팅 블록(626100) 및 제 2 OFDM 디모듈레이팅 블록(626200)에 포함된 블록들과 동일하게 동작하므로 구체적인 설명은 생략하도록 한다.

[747] 또한 MISO 디코더(629300)는 도 49에서 설명한 제 3 실시예에 따른 MIMO/MISO 디코더(626300)의 MISO 디코딩 동작과 동일하게 MISO 디코딩을 수행할 수 있다. 따라서 구체적인 설명은 생략하기로 한다.

[748]

[749] 본 발명의 제 4 실시예에 따른 프레임 디맵퍼는 도 50에 도시된 제 3 실시예에 따른 프레임 디맵퍼와 동일하게 동작하므로 구체적인 설명은 생략하도록 한다.

[750]

[751] 도 53은 본 발명의 제 4 실시예에 따른 BICM 디코더의 일 실시예를 나타낸 도면이다.

[752] 도 53에 도시된 BICM 디코더는 도 2에서 설명한 BICM 디코더(107300)의 일 실시예이다.

[753] 본 발명의 제 4 실시예에 따른 BICM 디코더는 프레임 디맵퍼에서 제 1 경로를 통해 출력되는 데이터를 SRx_0부터 SRx_post까지의 경로로 입력받고 BICM 디코딩을 수행하고, 제 2 경로를 통해 출력되는 데이터를 SRx_m+1부터 SRx_n+1까지의 경로로 입력받고 BICM 디코딩을 수행하고 아웃풋 프로세서로 출력할 수 있다.

[754] 또한 본 발명의 제 4 실시예에 따른 BICM 디코더는 제 1 경로 및 제 2 경로로부터 입력되는 MISO PLP 데이터 및 L1-시그널링 데이터에 대해서는 독립적으로 BICM 디코딩을 수행하고, MIMO PLP 데이터에 대해서는 MIMO 디코딩 및 BICM 디코딩을 수행할 수 있다.

[755] 따라서 도 53의 BICM 디코더는 1개의 경로(SRx_k)를 통해 MISO PLP데이터를 처리하는 제 1 BICM 디코딩 블록(631100), 2개의 경로(SRx_m, SRx_m+1)를 통해 MIMO PLP 데이터를 입력받고 처리하는 제 2 BICM 디코딩 블록(631200) 및 2개의 경로(SRx_pre, SRx_post)를 통해 MISO 디코딩된 L1-시그널링 데이터를 입력받고 처리하는 제 3 BICM 디코딩 블록(631300)을 포함할 수 있다.

[756] 또한 제 3 BICM 디코딩 블록(631300)은 L1-프리 시그널링 데이터를 처리하기 위한 제 1 디코딩 블록(631400) 및 L1-포스트 시그널링 데이터를 처리하기 위한 제 2 디코딩 블록(631500)을 포함할 수 있다.

[757] 또한 본 발명의 제 4 실시예에 따른 BICM 디코더는 도 45에 도시된 제 4 실시예에 따른 BICM 인코더의 일 실시예의 역과정을 수행할 수 있다.

[758] 도 53에 도시된 제 4 실시예에 따른 제 1 BICM 디코딩 블록(631100) 및 제 3 디코딩 블록(631300)은 도 51에 도시된 제 3 실시예에 따른 BICM 디코딩

블록들과 동일하게 동작하므로 구체적인 설명은 생략하도록 한다. 다만 도 53에 도시된 제 2 BICM 디코딩 블록(631200)은 MIMO 디코더 (631210)를 포함하고 있는 점이 제 3 실시예의 제 2 BICM 디코딩 블록(628200)과 다르다. 이하 제 2 BICM 디코딩 블록(631200)의 동작에 대해서 살펴본다. 단, 제 2 BICM 디코딩 블록(631200)에 포함된 블록들은 제 3 실시예에 따른 제 2 BICM 디코딩 블록(628200)에 포함된 블록들과 동일하게 동작하므로 구체적인 설명은 생략한다.

[759] MIMO 디코더(631210)는 도 49에 도시된 본 발명의 제 3 실시예에 따른 MIMO/MISO 디코더(626300)의 MIMO 디코딩과 동일한 동작을 수행할 수 있다. 이 경우, 제 1 경로 및 제 2 경로를 통해 입력되는 MIMO PLP 데이터의 전송 특성은 동일할 수도 있고, 다를 수도 있다.

[760] 만약 2개의 경로를 통해 입력되는 MIMO PLP 데이터의 모듈레이션 오더가 동일한 경우, 도 53에서 점선으로 표시된 제 2 타임 디인터리버(631200-2), 제 2 셀 디인터리버(631300-2) 및 제 2 성상도 디맵퍼(631400-2)는 사용되지 않을 수 있다. 따라서 두 개의 MIMO PLP 데이터은 하나의 입력으로 머징되어 제 1 타임 디인터리버(631200-1)로 입력된 뒤, 제 1 셀 디인터리버(631300-1) 및 제 1 성상도 디맵퍼(631400-1)를 거쳐 제 2 먹스(631500)로 입력될 수 있다.

[761] 결과적으로 제 1 BICM 디코딩 블록(631100)은 BICM 디코딩된 MISO PLP 데이터를 아웃풋 프로세서로 출력할 수 있으며, 제 2 BICM 디코딩 블록(631200)은 MIMO PLP 데이터를 아웃풋 프로세서로 출력할 수 있다. 또한 제 3 BICM 디코딩 블록(631300)에 포함된 제 1 디코딩 블록(631400) 및 제 2 디코딩 블록(631500)은 BICM 디코딩 처리된 L1-프리 시그널링 정보 및 L1-포스트 시그널링 정보를 출력할 수 있다.

[762]

[763] 도 54는 본 발명의 제 4 실시예에 따른 BICM 디코더의 또 다른 실시예를 나타낸 도면이다.

[764] 도 54에 도시된 본 발명의 제 4 실시예에 따른 BICM 디코더의 또 다른 실시예는 1개의 경로(SRx_k)로 MISO PLP 데이터를 입력받고 처리하는 제 1 BICM 디코딩 블록(632100), 2개의 경로(SRx_m, SRx_m+1)로 MIMO PLP 데이터를 입력받고 처리하는 제 2 BICM 디코딩 블록(632200) 및 2개의 경로(SRx_pre, SRx_post)로 MISO 디코딩된 L1-시그널링 데이터를 입력받고 처리하는 제 3 BICM 디코딩 블록(632300)을 포함할 수 있다.

[765] 또한 본 발명의 제 4 실시예에 따른 BICM 디코더의 또 다른 실시예는 도 46에 도시된 제 4 실시예에 따른 BICM 인코더의 또 다른 실시예의 역과정을 수행할 수 있다.

[766] 도 54에 도시된 본 발명의 제 4 실시예에 따른 BICM 디코더는 도 53에서 설명한 본 발명의 제 4 실시예에 따른 BICM 디코더와 거의 동일하나, 제 2 BICM 디코딩 블록(632200)에 포함된 MIMO 디코더(632220)가 제 1 셀

디인터리버(632210-1) 및 제 2 셀 디인터리버(632210-2)의 후단에 있는 위치하고 있는 점이 다르다.

[767] 상술한 바와 같이, 제 4 실시예에 따른 BICM 디코더의 또 다른 실시예의 경우, 심볼 단위로 타임 디인터리빙과 셀 디인터리빙을 모두 수행한 이후에 MISO/MIMO 디코딩을 수행하므로 방송 신호 수신기의 메모리 복잡도가 감소하는 효과를 얻을 수 있다.

[768]

[769] 본 발명의 목적은 로우어 코드 레이트의 LDPC를 방송/통신 시스템에 적용할 때 최적의 성능을 얻을 수 있도록 하는 방송 송/수신기 및 방송 신호 송/수신 방법을 제공함에 있다.

[770] 이하에서는, 상술한 BICM 인코더에 포함되는 디멀티플렉서에 대한 실시예를 설명하도록 한다.

[771] 본 발명의 일 실시예에 따른 디멀티플레서의 목적은 로우어 코드 레이트(lower code rate)의 LDPC 코드워드를 심볼에 매핑시킬 때 최적의 성능을 얻을 수 있도록 송신측에서 데이터를 디먹싱하고, 수신측에서 먹싱하는데 있다. 디멀티플렉서는 LDPC 인코딩에 의해 발생하는 신뢰도(reliability)의 분포를 적절히 배치하여 LDPC의 에러 정정 능력을 최적화하기 위해 사용된다.

[772] LDPC 코딩은 정보 유실 확률을 최소한으로 줄여 정보를 전송하기 위한 오류 정정 부호 방법의 하나로 선형 에러 정정 코드(linear error correcting code)이다. LDPC 블록은 N, K로 표현되는 파라미터들로 표현될 수 있는데, 여기서 N은 블록 길이(# 비트)를 나타내고, K는 하나의 LDPC 블록에 포함된 인코딩된 정보 비트의 개수를 나타낸다. 하나의 LDPC 블록이 전송할 수 있는 데이터 양은 LDPC 패리티 영역의 크기 및 코드 레이트에 따라 결정될 수 있다.

[773] 본 발명에서 적용할 수 있는 코드 레이트는 1/4, 2/5, 3/5, 1/2, 4/5, 1/3, 2/3, 3/4, 5/6 중 하나가 될 수 있다. 그리고 LDPC 블록의 길이는 16200 비트(또는 16K라 함), 64800 비트(또는 64K라 함) 중 하나가 될 수 있다.

[774] 즉, FEC 인코더에서 출력되는 LDPC 코드워드 비트는 비트 인터리버에 입력되고, 비트 인터리버는 입력되는 LDPC 코드워드 비트에 대해 LDPC 블록 내에서 비트 단위의 인터리빙을 수행하여 디먹스로 출력한다. 상기 디먹스는 비트 인터리브되어 입력되는 LDPC 코드워드 비트 스트림을 다수개의 비트 스트림으로 분리한다. 예를 들어, LDPC 블록 길이가 16800이고, 심볼 매핑에 이용될 변조 포맷(modulation format)이 QPSK이면 2개, 16QAM이면 8개, 64QAM이면 12개, 256QAM이면 8개의 비트 스트림으로 분리한다. 즉, LDPC 블록 길이가 16800이고, 심볼 매핑에 이용될 변조 포맷이 QPSK이면 서브스트림(sub-streams)의 개수는 2개, 16QAM이면 8개, 64QAM이면 12개, 256QAM이면 8개가 된다. 만일 256QAM이면 8개의 비트가 한 비트 그룹이 된다.

[775] 이때 디먹스에서 출력되는 순서는 기 설정된 조건 또는 신뢰도 배치 방법에 따라 달라질 수 있다. 즉, 해당 비트 그룹이 QAM 심볼에 매핑되었을 때 나타나는

신뢰도의 배치에 따라 상기 디멀티플렉서에서 출력되는 비트의 순서가 달라진다.

[776] 도 55의 (a) 내지 (e)는 LDPC 블록 길이가 16800이고, 심볼 매핑에 이용될 변조 포맷이 256QAM일 때, 각 코드 레이트에 따른 디멀티플렉서의 출력 순서의 실시예들을 보이고 있다. 변조 포맷이 256QAM인 경우, 8비트의 단위가 하나의 심볼로 매핑된다.

[777] 도 55의 (a)는 코드 레이트가 1/4일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 55의 (a)와 같은 디먹스 방법을 256QAM의 타입 1-1이라 하기로 한다. 즉, 타입 1-1의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7의 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 5,3,2,7,1,6,4,0의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 C,B,B,D,A,D,C,A의 신뢰도 배열을 얻게 된다. A,B,C,D는 디멀티플렉서에서 출력되는 해당 비트 그룹의 비트들이 QAM 심볼에 매핑되었을 때 신뢰도를 나타낸다. 여기서 신뢰도는 A>B>C>D의 순으로 높다.

[778] 도 55의 (b)는 코드 레이트가 2/5, 3/5일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 2의 (b)와 같은 디먹스 방법을 256QAM의 타입 1-2이라 하기로 한다. 즉, 타입 1-2의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7의 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 5,1,0,7,3,6,4,2의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 C,A,A,D,B,D,C,B의 신뢰도 배열을 얻게 된다.

[779] 도 55의 (c)는 코드 레이트가 1/2일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 55의 (c)와 같은 디먹스 방법을 256QAM의 타입 1-3이라 하기로 한다. 즉, 타입 1-3의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7의 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 7,3,1,6,5,2,4,0의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 D,B,A,D,C,B,C,A의 신뢰도 배열을 얻게 된다.

[780] 도 55의 (d)는 코드 레이트가 4/5일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 55의 (d)와 같은 디먹스 방법을 256QAM의 타입 1-4이라 하기로 한다. 즉, 타입 1-4의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7의 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 3,2,1,5,7,6,4,0의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 B,B,A,C,D,D,C,A의 신뢰도 배열을 얻게 된다.

[781] 도 55의 (e)는 코드 레이트가 1/3,2/3,3/4,5/6일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 55의 (e)와 같은 디먹스 방법을 256QAM의 타입

1-5이라 하기로 한다. 즉, 타입 1-5의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7의 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 7,3,1,5,2,6,4,0의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 D,B,A,C,B,D,C,A의 신뢰도 배열을 얻게 된다.

[782] 도 56은 도 55의 디먹스 타입에 따라 디멀티플렉서의 입력 비트와 출력 비트와의 매핑 관계를 보인 예이다.

[783] 256QAM의 경우, 하나의 QAM 심볼에는 8개의 비트가 매핑된다. 이때 QAM 심볼 비트에 해당하는 (b0, b1, b2, b3, b4, b5, b6, b7) 중 비트 b0, b2, b4, b6은 실수부의 부호와 크기를 결정하며, b1, b3, b5, b7은 허수부의 부호와 크기를 결정한다. 즉, b0와 b1는 각각 실수부와 허수부의 부호를 결정하며, b2, b3, b4, b5, b6, b7은 각각 실수부와 허수부의 크기를 결정한다. 그리고 변조된 심볼의 크기를 판별하는 것보다 부호를 판별하는 것이 더 용이하기 때문에 MSB에 위치한 2개의 비트인, b0와 b1의 신뢰도가 가장 좋고, LSB에 위치한 2개의 비트인, b6와 b7의 신뢰도에 가장 나쁘다.

[784] 만일 디멀티플렉서가 256QAM의 타입 1-1과 같이 동작하면, 디멀티플렉서에서의 비트 재배열을 통해 심볼 맵퍼에서는 하나의 서브 스트림 내 마지막 비트(v7)가 실수부의 부호 비트(b0,0)에 할당되고, 5번째 비트(v4)가 허수부의 부호 비트(b1,0)에 할당된다. 그리고 3번째, 7번째, 6번째 비트(v2,v6,v5)는 실수부의 크기 비트(b2,0,b4,0,b6,0)에 순차적으로 할당되고, 2번째, 1번째, 4번째 비트(v1,v0,v3)는 허수부의 크기 비트(b3,0,b5,0,b7,0)에 순차적으로 할당된다.

[785] 나머지 타입 즉, 타입 1-2 내지 타입 1-5의 매핑 방식은 전술한 타입 1-1의 설명을 참조하면 되므로, 여기서는 상세 설명을 생략하기로 한다.

[786] 도 57의 (a) 내지 (c)는 LDPC 블록 길이가 16800이고, 심볼 매핑에 이용될 변조 포맷이 256QAM일 때, 각 코드 레이트에 따른 디멀티플렉서의 출력 순서의 다른 실시예들을 보이고 있다.

[787] 도 57의 (a)는 코드 레이트가 1/4, 1/3, 2/5, 3/5일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 57의 (a)와 같은 디먹스 방법을 256QAM의 타입 2-1이라 하기로 한다. 즉, 타입 2-1의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7의 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 5,1,3,7,0,6,4,2의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 C,A,B,D,A,D,C,B의 신뢰도 배열을 얻게 된다.

[788] 도 57의 (b)는 코드 레이트가 1/2, 2/3, 4/5일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 57의 (b)와 같은 디먹스 방법을 256QAM의 타입 2-2이라 하기로 한다. 즉, 타입 2-2의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7의 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는

7,3,1,6,2,5,4,0의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 D,B,A,D,B,C,C,A의 신뢰도 배열을 얻게 된다.

[789] 도 57의 (c)는 코드 레이트가 1/4, 1/3, 2/3, 4/5, 3/4, 5/6일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 57의 (c)와 같은 디먹스 방법을 256QAM의 타입 2-3이라 하기로 한다. 즉, 타입 2-3의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7의 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 7,3,1,5,2,6,4,0의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, 하나의 LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 D,B,A,C,B,D,C,A의 신뢰도 배열을 얻게 된다.

[790] 도 57에서, 코드 레이트 1/4, 1/3의 경우는 타입 2-1 또는 타입 2-3의 디멀티플렉서를 모두 사용할 수 있다. 마찬가지로, 코드 레이트 2/3, 4/5의 경우는 타입 2-2 또는 타입 2-3의 디멀티플렉서를 모두 사용할 수 있다.

[791] 또한 도 57와 같이 신뢰도 배치를 수행하면, 도 55에 비해 디멀티플렉서의 개수를 줄일 수 있으므로, 시스템의 복잡도를 줄일 수 있다.

[792] 도 58은 도 57의 디먹스 타입에 따라 디멀티플렉서의 입력 비트와 출력 비트와의 매핑 관계를 보인 예이다.

[793] 만일 디멀티플렉서가 256QAM의 타입 2-1과 같이 동작하면, 디멀티플렉서의 비트 재배열을 통해 심볼 맵퍼에서는 하나의 서브 스트림 내 5번 비트(v4)가 실수부의 부호 비트(b0,0)에 할당되고, 2번째 비트(v1)가 허수부의 부호 비트(b1,0)에 할당된다. 그리고 8번째, 7번째, 6번째 비트(v7,v6,v5)는 실수부의 크기 비트(b2,0,b4,0,b6,0)에 순차적으로 할당되고, 3번째, 1번째, 4번째 비트(v2,v0,v3)는 허수부의 크기 비트(b3,0,b5,0,b7,0)에 순차적으로 할당된다.

[794] 나머지 타입 즉, 타입 2-2, 타입 2-3의 매핑 방식은 전술한 타입 2-1의 설명을 참조하면 되므로, 여기서는 상세 설명을 생략하기로 한다.

[795] 도 59의 (a) 내지 (c)는 LDPC 블록 길이가 16800이고, 심볼 매핑에 이용될 변조 포맷이 256QAM일 때, 각 코드 레이트에 따른 디멀티플렉서의 출력 순서의 또 다른 실시예들을 보이고 있다.

[796] 도 59의 (a)는 코드 레이트가 2/5, 3/5일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 59의 (a)와 같은 디먹스 방법을 256QAM의 타입 3-1이라 하기로 한다. 즉, 타입 3-1의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7의 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 5,1,0,7,3,6,4,2의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 C,A,A,D,B,D,C,B의 신뢰도 배열을 얻게 된다.

[797] 도 59의 (b)는 코드 레이트가 1/2일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 59의 (b)와 같은 디먹스 방법을 256QAM의 타입 3-2이라

하기로 한다. 즉, 타입 3-2의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7의 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 7,3,1,6,5,2,4,0의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 D,B,A,D,C,B,C,A의 신뢰도 배열을 얻게 된다.

[798] 도 59의 (c)는 코드 레이트가 1/4, 1/3, 2/3, 4/5, 3/4, 5/6일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 59의 (c)와 같은 디먹스 방법을 256QAM의 타입 3-3이라 하기로 한다. 타입 3-3는 타입 2-3과 동일한 방식으로 디멀티플렉성을 수행한다. 따라서 타입 3-3은 타입 2-3이라 하기도 한다.

[799] 도 59과 같이 신뢰도 배치를 수행하면, 도 2에 비해 디멀티플렉서의 개수를 줄일 수 있으므로, 시스템의 복잡도를 줄일 수 있다.

[800] 도 60의 (a) 내지 (c)는 LDPC 블록 길이가 16800이고, 심볼 매핑에 이용될 변조 포맷이 64QAM일 때, 각 코드 레이트에 따른 디멀티플렉서의 출력 순서의 실시예들을 보이고 있다. 변조 포맷이 64QAM인 경우, 6비트의 단위가 하나의 심볼로 매핑된다.

[801] 도 60의 (a)는 코드 레이트가 2/5, 3/5일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 60의 (a)와 같은 디먹스 방법을 64QAM의 타입 2-1이라 하기로 한다. 즉, 64QAM의 타입 2-1의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7,8,9,10,11 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 5,6,1,7,9,11,3,8,10,4,2,0의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 C,A,A,A,B,C,B,B,C,C,B,A의 신뢰도 배열을 얻게 된다. 여기서 신뢰도는 A>B>C>D의 순으로 높다.

[802] 도 60의 (b)는 코드 레이트가 1/2일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 60의 (b)와 같은 디먹스 방법을 64QAM의 타입 2-2이라 하기로 한다. 즉, 64QAM의 타입 2-2의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7,8,9,10,11 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 5,11,7,1,8,10,4,9,6,2,3,0의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 C,C,A,A,B,C,C,B,A,B,B,A의 신뢰도 배열을 얻게 된다.

[803] 도 60의 (c)는 코드 레이트가 1/4,1/3,2/3,4/5,3/4,5/6일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 60의 (c)와 같은 디먹스 방법을 64QAM의 타입 2-3이라 하기로 한다. 즉, 64QAM의 타입 2-3의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7,8,9,10,11 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 11,7,3,10,6,2,9,5,1,8,4,0의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지

C,A,B,C,A,B,B,C,A,B,C,A의 신뢰도 배열을 얻게 된다.

[804] 도 61의 (a),(b)는 LDPC 블록 길이가 16800이고, 심볼 매핑에 이용될 변조 포맷이 16QAM일 때, 각 코드 레이트에 따른 디멀티플렉서의 출력 순서의 실시예들을 보이고 있다.

[805] 도 61의 (a)는 코드 레이트가 1/2일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 61의 (a)와 같은 디먹스 방법을 16QAM의 타입 2-2이라 하기로 한다. 즉, 타입 2-2의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7의 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 3,1,5,7,6,4,2,0의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 B,A,A,B,B,A,B,A의 신뢰도 배열을 얻게 된다.

[806] 도 61의 (b)는 코드 레이트가 1/4, 1/3, 2/5, 3/5, 2/3, 4/5, 3/4, 5/6일 때, 디멀티플렉서의 출력 순서를 보이고 있으며, 본 발명은 도 61의 (b)와 같은 디먹스 방법을 16QAM의 타입 2-3이라 하기로 한다. 즉, 타입 2-3의 경우, 비트 인터리브된 입력 비트가 0,1,2,3,4,5,6,7의 순서로 디멀티플렉서로 입력되면, 디멀티플렉서에서는 7,1,4,2,5,3,6,0의 순서로 출력된다. 상기 디멀티플렉서에서 출력되는 순서대로 심볼 맵퍼에서 심볼 매핑을 수행한다. 이 경우, LDPC 코드워드의 첫번째 비트부터 마지막 비트까지 B,A,A,B,A,B,B,A의 신뢰도 배열을 얻게 된다.

[807] 이상에서 설명한 바와 같이 디먹스 타입은 예를 들어 심볼 매핑 방식이나 에러 정정 부호화의 코드 레이트에 따라 달라질 수 있다. 바꾸어 말하면, 예시한 심볼 매핑 방식, 코드 레이트, 신뢰도 배치에 따라 다른 디먹스 타입이 사용될 수 있다.

[808] 그리고, 같은 신뢰도를 갖는 비트 포지션(bit position)끼리는 그 순서가 바뀌어도 동일한 효과를 얻을 수 있다. 따라서 도 55 내지 도 61의 신뢰도 배치를 만족한다면, 어떠한 비트들의 배열이라 하더라도 본 발명의 디멀티플렉서 구조에 포함된다.

[809] 상기와 같이 디멀티플렉서에서 변조 포맷 및 코드 레이트에 따라 비트 재배열이 수행되고, 심볼 맵퍼에서 변조 포맷에 따라 심볼 매핑이 이루어진 후 전송된 신호는 수신기의 멀티플렉서에서 LDPC 코드워드의 원래 배열을 획득하여 LDPC 디코더로 출력한다.

[810] 이렇게 함으로써, 새로운 서비스 예를 들어, 모바일 서비스나 인도어(indoor) 영역 같은 보다 신호가 약한 곳에서의 서비스를 위한 로우어 코드 레이트(lower code rate)에서도 최적의 LDPC의 에러 정정 성능을 얻을 수 있게 된다. 즉, 도 55 내지 도 61과 같은 신뢰도 배치를 통해 LDPC 코드워드의 비트 재배열 및 심볼 매핑을 수행함으로써, 기존 방송/통신 시스템과 공통성(commonality)를 확보하면서 향상된 로버스트니스(robustness)를 얻을 수 있다.

[811]

[812] 이하에서는 도 33에서 설명한 본 발명의 제 1 실시예 및 제 2 실시예에 따른

방송 신호 송신기에 포함된 페어-와이즈 셀 맵퍼(605120,605220)가 PLP 데이터 및 L1-시그널링 데이터를 페어로 묶어 OFDM 심볼내에 셀 맵핑하는 경우, 프레임 내 셀 매핑 구조에 대해 설명한다. 또한 이에 대응하여 도 37에서 설명한 본 발명의 제 1 실시예 및 제 2 실시예에 따른 방송 신호 수신기에 포함된 페어-와이즈 셀 디맵퍼(611120,611220)의 동작에 관하여 설명한다. 상술한 바와 같이, 이러한 프레임 구조를 이용하는 방송 신호 송수신 시스템에서는 MISO 신호 복구할 때 서로 다른 안테나로부터 수신되는 채널간의 코히어런스를 최대화하는 효과를 얻을 수 있다.

[813] 도 62는 본 발명에 따른 프레임 내 셀 매핑 구조를 나타낸 도면이다.

[814] 본 발명에 따른 프레임은 P1 심볼 영역(635100), P2 심볼 영역(635200) 및 데이터 심볼 영역(635300)을 포함할 수 있다. 도면에는 도시되어 있지 않으나 본 발명에 따른 프레임은 도 3에서 설명한 AP1 심볼을 더 포함할 수 있다. 프레임의 세로 축은 주파수 도메인을, 가로 축은 시간 도메인을 나타낸다. 이하 각 영역에 대해 살펴본다.

[815] 도 3에서 설명한 바와 같이, P1 심볼 영역(635100)은 프레임의 시작에 위치하며 P1 시그널링 정보를 전송할 수 있다.

[816] P2 심볼 영역(635200)은 프레임 내에서 P1 심볼 바로 다음에 위치할 수 있으며, L1-프리 시그널링 데이터 또는 타입 1 PLP 데이터를 전송할 수 있다. P2 심볼 영역(635200)은 복수개의 P2 심볼을 포함할 수 있으며, 복수개의 P2 심볼은 데이터 심볼과 같은 FFT 사이즈, 가드 인터벌(guard interval)을 가질 수 있다. 또한 P2 심볼의 개수는 FFT 사이즈에 의해 결정된다.

[817] 본 발명에서는 P1 심볼 영역(635100)과 P2 심볼 영역(635200)을 프리앰블이라 호칭할 수 있다. 또한 본 발명에서는 P1 심볼 영역(635100), AP1 심볼 영역, P2 심볼 영역(635200) 및 커먼 PLP 데이터 영역을 통칭하여 프리앰블이라 호칭할 수 있으며 이는 설계자의 의도에 따라 변경 가능한 사항이다.

[818] 데이터 심볼 영역(635300)은 프레임 내에서 P2 심볼 영역(635200) 다음에 위치할 수 있으며, 복수개의 데이터 심볼들을 포함할 수 있다. 복수개의 데이터 심볼들은 L1-포스트 시그널링 데이터, 타입 1 PLP 데이터, 타입 2 PLP 데이터, 보조 스트림 및 더미 데이터를 전송할 수 있다. 따라서 타입 1 PLP 데이터는 P2 심볼 영역(635200) 및 데이터 심볼 영역(635300)을 통해 전송될 수 있으며, 타입 2 PLP 데이터는 데이터 심볼 영역(635300)을 통해서만 전송될 수 있다.

[819] 도 33에서 설명한 바와 같이, 본 발명의 제 1 실시예 및 제 2 실시예에 따른 페어-와이즈 셀 맵퍼는 복수개의 경로를 통해 입력된 PLP 데이터 및 L1-시그널링 데이터를 프레임 내 OFDM 심볼의 서브 케리어에 셀 단위로 매핑할 수 있다.

[820] 이 경우 페어-와이즈 셀 맵퍼는 연속된 2개의 입력 셀들을 페어(pair)로 묶어 하나의 매핑 단위로 처리하여 매핑을 수행할 수 있다.

[821] 구체적으로 살펴보면 도 62에 도시된 바와 같이, L1-프리 시그널링 데이터를

포함하는 연속한 2개의 셀들(635211)은 하나의 매핑 단위로 P2 심볼(635210)내에 매핑될 수 있다. 또한 타입 1 PLP 데이터를 포함하는 연속한 2개의 셀들(635212)은 하나의 매핑 단위로 동일한 P2 심볼(635210)내에 매핑될 수 있다.

[822] 또한 데이터 심볼 영역(635300)에 포함된 데이터 심볼(635310)에 도시된 바와 같이, L1-포스트 시그널링 데이터는 세로축인 주파수 영역에서 살펴보면 주파수 다이버시티 게인을 얻기 위해 스프레딩된 형태로 매핑될 수 있다. 이 경우 L1-포스트 시그널링 데이터를 포함하는 연속하는 2개의 셀들(635311)은 하나의 매핑 단위로 데이터 심볼(635310)에 매핑될 수 있다. 본 발명에 따른 페어-와이즈 셀 맵퍼의 매핑 방법은 L1-포스트 시그널링 데이터의 스프레딩 방법과 상호 영향을 미치지 않는다.

[823] 따라서 페어-와이즈 셀 맵퍼가 연속한 2개의 셀을 페어로 하여 하나의 매핑 단위로 매핑하기기 위해서는, 프레임에 포함되는 셀의 전체 개수는 짝수가 되어야 한다. 이 경우, 페어-와이즈 셀 맵퍼는 연속한 2개 이상의 짝수개의 셀들을 하나의 매핑 단위로 매핑할 수 있으며, 방송 신호 송신기는 이와 관련된 시그널링 정보를 전송할 수 있다.

[824] 한편, 도 37에서 설명한 본 발명의 제 1 실시예 및 제 2 실시예에 따른 방송 신호 수신기에 포함된 페어-와이즈 셀 디맵퍼는 도 62에 도시된 프레임을 수신하고 P2 심볼 영역(635200)내의 L1-프리 시그널링 데이터를 전송하는 연속한 2개의 셀들(635210)을 하나의 디매핑 단위로 처리하여 추출할 수 있다. 또한 데이터 심볼 영역(635300)내에 스프레딩되어 매핑된 L1-포스트 시그널링 데이터를 전송하는 연속한 2개의 셀들(635310)을 하나의 디매핑 단위로 처리하여 추출할 수 있다. 추출된 시그널링 정보는 시그널링 디코더로 출력된다.

[825] 또한 페어-와이즈 셀 디맵퍼는 사용자가 선택한 서비스에 해당하는 PLP 데이터를 전송하는 연속하는 2개의 셀들(635212)를 하나의 디매핑 단위로 처리하여 추출하고, 디코더로 출력할 수 있다.

[826] 이 경우, 페어-와이즈 셀 디맵퍼는 시그널링 정보를 이용하여, 연속한 2개 이상의 짝수개의 셀들을 하나의 디매핑 단위로 처리할 수 있다.

[827]

[828] 이하에서는 본 발명의 제 1 실시예 및 제 2 실시예에 따른 페어-와이즈 주파수 인터리버(605130,605230)에서 셀 단위로 주파수 인터리빙을 수행하는 과정에 대해 설명한다. 또한 이에 대응하여 본 발명의 제 1 실시예 및 제 2 실시예에 따른 방송 신호 수신기에 포함된 페어-와이즈 주파수 디인터리버(611110,611210)의 동작에 관하여 설명한다.

[829] 도 63은 본 발명에 따른 페어-와이즈 주파수 인터리버의 인터리빙 수행과정을 나타낸 도면이다.

[830] 도 63에 도시된 페어-와이즈 주파수 인터리버(636100)는 도 33에서 설명한 본 발명의 제 1 실시예 및 제 2 실시예에 따른 페어-와이즈 주파수 인터리버(605130,605230)의 일 실시예이다.

[831] 페어-와이즈 주파수 인터리버(636100)는 프레임에 매핑된 데이터에 대해 셀 단위로 주파수 인터리빙을 수행하고 주파수 인터리빙 된 데이터를 OFDM 제너레이터로 출력할 수 있다. 도 63에 도시된 프레임의 가로축은 주파수 영역을 나타내며, 본 발명에 따른 페어-와이즈 주파수 인터리버(636100)는 1K FFT mode 크기의 인터리버인 것을 일 실시예로 할 수 있다.

[832] 이 경우 페어-와이즈 주파수 인터리버(636100)는 연속된 2개의 셀들을 하나의 인터리빙 단위로 처리하여 주파수 인터리빙을 수행할 수 있다. 이 경우, 페어-와이즈 주파수 인터리버(636100)는 연속한 2개 이상의 짝수개의 셀들을 하나의 인터리빙 단위로 처리하여 주파수 인터리빙을 수행할 수 있으며, 방송 신호 송신기는 이와 관련된 시그널링 정보를 전송할 수 있다.

[833] 이하 인터리빙의 과정을 구체적으로 살펴본다.

[834] 도 63에 도시된 바와 같이, 페어-와이즈 셀 맵퍼에 의해 프레임 내 매핑된 연속한 2개의 셀(636200)이 페어-와이즈 주파수 인터리버(636100)로 입력되면, 페어-와이즈 주파수 인터리버(636100)는 연속한 2개의 셀(636200)을 인터리빙 단위로 하여 인터리빙을 수행할 수 있다. 따라서 연속한 2개의 셀(636200)은 페어를 유지한 채로 프레임 내에서 위치만 변동될 수 있다.

[835] 다른 연속한 2개의 셀들(636300,636400,636500,636600)도 페어-와이즈 주파수 인터리버(636100)에 입력되어 인터리빙되는 경우 페어를 유지한 채로 프레임 내에서 위치만 변동됨을 알 수 있다.

[836] 따라서 하나의 인터리빙 단위로 처리되는 연속한 2개의 셀들은 동일한 PLP 데이터를 전송하므로, 수신단의 채널간 코히어런스(coherence)는 최대가 될 수 있다. 다만, 도 63에 도시된 페어로 묶인 연속한 2개의 셀들(636200,636300,636400,636500 및 636600)은 서로 다른 PLP 데이터 또는 시그널링 데이터를 포함할 수 있다.

[837]

[838] 도 64는 본 발명에 따른 페어-와이즈 주파수 디인터리버의 디인터리빙 수행과정을 나타낸 도면이다.

[839] 도 64에 도시된 페어-와이즈 주파수 디인터리버(637100)는 도 37에서 설명한 본 발명의 제 1 실시예 및 제 2 실시예에 따른 페어-와이즈 주파수 디인터리버(611110,611210)의 일 실시예이다.

[840] 페어-와이즈 주파수 디인터리버(637100)는 프레임에 매핑된 데이터에 대해 셀 단위로 주파수 디 인터리빙을 수행하고 주파수 디인터리빙된 데이터를 셀 디맵퍼로 출력할 수 있다. 도 64에 도시된 프레임의 가로축은 주파수 영역을 나타내며, 본 발명에 따른 페어-와이즈 주파수 디인터리버(637100)는 1K FFT mode 크기의 디인터리버인 것을 일 실시예로 할 수 있다.

[841] 도 64에 도시된 페어-와이즈 주파수 디인터리버(637100)는 도 63에서 설명한 페어-와이즈 주파수 인터리버(636100)의 역과정을 수행할 수 있다.

[842] 따라서, 프레임 내 매핑된 연속한 2개의 셀(637200)이 페어-와이즈 주파수

디인터리버(637100)로 입력되면, 페어-와이즈 주파수 디인터리버(637100)는 연속한 2개의 셀(637200)을 디인터리빙 단위로 처리하여 디인터리빙을 수행할 수 있다. 따라서 연속한 2개의 셀(637200)은 페어를 유지한 채로 프레임 내의 원래 위치로 복원될 수 있다.

[843] 이 경우, 페어-와이즈 주파수 디인터리버(637100)는 시그널링 정보를 이용하여, 연속한 2개 이상의 짝수개의 셀들을 하나의 디매핑 단위로 처리할 수 있다.

[844]

[845] 도 65는 본 발명의 제 1 실시예 및 제 2 실시예에 따른 프레임 내 셀 매핑 구조의 일 실시예를 나타낸 도면이다.

[846] 도 32 및 도 35에서 설명한 바와 같이 본 발명의 제 1 실시예 및 제 2 실시예에 따른 방송 신호 송신기의 BICM 인코더는 PLP 데이터마다 독립적으로 MISO/MIMO 인코딩을 수행할 수 있다. 이후 도 33에서 설명한 바와 같이, 본 발명의 제 1 실시예 및 제 2 실시예에 따른 방송 신호 송신기의 셀 맵퍼는 MISO 인코딩 된 MISO PLP 데이터, L1-시그널링 데이터, MIMO 인코딩된 MIMO PLP 데이터를 프레임내 OFDM 심볼의 서브 케리어에 셀 단위로 매핑할 수 있다. 이 경우 설계자의 의도에 따라 연속된 2개의 셀을 하나의 페어로 묶어 매핑할 수도 있다.

[847] 이하 본 발명에 따른 프레임 내 셀 매핑 구조에 대해 설명한다.

[848] 본 발명에 따른 프레임은 P1 심볼 영역(638100), AP1 심볼 영역(638200), P2 심볼 영역(638300) 및 데이터 심볼 영역(638400)을 포함할 수 있다. 프레임의 세로 축은 주파수 도메인, 가로축은 시간 도메인을 의미한다.

[849] P1 심볼 영역(638100)은 프레임의 시작에 위치하며 P1 시그널링 정보를 전송할 수 있다.

[850] AP1 심볼 영역(638200)은 프레임 내에서 P1 심볼 영역(638100) 다음에 위치하며, AP1 시그널링 정보를 전송할 수 있다. 즉, P1 심볼과 AP1 심볼은 프레임 내에서 연속적으로 전송될 수 있다. 또한 P1 심볼과 AP1 심볼은 하나의 프레임 내에서 비연속적으로 전송 될 수 있다.

[851] P2 심볼 영역(638300)은 프레임 내에서 AP1 심볼 영역(638200) 바로 다음에 위치할 수 있으며, MISO 인코딩된 L1-시그널링 데이터를 전송할 수 있다.

[852] L1-시그널링 데이터는 L1-프리 시그널링 데이터 및 L1-포스트 시그널링 데이터를 포함할 수 있다. L1- 프리 시그널링 데이터는 L1-포스트 시그널링 정보를 디코딩하는데 필요한 정보를 포함할 수 있으며, L1-포스트 시그널링 정보는 전송부에서 전송하는 데이터를 수신부에서 복구하는데 필요한 정보들을 포함할 수 있다. 또한 P2 심볼 영역(638200)은 복수개의 P2 심볼을 포함할 수 있으며, 복수개의 P2 심볼은 데이터 심볼과 같은 FFT 사이즈, 가드 인터벌(guard interval)을 가질 수 있다. 또한 P2 심볼의 개수는 FFT 사이즈에 의해 결정된다.

[853] 본 발명에서는 P1 심볼 영역(638100), AP1 심볼 영역(638200) 및 P2 심볼 영역(638300)을 프리앰블이라 호칭할 수 있다.

[854] 데이터 심볼 영역(638400)은 PLP 데이터 및 시그널링 데이터를 전송할 수 있으며, 프레임 내에서 P2 심볼 영역(638300) 다음에 위치할 수 있다. 또한 데이터 심볼 영역(638400)은 커먼 PLP 영역(638500), L1-시그널링 영역(638600), MISO PLP 영역(638700) 및 MIMO PLP 영역(638800)을 포함할 수 있다. 이하 각 영역에 대해 구체적으로 살펴본다.

[855] 커먼 PLP 영역(638500)은 MISO 인코딩된 커먼 PLP 데이터를 전송할 수 있다. 커먼 PLP 데이터는 도 3에서 설명한 바와 동일하므로 구체적인 설명은 생략한다.

[856] L1-시그널링 영역(638600)은 MISO 인코딩된 L1-시그널링 데이터를 전송할 수 있다. 이 경우, L1-시그널링 데이터는 현재 프레임에 관한 정보 또는 향후 전송될 다음 프레임에 관한 정보를 포함할 수 있으며, 데이터 영역(638400)내의 모든 OFDM 심볼에 스프레딩되어 매핑될 수 있다. 따라서 시간 도메인에서 풀 시간 다이버시티 게인을 얻을 수 있다.

[857] MISO PLP 영역(638700)은 MISO 인코딩된 MISO PLP 데이터를 전송할 수 있다. MISO PLP 영역(638700)은 프레임당 하나의 서브 슬라이스에 의해 전송되는 타입 1 MISO PLP 데이터를 전송하는 제 1 MISO PLP 영역(638710)과 복수개의 서브 슬라이스에 의해 전송되는 타입 2 MISO PLP 데이터, 보조 스트림 및 더미데이터를 전송하는 제 2 MISO PLP 영역(638720)을 포함할 수 있다.

[858] MIMO PLP 영역(638800)은 MIMO 인코딩된 MIMO PLP 데이터를 전송할 수 있다. MIMO PLP 영역(638800)은 프레임당 하나의 서브 슬라이스에 의해 전송되는 타입 1 MIMO PLP 데이터를 전송하는 제 1 MIMO PLP 영역(638810)과 복수개의 서브 슬라이스에 의해 전송되는 타입 2 MIMO PLP 데이터, 보조 스트림 및 더미데이터를 전송하는 제 2 MIMO PLP 영역(638820)을 포함할 수 있다.

[859] 따라서 본 발명에 따른 프레임의 시간 도메인에서는, MISO PLP 데이터 및 MIMO PLP 데이터는 데이터 심볼 영역(638400)영역내의 모든 OFDM 심볼에 스프레딩 되어 전송되므로, 프레임 전체에 대해 시간 다이버시티 게인을 얻을 수 있다.

[860] 하지만 본 발명에 따른 프레임의 주파수 도메인에서는, MISO PLP 데이터 및 MIMO PLP 데이터는 하나의 OFDM 심볼 구간내에서 각각 MISO PLP 영역(638700)과 MIMO PLP 영역(638800)을 통해 전송되므로 제한된 주파수 다이버시티 게인을 얻을 수 있다.

[861] 이하에서는 상술한 프레임을 수신하는 방송 신호 수신기의 동작에 대해 살펴본다.

[862] 도 37에서 설명한 바와 같이, 본 발명의 제 1 실시예 및 제 2 실시예에 따른 방송 신호 수신기의 셀 디맵퍼는 프레임내의 P2 심볼 영역(638300)으로부터 현재 프레임에 대한 L1-시그널링 정보를 추출하고, 데이터 심볼 영역(638400)의 L1-시그널링 영역(638600)으로부터 향후 수신할 다음 프레임에 대한

L1-시그널링 정보를 추출하여 BICM 디코더로 출력할 수 있다.

[863] 또한 셀 디맵퍼는 데이터 심볼 영역(638400)으로부터 사용자에 의해 선택된 서비스 데이터를 전송하는 해당 PLP 데이터를 추출하여 BICM 디코더로 출력할 수 있다. 이 경우 필요하다면 커먼 PLP 영역(638500)으로부터 커먼 PLP 데이터를 추출하여 함께 BICM 디코더로 출력할 수 있다.

[864]

[865] 도 66은 본 발명의 제 3 실시예 및 제 4 실시예에 따른 프레임 내 셀 매핑 구조의 일 실시예를 나타낸 도면이다.

[866] 도 44에서 설명한 바와 같이, 본 발명의 제 3 실시예에 따른 방송 신호 송신기의 OFDM 제너레이터는 MISO 프로세싱을 수행할 MISO PLP 데이터 및 L1-시그널링 데이터에 대해 MISO 인코딩을 수행하고, MIMO 프로세싱을 수행할 MIMO PLP 데이터에 대해 MIMO 인코딩을 수행할 수 있다.

[867] 또한 도 45 및 도 46에서 설명한 바와 같이, 본 발명의 제 4 실시예에 따른 방송 신호 송신기의 BICM 인코더는 MIMO 프로세싱을 수행할 MIMO PLP 데이터에 대해서 MIMO 인코딩을 수행하여 출력할 수 있으며, 도 47에서 설명한 바와 같이, OFDM 제너레이터는 MISO 프로세싱이 수행될 MISO PLP 데이터 및 L1-시그널링 데이터에 대해 MISO 인코딩을 수행할 수 있다.

[868] 따라서 셀 맵퍼는 제 3 실시예에 따라 MISO 인코딩이 수행될 MISO PLP 데이터 및 시그널링 데이터와 MIMO 인코딩이 수행될 MIMO PLP 데이터 또는, 제 4 실시예에 따라 MISO 인코딩이 수행될 MISO PLP 데이터 및 L1-시그널링 데이터와 MIMO 인코딩된 MIMO PLP 데이터를 프레임내 OFDM 심볼의 서브 케리어에 셀 단위로 매핑할 수 있다. 또한 OFDM 제너레이터는 OFDM 심볼 단위로 MISO/MIMO 인코딩을 수행할 수 있으므로, 셀 맵퍼는 MISO PLP 데이터와 MIMO PLP 데이터를 하나의 OFDM 심볼 내에 함께 매핑하지 않는다.

[869] 이하 본 발명에 따른 프레임 내 셀 매핑 구조에 대해 설명한다.

[870] 본 발명에 따른 프레임은 도 65에서 설명한 바와 같이, P1 심볼 영역(639100), AP1 심볼 영역(639200), P2 심볼 영역(639300) 및 데이터 심볼 영역(639400)을 포함할 수 있다. 프레임의 세로 축은 주파수 도메인, 가로축은 시간 도메인을 의미한다. 이하 도 65에서 설명한 영역과 동일한 영역에 대한 설명은 생략한다.

[871] 데이터 심볼 영역(639400)은 PLP 데이터 및 시그널링 데이터를 전송할 수 있으며, 프레임 내에서 P2 심볼 영역(639300) 다음에 위치할 수 있다. 또한 데이터 심볼 영역(639400)은 MISO PLP 영역(639500) 및 MIMO PLP 영역(639600)을 포함할 수 있다. 이하 각 영역에 대해 살펴본다.

[872] MISO PLP 영역(639500)은 MISO 프로세싱이 수행될 데이터 즉. L1-시그널링 데이터, 커먼 PLP 데이터 및 MISO PLP 데이터를 전송할 수 있다. MISO PLP 영역(639600)은 MISO 인코딩될 L1-시그널링 데이터를 전송할 수 있는 L1-시그널링 영역(639510), MISO 인코딩될 커먼 PLP 데이터를 전송할 수 있는 커먼 PLP 데이터 영역(639520), 프레임당 하나의 서브 슬라이스에 의해 전송되는

타입 1 MISO PLP 데이터를 전송할 수 있는 제 1 MISO PLP 영역(639530) 및 프레임당 복수개의 서브 슬라이스에 의해 전송되는 타입 2 MISO PLP 데이터, 보조 스트림 및 더미데이터를 전송할 수 있는 제 2 MISO PLP 영역(639540)을 포함할 수 있다.

[873] 이 경우, L1-시그널링 데이터는 현재 전송 프레임에 관한 정보 또는 향후 전송될 다음 프레임에 관한 정보를 포함할 수 있으며, MISO PLP 영역(639500)내에 스프레딩되어 매핑될 수 있다.

[874] MIMO PLP 영역(639600)은 MIMO 프로세싱이 수행될 데이터 즉, 본 발명의 제 3 실시예에 따른 OFDM 제너레이터에서 MIMO 인코딩될 MIMO PLP 데이터 또는 제 4 실시예에 따른 BICM 인코더에서 MIMO 인코딩된 MIMO PLP 데이터를 전송할 수 있다. 또한 MIMO PLP 영역(639600)은 프레임당 하나의 서브 슬라이스에 의해 전송되는 타입 1 MIMO PLP 데이터를 전송하는 제 1 MIMO PLP 영역(639610)과 복수개의 서브 슬라이스에 의해 전송되는 타입 2 MIMO PLP 데이터, 보조 스트림 및 더미데이터를 전송하는 제 2 MIMO PLP 영역(639620)을 포함할 수 있다.

[875] 따라서 본 발명에 따른 프레임의 주파수 도메인에서는, MISO 프로세싱이 수행될 데이터와 MIMO 프로세싱이 수행될 데이터가 각각 MISO PLP 영역(639500)또는 MIMO PLP 영역(639600) 내의 하나의 OFDM 심볼 구간 내에서 모든 주파수 셀들을 통해 전송되므로, 주파수 도메인의 풀 주파수 다이버시티 게인을 얻을 수 있다.

[876] 그리고 본 발명에 따른 프레임의 시간 도메인에서는, MISO 프로세싱이 수행될 데이터와 MIMO 프로세싱이 수행될 데이터가 각각 MISO PLP 영역(639500)과 MIMO PLP 영역(639600)을 통해 전송되므로, 각각의 PLP 영역 내에서 시간 도메인의 다이버시티 게인을 획득할 수 있다.

[877] 이하에서는 상술한 프레임을 수신하는 방송 신호 수신기의 동작을 살펴본다.

[878] 도 51에서 설명한 바와 같이, 본 발명의 제 3 실시예 및 제 4 실시예에 따른 방송 신호 수신기의 셀 디맵퍼는 프레임내의 P2 심볼 영역(639300)으로부터 현재 프레임에 대한 L1-시그널링 정보를 추출하고, MISO PLP 영역(639500)내 L1-시그널링 영역(639510)으로부터 향후 수신할 다음 프레임에 대한 L1-시그널링 정보를 추출하여 BICM 디코더로 출력할 수 있다.

[879] 또한 셀 디맵퍼는 데이터 심볼 영역(639400)으로부터 사용자에 의해 선택된 서비스 데이터를 전송하는 해당 PLP 데이터를 추출하여 BICM 디코더로 출력할 수 있다. 이 경우 필요하다면 커먼 PLP 영역(639520)으로부터 커먼 PLP 데이터를 추출하여 함께 BICM 디코더로 출력할 수 있다.

[880]

[881] 도 67은 본 발명의 일 실시예에 따른 방송 신호 송신기의 송신 방법을 나타낸 순서도이다.

[882] 본 발명의 일 실시예에 따른 방송 신호 송신기의 BICM 인코더(101300)는 PLP

데이터 및 시그널링 정보를 FEC 인코딩하고 비트 인터리빙할 수 있다(S671010).

[883] 본 발명의 일 실시예에 따른 방송 신호 송신기의 BICM 인코더(101300)는 도 32 및 도 35에서 상술한 BICM 인코더를 일 실시예로 할 수 있다. 이 경우, BICM 인코더(101300)는 FEC 인코딩 및 비트 인터리빙에 추가로, MISO 인코딩 또는 MIMO 인코딩을 수행할 수 있다.

[884] 또한 도 32 및 도 35에 도시된 바와 같이, BICM 인코더(101300)에 포함된 제 1 BICM 인코딩 블록(604100)은 일부의 PLP 데이터를 MISO 인코딩할 수 있고, 제 2 BICM 인코딩 블록(604200)은 일부의 PLP 데이터를 MIMO 인코딩할 수 있으며, 제 3 BICM 인코딩 블록(604300)은 시그널링 정보를 MISO 인코딩할 수 있다.

[885] 구체적으로, 본 발명의 제 1 실시예에 따른 방송 신호 송신기의 BICM 인코더(101300)는 성상도 매핑, 셀 인터리빙 및 타임 인터리빙이 수행된 이후 입력 PLP 데이터에 대해 MISO 인코딩 또는 MIMO 인코딩을 수행할 수 있다. 또한 제 1 실시예에 대응하는 방송 신호 수신기의 BICM 디코더(107300)는 방송 신호 송신기의 BICM 인코딩의 역과정을 수행할 수 있다.

[886] 또한 본 발명의 제 2 실시예에 따른 방송 신호 송신기의 BICM 인코더(101300)는 성상도 매핑 이후 각 입력 PLP 데이터에 대해 MISO 인코딩 또는 MIMO 인코딩을 수행하고, 셀 인터리빙 및 타임 인터리빙을 수행할 수 있다. 또한 제 2 실시예에 따른 방송 신호 수신기의 BICM 디코더(107300)는 방송 신호 송신기의 BICM 디코딩의 역과정을 수행할 수 있다.

[887] PLP 데이터 또는 시그널링 데이터는 성상도에 매핑된 이후부터 심볼 단위로 처리될 수 있다. 하지만, 제 1 실시예에 따른 방송 신호 수신기의 BICM 디코더(107300)은 데이터마다 MISO 디코딩 또는 MIMO 디코딩을 가장 먼저 수행할 수 있으며, MISO 디코딩 또는 MIMO 디코딩이 수행된 데이터는 비트 단위로 출력될 수 있다. MISO 디코더 또는 MIMO 디코더가 출력하는 데이터는 비트 단위의 확률 정보가 될 수 있기 때문이다. 따라서 이후 방송 신호 수신기의 BICM 디코더(107300)는 타임 디인터리빙 및 셀 디인터리빙 과정을 수행할 수 있으나, 비트 단위로 출력된 데이터가 입력되므로 심볼 단위에 관한 정보가 필요하다. 따라서 제 1 실시예에 따른 방송 신호 수신기는 디인터리빙 과정에 필요한 입력 비트들의 심볼 매핑에 대한 정보를 저장해야 하므로 방송 신호 수신기의 메모리 복잡도가 증가할 수 있다. 하지만 도 35에 도시된 바와 같이, 제 2 실시예의 BICM 인코더는 MISO 인코더(607100,607300,607400) 및 MIMO 인코더(607200)가 성상도 맵퍼의 후단에 위치하고 있다. 따라서 제 2 실시예에 따른 방송 신호 수신기의 BICM 디코더에서는 심볼 단위로 타임 디인터리빙과 셀 디인터리빙을 모두 수행한 이후에 MISO/MIMO 디코딩을 수행할 수 있다. 따라서 제 1 실시예의 방송 신호 수신기보다 메모리 복잡도가 감소하는 효과를 얻을 수 있다.

[888] 이 경우 제 2 BICM 인코딩 블록(604200)은 도 13 내지 도 21에서 상술한 제 1 내지 제 6 실시예와 같은 MIMO 인코딩 매트릭스를 사용하여 MIMO 인코딩을

수행할 수 있으며 이는 설계자의 의도에 따라 변경 가능한 사항이다.

[889] 또한 BICM 인코더(101300)는 방송 서비스의 베이스 레이어에 해당하는 PLP 데이터에 대해 MISO 인코딩을 수행하고, 인핸스먼트 레이어에 해당하는 PLP 데이터에 대해 MIMO 인코딩을 수행할 수 있다. 또한, BICM 인코더(101300)는베이스 레이어에 해당하는 PLP 데이터에 대해 MISO 인코딩 및 MIMO 인코딩을 수행하고, 인핸스먼트 레이어에 해당하는 PLP 데이터에 대해 MIMO 인코딩을 수행할 수도 있다.

[890] 이후 본 발명의 일 실시예에 따른 방송 신호 송신기의 프레임 빌더(101400)는 PLP 데이터 및 시그널링 정보를 셀 매핑하여 프레임을 빌딩할 수 있다(S671020).

[891] 본 발명의 일 실시예에 따른 방송 신호 송신기의 프레임 빌더(101400)는 도 33에서 설명한 프레임 빌더를 일 실시예로 할 수 있다.

[892] 도 33에 도시된 바와 같이, 프레임 빌더(101400)에 포함된 제 1 프레임 빌딩 블록(605100)은 상술한 BICM 인코더(101300)에서 MISO/MIMO 인코딩된 데이터 중 제 1 안테나로 전송하는 제 1 경로의 데이터를 포함하는 프레임을 빌딩할 수 있다. 또한, 프레임 빌더(101400)에 포함된 제 2 프레임 빌딩 블록(605200)은 BICM 인코더(101300)에서 MISO/MIMO 인코딩된 데이터 중 제 2 안테나로 전송하는 제 2 경로의 데이터를 포함하는 프레임을 빌딩할 수 있다.

[893] 이 경우, 수신단의 MISO 신호의 복구 성능을 높이기 위하여, MISO 인코딩시 MISO 전송 채널은 채널간의 코히어런스(coherence)가 확보되어야 한다. 따라서, 채널간의 코히어런스를 확보하기 위하여 본 발명의 일 실시예에 따른 프레임 빌더(101400)는, 동일한 PLP 데이터로부터 생성되는 셀들을 페어로 묶어 OFDM 변조의 서브캐리어에 매핑함으로써 채널간의 코히어런스를 최대화할 수 있다.

[894] 구체적으로, 도 33에 도시된 바와 같이, 본 발명의 제 1 실시예에 따른 방송 신호 송신기에 포함된 제 1 프레임 빌딩 블록(605100)은 제 1 페어-와이즈 셀 맵퍼(605200-1)를 포함할 수 있고, 제 2 프레임 빌딩 블록(605200)은 제 2 페어-와이즈 셀 맵퍼(605200-2)를 포함할 수 있다. 제 1 페어-와이즈 셀 맵퍼(605120) 및 제 2 페어-와이즈 셀 맵퍼(605220)는 각 경로를 통해 입력된 심볼 단위의 PLP 데이터 및 L1-시그널링 데이터를 프레임 내 OFDM 심볼의 서브 케리어에 셀 단위로 매핑할 수 있다.

[895] 이 경우 각 경로를 통해 입력되는 PLP 데이터는 커먼 PLP 데이터, MISO/MIMO 인코딩된 PLP 데이터를 포함할 수 있으며, 서브 슬라이스 프로세서 모듈(605120-1~2)은 다이버시티 효과를 얻기 위하여 PLP 데이터 셀들에 대해 서브 슬라이싱을 수행하여 프레임에 매핑할 수 있다.

[896] 또한 제 1 페어-와이즈 셀 맵퍼(605120) 및 제 2 페어-와이즈 셀 맵퍼(605220)는 연속된 2개의 입력 셀들을 페어(pair)로 묶어 프레임에 매핑할 수 있다.

[897] 본 발명의 제 2 실시예에 따른 방송 신호 송신기에 포함된 제 1 프레임 빌딩 블록 역시 제 1 실시예와 동일하게 동작할 수 있다.

[898] 상술한 바와 같이 본 발명의 제 1 실시예 및 제 2 실시예에 따른 프레임

빌더에서 생성된 프레임은 도 62에 도시된 프레임 및 도 65 내지 66에 도시된 프레임을 일 실시예로 할 수 있다.

[899] 이후 본 발명의 일 실시예에 따른 OFDM 제너레이터(101500)는 프레임에 포함된 데이터에 대해 OFDM 변조를 수행할 수 있다(S671030).

[900] 이 경우, 본 발명의 일 실시예에 따른 OFDM 제너레이터(101500)는, 도 34 에서 상술한 OFDM 제네레이터를 일 실시예로 할 수 있다. 이 경우, OFDM 변조의 대상은 프레임에 포함된 PLP 데이터 및 시그널링 정보가 될 수 있다.

[901] 또한 도 34에 도시된 바와 같이, OFDM 제너레이터(101500)에 포함된 제 1 OFDM 제네레이팅 블록(606800)은 제 1 안테나(Tx1)로 전송하는 제 1 경로의 데이터를 OFDM 변조할 수 있다. 또한 제 2 OFDM 제네레이팅 블록(606900)은 제 2 안테나(Tx2)로 전송하는 제 2 경로의 데이터를 OFDM 변조할 수 있다.

## 발명의 실시를 위한 형태

[902] 전술한 바와 같이, 상기 발명의 실시를 위한 최선의 형태에서, 관련된 사항을 기술하였다.

## 산업상 이용가능성

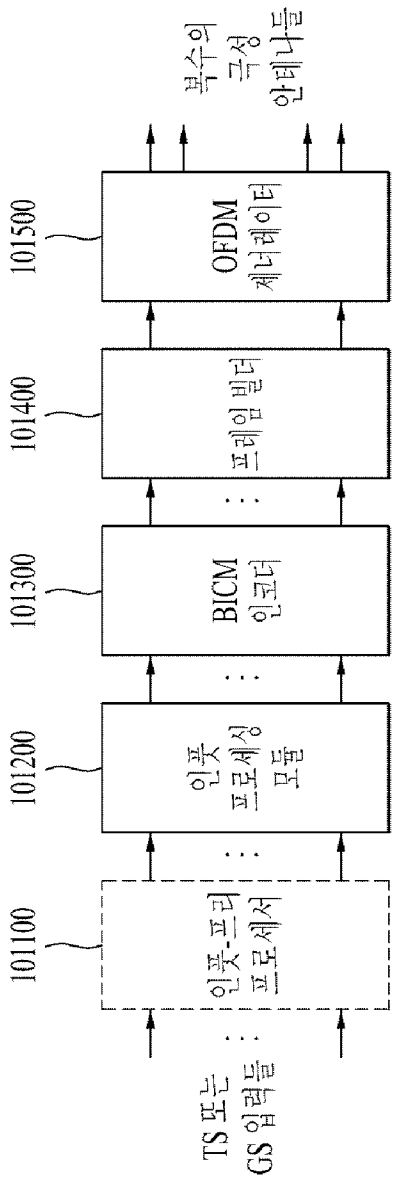
[903] 전술한 바와 같이, 본 발명은 디지털 방송 시스템에 전체적으로 또는 부분적으로 적용될 수 있다.

# 청구범위

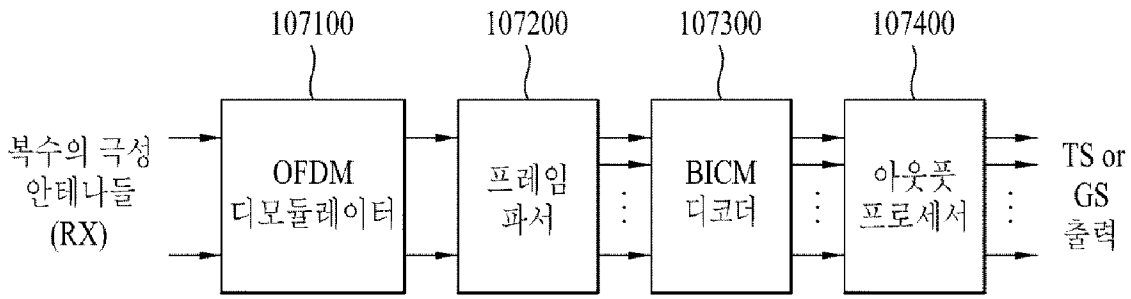
[청구항 1] PLP 데이터 및 시그널링 정보를 FEC 인코딩하고 비트 인터리빙하는 BICM 인코더;
상기 PLP 데이터 및 상기 시그널링 정보를 셀 매핑하여 프레임을 빌딩하는 프레임 빌더; 및
상기 PLP 데이터 및 상기 시그널링 정보를 OFDM 변조하는 OFDM 제네레이터를 포함하며,
상기 BICM 인코더는,
제 1 PLP 데이터에 대해 MISO 인코딩을 수행하는 MISO 인코더를 포함하는 제 1 BICM 인코딩 블록,
제 2 PLP 데이터에 대해 MIMO 인코딩을 수행하는 MIMO 인코더를 포함하는 제 2 BICM 인코딩 블록, 및
상기 시그널링 정보에 대해 MISO 인코딩을 수행하는 MISO 인코더를 포함하는 제 3 BICM 인코딩 블록을 포함하며,
상기 프레임 빌더는 상기 PLP 데이터의 셀들을 주파수 도메인에서 페어 단위로 샐 매핑하는 셀 매퍼를 포함하는, 방송 신호 송신기.

[청구항 2] PLP 데이터 및 시그널링 정보를 FEC 인코딩하고 비트 인터리빙하는 단계;
상기 PLP 데이터 및 상기 시그널링 정보를 셀 매핑하여 프레임을 빌딩하는 단계; 및
상기 PLP 데이터 및 상기 시그널링 정보를 OFDM 변조하는 단계를 포함하며,
상기 FEC 인코딩 및 비트 인터리빙 단계는,
제 1 PLP 데이터에 대해 MISO 인코딩을 수행하는 단계;
제 2 PLP 데이터에 대해 MIMO 인코딩을 수행하는 단계; 및
상기 시그널링 정보에 대해 MISO 인코딩을 수행하는 단계를 더 포함하며,
상기 프레임 빌딩 단계는 상기 PLP 데이터의 셀들을 주파수 도메인에서 페어 단위로 샐 매핑하는 단계를 더 포함하는, 방송 신호 송신 방법.

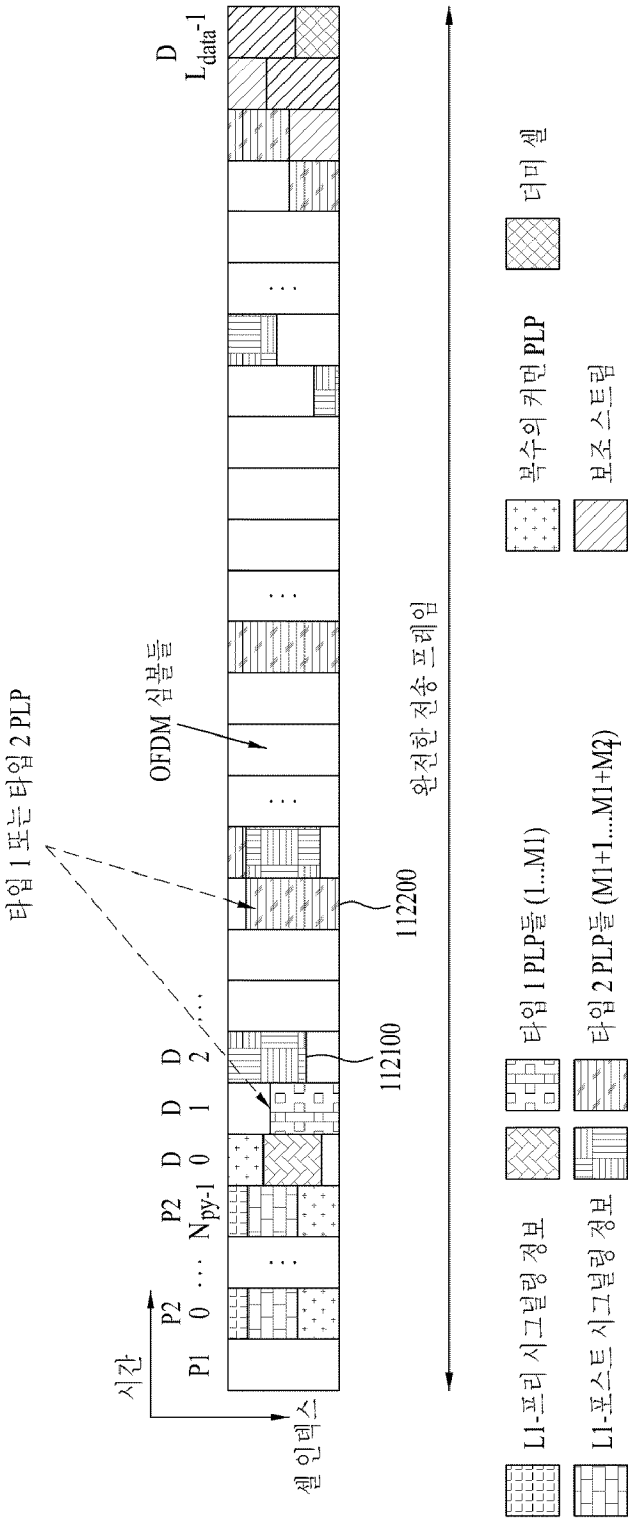
[Fig. 1]


101100
101200
101300
101400
101500
TS 또는 GS 입력들
인풋-프리 프로세서
인풋 프로세싱 모듈
BICM 인코더
프레임 빌더
OFDM 제너레이터
복수의 극성 안테나들

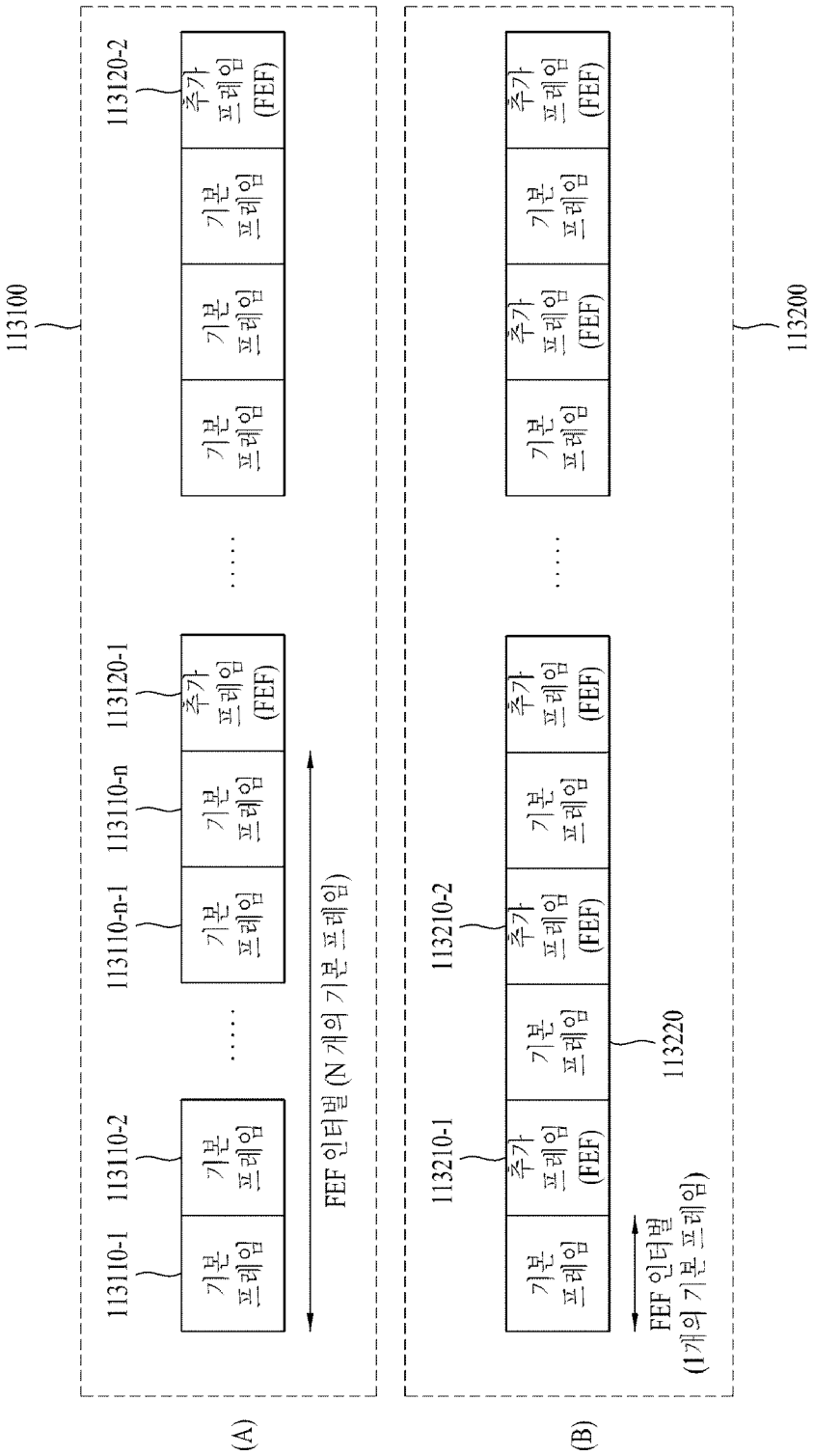
[Fig. 2]


107100
107200
107300
107400
복수의 극성 안테나들 (RX)
OFDM 디모듈레이터
프레임 파서
BICM 디코더
아웃풋 프로세서
TS or GS 출력

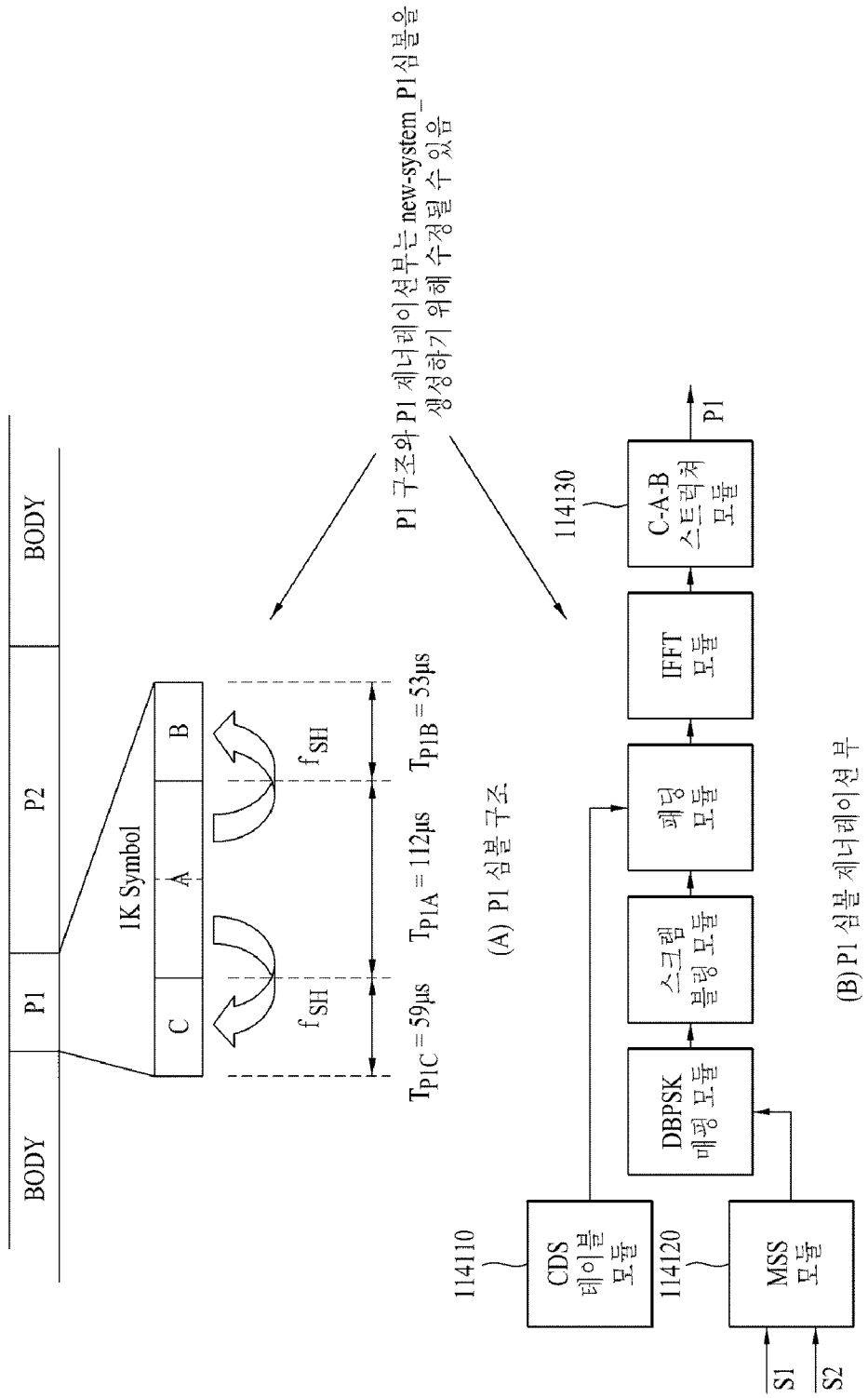
[Fig. 3]


타입 1 또는 타입 2 PLP
OFDM 심볼들
시간
셀 인덱스
P1
P2
0
P2
$N_{py-1}$
D
0
D
1
D
2
D
$L_{data}-1$
112100
112200
완전한 전송 프레임
L1-프리 시그널링 정보
타입 1 PLP들 (1...M1)
L1-포스트 시그널링 정보
타입 2 PLP들 (M1+1...M1+M2)
복수의 커먼 PLP
보조 스트림
더미 셀

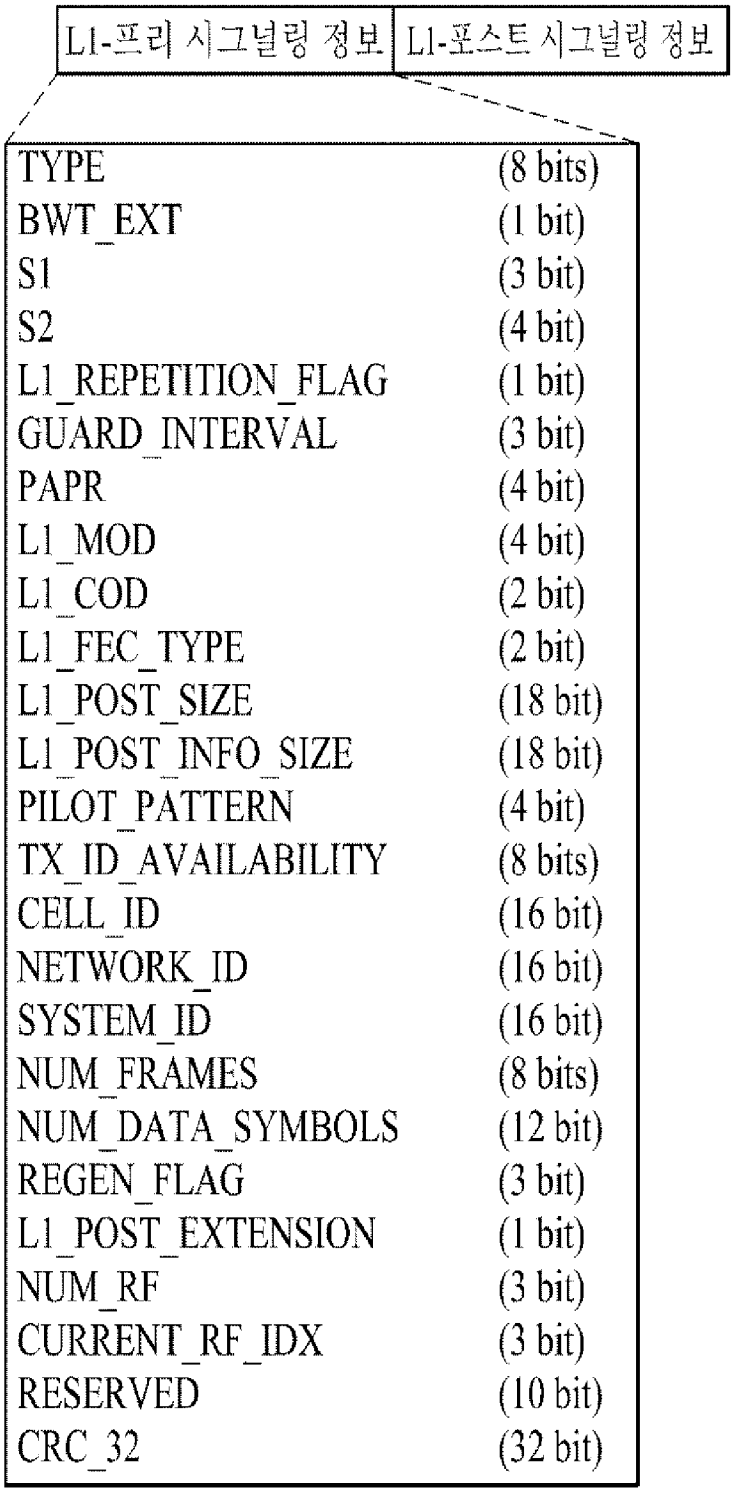
[Fig. 4]


113100
113110-1
113110-2
113110-n-1
113110-n
113120-1
113120-2
기본 프레임
추가 프레임 (FEF)
FEF 인터벌 (N 개의 기본 프레임)
(A)
113200
113210-1
113210-2
113220
FEF 인터벌 (1개의 기본 프레임)
(B)

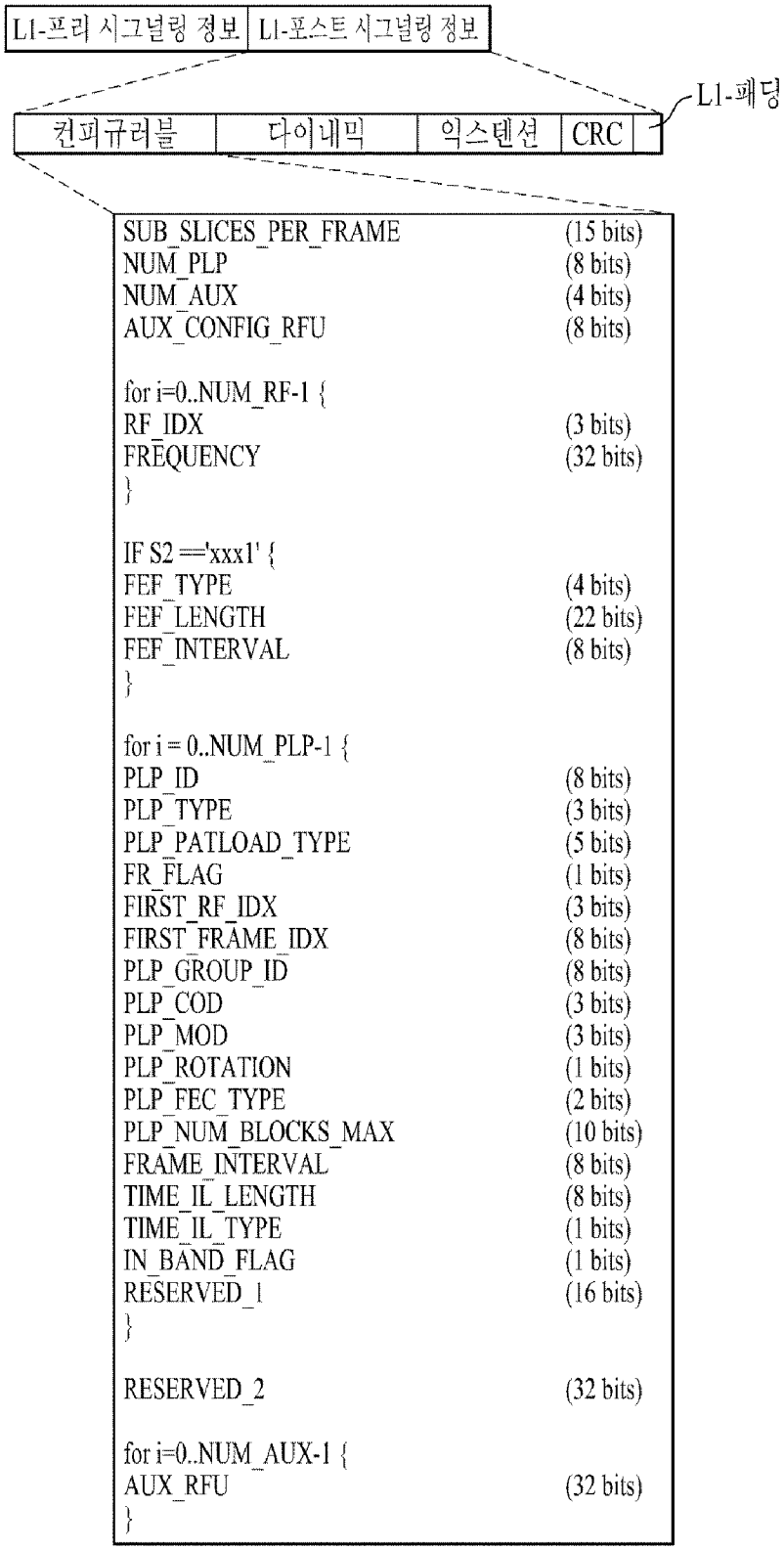
[Fig. 5]


BODY
P1
P2
BODY
1K Symbol
C
A
B
$f_{SH}$
$f_{SH}$
$T_{P1C}$ = 59μs
$T_{P1A}$ = 112μs
$T_{P1B}$ = 53μs
(A) P1 심볼 구조
P1 구조와 P1 제너레이션부는 new-system_P1심볼을 생성하기 위해 수정될 수 있음
114110
CDS 테이블 모듈
114120
MSS 모듈
S1
S2
DBPSK 매핑 모듈
스크램블링 모듈
패딩 모듈
IFFT 모듈
114130
C-A-B 스트럭쳐 모듈
P1
(B) P1 심볼 제너레이션 부

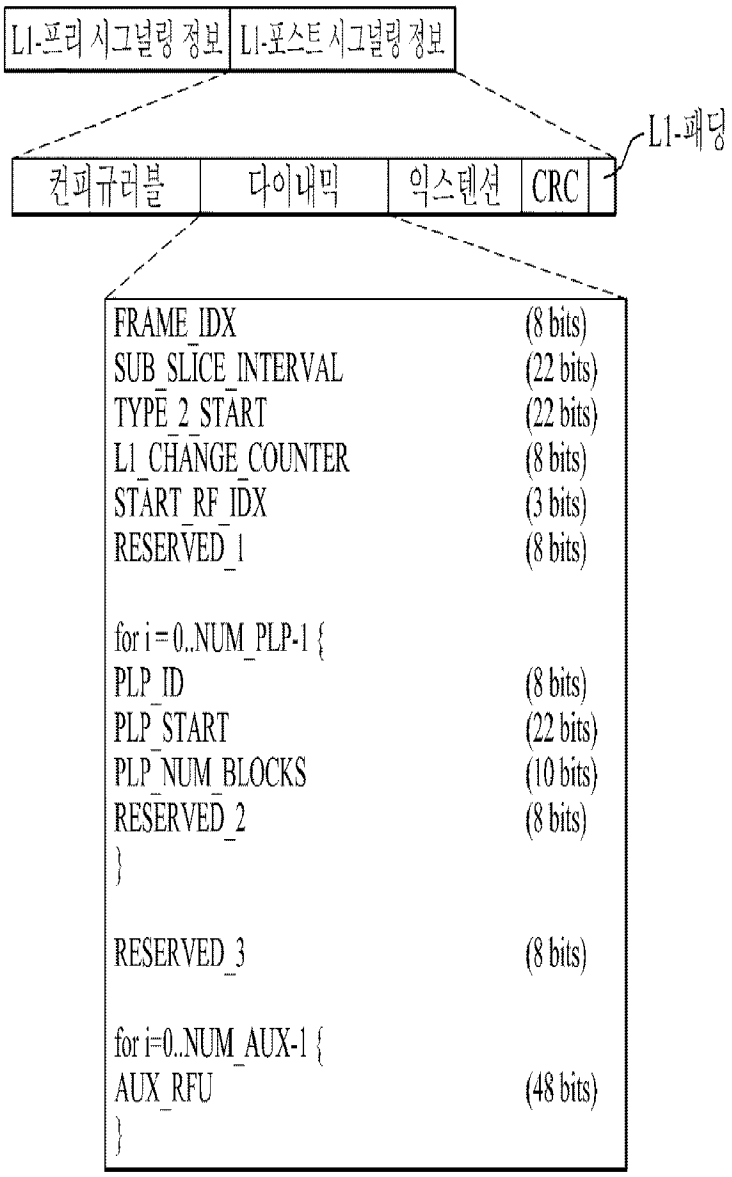
[Fig. 6]


L1-프리 시그널링 정보
L1-포스트 시그널링 정보
TYPE (8 bits)
BWT_EXT (1 bit)
S1 (3 bit)
S2 (4 bit)
L1_REPETITION_FLAG (1 bit)
GUARD_INTERVAL (3 bit)
PAPR (4 bit)
L1_MOD (4 bit)
L1_COD (2 bit)
L1_FEC_TYPE (2 bit)
L1_POST_SIZE (18 bit)
L1_POST_INFO_SIZE (18 bit)
PILOT_PATTERN (4 bit)
TX_ID_AVAILABILITY (8 bits)
CELL_ID (16 bit)
NETWORK_ID (16 bit)
SYSTEM_ID (16 bit)
NUM_FRAMES (8 bits)
NUM_DATA_SYMBOLS (12 bit)
REGEN_FLAG (3 bit)
L1_POST_EXTENSION (1 bit)
NUM_RF (3 bit)
CURRENT_RF_IDX (3 bit)
RESERVED (10 bit)
CRC_32 (32 bit)

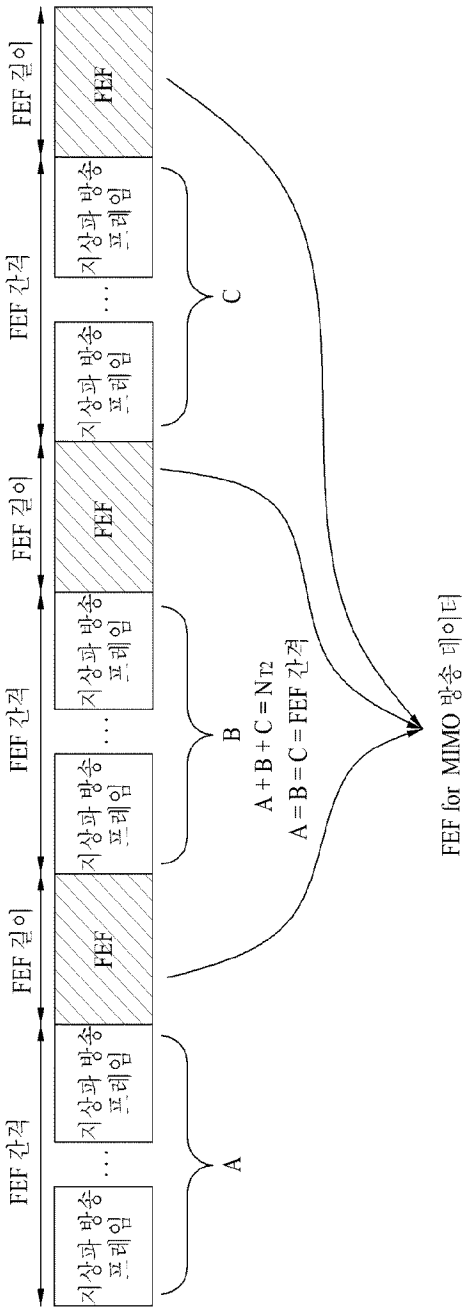
[Fig. 7]


L1-프리 시그널링 정보
L1-포스트 시그널링 정보
L1-패딩
컨피규러블
다이내믹
익스텐션
CRC
SUB_SLICES_PER_FRAME (15 bits)
NUM_PLP (8 bits)
NUM_AUX (4 bits)
AUX_CONFIG_RFU (8 bits)
for i=0..NUM_RF-1 {
RF_IDX (3 bits)
FREQUENCY (32 bits)
}
IF S2 ='xxx1' {
FEF_TYPE (4 bits)
FEF_LENGTH (22 bits)
FEF_INTERVAL (8 bits)
}
for i = 0..NUM_PLP-1 {
PLP_ID (8 bits)
PLP_TYPE (3 bits)
PLP_PATLOAD_TYPE (5 bits)
FR_FLAG (1 bits)
FIRST_RF_IDX (3 bits)
FIRST_FRAME_IDX (8 bits)
PLP_GROUP_ID (8 bits)
PLP_COD (3 bits)
PLP_MOD (3 bits)
PLP_ROTATION (1 bits)
PLP_FEC_TYPE (2 bits)
PLP_NUM_BLOCKS_MAX (10 bits)
FRAME_INTERVAL (8 bits)
TIME_IL_LENGTH (8 bits)
TIME_IL_TYPE (1 bits)
IN_BAND_FLAG (1 bits)
RESERVED_1 (16 bits)
}
RESERVED_2 (32 bits)
for i=0..NUM_AUX-1 {
AUX_RFU (32 bits)
}

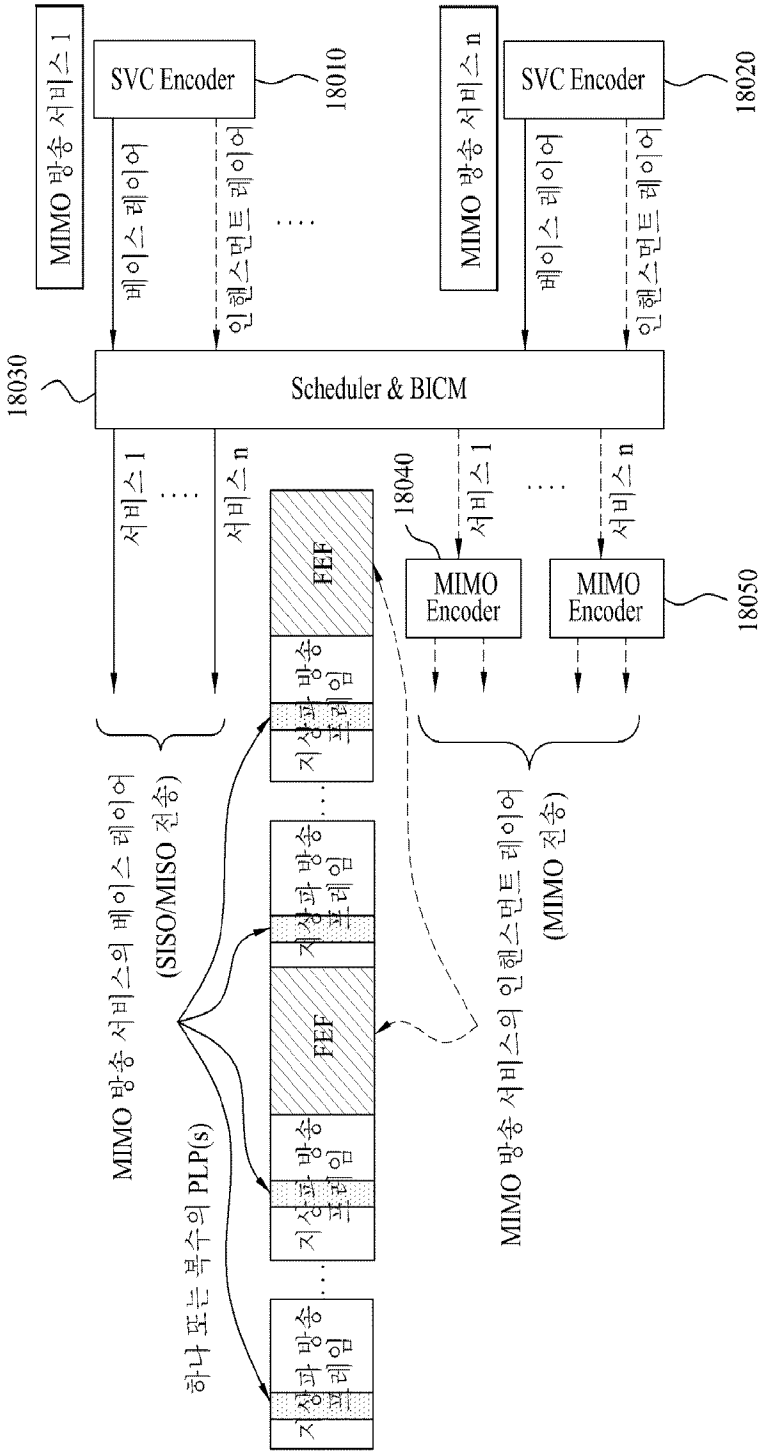
[Fig. 8]


L1-프리 시그널링 정보
L1-포스트 시그널링 정보
L1-패딩
컨피규러블
다이내믹
익스텐션
CRC
FRAME_IDX (8 bits)
SUB_SLICE_INTERVAL (22 bits)
TYPE_2_START (22 bits)
L1_CHANGE_COUNTER (8 bits)
START_RF_IDX (3 bits)
RESERVED_1 (8 bits)
for i = 0..NUM_PLP-1 {
PLP_ID (8 bits)
PLP_START (22 bits)
PLP_NUM_BLOCKS (10 bits)
RESERVED_2 (8 bits)
}
RESERVED_3 (8 bits)
for i=0..NUM_AUX-1 {
AUX_RFU (48 bits)
}

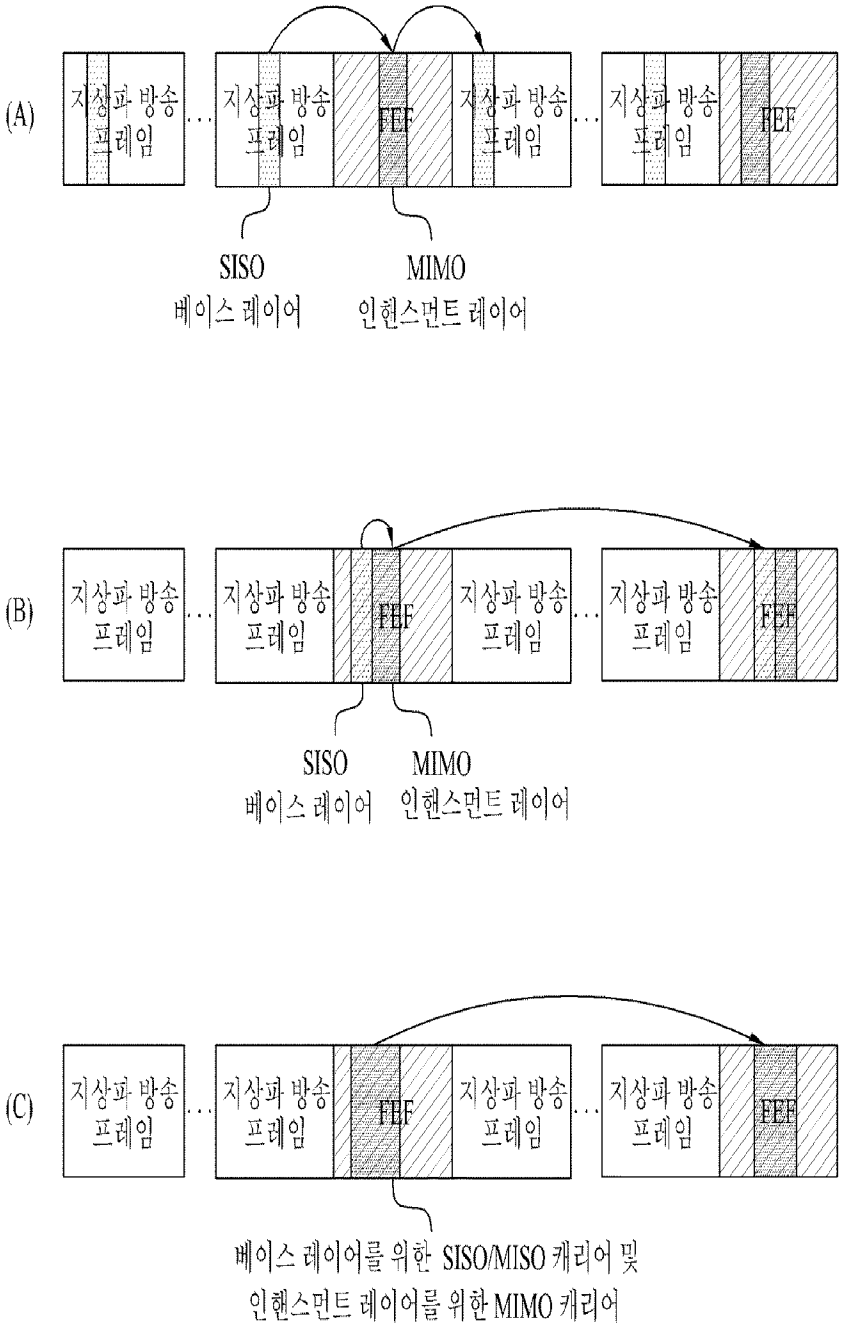
[Fig. 9]


FEF 간격
FEF 길이
FEF 간격
FEF 길이
FEF 간격
FEF 길이
지상파 방송 프레임
지상파 방송 프레임
지상파 방송 프레임
지상파 방송 프레임
지상파 방송 프레임
지상파 방송 프레임
FEF
FEF
FEF
A
B
C
A + B + C = N_T2
A = B = C = FEF 간격
FEF for MIMO 방송 데이터

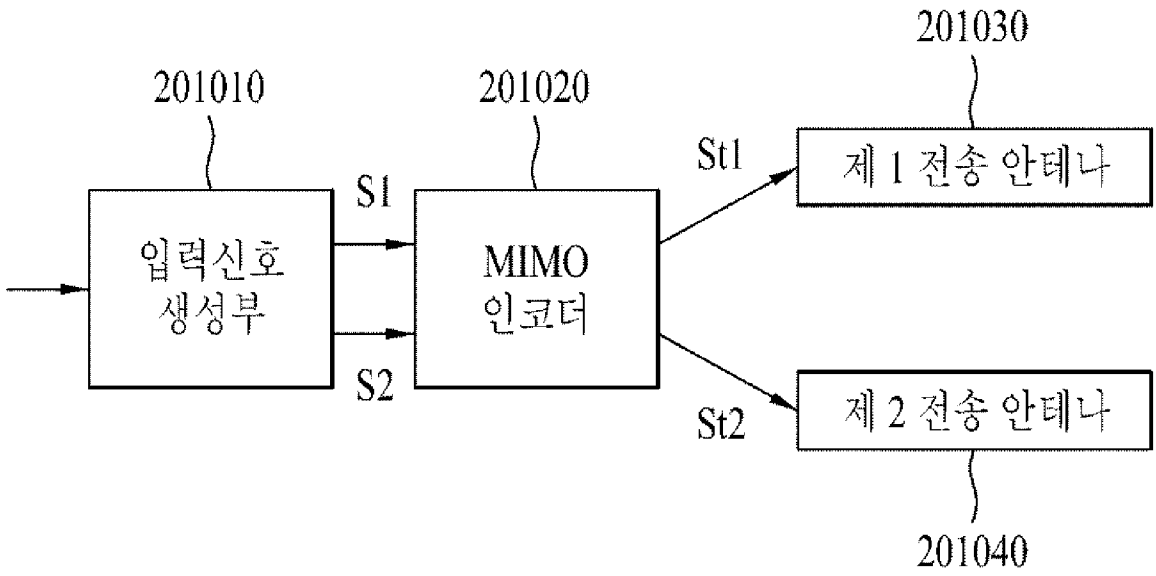
[Fig. 10]


MIMO 방송 서비스 1
SVC Encoder
18010
베이스 레이어
인핸스먼트 레이어
MIMO 방송 서비스 n
SVC Encoder
18020
베이스 레이어
인핸스먼트 레이어
18030
Scheduler & BICM
서비스 1
서비스 n
18040
서비스 1
서비스 n
MIMO Encoder
MIMO Encoder
18050
FEF
지상파 방송 프레임
지상파 방송 프레임
FEF
지상파 방송 프레임
지상파 방송 프레임
MIMO 방송 서비스의 베이스 레이어
(SISO/MISO 전송)
하나 또는 복수의 PLP(s)
MIMO 방송 서비스의 인핸스먼트 레이어
(MIMO 전송)

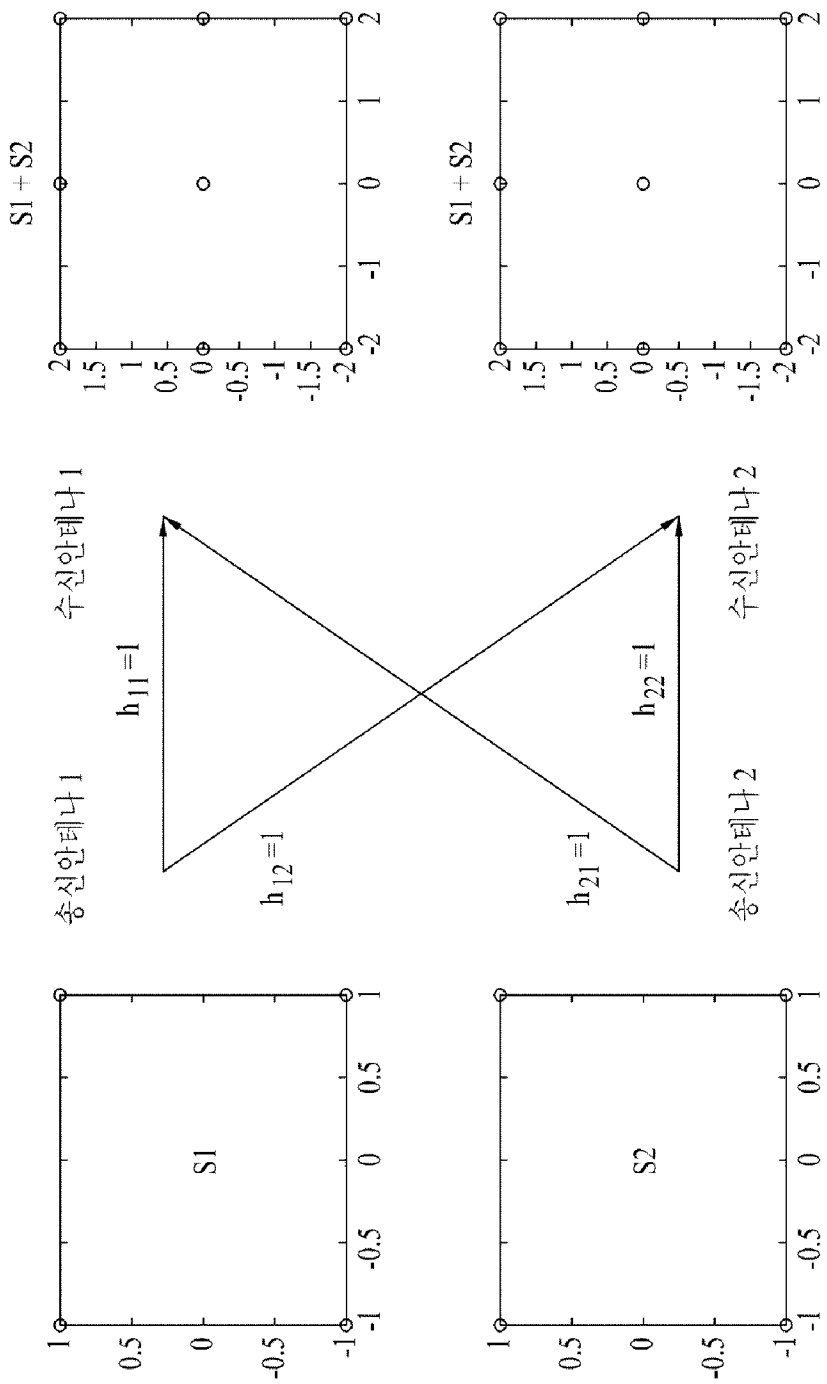
[Fig. 11]


(A)
지상파 방송 프레임
지상파 방송 프레임
FEF
지상파 방송 프레임
지상파 방송 프레임
FEF
SISO
베이스 레이어
MIMO
인핸스먼트 레이어
(B)
지상파 방송 프레임
지상파 방송 프레임
FEF
지상파 방송 프레임
지상파 방송 프레임
FEF
SISO
베이스 레이어
MIMO
인핸스먼트 레이어
(C)
지상파 방송 프레임
지상파 방송 프레임
FEF
지상파 방송 프레임
지상파 방송 프레임
FEF
베이스 레이어를 위한 SISO/MISO 캐리어 및
인핸스먼트 레이어를 위한 MIMO 캐리어

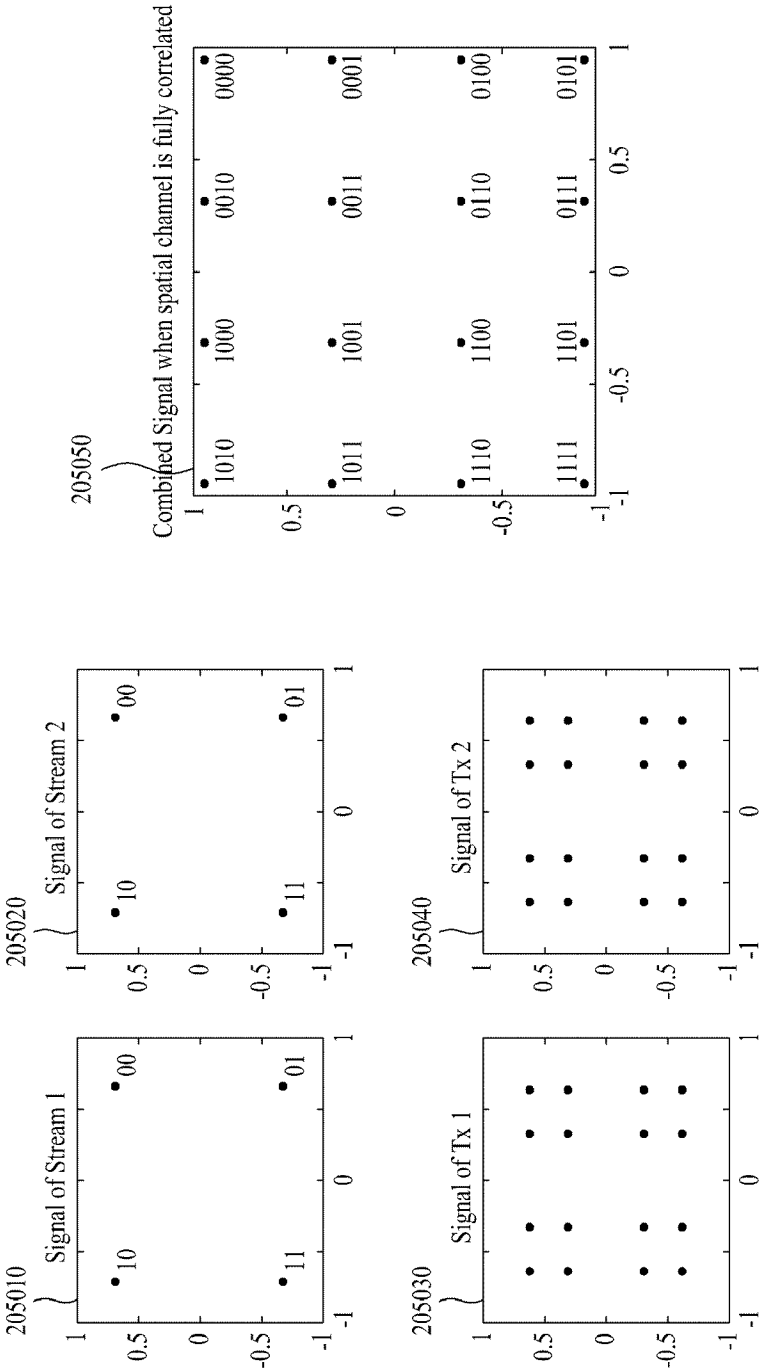
[Fig. 12]


201010
201020
201030
201040
입력신호 생성부
MIMO 인코더
S1
S2
St1
St2
제 1 전송 안테나
제 2 전송 안테나

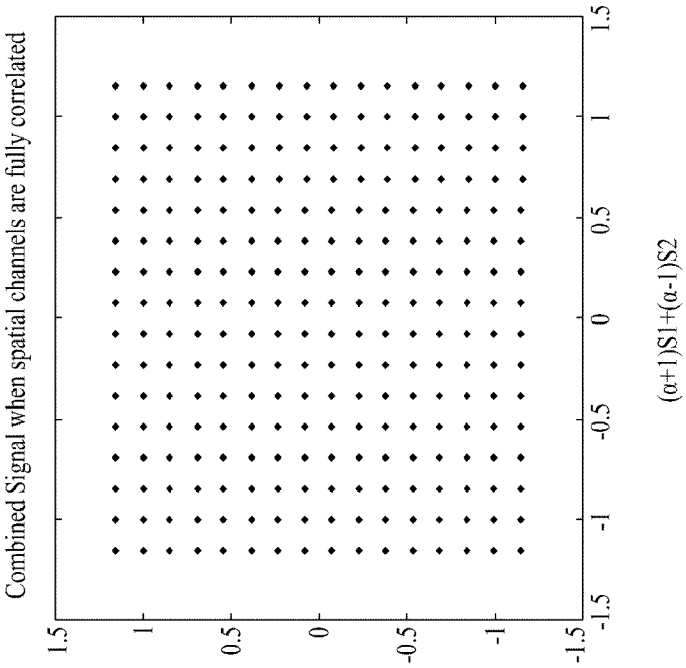
[Fig. 13]

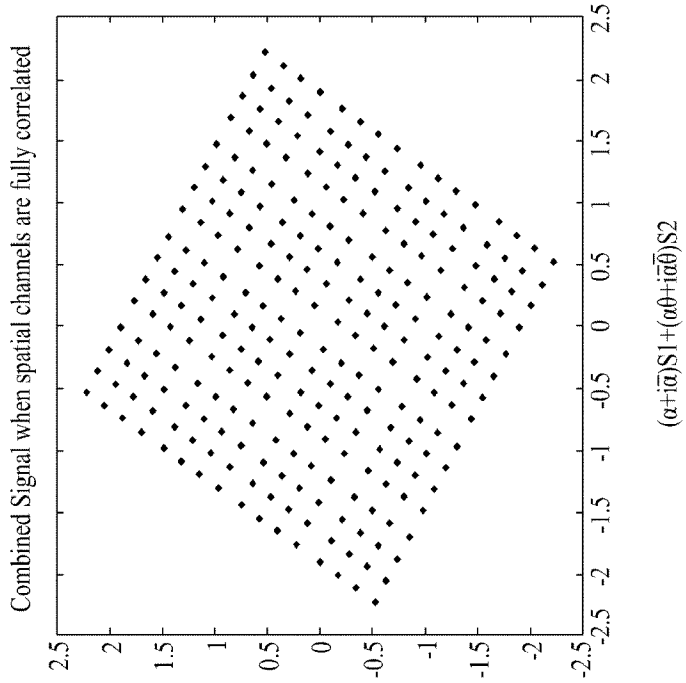

S1
S2
S1 + S2
S1 + S2
송신안테나 1
송신안테나 2
수신안테나 1
수신안테나 2
h11=1
h12=1
h21=1
h22=1

[Fig. 14]

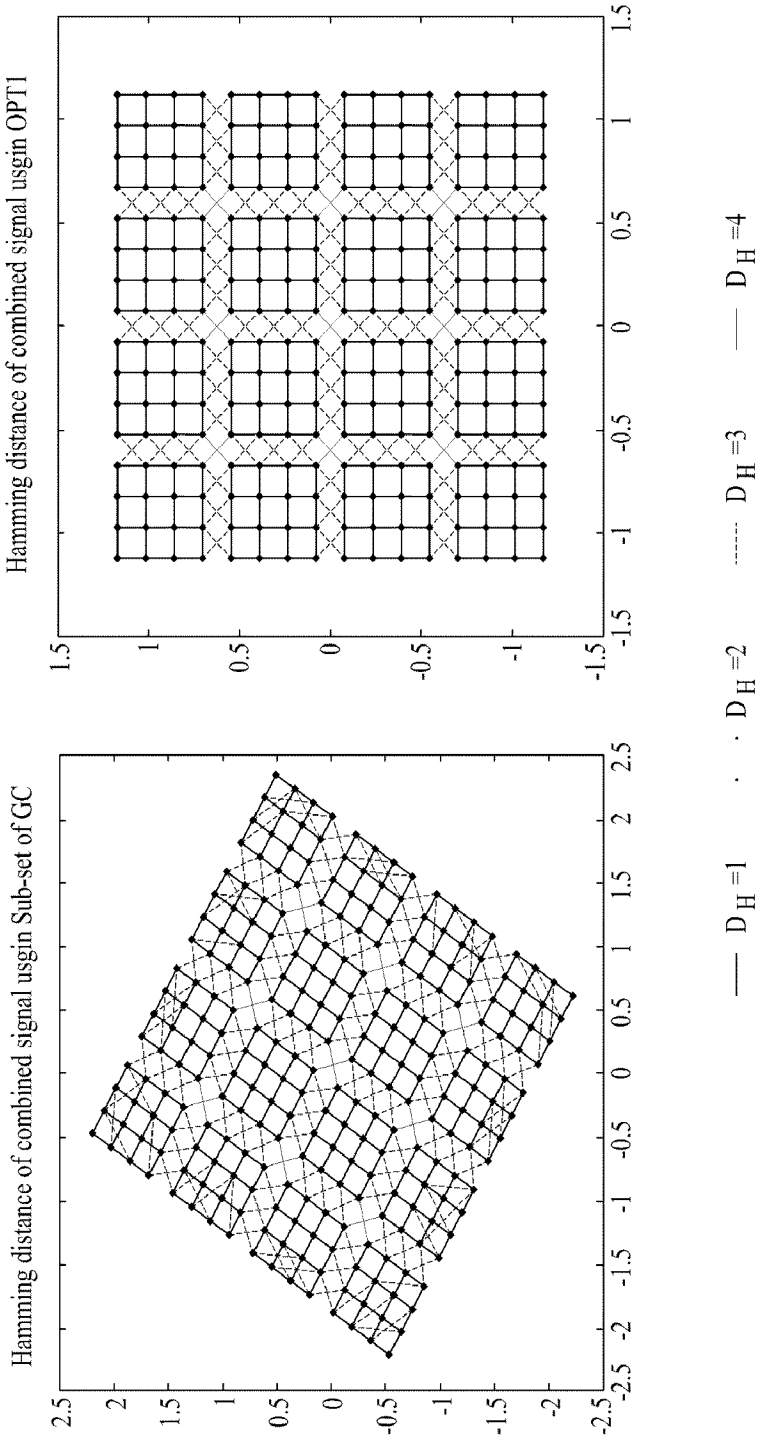

205010
Signal of Stream 1
205020
Signal of Stream 2
205030
Signal of Tx 1
205040
Signal of Tx 2
205050
Combined Signal when spatial channel is fully correlated
10
00
01
11
1010
1000
0010
0000
1011
1001
0011
0001
1110
1100
0110
0100
1111
1101
0111
0101

[Fig. 15]

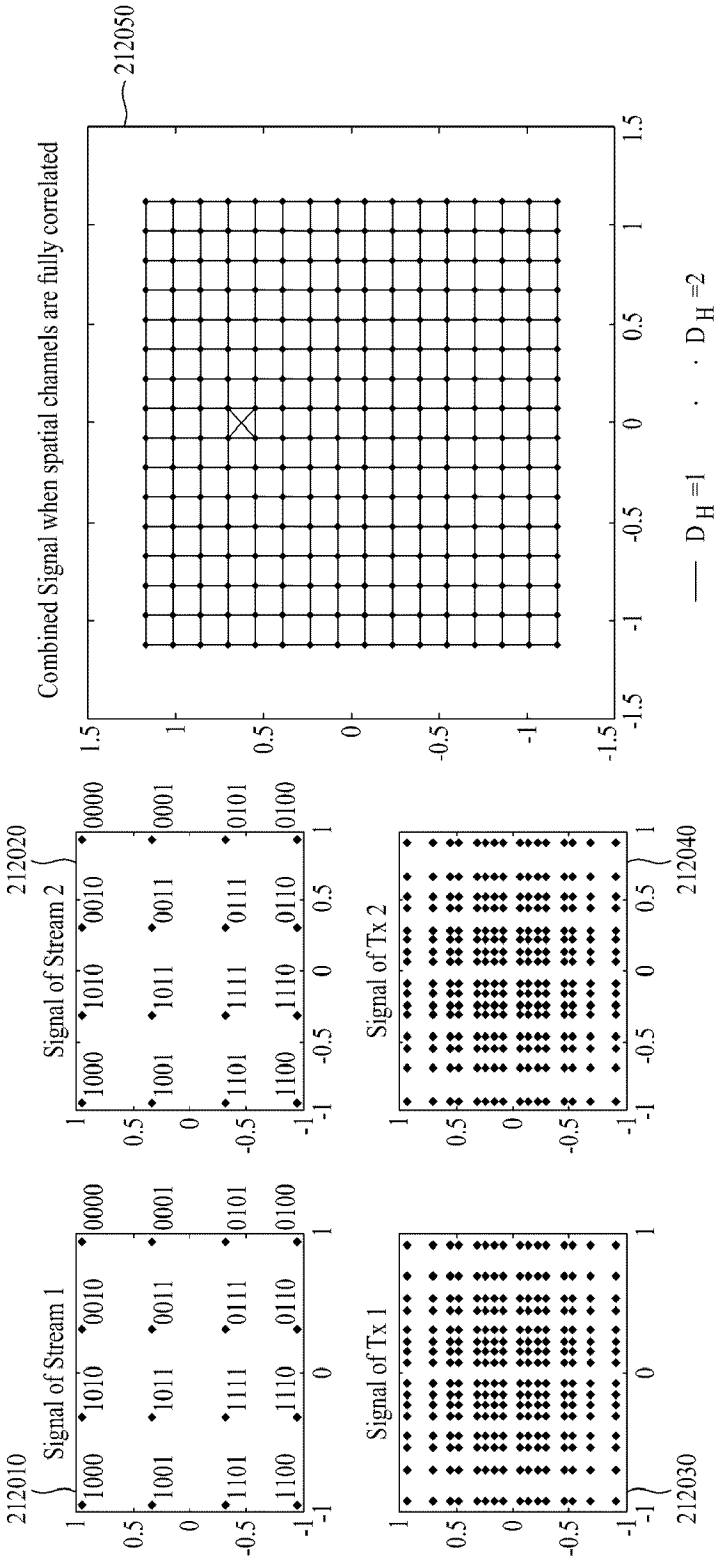

Combined Signal when spatial channels are fully correlated
1.5
1
0.5
0
-0.5
-1
-1.5
-1.5
-1
-0.5
0
0.5
1
1.5
(α+1)S1+(α-1)S2


Combined Signal when spatial channels are fully correlated
2.5
2
1.5
1
0.5
0
-0.5
-1
-1.5
-2
-2.5
-2.5
-2
-1.5
-1
-0.5
0
0.5
1
1.5
2
2.5
(α+iα̅)S1+(αθ+iα̅θ̅)S2

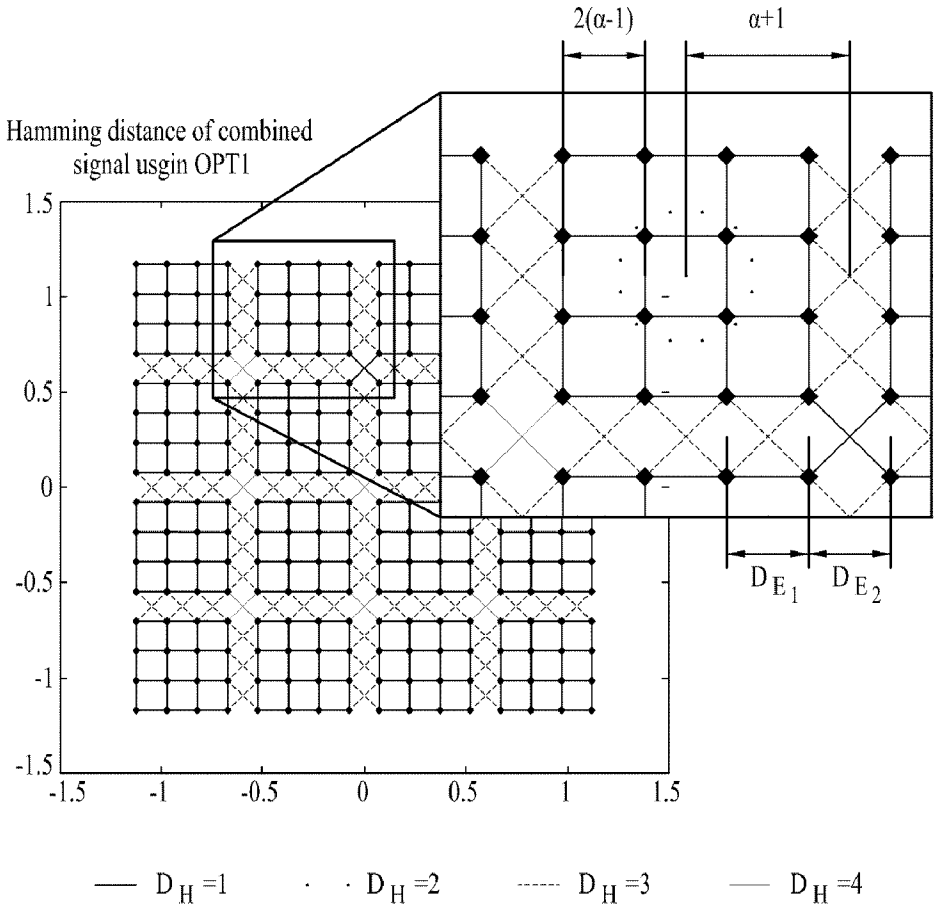
[Fig. 16]


Hamming distance of combined signal usgin Sub-set of GC
Hamming distance of combined signal usgin OPT1
D H =1
D H =2
D H =3
D H =4

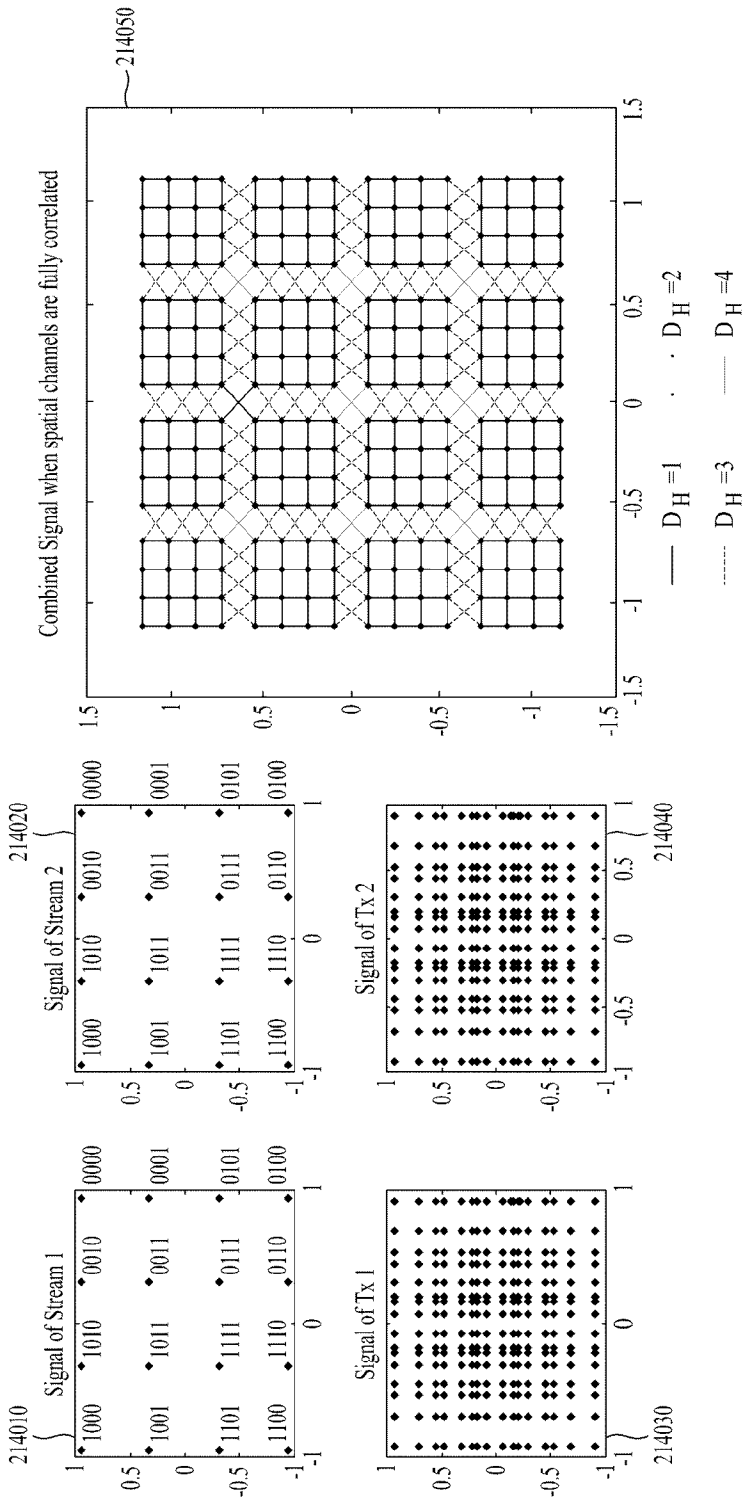
[Fig. 17]


212010
Signal of Stream 1
212020
Signal of Stream 2
Signal of Tx 1
212030
Signal of Tx 2
212040
Combined Signal when spatial channels are fully correlated
212050
1000
1010
0010
0000
1001
1011
0011
0001
1101
1111
0111
0101
1100
1110
0110
0100
$D_H=1$
$D_H=2$

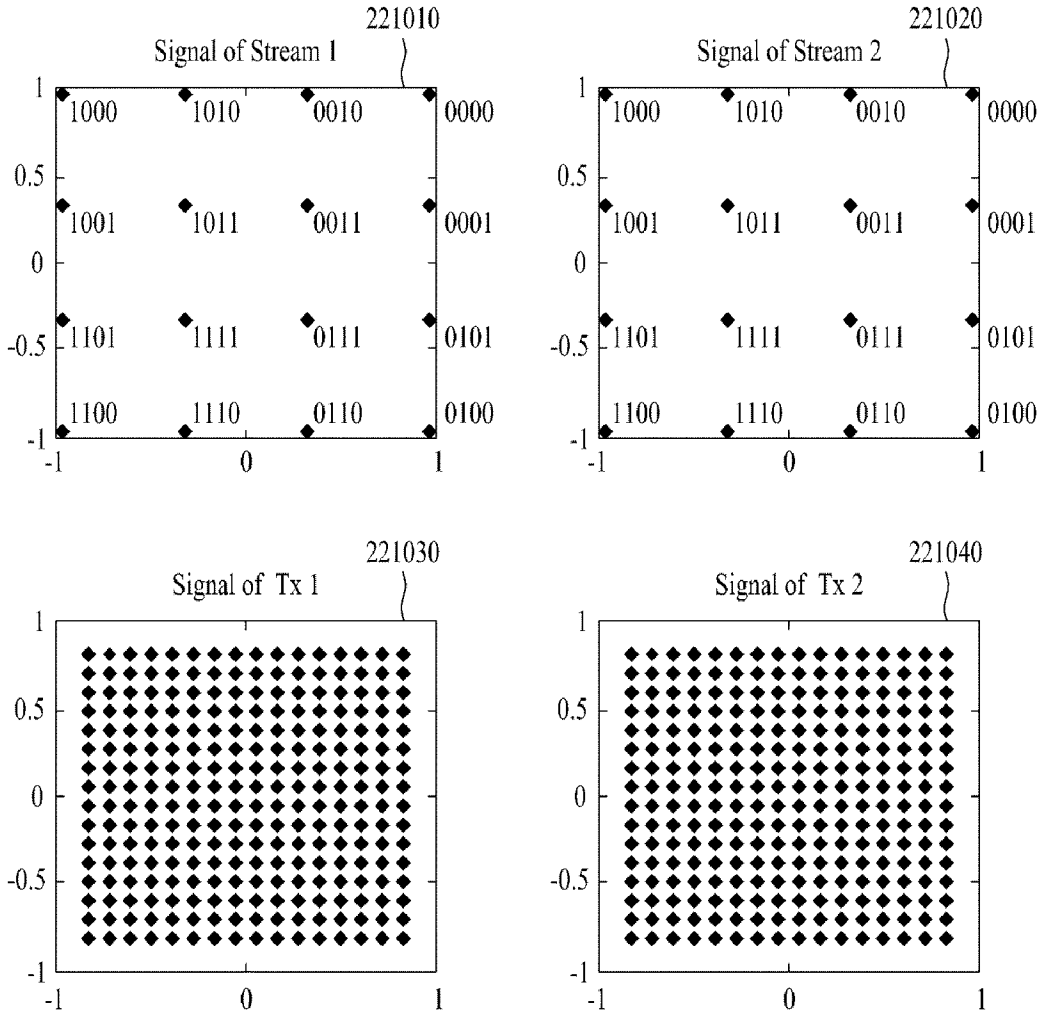
[Fig. 18]


2(α-1)
α+1
Hamming distance of combined signal usgin OPT1
1.5
1
0.5
0
-0.5
-1
-1.5
-1.5
-1
-0.5
0
0.5
1
1.5
D E 1
D E 2
D H =1
D H =2
D H =3
D H =4

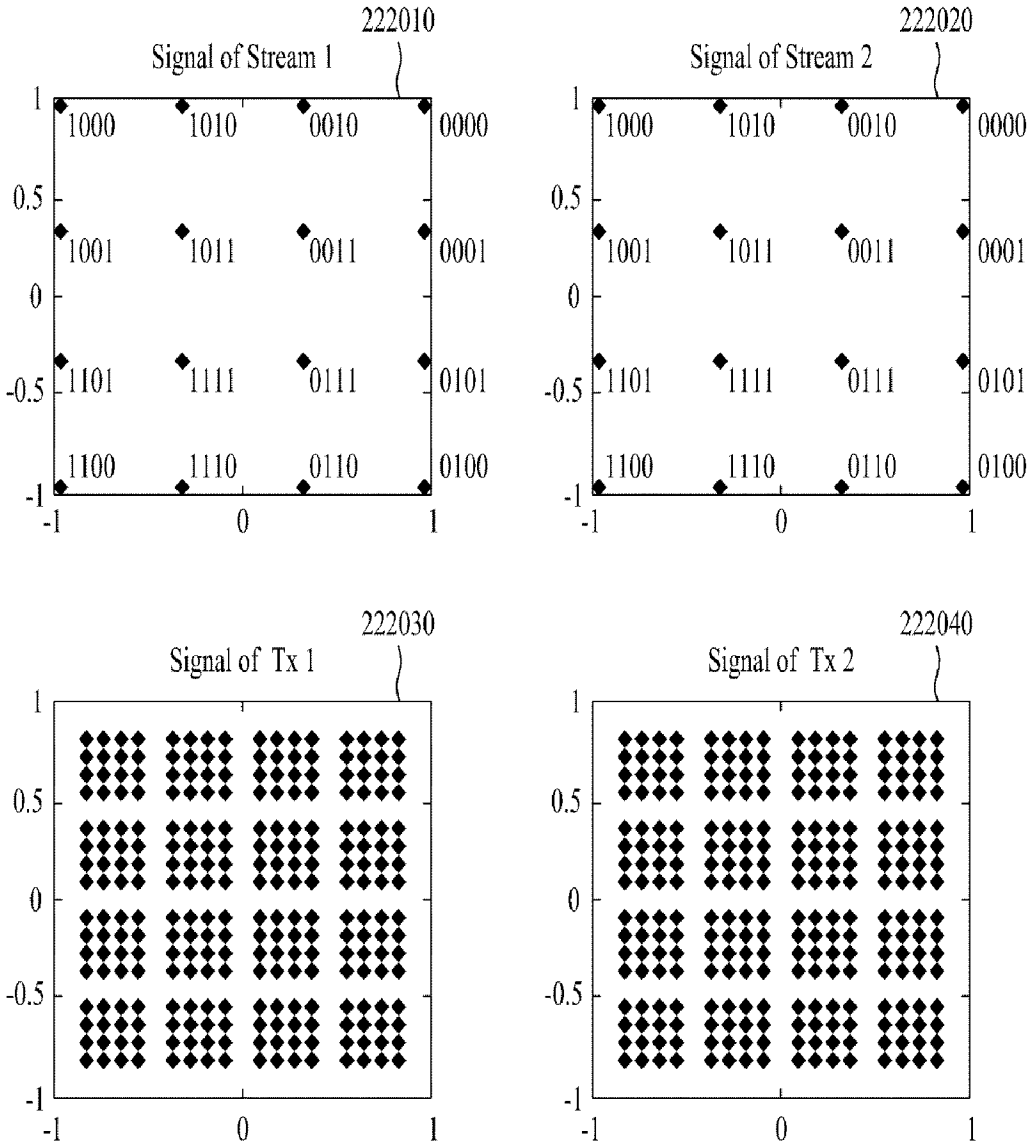
[Fig. 19]


214010
Signal of Stream 1
214020
Signal of Stream 2
Signal of Tx 1
214030
Signal of Tx 2
214040
Combined Signal when spatial channels are fully correlated
214050
D H =1
D H =2
D H =3
D H =4

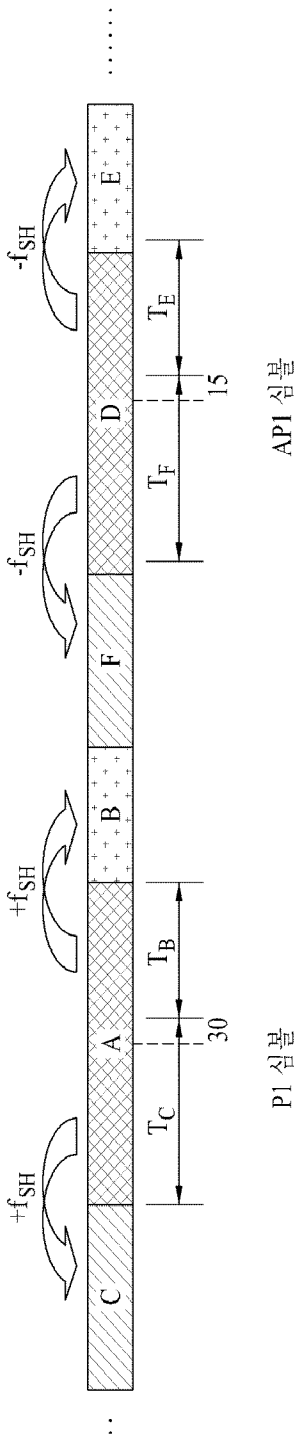
[Fig. 20]


221010
Signal of Stream 1
1000
1010
0010
0000
1001
1011
0011
0001
1101
1111
0111
0101
1100
1110
0110
0100
221020
Signal of Stream 2
1000
1010
0010
0000
1001
1011
0011
0001
1101
1111
0111
0101
1100
1110
0110
0100
221030
Signal of Tx 1
221040
Signal of Tx 2
1
0.5
0
-0.5
-1
-1
0
1

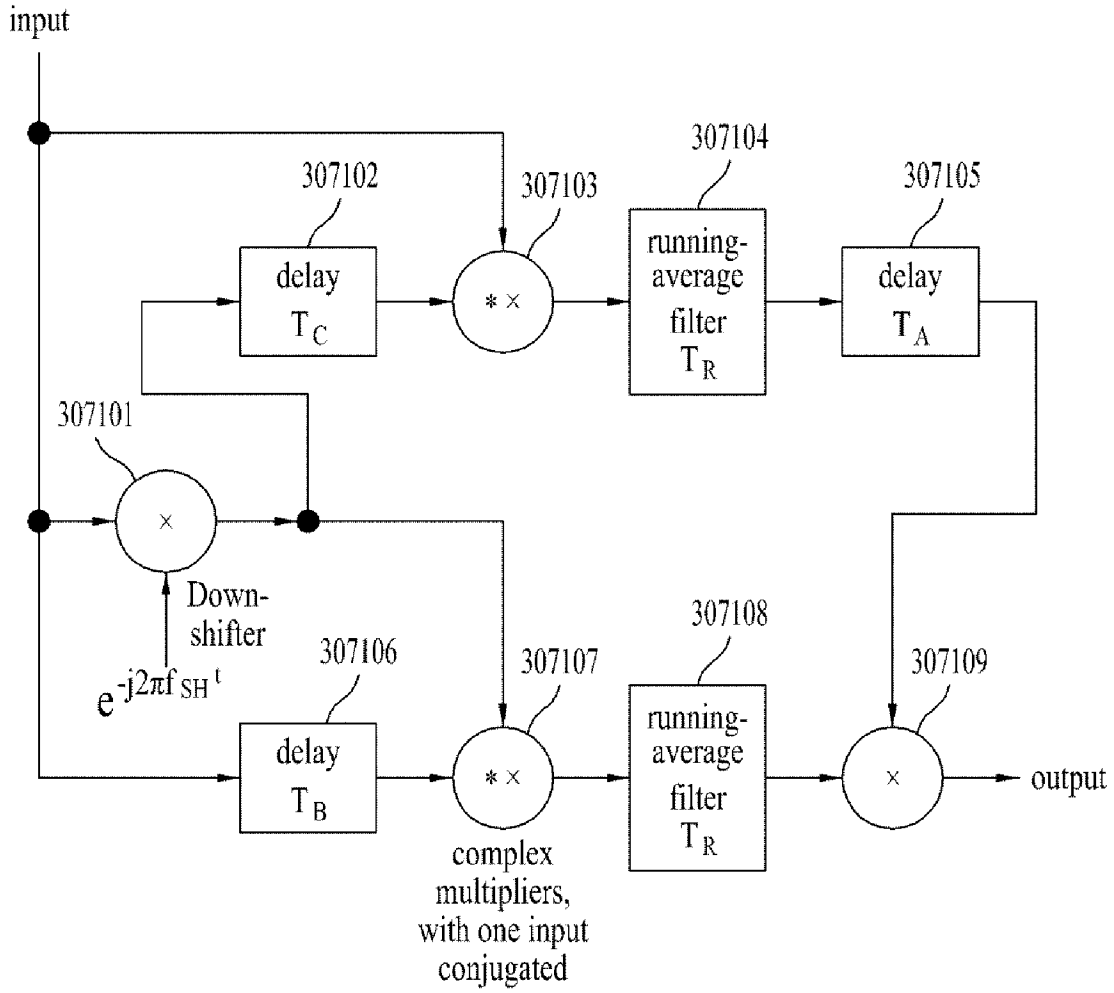
[Fig. 21]


222010
Signal of Stream 1
1000
1010
0010
0000
1001
1011
0011
0001
1101
1111
0111
0101
1100
1110
0110
0100
222020
Signal of Stream 2
1000
1010
0010
0000
1001
1011
0011
0001
1101
1111
0111
0101
1100
1110
0110
0100
222030
Signal of Tx 1
222040
Signal of Tx 2
1
0.5
0
-0.5
-1
-1
0
1

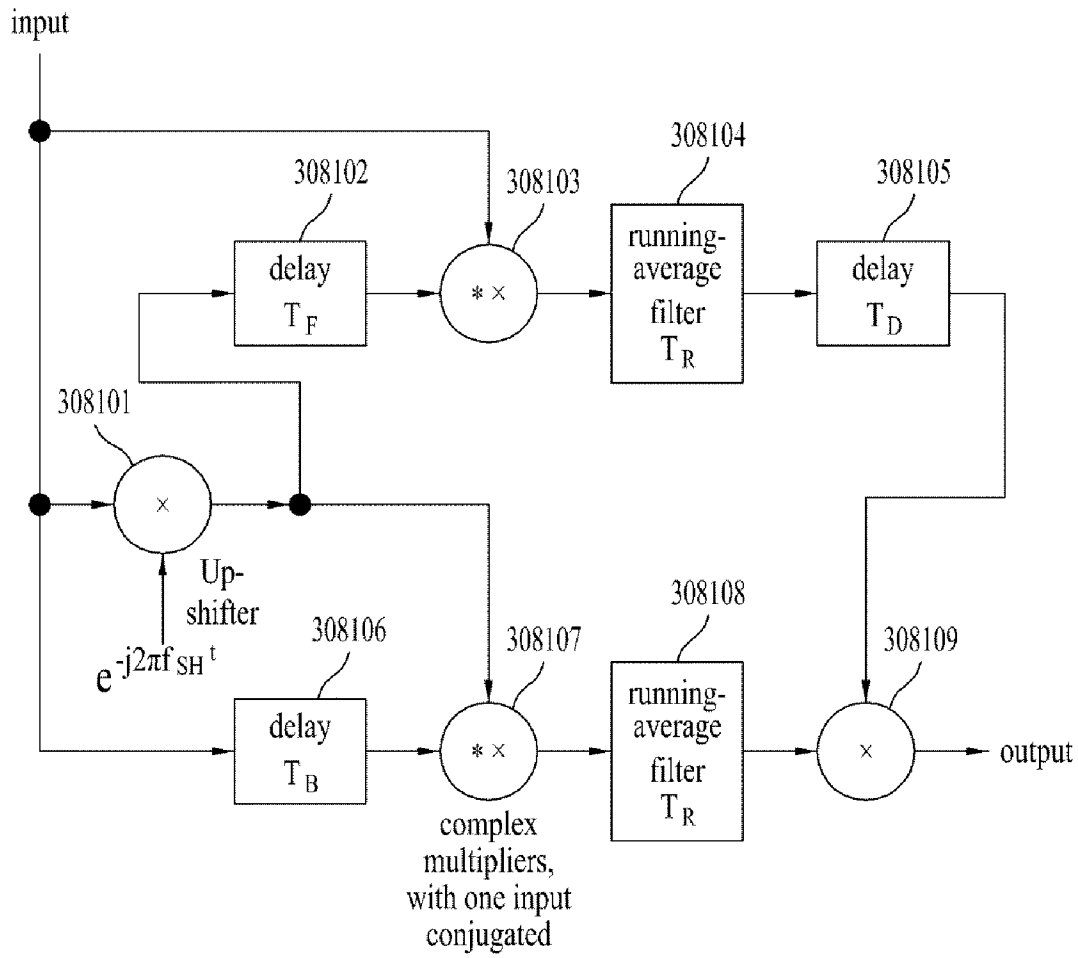
[Fig. 22]



[Fig. 23]


input
307102
delay
$T_C$
307103
307104
running-
average
filter
$T_R$
307105
delay
$T_A$
307101
Down-
shifter
$e^{-j2\pi f_{SH} t}$
307106
delay
$T_B$
307107
complex
multipliers,
with one input
conjugated
307108
running-
average
filter
$T_R$
307109
output

[Fig. 24]


input
308102
delay
$T_F$
308103
308104
running-
average
filter
$T_R$
308105
delay
$T_D$
308101
Up-
shifter
$e^{-j2\pi f_{SH} t}$
308106
delay
$T_B$
308107
complex
multipliers,
with one input
conjugated
308108
running-
average
filter
$T_R$
308109
output

[Fig. 25]

25-A

| Field | Bits |
|---|---|
| S1 | 3 |
| S2 field 1 | 3 |
| S2 field 2 | 1 |

25-B

| Field | Bits |
|---|---|
| PIOT_PATTERN * | 4 |
| L1_PRE_SPREAD_LENGTH * | 3 |

[Fig. 26]

| Field | Bits |
|---|---|
| TYPE | 8 |
| BWT_EXT | 1 |
| S1 | 3 |
| S2 | 4 |
| L1_REPETITION_FLAG | 3 |
| GUARD_INTERVAL | 3 |
| PAPR | 4 |
| L1_MOD | 4 |
| L1_COD | 2 |
| L1_FEC | 2 |
| L1_POST_SIZE | 18 |
| L1_POST_INFO_SIZE | 18 |
| PILOT_PATTERN | 4 |
| TX_ID_AVAILABILITY | 8 |
| CELL_ID | 16 |
| NETWORK_ID | 16 |
| NGH_SYSTEM_ID | 16 |
| NUM_NGH_FRAMES | 8 |
| NUM_T2_FRAMES | 8 |
| L1_POST_SPREAD_LENGH * | 12 |
| NUM_DATA_SYMBOLS | 12 |
| NUM_MISO_SYMBOLS | 12 |
| MIMO_SYMBOL_INTERVAL | 12 |
| MIMO_SYMBOL_LENGTH | 12 |
| REGEN_FLAG | 3 |
| L1_POST_EXTENSION | 1 |
| NUM_RF | 3 |
| CURRENT_RF_IDX | 3 |
| RESERVED | 10 |
| CRC_32 | 32 |

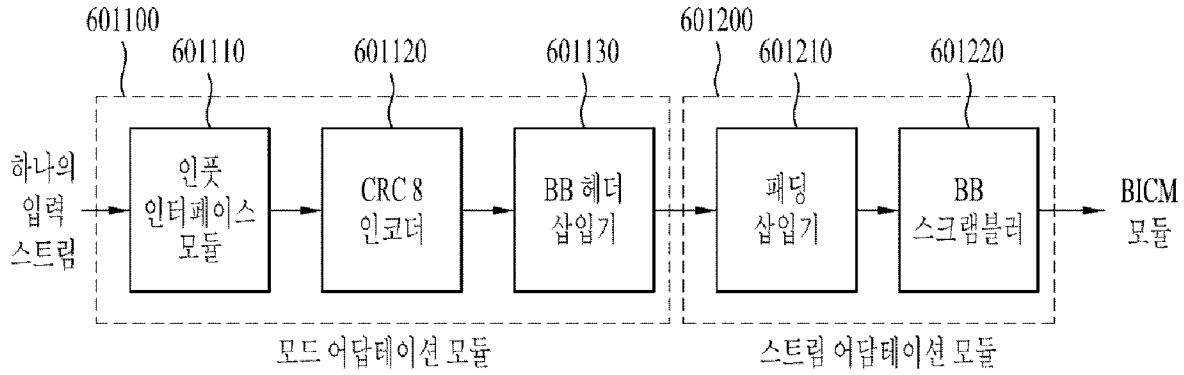
[Fig. 27]

| Field | Bits |
|---|---|
| SUB_SLICES_PER_FRAME | 15 |
| NUM_PLP | 8 |
| NUM_AUX | 4 |
| AUX_CONFIG_RFU | 8 |
| | |
| for i = 0..NUM_RF-1 { | |
| RF_IDX | 3 |
| FREQEUNCY | 32 |
| } | |
| | |
| if S2 == 'xxx1' { | |
| FEF_TYPE | 4 |
| FEF_LENGTH | 22 |
| FEF_INTERVAL | 8 |
| NEXT_NGH_SUPERFRAME | 8 |
| } | |
| | |
| RESERVED_2 | 32 |
| | |
| for i = 0..NUM_AUX-1 { | |
| AUX_RFU | 32 |
| } | |
| for i = 0..NUM_PLP-1 { | |
| PLP_ID | 8 |
| PLP_TYPE | 3 |
| PLP_PAYLOAD_TYPE | 5 |
| PLP_PROFILE | 2 |
| FF_FLAG | 1 |
| FIRST_RF_IDX | 3 |
| FIRST_FRAME_IDX | 8 |
| PLP_GROUP_ID | 8 |
| PLP_COD | 3 |
| PLP_MOD | 3 |
| PLP_MIMO_TYPE | 2 |
| PLP_ROTATION | 1 |
| PLP_FEC_TYPE | 2 |
| PLP_NUM_BLOCKS_MAX | 10 |
| FRAME_INTERVAL | 8 |
| TIME_IL_LENGTH | 8 |
| TIME_IL_TYPE | 1 |
| IN_BAND_FLAG | 1 |
| RESERVED_1 | 16 |
| } | |

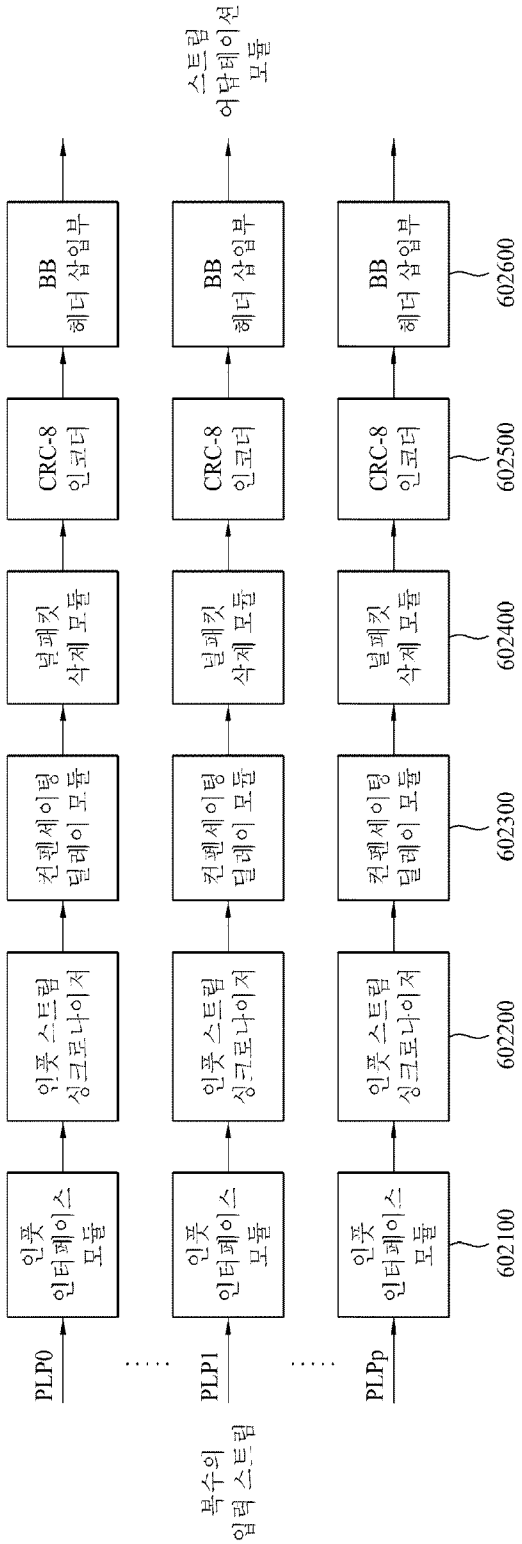
[Fig. 28]

| Field | Bits |
|---|---|
| FRAME_IDX | 8 |
| SUB_SLICE_INTERVAL | 22 |
| TYPE_2_START | 22 |
| L1_CHANGE_COUNTER | 8 |
| START_RF_IDX | 3 |
| RESERVED_1 | 8 |
| | |
| if S2 == 'xxx1' { | |
| NEXT_NGH_FRAME | 8 |
| } | |
| | |
| for i = 0..NUM_PLP-1 { | |
| PLP_ID | 8 |
| PLP_START | 22 |
| PLP_NUM_BLOCKS | 10 |
| RESERVED_2 | 8 |
| } | |
| | |
| RESERVED_3 | 8 |
| | |
| for i = 0..NUM_AUX-1 { | |
| AUX_RFU | 48 |
| } | |

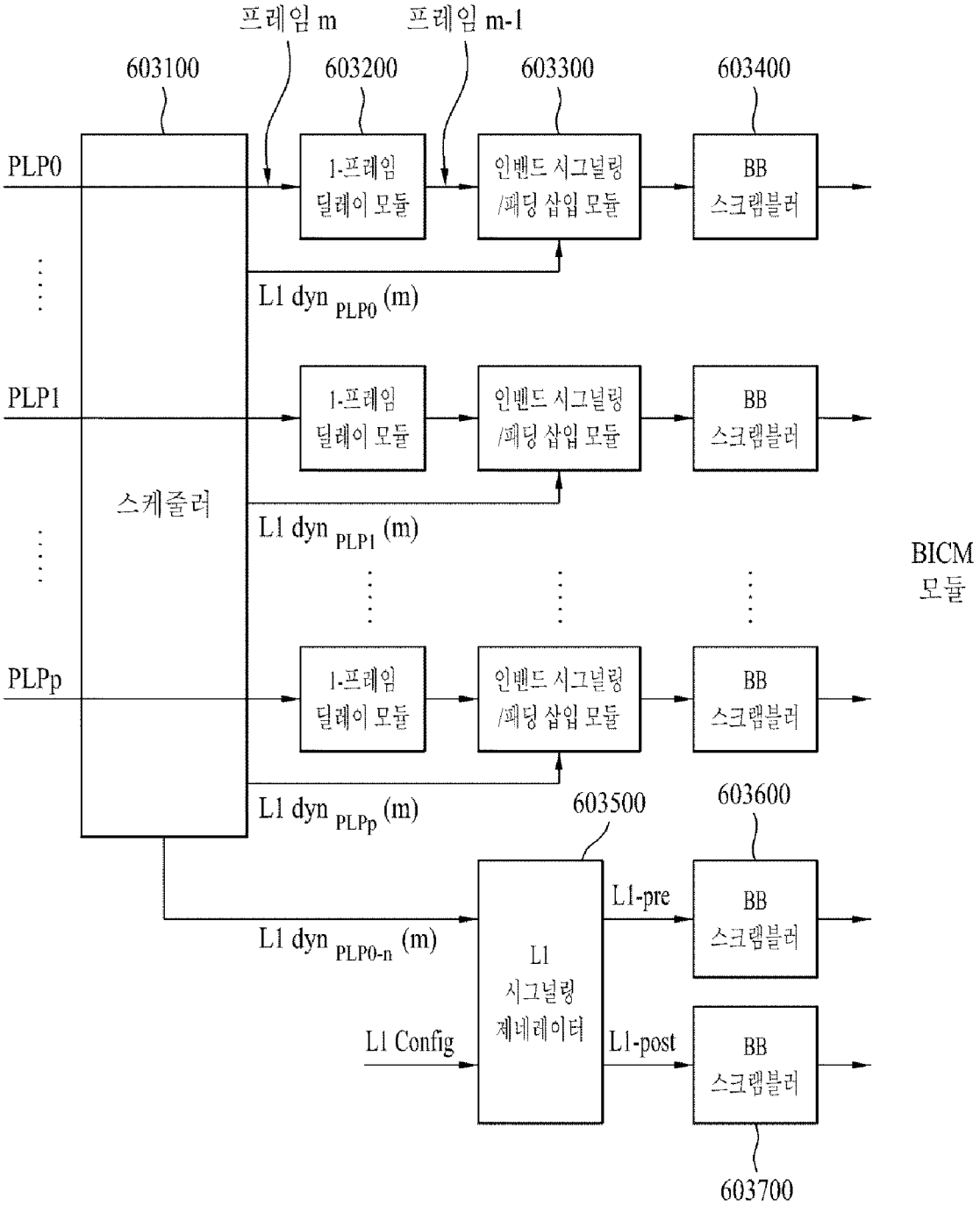
[Fig. 29]


601100
601110
601120
601130
601200
601210
601220
하나의 입력 스트림
인풋 인터페이스 모듈
CRC 8 인코더
BB 헤더 삽입기
패딩 삽입기
BB 스크램블러
BICM 모듈
모드 어답테이션 모듈
스트림 어답테이션 모듈

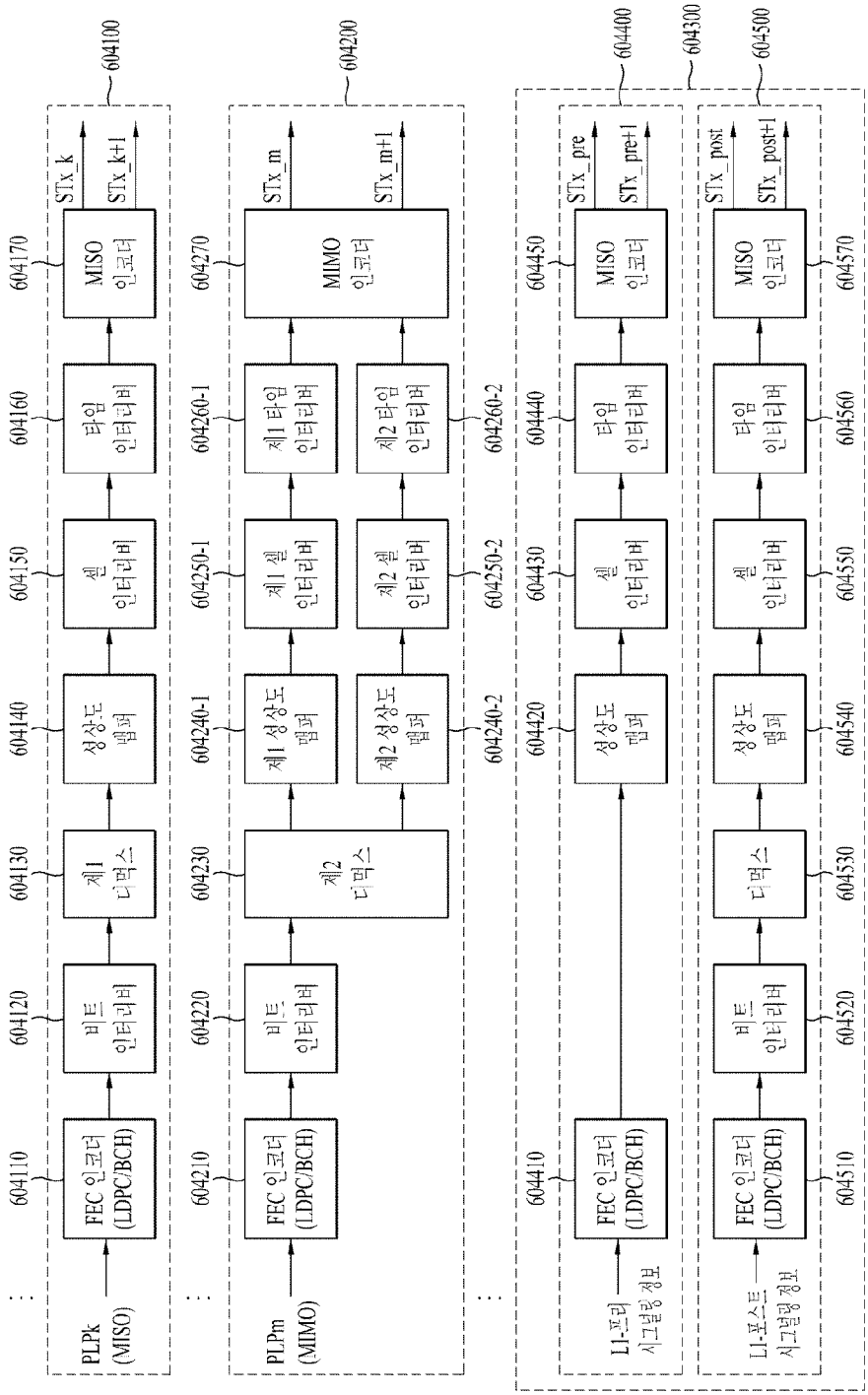
[Fig. 30]


복수의 입력 스트림
PLP0
PLP1
PLPp
인풋 인터페이스 모듈
602100
인풋 스트림 싱크로나이저
602200
컨벌루셔널 딜레이 모듈
602300
널패킷 삭제 모듈
602400
CRC-8 인코더
602500
BB 헤더 삽입부
602600
스트림 어댑테이션 모듈

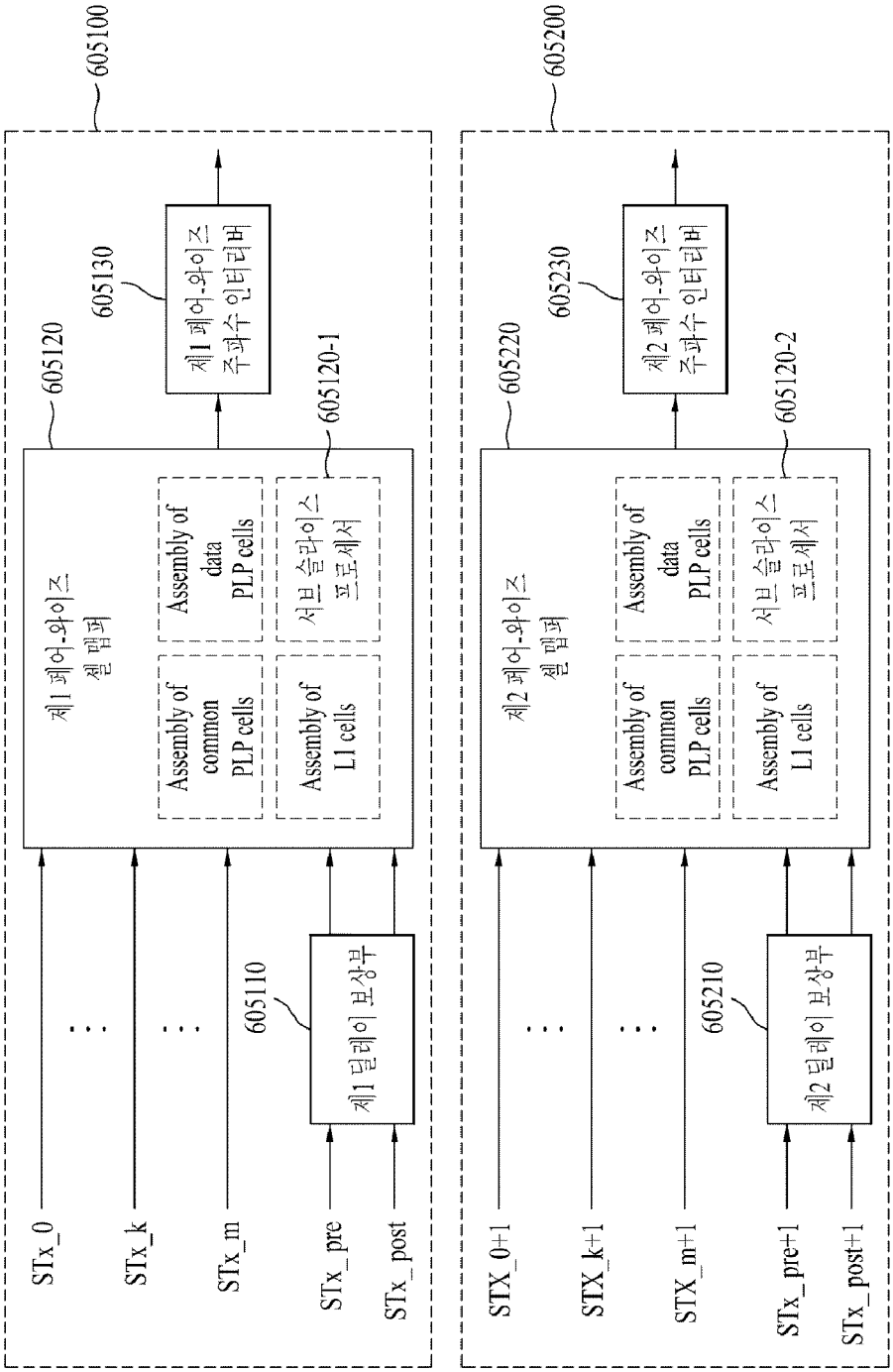
[Fig. 31]


프레임 m
프레임 m-1
603100
603200
603300
603400
PLP0
1-프레임 딜레이 모듈
인밴드 시그널링 /패딩 삽입 모듈
BB 스크램블러
L1 dyn PLP0 (m)
PLP1
1-프레임 딜레이 모듈
인밴드 시그널링 /패딩 삽입 모듈
BB 스크램블러
스케줄러
L1 dyn PLP1 (m)
BICM 모듈
PLPp
1-프레임 딜레이 모듈
인밴드 시그널링 /패딩 삽입 모듈
BB 스크램블러
L1 dyn PLPp (m)
603500
603600
L1-pre
BB 스크램블러
L1 dyn PLP0-n (m)
L1 시그널링 제네레이터
L1 Config
L1-post
BB 스크램블러
603700

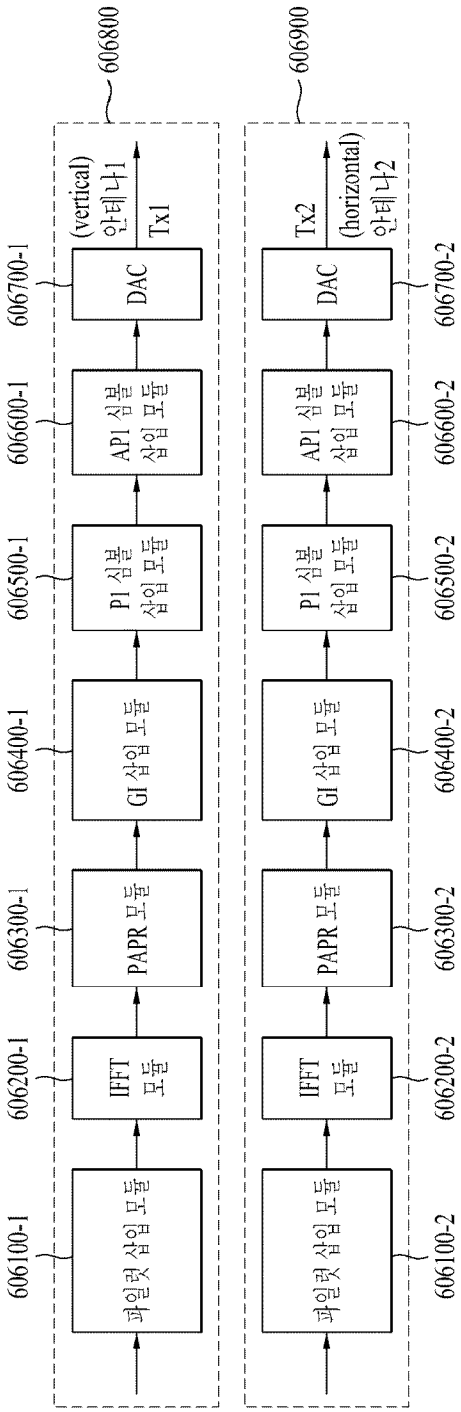
[Fig. 32]


604100
604170
604160
604150
604140
604130
604120
604110
PLPk (MISO)
FEC 인코더 (LDPC/BCH)
비트 인터리버
제1 디멱스
셀 인터리버
타임 인터리버
MISO 인코더
STx_k
STx_k+1
604200
604270
604260-1
604260-2
604250-1
604250-2
604240-1
604240-2
604230
604220
604210
PLPm (MIMO)
FEC 인코더 (LDPC/BCH)
비트 인터리버
제2 디멱스
제1 셀 인터리버
제2 셀 인터리버
제1 타임 인터리버
제2 타임 인터리버
MIMO 인코더
STx_m
STx_m+1
604300
604400
604450
604440
604430
604420
604410
L1-프리 시그널링 정보
FEC 인코더 (LDPC/BCH)
셀 인터리버
타임 인터리버
MISO 인코더
STx_pre
STx_pre+1
604500
604570
604560
604550
604540
604530
604520
604510
L1-포스트 시그널링 정보
FEC 인코더 (LDPC/BCH)
비트 인터리버
디멱스
셀 인터리버
타임 인터리버
MISO 인코더
STx_post
STx_post+1

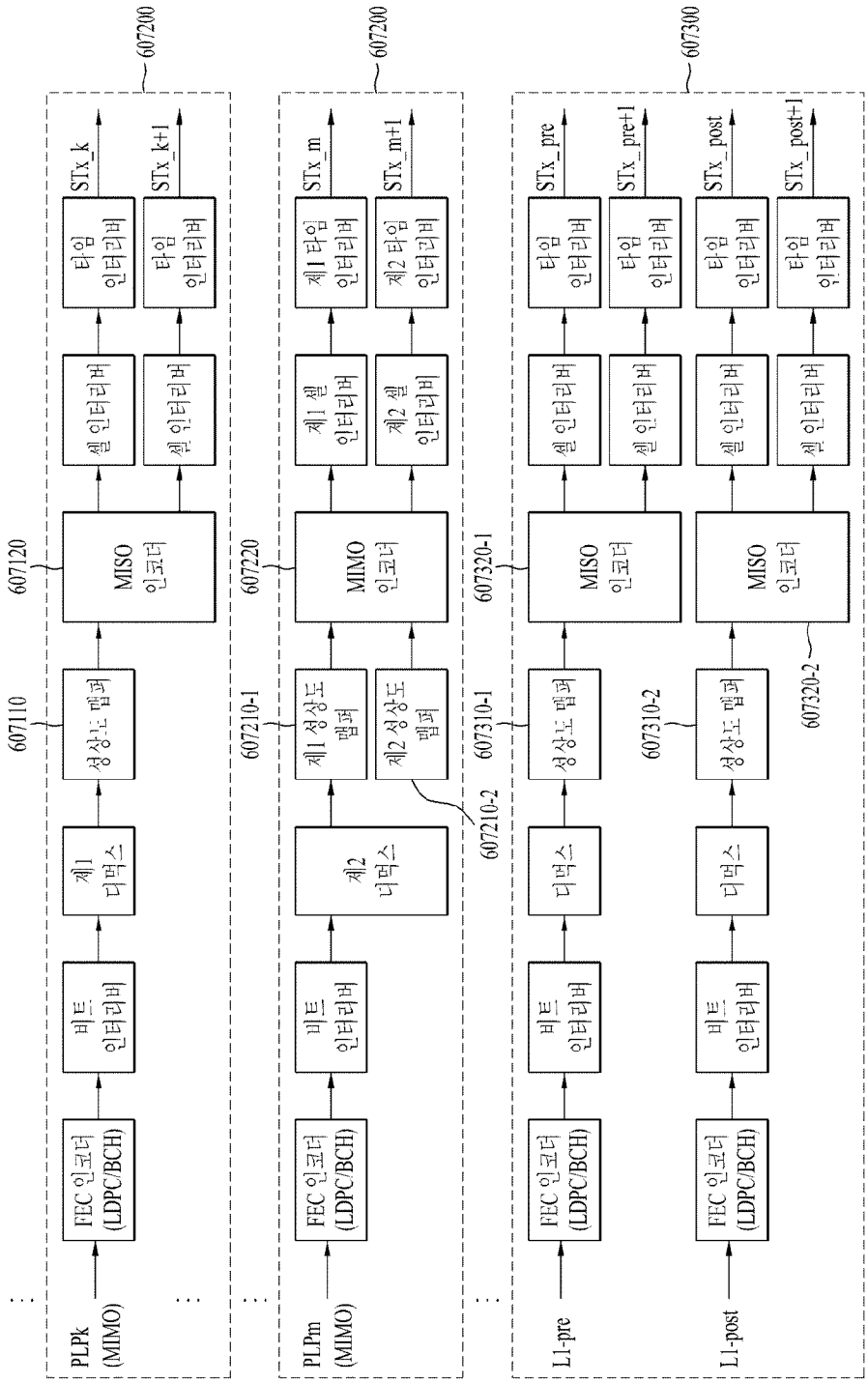
[Fig. 33]


605100
605120
605130
제1 페어-와이즈 주파수 인터리버
제1 페어-와이즈 셀 맵퍼
Assembly of common PLP cells
Assembly of data PLP cells
Assembly of L1 cells
605120-1
서브 슬라이스 프로세서
605110
제1 딜레이 보상부
STx_0
STx_k
STx_m
STx_pre
STx_post
605200
605220
605230
제2 페어-와이즈 주파수 인터리버
제2 페어-와이즈 셀 맵퍼
Assembly of common PLP cells
Assembly of data PLP cells
Assembly of L1 cells
605120-2
서브 슬라이스 프로세서
605210
제2 딜레이 보상부
STX_0+1
STX_k+1
STX_m+1
STx_pre+1
STx_post+1

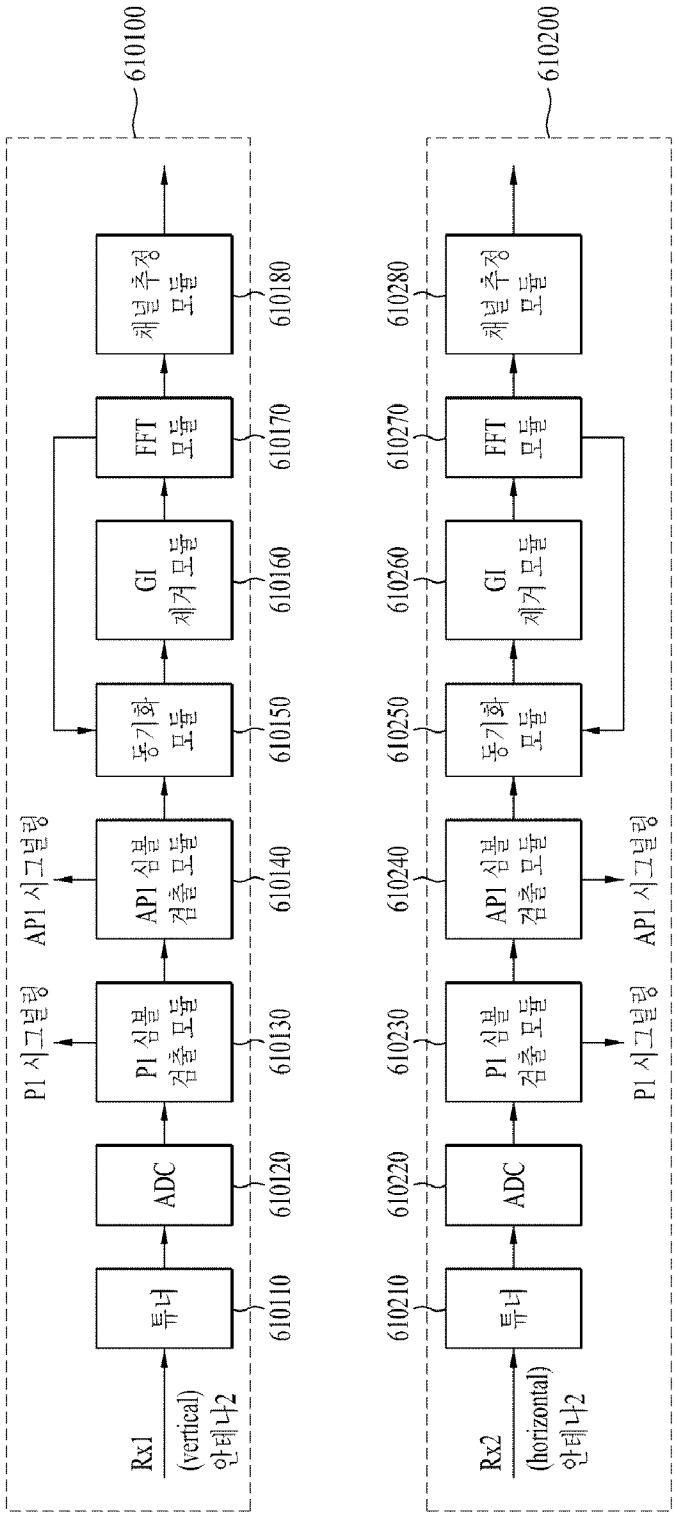
[Fig. 34]


606800
606900
606100-1
606200-1
606300-1
606400-1
606500-1
606600-1
606700-1
파일럿 삽입 모듈
IFFT 모듈
PAPR 모듈
GI 삽입 모듈
P1 심볼 삽입 모듈
AP1 심볼 삽입 모듈
DAC
(vertical) 안테나1
Tx1
606100-2
606200-2
606300-2
606400-2
606500-2
606600-2
606700-2
파일럿 삽입 모듈
IFFT 모듈
PAPR 모듈
GI 삽입 모듈
P1 심볼 삽입 모듈
AP1 심볼 삽입 모듈
DAC
Tx2
(horizontal) 안테나2

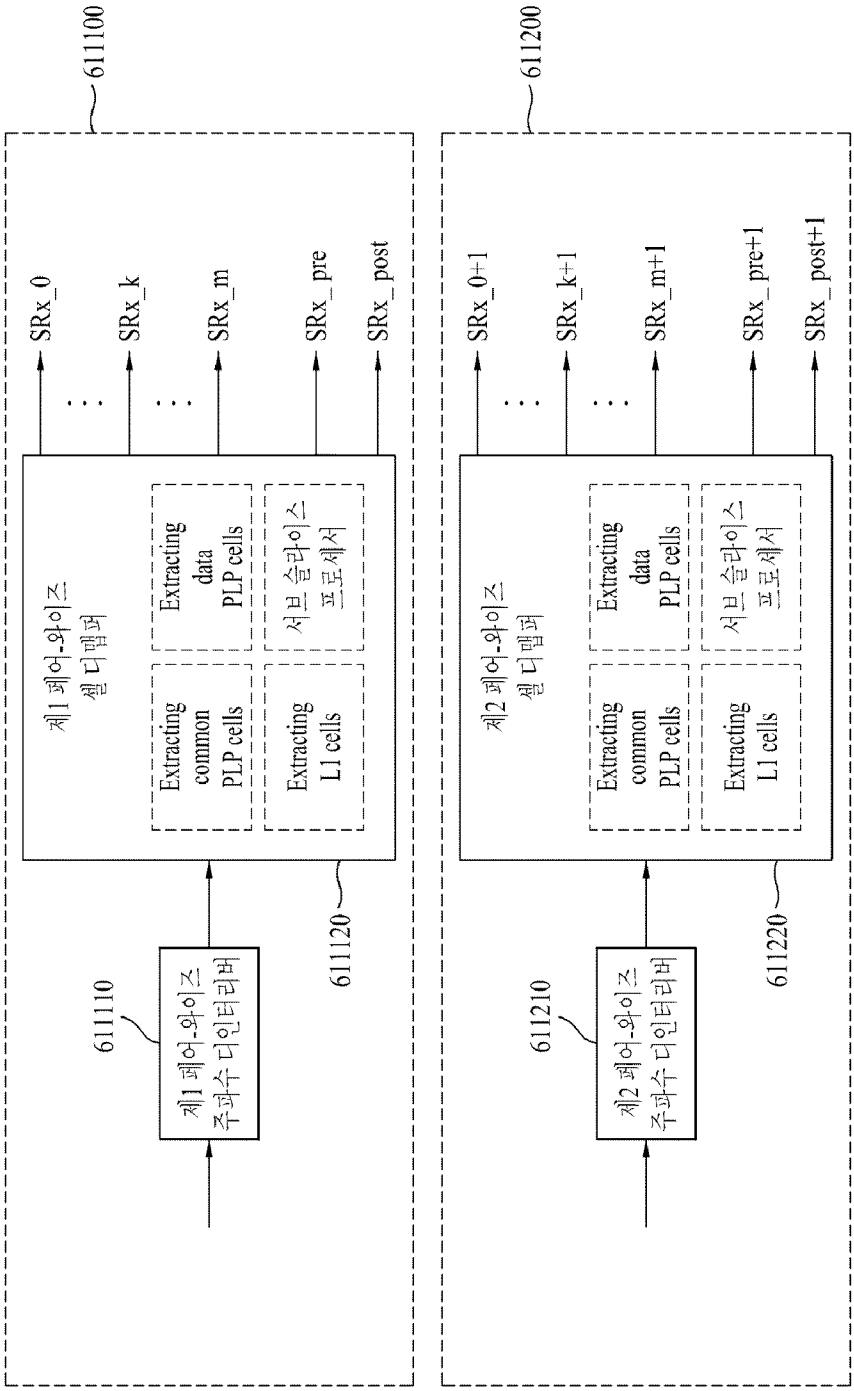
[Fig. 35]


607200
607200
607300
STx_k
STx_k+1
STx_m
STx_m+1
STx_pre
STx_pre+1
STx_post
STx_post+1
타임 인터리버
셀 인터리버
제1 타임 인터리버
제2 타임 인터리버
MISO 인코더
MIMO 인코더
607120
607220
607320-1
607320-2
607110
607210-1
607210-2
607310-1
607310-2
성상도 맵퍼
제1 성상도 맵퍼
제2 성상도 맵퍼
제1 셀 인터리버
제2 셀 인터리버
제1 디먹스
제2 디먹스
디먹스
비트 인터리버
FEC 인코더 (LDPC/BCH)
PLPk (MIMO)
PLPm (MIMO)
L1-pre
L1-post

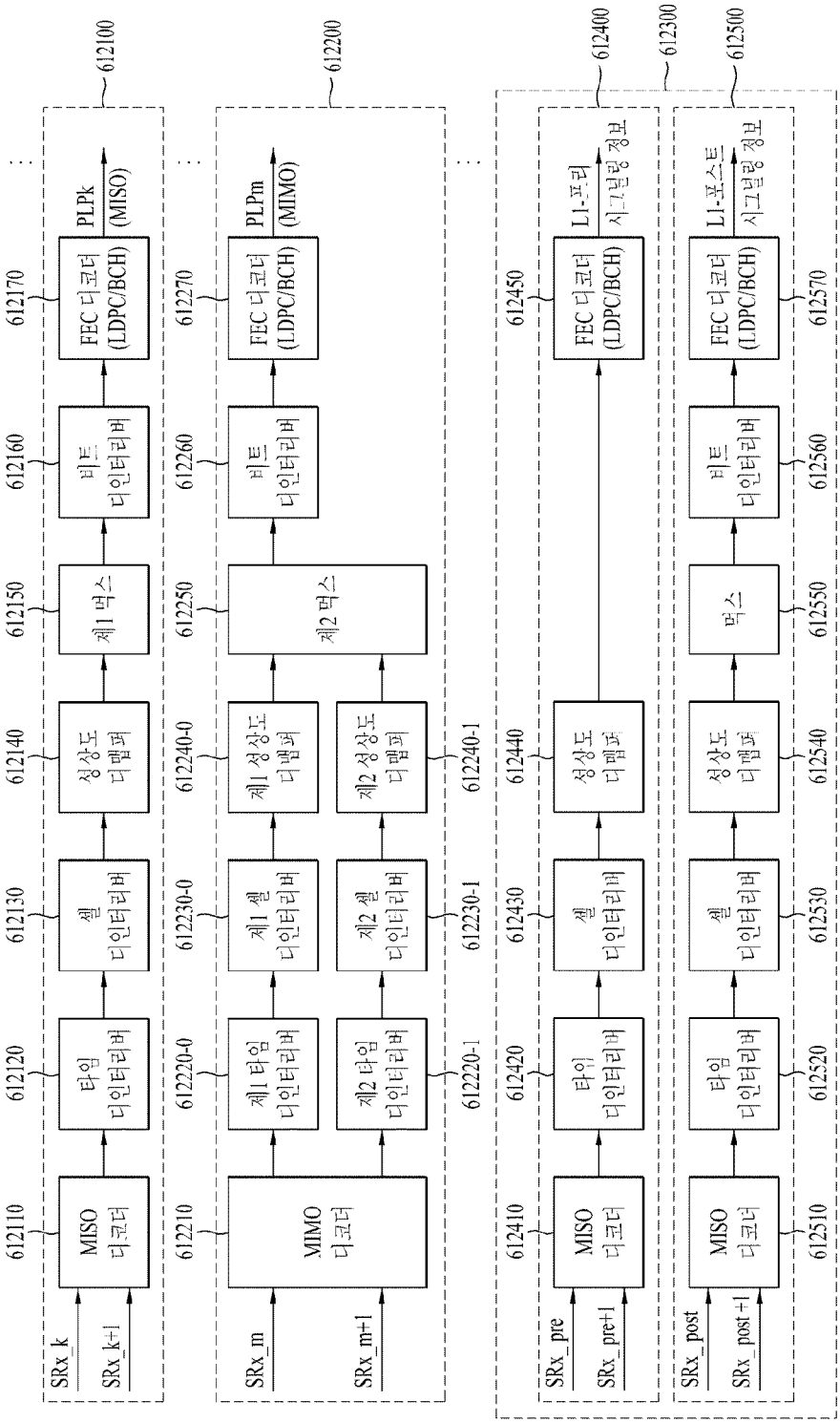
[Fig. 36]


610100
Rx1
(vertical)
안테나2
튜너
610110
ADC
610120
P1 심볼
검출 모듈
610130
P1 시그널링
AP1 심볼
검출 모듈
610140
AP1 시그널링
동기화
모듈
610150
GI
제거 모듈
610160
FFT
모듈
610170
채널 추정
모듈
610180
610200
Rx2
(horizontal)
안테나2
튜너
610210
ADC
610220
P1 심볼
검출 모듈
610230
P1 시그널링
AP1 심볼
검출 모듈
610240
AP1 시그널링
동기화
모듈
610250
GI
제거 모듈
610260
FFT
모듈
610270
채널 추정
모듈
610280

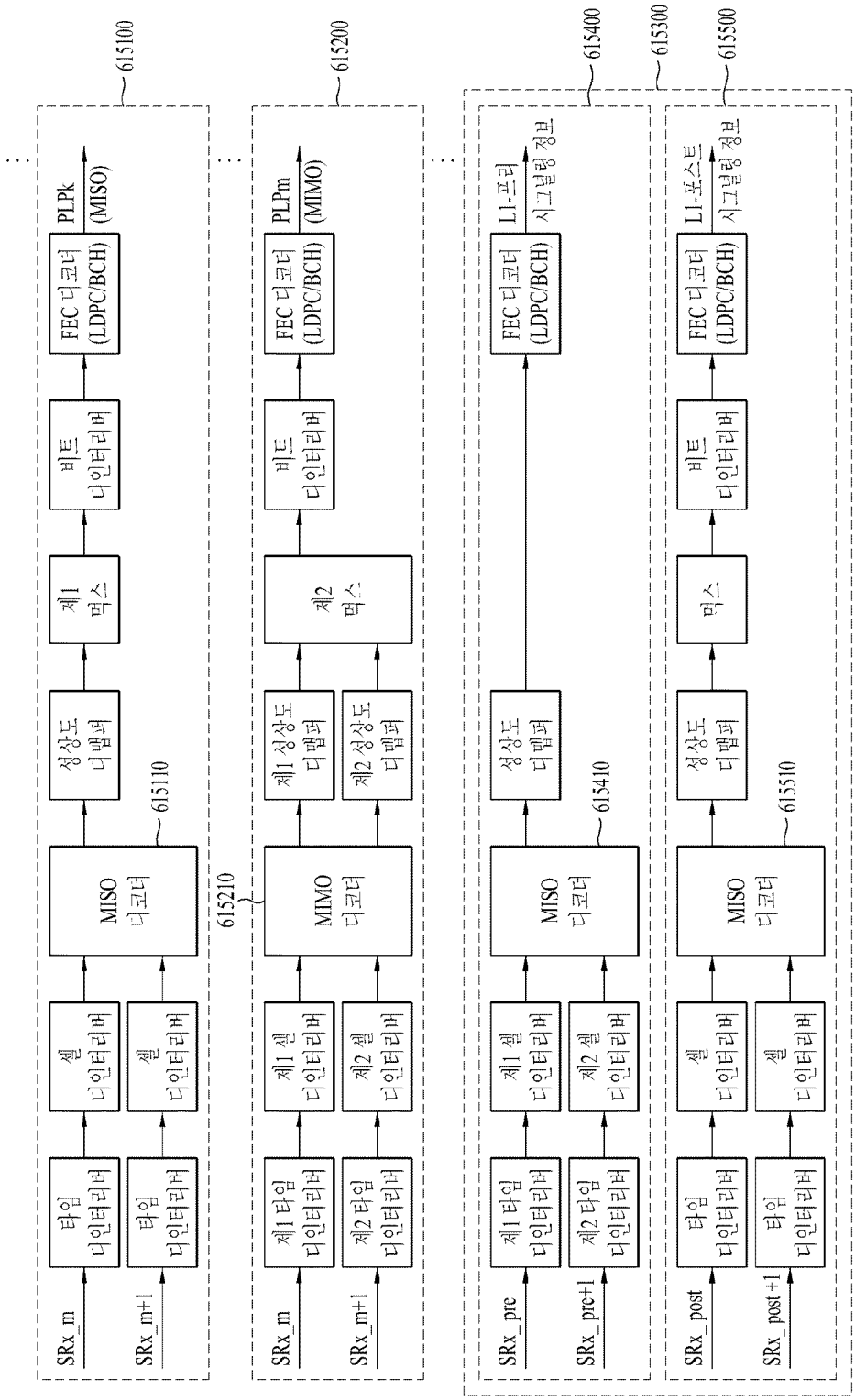
[Fig. 37]


611100
611200
SRx_0
SRx_k
SRx_m
SRx_pre
SRx_post
SRx_0+1
SRx_k+1
SRx_m+1
SRx_pre+1
SRx_post+1
제1 페어-와이즈 셀 디맵퍼
제2 페어-와이즈 셀 디맵퍼
Extracting common PLP cells
Extracting data PLP cells
Extracting L1 cells
서브 슬라이스 프로세서
611110
611120
611210
611220
제1 페어-와이즈 주파수 디인터리버
제2 페어-와이즈 주파수 디인터리버

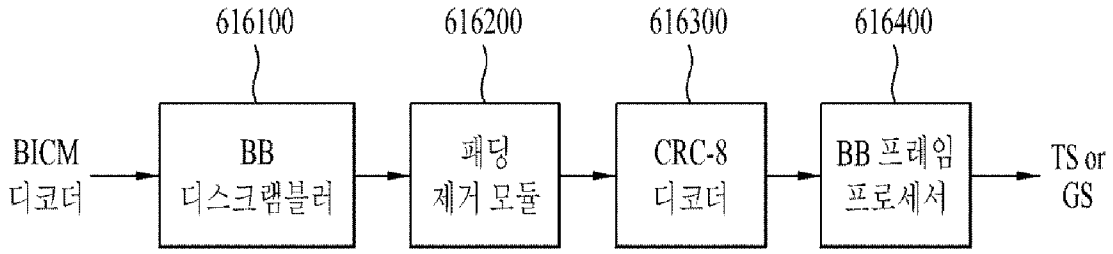
[Fig. 38]


612100
612200
612300
612400
612500
SRx_k
SRx_k+1
MISO 디코더
612110
타임 디인터리버
612120
셀 디인터리버
612130
성상도 디맵퍼
612140
제1 멕스
612150
비트 디인터리버
612160
FEC 디코더 (LDPC/BCH)
612170
PLPk (MISO)
SRx_m
SRx_m+1
MIMO 디코더
612210
제1 타임 디인터리버
612220-0
제2 타임 디인터리버
612220-1
제1 셀 디인터리버
612230-0
제2 셀 디인터리버
612230-1
제1 성상도 디맵퍼
612240-0
제2 성상도 디맵퍼
612240-1
제2 멕스
612250
비트 디인터리버
612260
FEC 디코더 (LDPC/BCH)
612270
PLPm (MIMO)
SRx_pre
SRx_pre+1
MISO 디코더
612410
타임 디인터리버
612420
셀 디인터리버
612430
성상도 디맵퍼
612440
FEC 디코더 (LDPC/BCH)
612450
L1-프리 시그널링 정보
SRx_post
SRx_post+1
MISO 디코더
612510
타임 디인터리버
612520
셀 디인터리버
612530
성상도 디맵퍼
612540
멕스
612550
비트 디인터리버
612560
FEC 디코더 (LDPC/BCH)
612570
L1-포스트 시그널링 정보

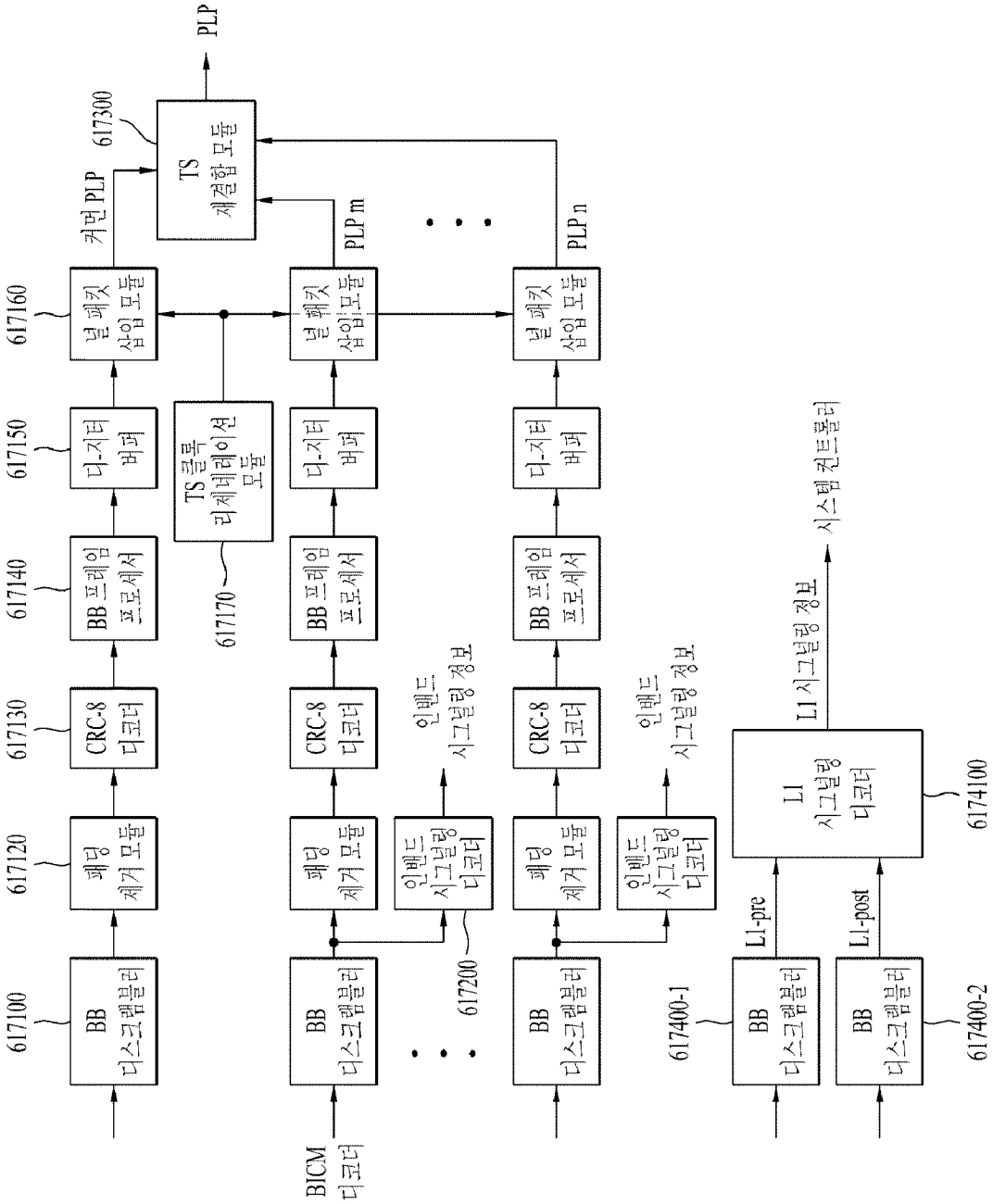
[Fig. 39]


615100
615200
615300
615400
615500
615110
615210
615410
615510
SRx_m
SRx_m+1
SRx_pre
SRx_pre+1
SRx_post
SRx_post+1
타임 디인터리버
셀 디인터리버
제1 타임 디인터리버
제2 타임 디인터리버
제1 셀 디인터리버
제2 셀 디인터리버
MISO 디코더
MIMO 디코더
성상도 디맵퍼
제1 성상도 디맵퍼
제2 성상도 디맵퍼
제1 먹스
제2 먹스
먹스
비트 디인터리버
FEC 디코더 (LDPC/BCH)
PLPk (MISO)
PLPm (MIMO)
L1-프리 시그널링 정보
L1-포스트 시그널링 정보

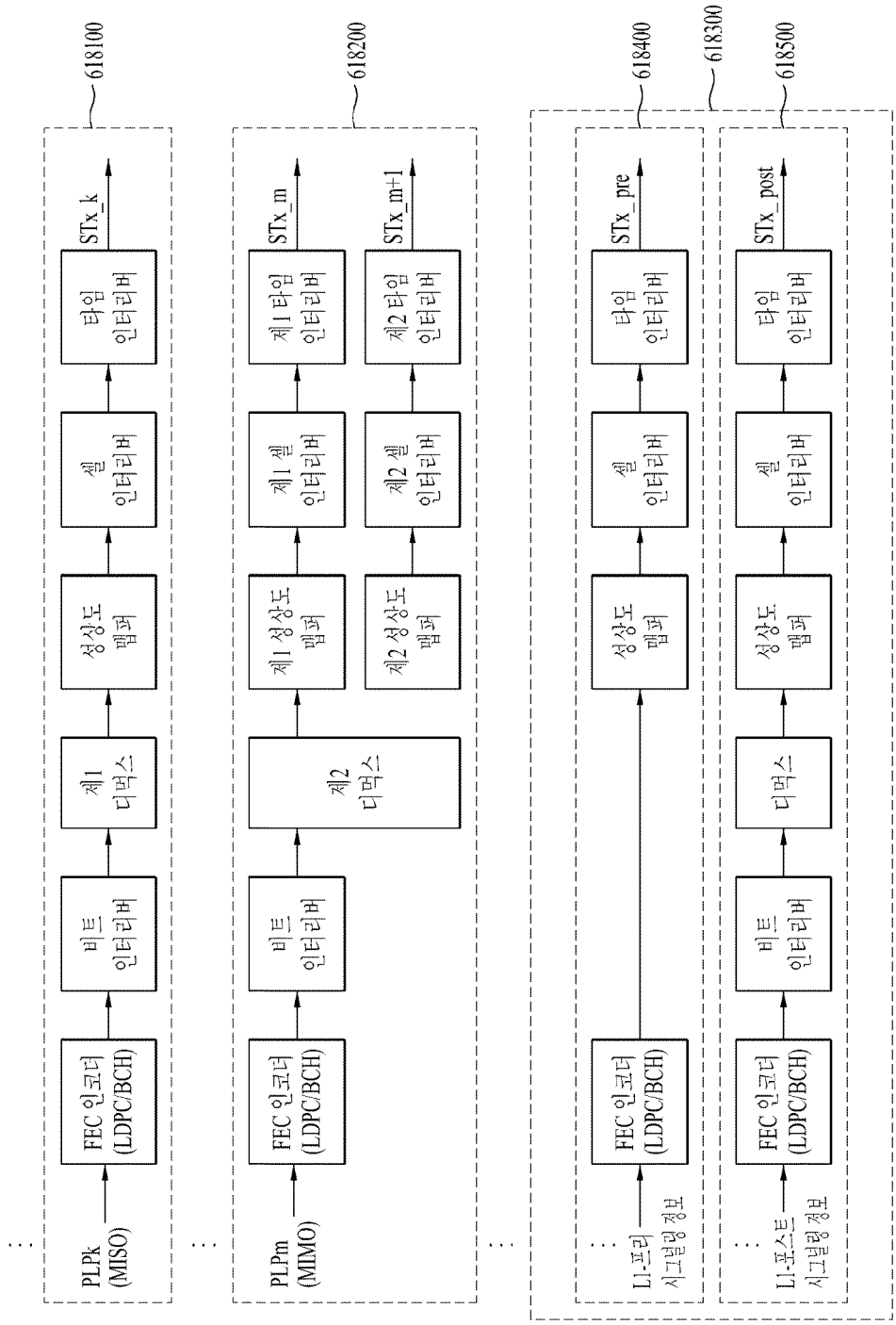
[Fig. 40]


616100
616200
616300
616400
BICM 디코더
BB 디스크램블러
패딩 제거 모듈
CRC-8 디코더
BB 프레임 프로세서
TS or GS

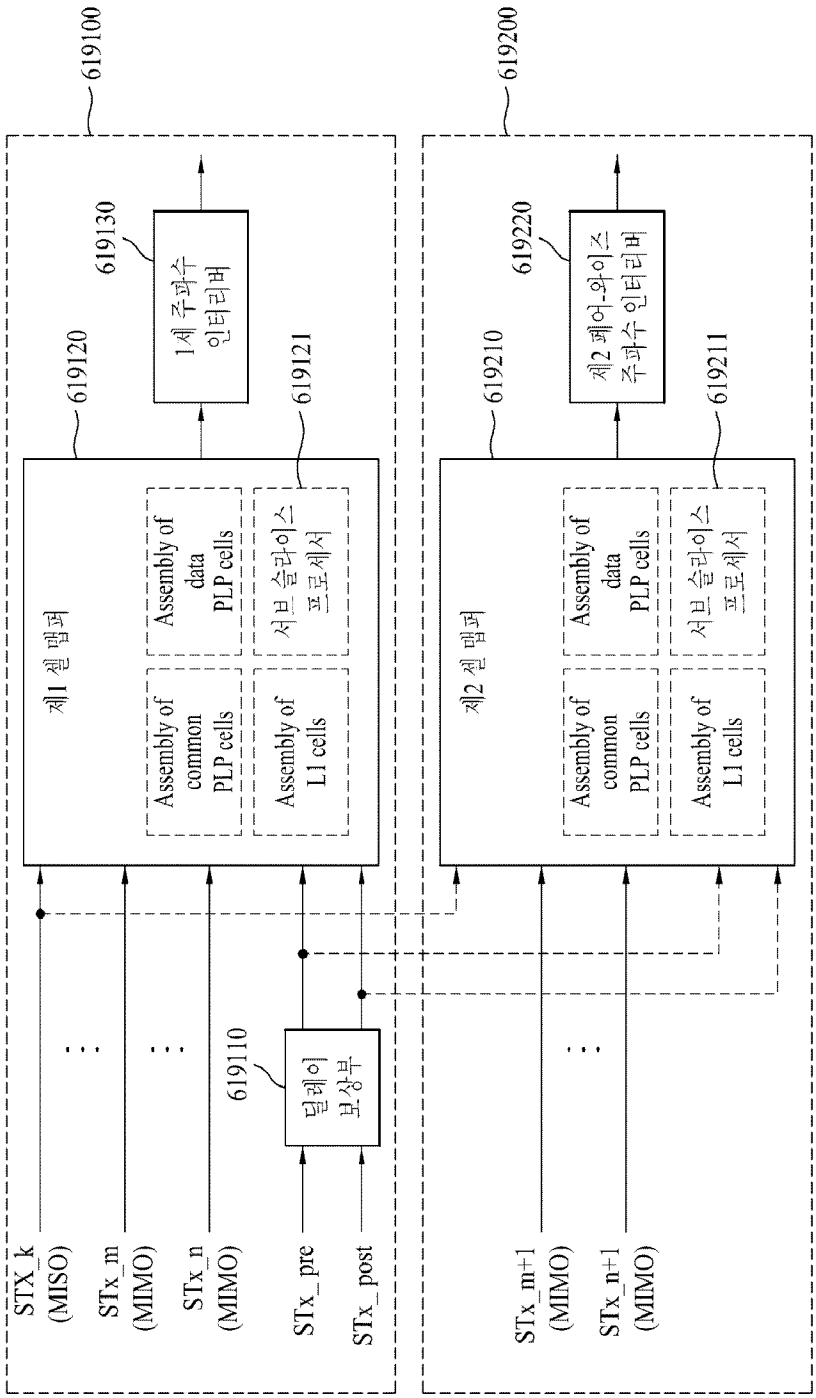
[Fig. 41]


PLP
617300
TS 재결합 모듈
커먼 PLP
PLP m
PLP n
617160
널 패킷 삽입 모듈
617150
디-지터 버퍼
617170
TS 클록 리제네레이션 모듈
617140
BB 프레임 프로세서
617130
CRC-8 디코더
617120
패딩 제거 모듈
617100
BB 디스크램블러
BICM 디코더
인밴드 시그널링 정보
인밴드 시그널링 디코더
617200
L1 시그널링 정보
시스템 컨트롤러
L1 시그널링 디코더
6174100
L1-pre
L1-post
617400-1
617400-2

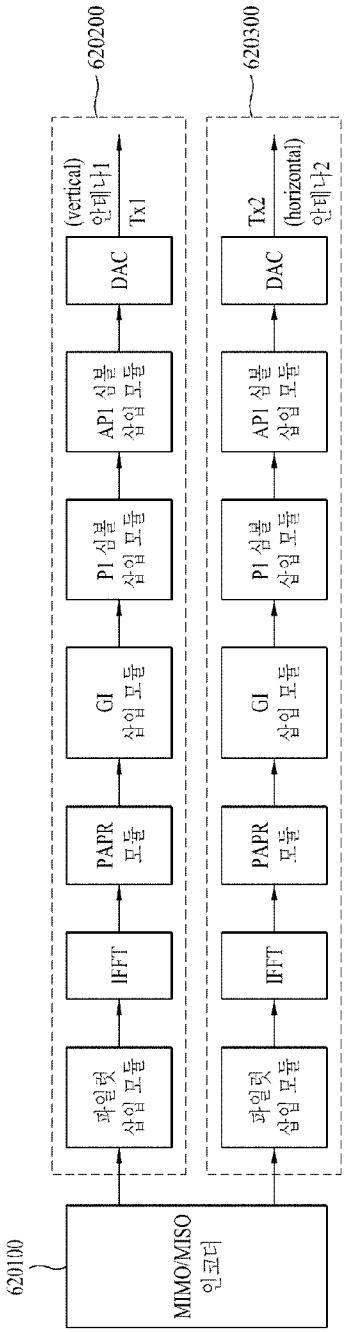
[Fig. 42]


618100
618200
618400
618300
618500
PLPk (MISO)
FEC 인코더 (LDPC/BCH)
비트 인터리버
제1 디먹스
성상도 맵퍼
셀 인터리버
타임 인터리버
STx_k
PLPm (MIMO)
FEC 인코더 (LDPC/BCH)
비트 인터리버
제2 디먹스
제1 성상도 맵퍼
제2 성상도 맵퍼
제1 셀 인터리버
제2 셀 인터리버
제1 타임 인터리버
제2 타임 인터리버
STx_m
STx_m+1
L1-프리 시그널링정보
FEC 인코더 (LDPC/BCH)
성상도 맵퍼
셀 인터리버
타임 인터리버
STx_pre
L1-포스트 시그널링정보
FEC 인코더 (LDPC/BCH)
비트 인터리버
디먹스
성상도 맵퍼
셀 인터리버
타임 인터리버
STx_post

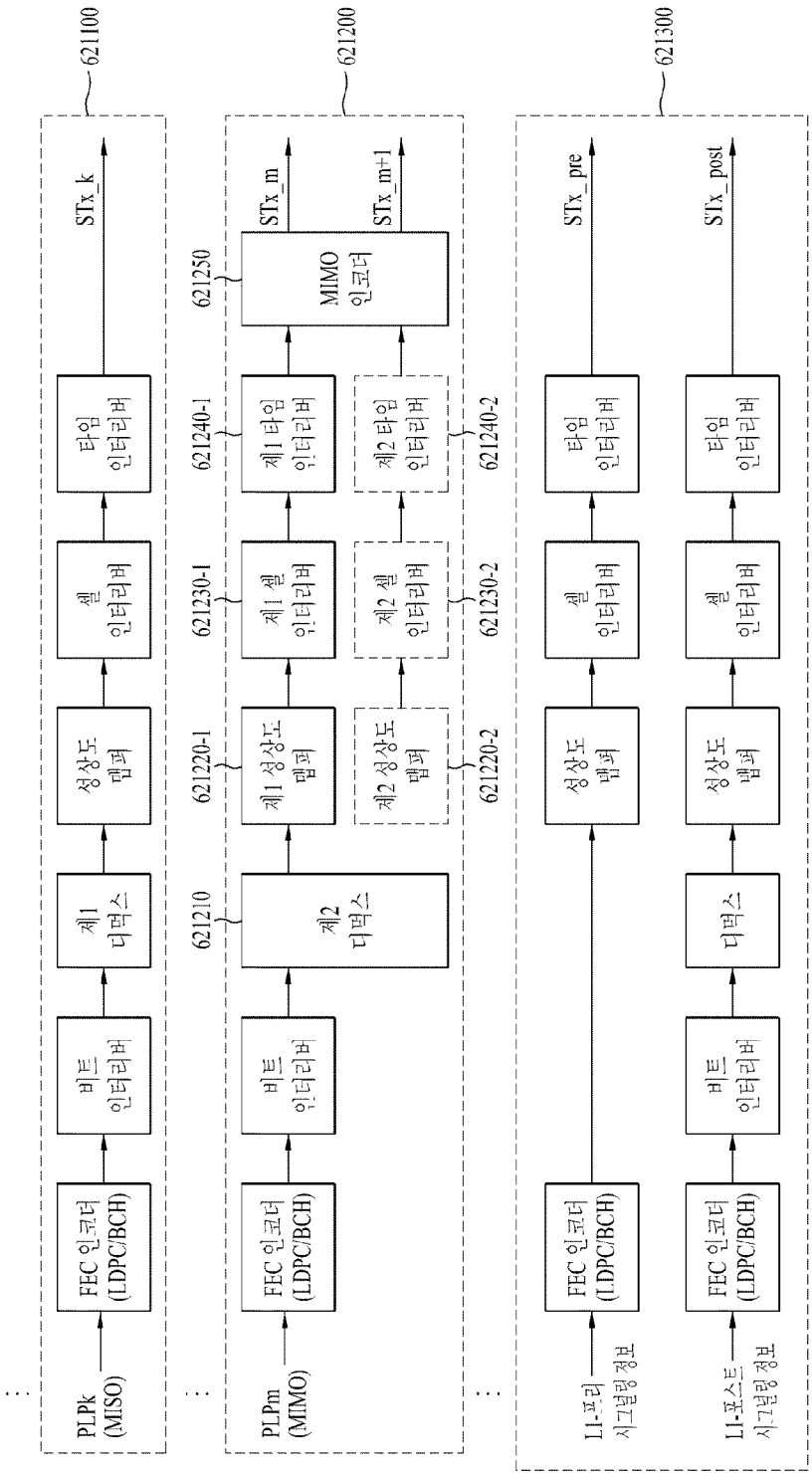
[Fig. 43]


619100
619130
1세 주파수 인터리버
619120
619121
제1 셀 맵퍼
Assembly of common PLP cells
Assembly of data PLP cells
Assembly of L1 cells
서브 슬라이스 프로세서
619110
딜레이 보상부
STX_k (MISO)
STx_m (MIMO)
STx_n (MIMO)
STx_pre
STx_post
619200
619220
제2 페어-와이즈 주파수 인터리버
619210
619211
제2 셀 맵퍼
Assembly of common PLP cells
Assembly of data PLP cells
Assembly of L1 cells
서브 슬라이스 프로세서
STx_m+1 (MIMO)
STx_n+1 (MIMO)

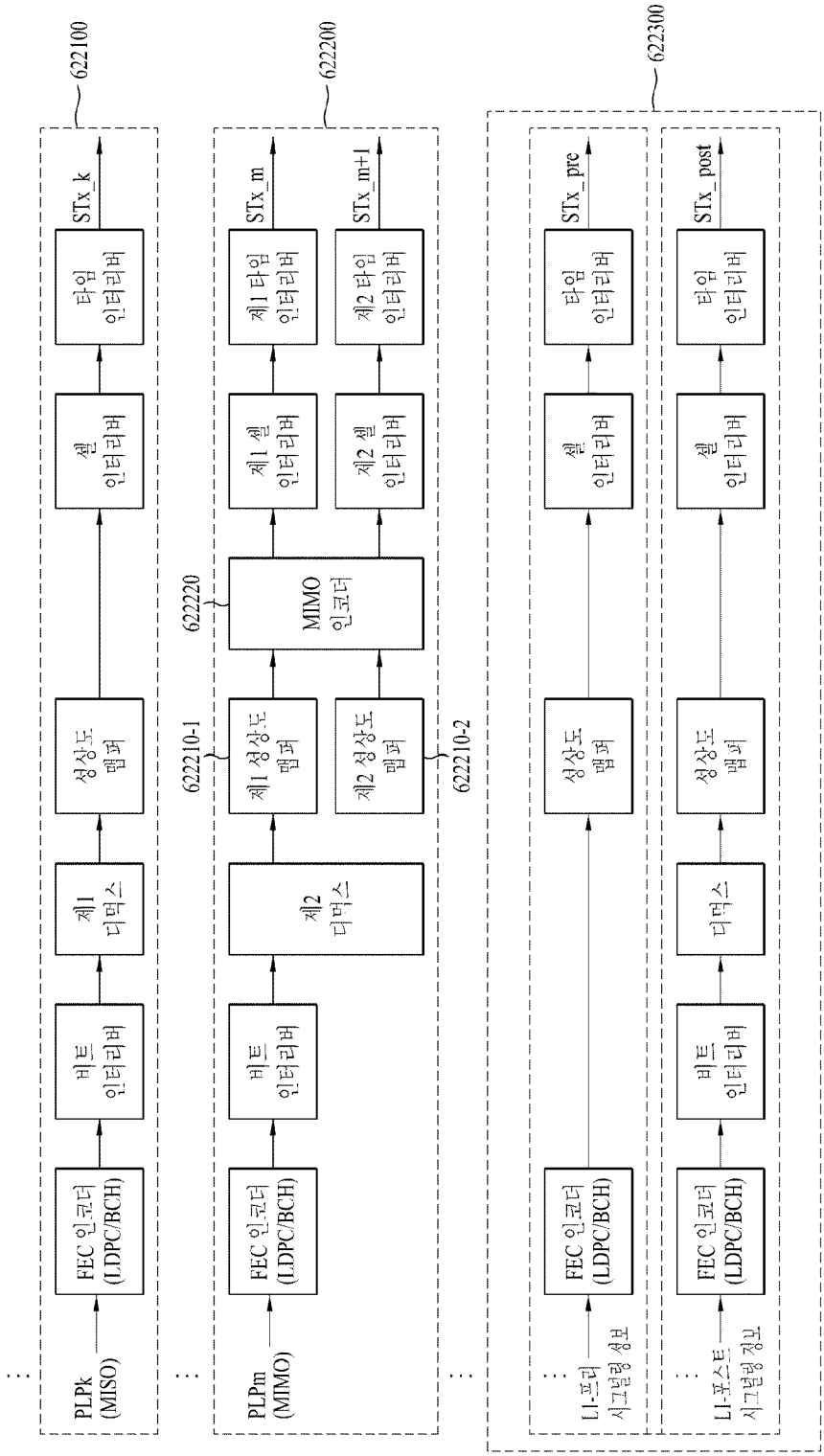
[Fig. 44]


620100
MIMO/MISO
인코더
620200
620300
파일럿
삽입 모듈
파일럿
삽입 모듈
IFFT
IFFT
PAPR
모듈
PAPR
모듈
GI
삽입 모듈
GI
삽입 모듈
P1 심볼
삽입 모듈
P1 심볼
삽입 모듈
AP1 심볼
삽입 모듈
AP1 심볼
삽입 모듈
DAC
DAC
(vertical)
안테나1
Tx1
Tx2
(horizontal)
안테나2

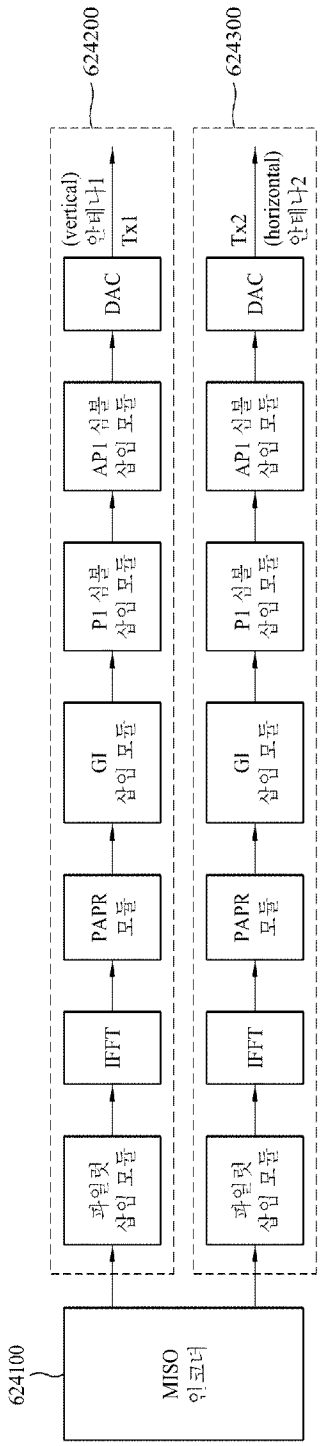
[Fig. 45]


621100
621200
621300
PLPk (MISO)
PLPm (MIMO)
FEC 인코더 (LDPC/BCH)
비트 인터리버
제1 디멕스
셀 인터리버
타임 인터리버
STx_k
621210
제2 디멕스
621220-1
제1 성상도 맵퍼
621220-2
제2 성상도 맵퍼
621230-1
제1 셀 인터리버
621230-2
제2 셀 인터리버
621240-1
제1 타임 인터리버
621240-2
제2 타임 인터리버
621250
MIMO 인코더
STx_m
STx_m+1
L1-프리 시그널링 정보
L1-포스트 시그널링 정보
STx_pre
STx_post

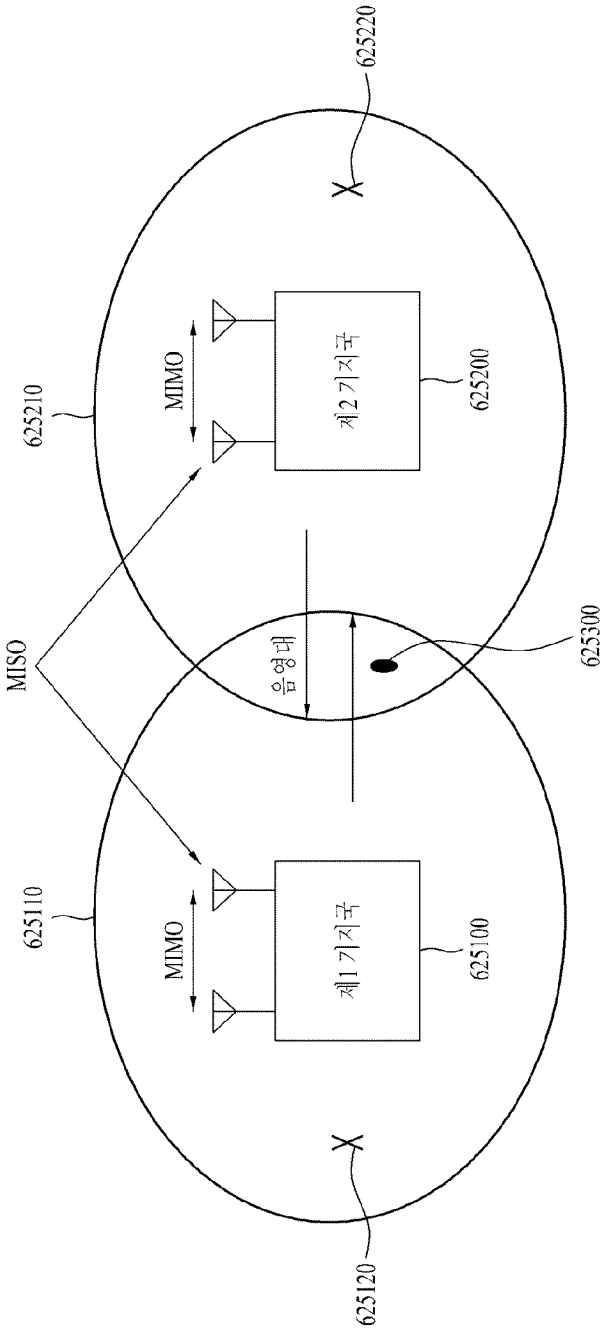
[Fig. 46]


622100
622200
622300
PLPk (MISO)
PLPm (MIMO)
L1-프리 시그널링 정보
L1-포스트 시그널링 정보
FEC 인코더 (LDPC/BCH)
비트 인터리버
제1 디먹스
제2 디먹스
622210-1
622210-2
제1 성상도 맵퍼
제2 성상도 맵퍼
622220
MIMO 인코더
제1 셀 인터리버
제2 셀 인터리버
제1 타임 인터리버
제2 타임 인터리버
STx_k
STx_m
STx_m+1
STx_pre
STx_post

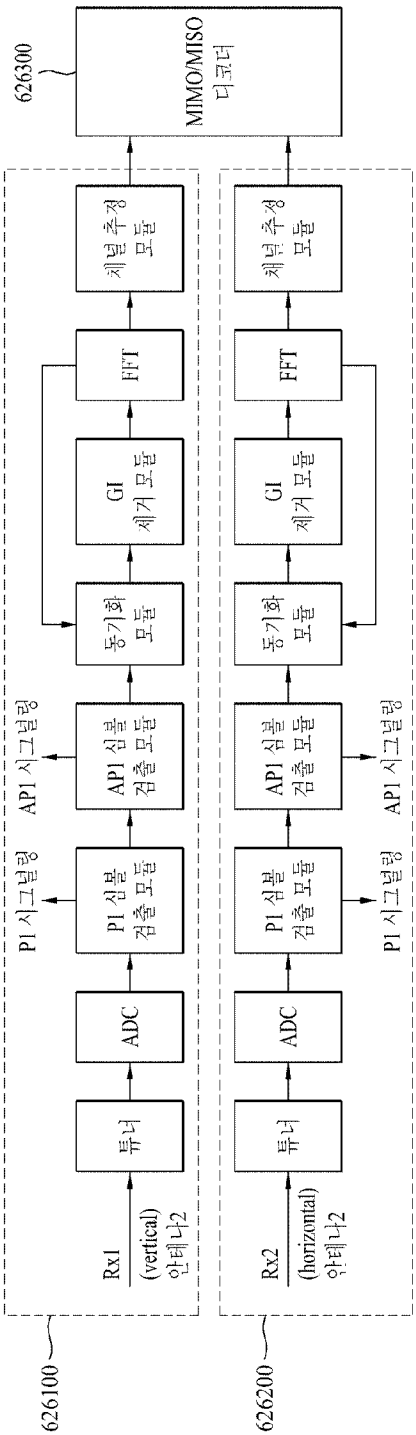
[Fig. 47]


624100
MISO
인코더
624200
파일럿
삽입 모듈
IFFT
PAPR
모듈
GI
삽입 모듈
P1 심볼
삽입 모듈
AP1 심볼
삽입 모듈
DAC
(vertical)
안테나1
Tx1
624300
파일럿
삽입 모듈
IFFT
PAPR
모듈
GI
삽입 모듈
P1 심볼
삽입 모듈
AP1 심볼
삽입 모듈
DAC
Tx2
(horizontal)
안테나2

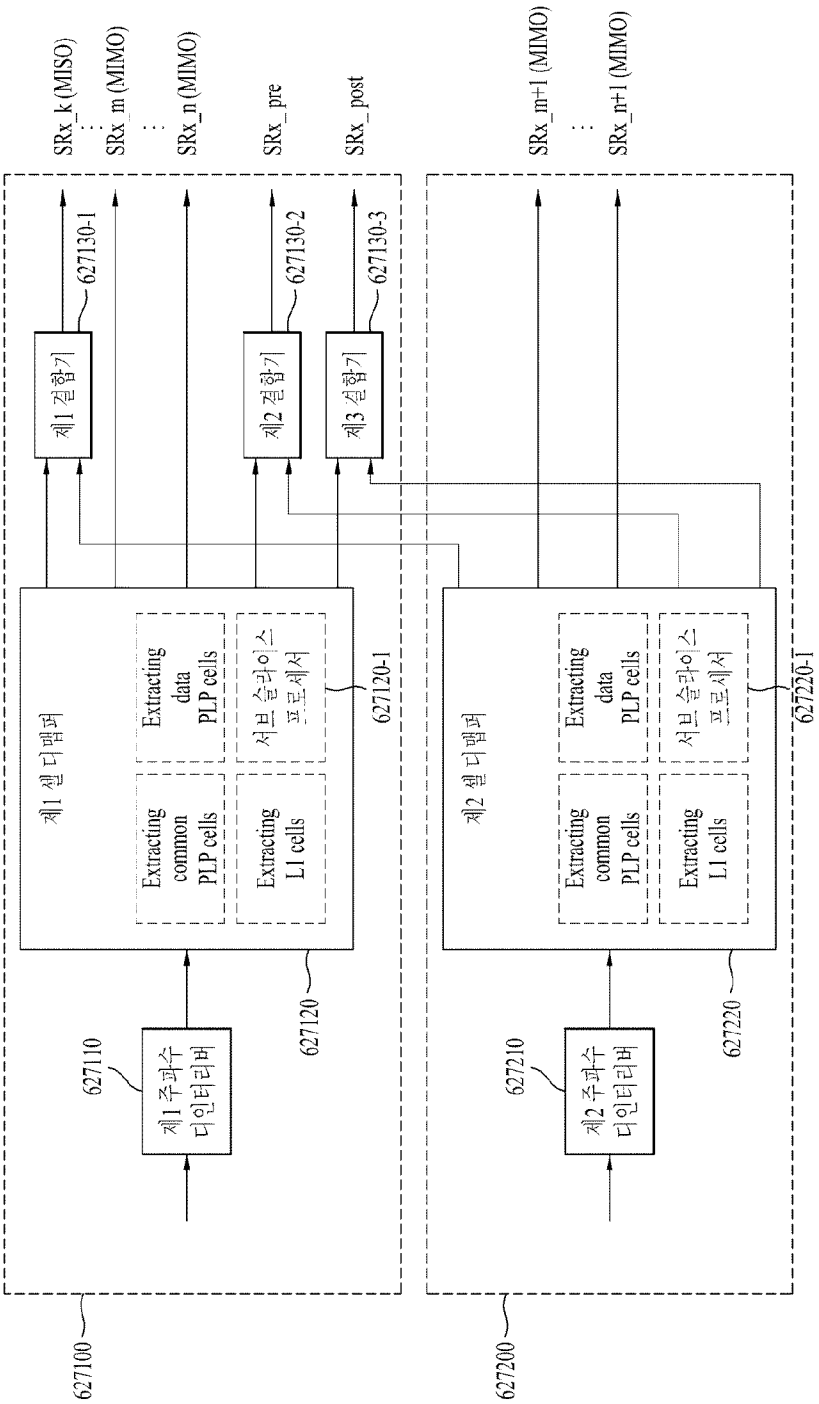
[Fig. 48]


625220
625210
MIMO
제2 기지국
625200
MISO
음영대
625300
625110
MIMO
제1 기지국
625100
625120

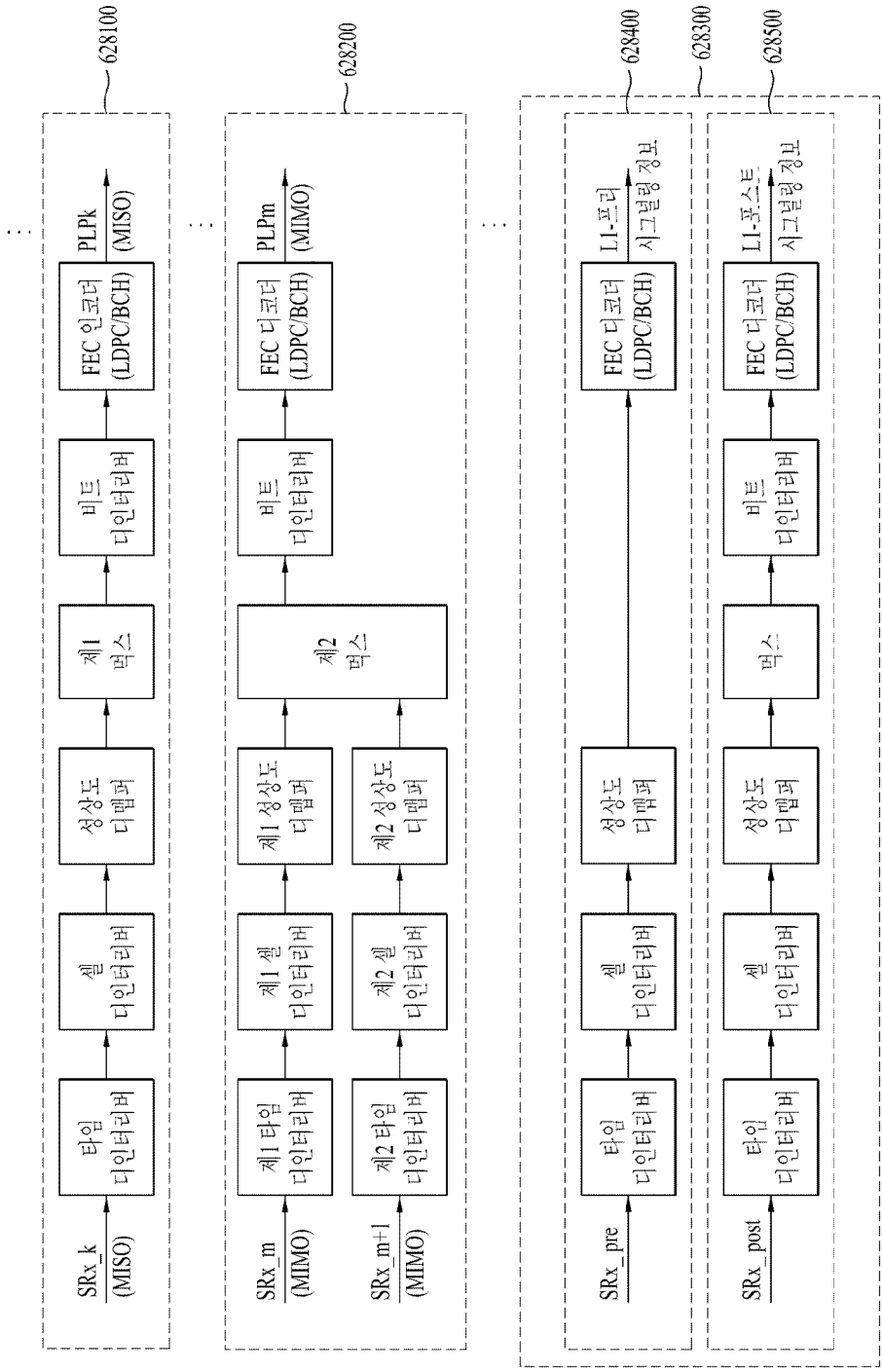
[Fig. 49]


626300
MIMO/MISO 디코더
626100
Rx1
(vertical)
안테나2
튜너
ADC
P1 심볼 검출 모듈
P1 시그널링
AP1 심볼 검출 모듈
AP1 시그널링
동기화 모듈
GI 제거 모듈
FFT
채널 추정 모듈
626200
Rx2
(horizontal)
안테나2
튜너
ADC
P1 심볼 검출 모듈
P1 시그널링
AP1 심볼 검출 모듈
AP1 시그널링
동기화 모듈
GI 제거 모듈
FFT
채널 추정 모듈

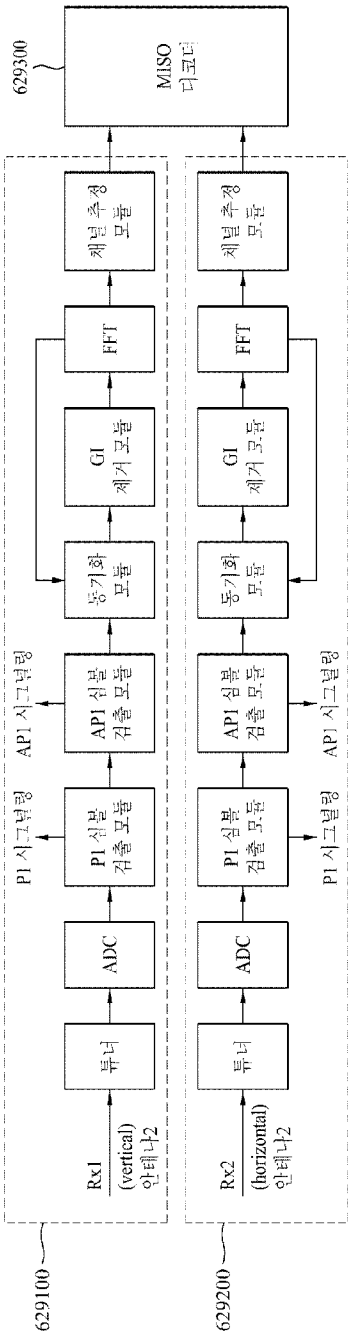
[Fig. 50]


SRx_k (MISO)
SRx_m (MIMO)
SRx_n (MIMO)
SRx_pre
SRx_post
SRx_m+1 (MIMO)
SRx_n+1 (MIMO)
627130-1
627130-2
627130-3
제1 결합기
제2 결합기
제3 결합기
제1 셀 디맵퍼
Extracting common PLP cells
Extracting data PLP cells
Extracting L1 cells
서브 슬라이스 프로세서
627120-1
627120
627110
제1 주파수 디인터리버
627100
제2 셀 디맵퍼
Extracting common PLP cells
Extracting data PLP cells
Extracting L1 cells
서브 슬라이스 프로세서
627220-1
627220
627210
제2 주파수 디인터리버
627200

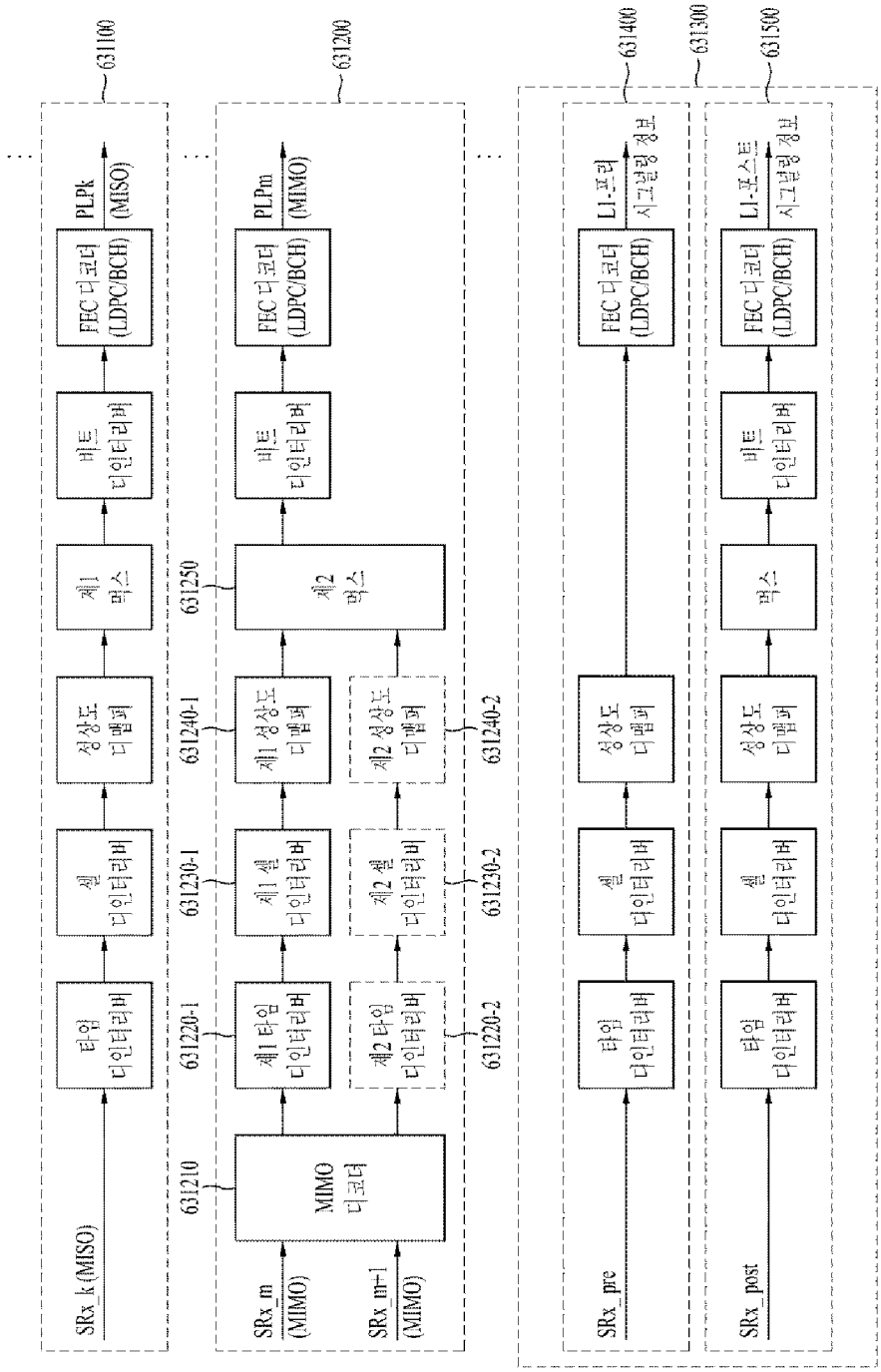
[Fig. 51]


628100
628200
628400
628300
628500
SRx_k (MISO)
타임 디인터리버
셀 디인터리버
성상도 디맵퍼
제1 멕스
비트 디인터리버
FEC 인코더 (LDPC/BCH)
PLPk (MISO)
SRx_m (MIMO)
SRx_m+1 (MIMO)
제1 타임 디인터리버
제2 타임 디인터리버
제1 셀 디인터리버
제2 셀 디인터리버
제1 성상도 디맵퍼
제2 성상도 디맵퍼
제2 멕스
비트 디인터리버
FEC 디코더 (LDPC/BCH)
PLPm (MIMO)
SRx_pre
타임 디인터리버
셀 디인터리버
성상도 디맵퍼
FEC 디코더 (LDPC/BCH)
L1-프리 시그널링 정보
SRx_post
타임 디인터리버
셀 디인터리버
성상도 디맵퍼
멕스
비트 디인터리버
FEC 디코더 (LDPC/BCH)
L1-포스트 시그널링 정보

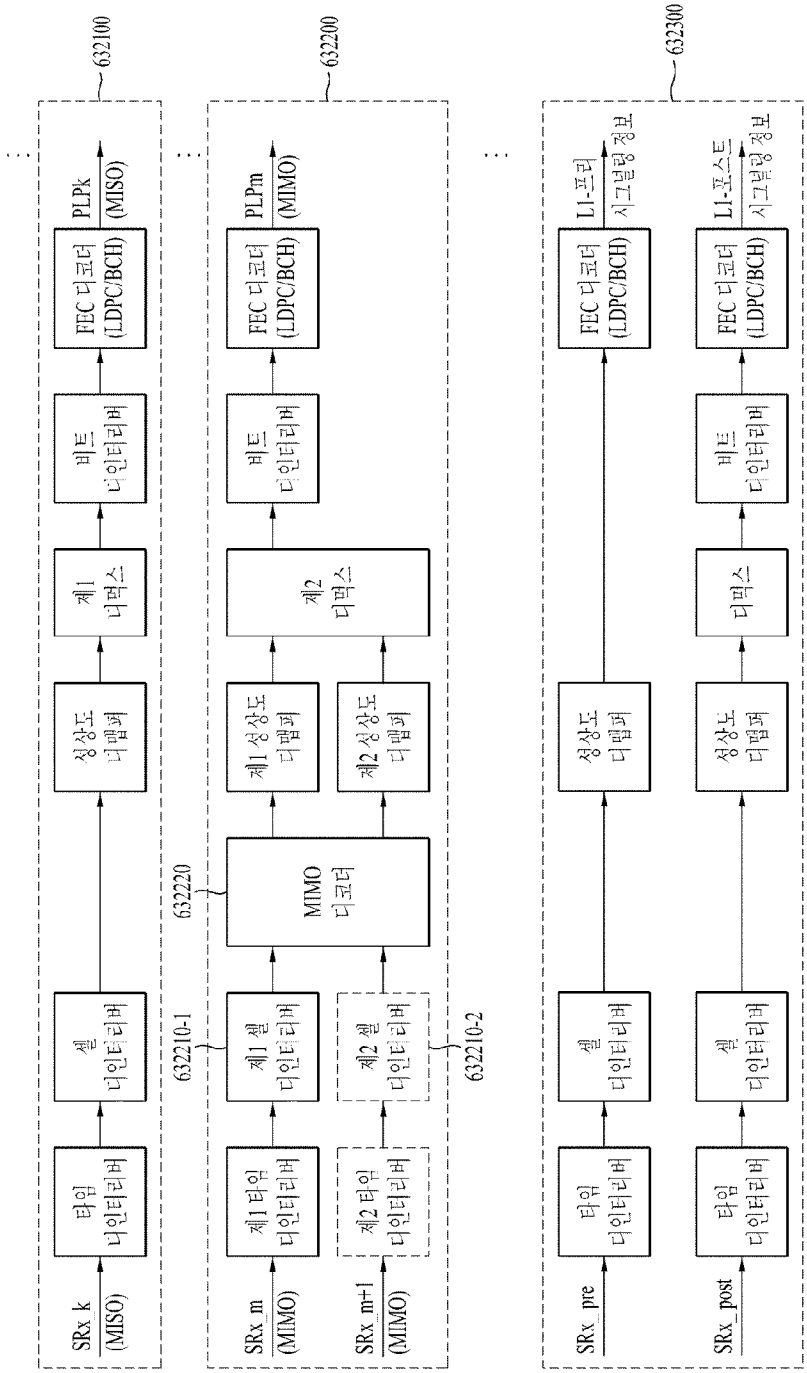
[Fig. 52]


629300
MISO
디코더
629100
Rx1
(vertical)
안테나2
튜너
ADC
P1 심볼
검출 모듈
P1 시그널링
AP1 심볼
검출 모듈
AP1 시그널링
동기화
모듈
GI
제거 모듈
FFT
채널 추정
모듈
629200
Rx2
(horizontal)
안테나2
튜너
ADC
P1 심볼
검출 모듈
P1 시그널링
AP1 심볼
검출 모듈
AP1 시그널링
동기화
모듈
GI
제거 모듈
FFT
채널 추정
모듈

[Fig. 53]


631100
631200
631400
631300
631500
SRx_k (MISO)
타임 디인터리버
셀 디인터리버
성상도 디맵퍼
제1 멕스
비트 디인터리버
FEC 디코더 (LDPC/BCH)
PLPk (MISO)
631210
MIMO 디코더
SRx_m (MIMO)
SRx_m+1 (MIMO)
631220-1
제1 타임 디인터리버
631220-2
제2 타임 디인터리버
631230-1
제1 셀 디인터리버
631230-2
제2 셀 디인터리버
631240-1
제1 성상도 디맵퍼
631240-2
제2 성상도 디맵퍼
631250
제2 멕스
비트 디인터리버
FEC 디코더 (LDPC/BCH)
PLPm (MIMO)
SRx_pre
타임 디인터리버
셀 디인터리버
성상도 디맵퍼
FEC 디코더 (LDPC/BCH)
L1-프리 시그널링 정보
SRx_post
타임 디인터리버
셀 디인터리버
성상도 디맵퍼
멕스
비트 디인터리버
FEC 디코더 (LDPC/BCH)
L1-포스트 시그널링 정보

[Fig. 54]


632100
632200
632300
632220
632210-1
632210-2
SRx_k (MISO)
SRx_m (MIMO)
SRx_m+1 (MIMO)
SRx_pre
SRx_post
타임 디인터리버
셀 디인터리버
제1 타임 디인터리버
제2 타임 디인터리버
제1 셀 디인터리버
제2 셀 디인터리버
MIMO 디코더
성상도 디맵퍼
제1 성상도 디맵퍼
제2 성상도 디맵퍼
제1 디멕스
제2 디멕스
디멕스
비트 디인터리버
FEC 디코더 (LDPC/BCH)
PLPk (MISO)
PLPm (MIMO)
L1-프리 시그널링 정보
L1-포스트 시그널링 정보

[Fig. 55]

(a)

| | 256-QAM (Type 1-1) | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| Input bit-number, di mod Nsubstreams | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 1/4 |
| Output bit-number, e | 5 | 3 | 2 | 7 | 1 | 6 | 4 | 0 | |
| Reliability | C | B | B | D | A | D | C | A | |

(b)

| | 256-QAM (Type 1-2) | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| Input bit-number, di mod Nsubstreams | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 2/5, 3/5 |
| Output bit-number, e | 5 | 1 | 0 | 7 | 3 | 6 | 4 | 2 | |
| Reliability | C | A | A | D | B | D | C | B | |

(c)

| | 256-QAM (Type 1-3) | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| Input bit-number, di mod Nsubstreams | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 1/2 |
| Output bit-number, e | 7 | 3 | 1 | 6 | 5 | 2 | 4 | 0 | |
| Reliability | D | B | A | D | C | B | C | A | |

(d)

| | 256-QAM (Type 1-4) | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| Input bit-number, di mod Nsubstreams | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 4/5 |
| Output bit-number, e | 3 | 2 | 1 | 5 | 7 | 6 | 4 | 0 | |
| Reliability | B | B | A | C | D | D | C | A | |

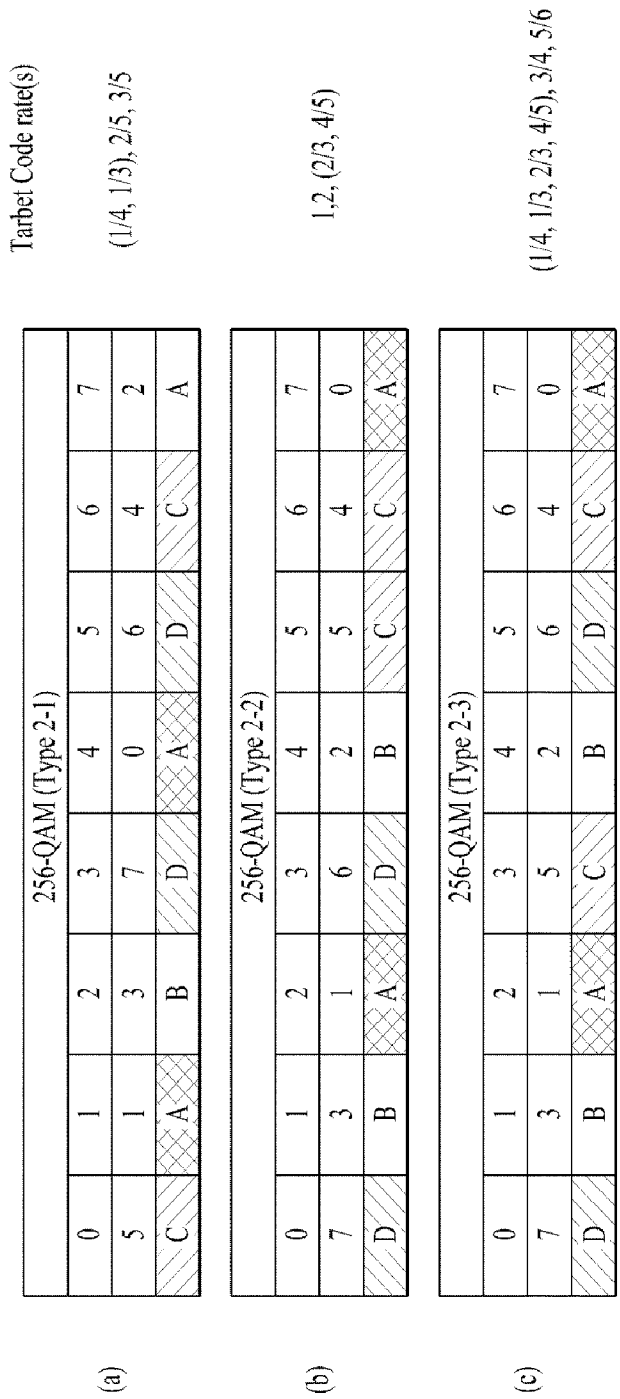
(e)

| | 256-QAM (Type 1-5) | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| Input bit-number, di mod Nsubstreams | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 1/3, 2/3, 3/4, 5/6 |
| Output bit-number, e | 7 | 3 | 1 | 5 | 2 | 6 | 4 | 0 | |
| Reliability | D | B | A | C | B | D | C | A | |

[Fig. 56]

| 256-QAM (Type 1-1) | 256-QAM (Type 1-2) | 256-QAM (Type 1-3) | 256-QAM (Type 1-4) | 256-QAM (Type 1-5) |
|---|---|---|---|---|
| v0 maps to b5.0 | v0 maps to b5.0 | v0 maps to b7.0 | v0 maps to b3.0 | v0 maps to b7.0 |
| v1 maps to b3.0 | v1 maps to b1.0 | v1 maps to b3.0 | v1 maps to b2.0 | v1 maps to b3.0 |
| v2 maps to b2.0 | v2 maps to b0.0 | v2 maps to b1.0 | v2 maps to b1.0 | v2 maps to b1.0 |
| v3 maps to b7.0 | v3 maps to b7.0 | v3 maps to b6.0 | v3 maps to b5.0 | v3 maps to b5.0 |
| v4 maps to b1.0 | v4 maps to b3.0 | v4 maps to b5.0 | v4 maps to b7.0 | v4 maps to b2.0 |
| v5 maps to b6.0 | v5 maps to b6.0 | v5 maps to b2.0 | v5 maps to b6.0 | v5 maps to b6.0 |
| v6 maps to b4.0 | v6 maps to b4.0 | v6 maps to b4.0 | v6 maps to b4.0 | v6 maps to b4.0 |
| v7 maps to b0.0 | v7 maps to b2.0 | v7 maps to b0.0 | v7 maps to b0.0 | v7 maps to b0.0 |

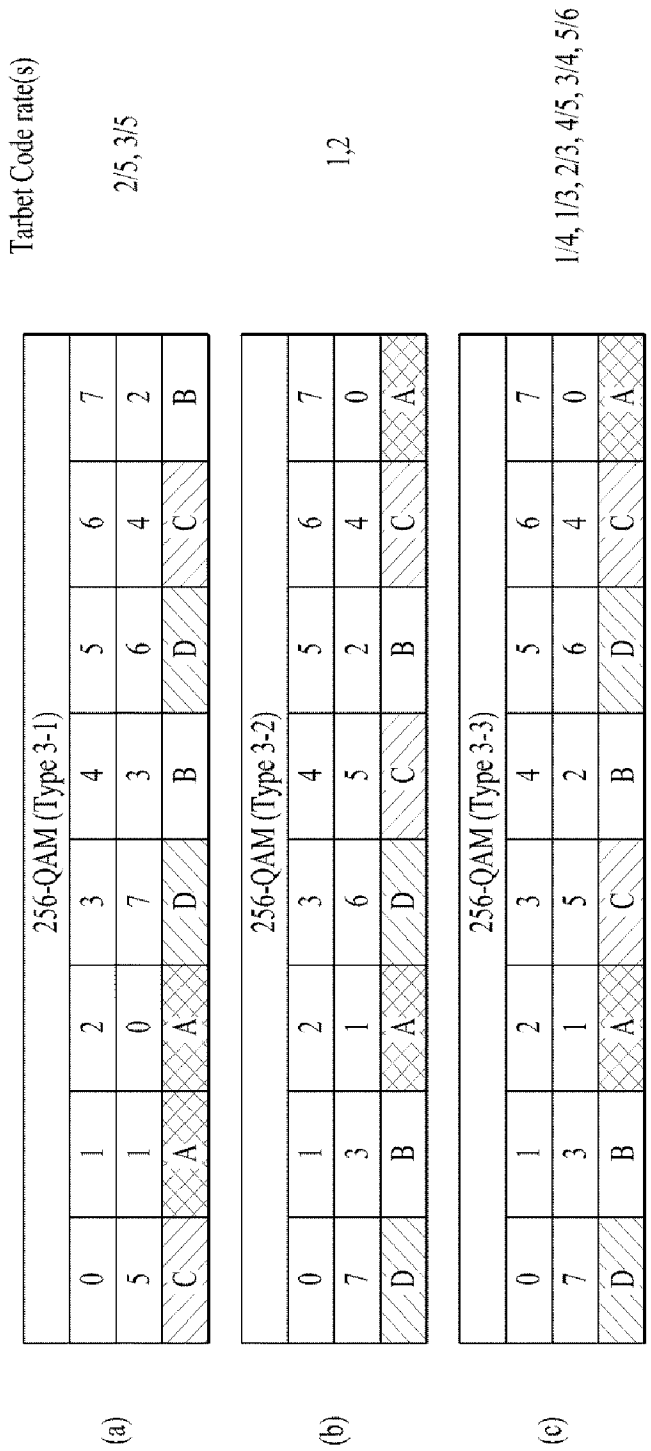
[Fig. 57]


Tarbet Code rate(s)
(1/4, 1/3), 2/5, 3/5
1,2, (2/3, 4/5)
(1/4, 1/3, 2/3, 4/5), 3/4, 5/6
256-QAM (Type 2-1)
0 1 2 3 4 5 6 7
5 1 3 7 0 6 4 2
C A B D A D C A
256-QAM (Type 2-2)
0 1 2 3 4 5 6 7
7 3 1 6 2 5 4 0
D B A D B C C A
256-QAM (Type 2-3)
0 1 2 3 4 5 6 7
7 3 1 5 2 6 4 0
D B A C B D C A
(a)
(b)
(c)

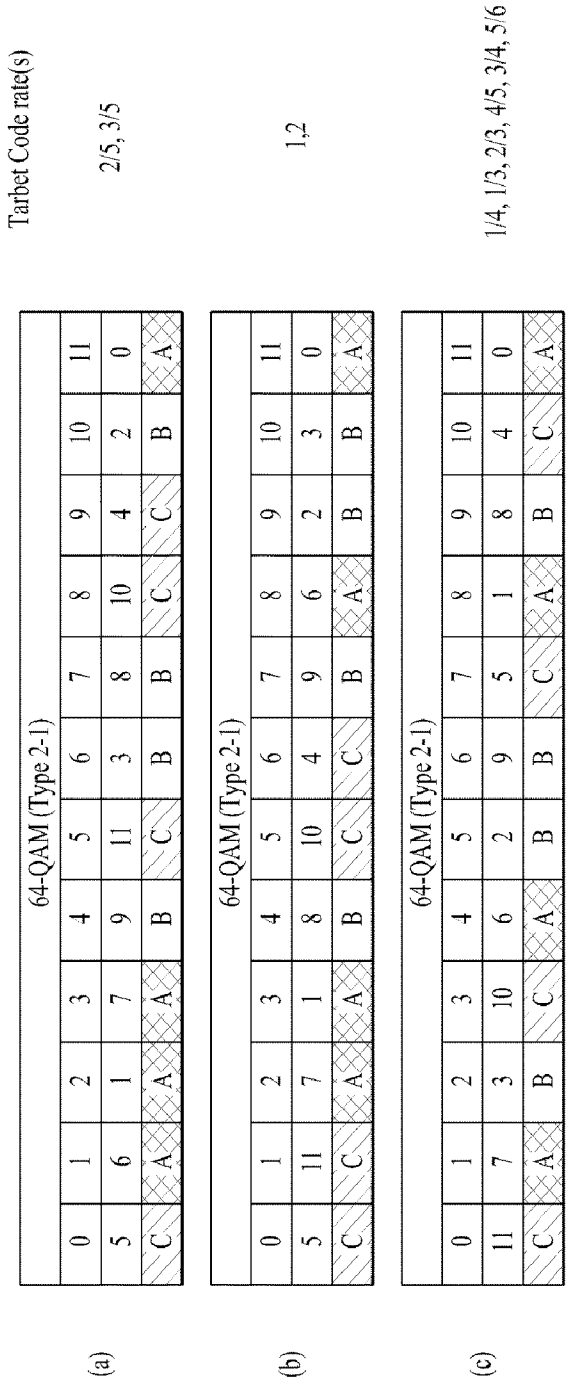
[Fig. 58]

| 256-QAM (Type 2-1) | 256-QAM (Type 2-2) | 256-QAM (Type 2-3) |
|---|---|---|
| v0 maps to b5.0 | v0 maps to b7.0 | v0 maps to b7.0 |
| v1 maps to b1.0 | v1 maps to b3.0 | v1 maps to b3.0 |
| v2 maps to b3.0 | v2 maps to b1.0 | v2 maps to b1.0 |
| v3 maps to b7.0 | v3 maps to b6.0 | v3 maps to b5.0 |
| v4 maps to b0.0 | v4 maps to b2.0 | v4 maps to b2.0 |
| v5 maps to b6.0 | v5 maps to b5.0 | v5 maps to b6.0 |
| v6 maps to b4.0 | v6 maps to b4.0 | v6 maps to b4.0 |
| v7 maps to b2.0 | v7 maps to b0.0 | v7 maps to b0.0 |

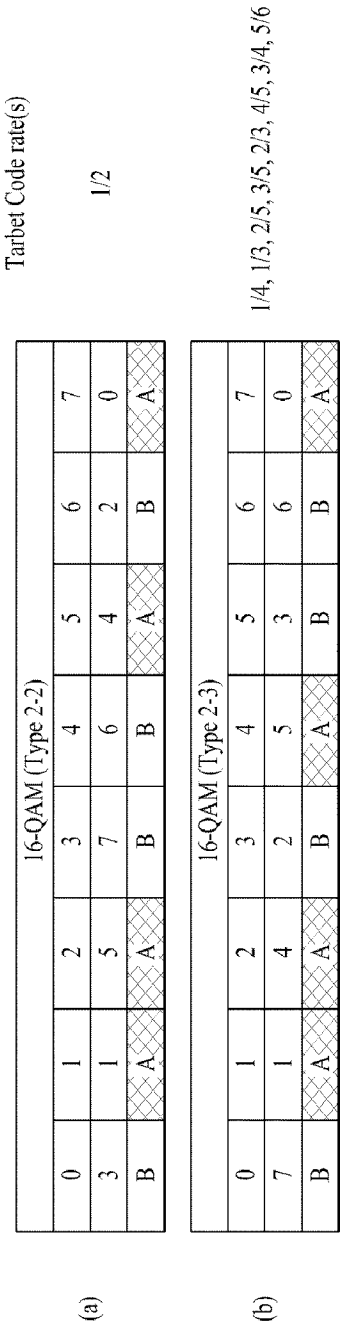
[Fig. 59]


Tarbet Code rate(s)
2/5, 3/5
1,2
1/4, 1/3, 2/3, 4/5, 3/4, 5/6
256-QAM (Type 3-1)
0 1 2 3 4 5 6 7
5 1 0 7 3 6 4 2
C A A D B D C B
256-QAM (Type 3-2)
0 1 2 3 4 5 6 7
7 3 1 6 5 2 4 0
D B A D C B C A
256-QAM (Type 3-3)
0 1 2 3 4 5 6 7
7 3 1 5 2 6 4 0
D B A C B D C A
(a)
(b)
(c)

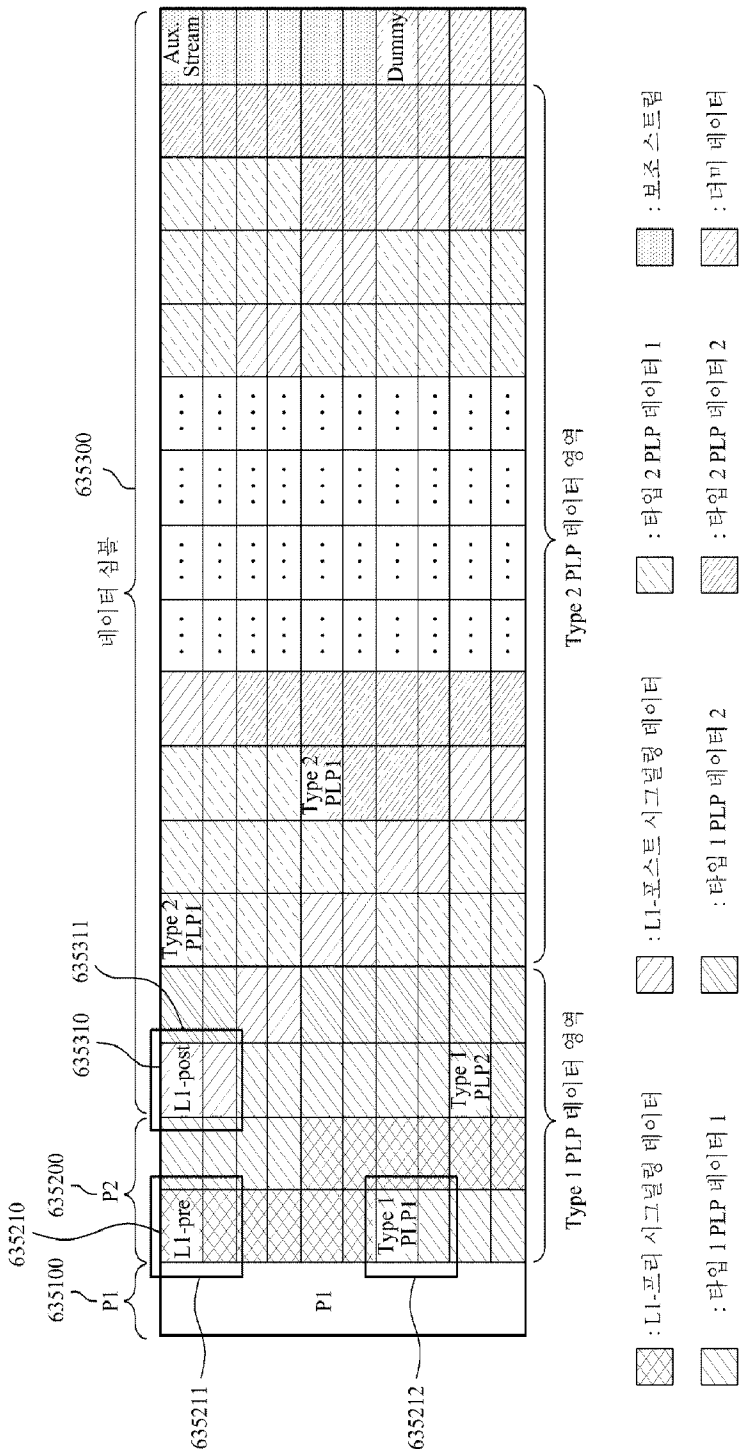
[Fig. 60]


Tarbet Code rate(s)
2/5, 3/5
1,2
1/4, 1/3, 2/3, 4/5, 3/4, 5/6
(a)
64-QAM (Type 2-1)
0 1 2 3 4 5 6 7 8 9 10 11
5 6 1 7 9 11 3 8 10 4 2 0
C A A A B C B B C C B A
(b)
64-QAM (Type 2-1)
0 1 2 3 4 5 6 7 8 9 10 11
5 11 7 1 8 10 4 9 6 2 3 0
C C A A B C C B A B B A
(c)
64-QAM (Type 2-1)
0 1 2 3 4 5 6 7 8 9 10 11
11 7 3 10 6 2 9 5 1 8 4 0
C A B C A B B C A B C A

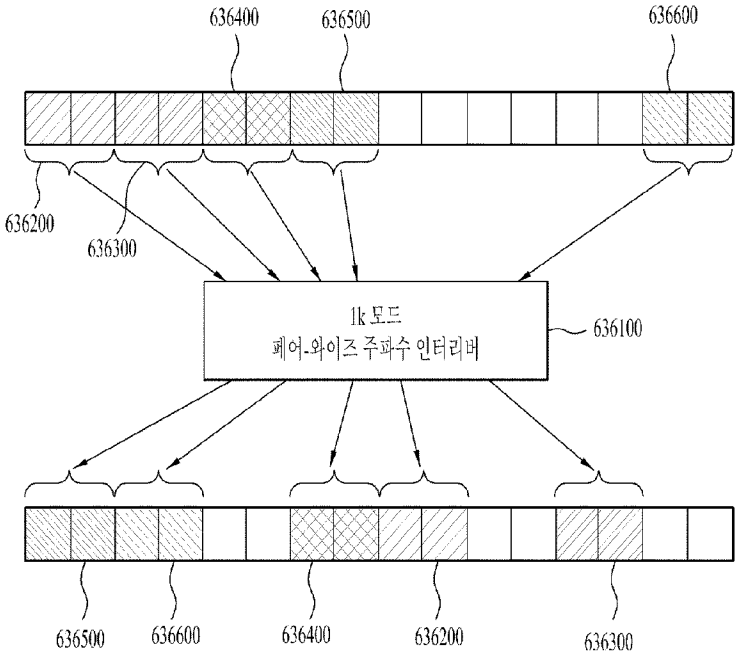
[Fig. 61]


Tarbet Code rate(s)
1/2
1/4, 1/3, 2/5, 3/5, 2/3, 4/5, 3/4, 5/6
(a)
16-QAM (Type 2-2)
0 1 2 3 4 5 6 7
3 1 5 7 6 4 2 0
B A A B B A B A
(b)
16-QAM (Type 2-3)
0 1 2 3 4 5 6 7
7 1 4 2 5 3 6 0
B A A B A B B A

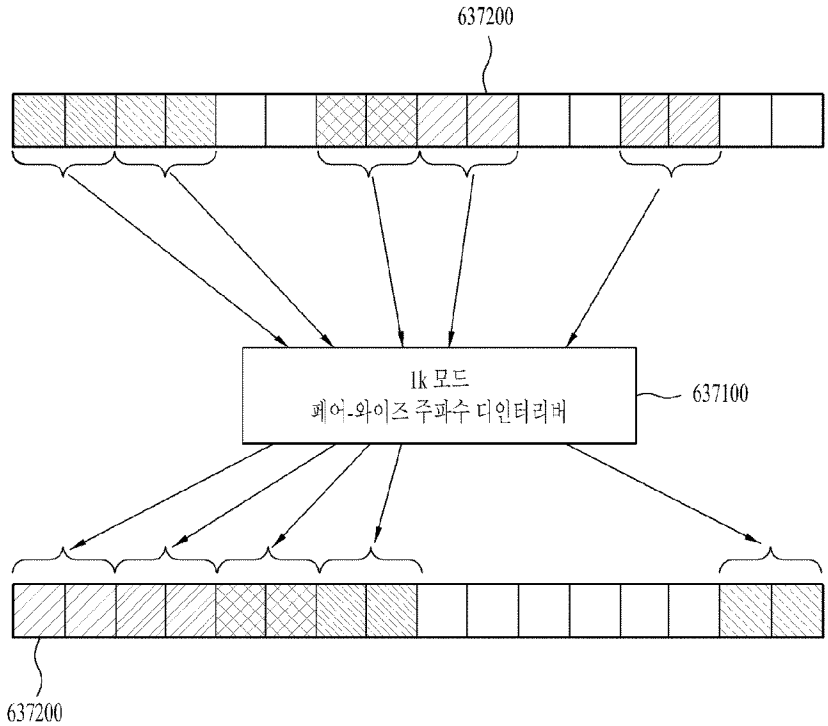
[Fig. 62]


635300
데이터 심볼
Aux. Stream
Dummy
Type 2 PLP1
Type 2 PLP1
635311
635310
L1-post
Type 1 PLP2
635200
P2
635210
L1-pre
Type 1 PLP1
635100
P1
P1
635211
635212
Type 1 PLP 데이터 영역
Type 2 PLP 데이터 영역
: L1-프리 시그널링 데이터
: 타입 1 PLP 데이터 1
: L1-포스트 시그널링 데이터
: 타입 1 PLP 데이터 2
: 타입 2 PLP 데이터 1
: 타입 2 PLP 데이터 2
: 보조 스트림
: 더미 데이터

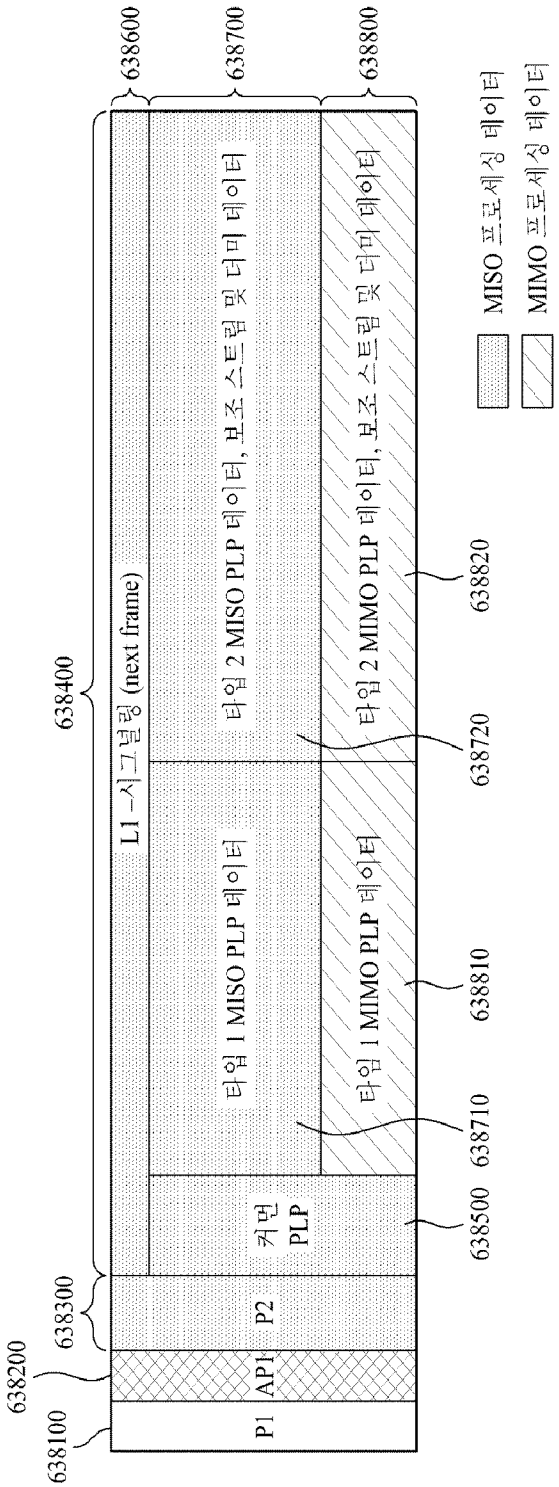
[Fig. 63]


636400
636500
636600
636200
636300
1k 모드
페어-와이즈 주파수 인터리버
636100
636500
636600
636400
636200
636300

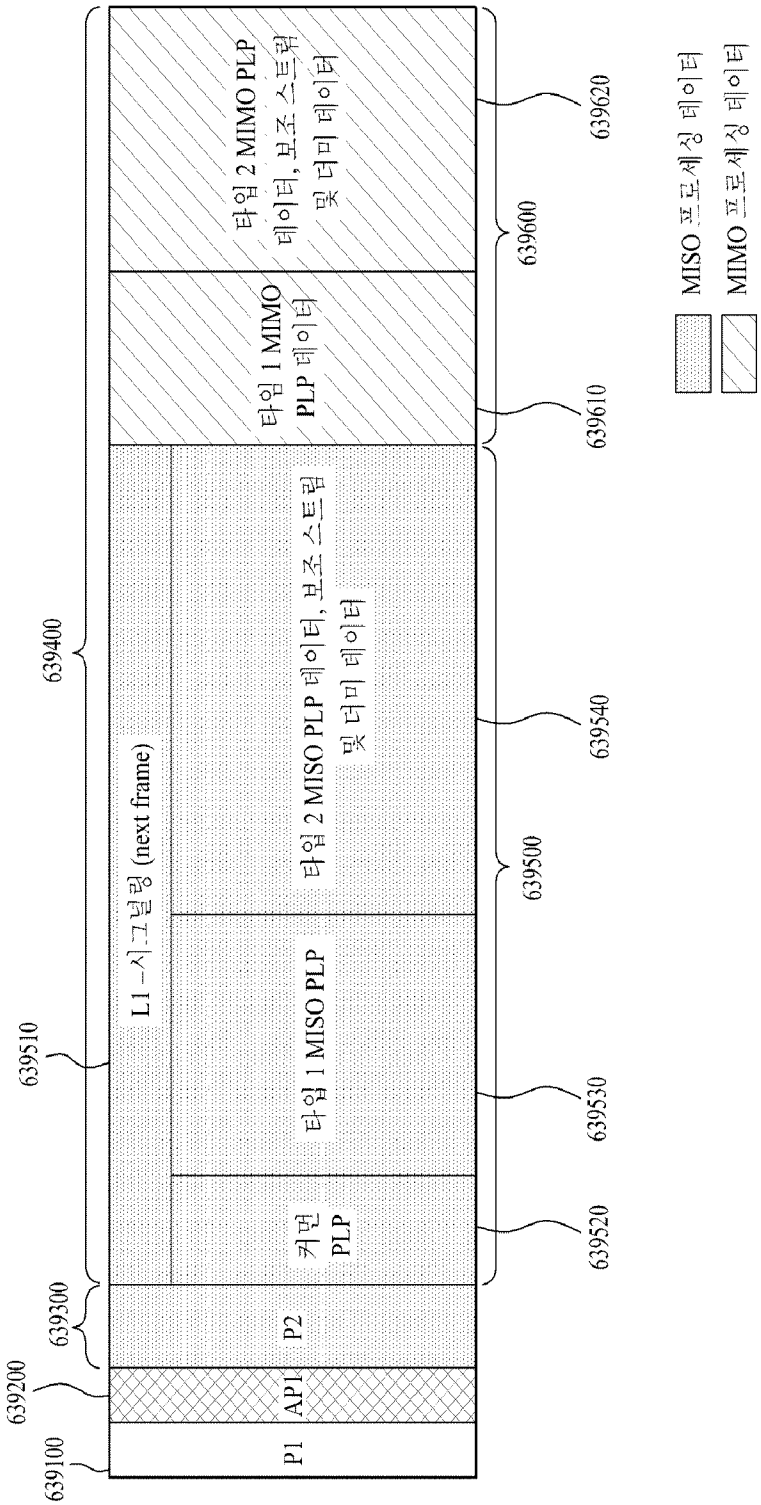
[Fig. 64]


637200
1k 모드
페어-와이즈 주파수 디인터리버
637100
637200

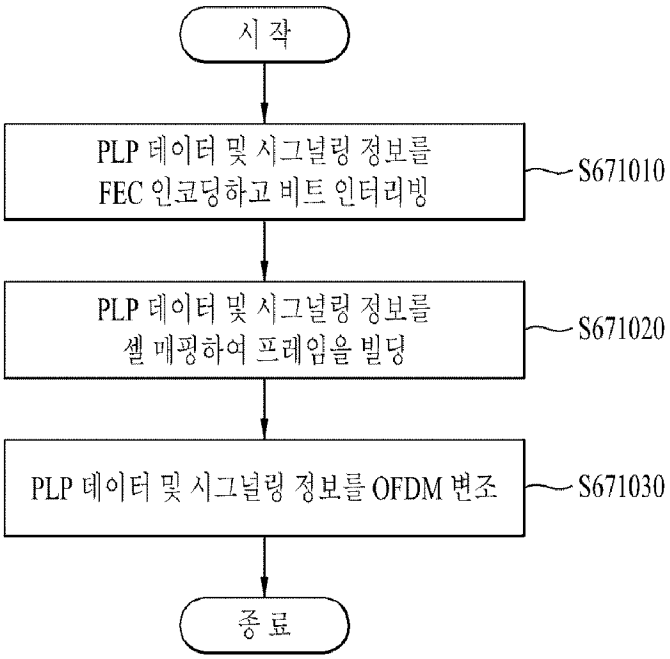
[Fig. 65]


638600
638700
638800
638400
L1 -시그널링 (next frame)
타입 2 MISO PLP 데이터, 보조 스트림 및 더미 데이터
타입 2 MIMO PLP 데이터, 보조 스트림 및 더미 데이터
638820
638720
타입 1 MISO PLP 데이터
타입 1 MIMO PLP 데이터
638810
638710
638300
638200
638100
P1
AP1
P2
커먼 PLP
638500
MISO 프로세싱 데이터
MIMO 프로세싱 데이터

[Fig. 66]


639100
639200
639300
639400
639510
P1
AP1
P2
L1 -시그널링 (next frame)
커먼 PLP
타입 1 MISO PLP
타입 2 MISO PLP 데이터, 보조 스트림 및 더미 데이터
타입 1 MIMO PLP 데이터
타입 2 MIMO PLP 데이터, 보조 스트림 및 더미 데이터
639520
639530
639540
639500
639610
639600
639620
MISO 프로세싱 데이터
MIMO 프로세싱 데이터

[Fig. 67]


시 작
PLP 데이터 및 시그널링 정보를 FEC 인코딩하고 비트 인터리빙
S671010
PLP 데이터 및 시그널링 정보를 셀 매핑하여 프레임을 빌딩
S671020
PLP 데이터 및 시그널링 정보를 OFDM 변조
S671030
종 료