

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-200542

(P2007-200542A)

(43) 公開日 平成19年8月9日(2007.8.9)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 11/4093 (2006.01)	G 1 1 C 11/34 3 5 4 P	5M024
G 1 1 C 11/408 (2006.01)	G 1 1 C 11/34 3 5 4 B	
G 1 1 C 5/00 (2006.01)	G 1 1 C 5/00 3 0 3 Z	
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S	

審査請求 有 請求項の数 24 O L (全 16 頁)

(21) 出願番号	特願2007-47258 (P2007-47258)	(71) 出願人	390019839
(22) 出願日	平成19年2月27日 (2007.2.27)		三星電子株式会社
(62) 分割の表示	特願2001-267266 (P2001-267266)の分割		Samsung Electronics Co., Ltd.
原出願日	平成13年9月4日 (2001.9.4)		大韓民国京畿道水原市八達区梅灘洞416番地
(31) 優先権主張番号	2000P-52377	(74) 代理人	100086368
(32) 優先日	平成12年9月5日 (2000.9.5)		弁理士 萩原 誠
(33) 優先権主張国	韓国 (KR)	(72) 発明者	李 東 陽
(31) 優先権主張番号	2000P-79186		大韓民国京畿道城南市盆唐区九美洞212番地 ムジゲマウル1209棟1204号
(32) 優先日	平成12年12月20日 (2000.12.20)	Fターム(参考)	5M024 AA44 AA49 BB03 BB05 BB27
(33) 優先権主張国	韓国 (KR)		BB34 DD32 DD33 DD83 JJ03
			JJ04 JJ32 JJ35 KK35 LL16
			PP01 PP07

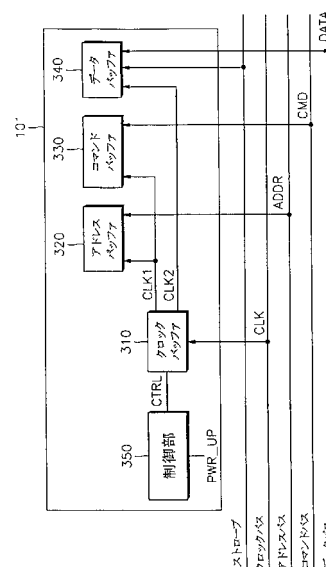
(54) 【発明の名称】 半導体メモリ装置を装着したメモリモジュールを有するシステム

(57) 【要約】 (修正有)

【課題】 アドレス信号及びコマンド信号の高周波動作限界律速されず、システムの性能に合わせてデータを入出力できる半導体メモリ装置及びこれを含むメモリモジュールを有するシステムを提供すること。

【解決手段】 第1クロック信号、前記第1クロック信号の周波数より高い周波数の第2クロック信号、アドレス信号、コマンド信号及びデータを発生させるメモリコントローラと、第1クロック信号、第2クロック信号、アドレス信号、コマンド信号及びデータが各々のせられるバスラインを通じてメモリコントローラと連結される多数の半導体メモリ装置を装着したメモリモジュールとを含むシステムにおいて、半導体メモリ装置は第1クロック信号に連結され、これに回答してアドレス信号及びコマンド信号を受信するアドレスバッファ及びコマンドバッファと、第2クロック信号に連結され、これに回答してデータを入出力するデータバッファとを具備する。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

第 1 クロック信号、前記第 1 クロック信号の周波数より高い周波数の第 2 クロック信号、アドレス信号、コマンド信号及びデータを発生させるメモリコントローラと、

前記第 1 クロック信号、前記第 2 クロック信号、前記アドレス信号、前記コマンド信号及び前記データが各々のせられるバスラインを通じて前記メモリコントローラと連結される多数の半導体メモリ装置を装着したメモリモジュールとを含むシステムにおいて、

前記半導体メモリ装置は、

前記第 1 クロック信号に連結され、これに応答して前記アドレス信号を受信するアドレスバッファと、

10

前記第 1 クロック信号に連結され、これに応答して前記コマンド信号を受信するコマンドバッファと、

前記第 2 クロック信号に連結され、これに応答してデータを入出力するデータバッファとを具備することを特徴とするシステム。

## 【請求項 2】

前記メモリコントローラの代わりにマイクロプロセッサを具備することを特徴とする請求項 1 に記載のシステム。

## 【請求項 3】

前記データバッファは、

データストロブ信号のエッジごとに前記データを入出力することを特徴とする請求項 1 に記載のシステム。

20

## 【請求項 4】

第 1 クロック信号、前記第 1 クロック信号の周波数より高い周波数の第 2 クロック信号、アドレス信号及びコマンド信号のバスラインと連結され、多数のメモリチップが装着されるメモリモジュールを有するシステムにおいて、前記メモリチップの各々は、

前記第 1 クロック信号に連結され、これに応答して前記アドレス信号を受信するアドレスバッファと、

前記第 1 クロック信号に連結され、これに応答して前記コマンド信号を受信するコマンドバッファと、

前記第 2 クロック信号に連結され、これに応答してデータを入出力するデータバッファとを具備することを特徴とするシステム。

30

## 【請求項 5】

前記第 1 クロック信号、前記第 2 クロック信号、前記アドレス信号及び前記コマンド信号は、

前記システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする請求項 4 に記載のシステム。

## 【請求項 6】

前記メモリモジュールは、

前記第 1 クロック信号及び前記第 2 クロック信号を受信する 2 つ以上のモジュールピンを具備することを特徴とする請求項 4 に記載のシステム。

40

## 【請求項 7】

第 1 クロック信号、前記第 1 クロック信号の周波数より高い周波数の第 2 クロック信号、アドレス信号及びコマンド信号のバスラインが配置され、これらバスラインと連結されるメモリモジュールを有するシステムにおいて、前記メモリモジュールは、

前記第 1 クロック信号に連結され、これに応答して前記アドレス信号及び前記コマンド信号を受信し、その出力を前記メモリモジュールの一方向に提供するレジスタと、

前記第 2 クロック信号に連結され、これに応答して前記レジスタから出力される前記アドレス信号及び前記コマンド信号を受信する多数のメモリチップとを具備することを特徴とするシステム。

## 【請求項 8】

50

前記第 1 クロック信号、前記第 2 クロック信号、前記アドレス信号及び前記コマンド信号は、

前記システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする請求項 7 に記載のシステム。

【請求項 9】

前記メモリモジュールは、

前記第 1 クロック信号及び前記第 2 クロック信号を受信する 2 つ以上のモジュールピンを具備することを特徴とする請求項 7 に記載のシステム。

【請求項 10】

第 1 クロック信号、前記第 1 クロック信号の周波数より高い周波数の第 2 クロック信号、アドレス信号及びコマンド信号のバスラインが配置され、これらバスラインと連結されるメモリモジュールを有するシステムにおいて、前記メモリモジュールは、

前記第 1 クロック信号に連結され、これに应答して前記アドレス信号及び前記コマンド信号を受信し、その出力を前記メモリモジュールの中央で両方向に提供するレジスタと、

前記第 2 クロック信号に連結され、これに应答して前記レジスタから出力される前記アドレス信号及び前記コマンド信号を受信する多数のメモリチップとを具備することを特徴とするシステム。

【請求項 11】

前記第 1 クロック信号、前記第 2 クロック信号、前記アドレス信号及び前記コマンド信号は、

前記システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする請求項 10 に記載のシステム。

【請求項 12】

前記メモリモジュールは、

前記第 1 クロック信号及び前記第 2 クロック信号を受信する 2 つ以上のモジュールピンを具備することを特徴とする請求項 10 に記載のシステム。

【請求項 13】

システムクロック信号、アドレス信号及びコマンド信号のバスラインが配置され、これらバスラインと連結されるメモリモジュールを有するシステムにおいて、

前記システムは、

前記システムクロック信号を受信して第 1 クロック信号及び前記第 1 クロック信号の周波数より高い周波数の第 2 クロック信号を発生させる位相同期回路を具備し、

前記メモリモジュールは前記第 1 クロック信号に連結され、これに应答して前記アドレス信号及び前記コマンド信号を受信し、その出力を前記メモリモジュールの一方向に提供するレジスタと、

前記第 2 クロック信号に連結され、これに应答して前記レジスタから出力される前記アドレス信号及び前記コマンド信号を受信する多数のメモリチップとを具備することを特徴とするシステム。

【請求項 14】

前記システムクロック信号、前記アドレス信号及び前記コマンド信号は、

前記システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする請求項 13 に記載のシステム。

【請求項 15】

前記メモリモジュールは、

前記第 1 クロック信号及び前記第 2 クロック信号を受信する 2 つ以上のモジュールピンを具備することを特徴とする請求項 13 に記載のシステム。

【請求項 16】

システムクロック信号、アドレス信号及びコマンド信号のバスラインが配置され、これらバスラインと連結されるメモリモジュールを有するシステムにおいて、

前記システムは、

10

20

30

40

50

前記システムクロック信号を受信して第1クロック信号及び前記第1クロック信号の周波数より高い周波数の第2クロック信号を発生させる位相同期回路を具備し、

前記メモリモジュールは、

前記第1クロック信号に連結され、これに応答して前記アドレス信号及び前記コマンド信号を受信し、その出力を前記メモリモジュールの中央で両方向に提供するレジスタと、

前記第2クロック信号に連結され、これに応答して前記レジスタから出力された前記アドレス信号及び前記コマンド信号を受信する多数のメモリチップとを具備することを特徴とするシステム。

【請求項17】

前記システムクロック信号、前記アドレス信号及び前記コマンド信号は、

10

前記システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする請求項16に記載のシステム。

【請求項18】

前記メモリモジュールは、

前記第1クロック信号及び前記第2クロック信号を受信する2つ以上のモジュールピンを具備することを特徴とする請求項16に記載のシステム。

【請求項19】

第1クロック信号、前記第1クロック信号の周波数より高い周波数の第2クロック信号、アドレス信号及びコマンド信号のバスラインが配置され、これらバスラインと連結されるメモリモジュールを有するシステムにおいて、前記メモリモジュールは、

20

前記第1クロック信号に連結され、これに応答して前記アドレス信号及び前記コマンド信号を受信し、その出力を前記メモリモジュールの一方向に提供するレジスタと、

前記第2クロック信号に連結され、これと位相同期する多数の内部クロック信号を発生させる位相同期回路と、

前記内部クロック信号に各々連結され、これに応答して前記レジスタから出力される前記アドレス信号及び前記コマンド信号を受信する多数のメモリチップとを具備することを特徴とするシステム。

【請求項20】

前記第1クロック信号、前記第2クロック信号、前記アドレス信号及び前記コマンド信号は、

30

前記システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする請求項19に記載のシステム。

【請求項21】

前記メモリモジュールは、

前記第1クロック信号及び前記第2クロック信号を受信する2つ以上のモジュールピンを具備することを特徴とする請求項19に記載のシステム。

【請求項22】

第1クロック信号、前記第1クロック信号の周波数より高い周波数の第2クロック信号、アドレス信号及びコマンド信号のバスラインが配置され、これらバスラインと連結されるメモリモジュールを有するシステムにおいて、前記メモリモジュールは、

40

前記第1クロック信号に連結され、これに応答して前記アドレス信号及び前記コマンド信号を受信してその出力を前記メモリモジュールの中央で両方向に提供するレジスタと、

前記第2クロック信号に連結され、これと位相同期する多数の内部クロック信号を発生させる位相同期回路と、

前記内部クロック信号に各々連結され、これに応答して前記レジスタから出力される前記アドレス信号及び前記コマンド信号を受信する多数のメモリチップとを具備することを特徴とするシステム。

【請求項23】

前記第1クロック信号、前記第2クロック信号、前記アドレス信号及び前記コマンド信号は、

50

前記システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする請求項 2 2 に記載のシステム。

【請求項 2 4】

前記メモリモジュールは、

前記第 1 クロック信号及び前記第 2 クロック信号を受信する 2 つ以上のモジュールピンを具備することを特徴とする請求項 2 2 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体メモリ装置及びこれを含むメモリモジュールを有するシステムに係り、特にシステムのクロック周波数が高まっても低い周波数の内部クロック信号を作ってアドレス信号及びコマンド信号の動作周波数として使用し、相異なる周波数を有するクロック信号を受信する半導体メモリ装置及びこれを含むメモリモジュールを有するシステムに関する。

10

【背景技術】

【0002】

最近のコンピュータシステムは、高性能マイクロコントローラ(以下"CPU"と称する)の開発によって大容量のデータを高速で処理することが要求される。このような要求は、CPUの命令構造及び機能構造によってプロセッサのワード長さをより大きくし、クロック周波数を増加させ、またデータバス幅を大きくするなどCPUの特性によるものである。特に、クロック周波数の増加はCPUとデータとを相互交換するメモリの容量を大きくし、データ伝送速度を速くするように誘導する。したがって、メモリは高周波のシステムクロック信号に合わせて動作する。

20

【0003】

図 1 は、メモリコントローラ 1 1 0 とメモリモジュール 1 2 0 とを具備する一般的なシステムボード 1 0 0 を示す図面である。メモリコントローラ 1 1 0 はクロックバスライン、アドレスバスライン、コマンドバスライン、及びデータバスラインを通じてクロック信号CLK、アドレス信号ADDR、コマンド信号CMD及びデータDATAをメモリモジュール 1 2 0 に伝送する。メモリモジュール 1 2 0 は、一例として 8 個のメモリチップ 1 0 1、1 0 2、...、1 0 8 を内蔵し、各メモリチップ 1 0 1、1 0 2、...、1 0 8 はクロックバスライン、アドレスバスライン、コマンドバスライン及びデータバスラインと連結される。

30

【0004】

システムの高機能化、高性能化によって、クロックバスラインにのせられるクロック信号CLKの周波数が高まる。高周波数のクロック信号CLKはメモリチップ 1 0 1、1 0 2、...、1 0 8 に提供されてメモリチップ 1 0 1、1 0 2、...、1 0 8 の動作を制御する。メモリチップ 1 0 1、1 0 2、...、1 0 8 が、例えばSDRAMの場合に、クロック信号CLKのエッジに合わせてコマンド信号CMD、アドレス信号ADDR、そしてデータDATAを受信または入出力する。

【発明の開示】

【発明が解決しようとする課題】

40

【0005】

ところが、図 1 で分かるように、メモリチップ 1 0 1、1 0 2、...、1 0 8 から入出力されるデータDATAは各メモリチップ 1 0 1、1 0 2、...、1 0 8 に連結された独立的なデータラインを通じてデータバスラインと連結される。それで、それぞれのデータラインの負荷はこれと連結される一つのメモリチップになる。これに反してアドレスバス及びコマンドバスはメモリチップ 1 0 1、1 0 2、...、1 0 8 に直列に共有されて連結されるために、アドレス信号ADDR及びコマンド信号CMDは 8 つのメモリチップ 1 0 1、1 0 2、...、1 0 8 に該当する負荷を有する。

【0006】

それで、クロック信号CLKの高周波化によってデータラインにのせられるデータDATAは

50

該当負荷が小さいためにクロック信号CLKによって高周波動作が可能であるが、アドレス信号ADDR及びコマンド信号CMDは該当負荷が大きいためにクロック信号CLKによる高周波動作に限界がある。

#### 【0007】

図2は、システムボードに装着された従来のメモリモジュール120を示す図面である。システムボードにはマイクロプロセッサ(図示せず)またはメモリコントローラ(図示せず)と連結される多数のバスラインが配置されるが、代表的にクロックバスラインCLK、アドレスバスラインADDR及びコマンドバスラインCMDが配置される。メモリモジュール120は多数のメモリチップ101、102、...、106、位相同期回路(Phase Locked Loop: 以下"PLL"と称する)107及びレジスタ108を含む。

10

#### 【0008】

PLL107は、クロックバスラインにのせられるクロック信号CLKを受信して多数の内部クロック信号ICLK0、ICLK1、ICLK2...、ICLK6を発生させる。内部クロック信号ICLK0、ICLK1、ICLK2、...、ICLK6はスキューなしに同じスルーレートとデューティを有する理想的な信号である。そして内部クロック信号ICLK0、ICLK1、ICLK2、...、ICLK6はクロック信号CLKと位相が同期するために、クロック信号CLKの周波数を有する。内部クロック信号ICLK0はレジスタ108に提供され、内部クロック信号ICLK1、ICLK2、...、ICLK6はメモリチップ101、102、...、106に提供される。図2で、一つのクロック信号が一つのメモリチップに連結されているが、実際の応用で一つのクロック信号が対応するメモリチップの数は可変的でありうる。レジスタ108は内部クロック信号ICLK0に

20

#### 【0009】

ところが、メモリモジュール120は、一つのクロック信号CLKだけを受信してこれを多数の内部クロック信号ICLK0、ICLK1、ICLK2、...、ICLK6に作るために、高性能システムの場合、クロック信号CLKの周波数が高まれば、これにより内部クロック信号ICLK0、ICLK1、ICLK2、...、ICLK6の周波数も高まる。内部クロック信号ICLK1、ICLK2、...、ICLK6を受信してこれにより動作するメモリチップ101、102、...、106はそれ自体高周波動作に適したデバイスで構成できるためにその動作に問題はないが、レジスタ108の場合は、内部クロック信号ICLK0の周波数、すなわち、高周波数によってアドレス

30

#### 【0010】

したがって、クロック信号CLKの周波数が高まってもアドレス信号ADDR及びコマンド信号CMDの動作周波数を任意に低めて使用でき、レジスタ108の動作に適したクロック信号を受信できるメモリ装置及びメモリモジュールが要求される。

#### 【0011】

本発明の目的は、クロック信号の周波数が高まってもアドレス信号及びコマンド信号の動作周波数を調節できる半導体メモリ装置を提供することにある。

#### 【0012】

本発明の他の目的は、クロック信号の周波数が高まってもレジスタの動作に適した低い周波数のクロック信号を受信できるメモリモジュールを有するシステムを提供することにある。

40

#### 【課題を解決するための手段】

#### 【0013】

本発明のシステムは、第1クロック信号、前記第1クロック信号の周波数より高い周波数の第2クロック信号、アドレス信号、コマンド信号及びデータを発生させるメモリコントローラと、第1クロック信号、第2クロック信号、アドレス信号、コマンド信号及びデータが各々のせられるバスラインを通じてメモリコントローラと連結される多数の半導体メモリ装置を装着したメモリモジュールとを含むシステムにおいて、半導体メモリ装置は

50

、第1クロック信号に連結され、これに应答してアドレス信号を受信するアドレスバッファと、第1クロック信号に連結され、これに应答してコマンド信号を受信するコマンドバッファと、第2クロック信号に連結され、これに应答してデータを入出力するデータバッファとを具備することを特徴とする。

また、メモリコントローラの代わりにマイクロプロセッサを具備することを特徴とする。

また、データバッファは、データストロープ信号のエッジごとにデータを入出力することを特徴とする。

#### 【0014】

本発明のシステムは、第1クロック信号、この第1クロック信号の周波数より高い周波数の第2クロック信号、アドレス信号及びコマンド信号のバスラインと連結され、多数のメモリチップが装着されるメモリモジュールを有するシステムにおいて、メモリチップの各々は、第1クロック信号に連結され、これに应答してアドレス信号を受信するアドレスバッファと、第1クロック信号に連結され、これに应答してコマンド信号を受信するコマンドバッファと、第2クロック信号に連結され、これに应答してデータを入出力するデータバッファとを具備することを特徴とする。

10

また、第1クロック信号、第2クロック信号、アドレス信号及びコマンド信号は、システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする。

また、メモリモジュールは、第1クロック信号及び第2クロック信号を受信する2つ以上のモジュールピンを具備することを特徴とする。

20

#### 【0015】

本発明のシステムは、第1クロック信号、第1クロック信号の周波数より高い周波数の第2クロック信号、アドレス信号及びコマンド信号のバスラインが配置され、これらバスラインと連結されるメモリモジュールを有するシステムにおいて、メモリモジュールは、第1クロック信号に連結され、これに应答してアドレス信号及びコマンド信号を受信し、その出力をメモリモジュールの一方向に提供するレジスタと、第2クロック信号に連結され、これに应答してレジスタから出力されるアドレス信号及びコマンド信号を受信する多数のメモリチップとを具備することを特徴とする。

また、第1クロック信号、第2クロック信号、アドレス信号及びコマンド信号は、システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする。

30

また、メモリモジュールは、第1クロック信号及び第2クロック信号を受信する2つ以上のモジュールピンを具備することを特徴とする。

#### 【0016】

本発明のシステムは、第1クロック信号、この第1クロック信号の周波数より高い周波数の第2クロック信号、アドレス信号及びコマンド信号のバスラインが配置され、これらバスラインと連結されるメモリモジュールを有するシステムにおいて、メモリモジュールは、第1クロック信号に連結され、これに应答してアドレス信号及びコマンド信号を受信し、その出力をメモリモジュールの中央で両方向に提供するレジスタと、第2クロック信号に連結され、これに应答してレジスタから出力されるアドレス信号及びコマンド信号を受信する多数のメモリチップとを具備することを特徴とする。

40

また、第1クロック信号、第2クロック信号、アドレス信号及びコマンド信号は、システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする。

また、メモリモジュールは、第1クロック信号及び第2クロック信号を受信する2つ以上のモジュールピンを具備することを特徴とする。

#### 【0017】

本発明のシステムは、システムクロック信号、アドレス信号及びコマンド信号のバスラインが配置され、これらバスラインと連結されるメモリモジュールを有するシステムにおいて、前記システムは、システムクロック信号を受信して第1クロック信号及び第1クロ

50

ック信号の周波数より高い周波数の第2クロック信号を発生させる位相同期回路を具備し、メモリモジュールは第1クロック信号に連結され、これに应答してアドレス信号及びコマンド信号を受信し、その出力をメモリモジュールの一方向に提供するレジスタと、第2クロック信号に連結され、これに应答してレジスタから出力されるアドレス信号及びコマンド信号を受信する多数のメモリチップとを具備することを特徴とする。

また、システムクロック信号、アドレス信号及びコマンド信号は、システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする。

また、メモリモジュールは、第1クロック信号及び第2クロック信号を受信する2つ以上のモジュールピンを具備することを特徴とする。

【0018】

10

本発明のシステムは、システムクロック信号、アドレス信号及びコマンド信号のバスラインが配置され、これらバスラインと連結されるメモリモジュールを有するシステムにおいて、前記システムは、システムクロック信号を受信して第1クロック信号及び第1クロック信号の周波数より高い周波数の第2クロック信号を発生させる位相同期回路を具備し、メモリモジュールは、第1クロック信号に連結され、これに应答してアドレス信号及びコマンド信号を受信し、その出力をメモリモジュールの中央で両方向に提供するレジスタと、第2クロック信号に連結され、これに应答してレジスタから出力されたアドレス信号及びコマンド信号を受信する多数のメモリチップとを具備することを特徴とする。

また、システムクロック信号、アドレス信号及びコマンド信号は、システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする。

20

また、メモリモジュールは、第1クロック信号及び第2クロック信号を受信する2つ以上のモジュールピンを具備することを特徴とする。

【0019】

本発明のシステムは、第1クロック信号、この第1クロック信号の周波数より高い周波数の第2クロック信号、アドレス信号及びコマンド信号のバスラインが配置され、これらバスラインと連結されるメモリモジュールを有するシステムにおいて、メモリモジュールは、第1クロック信号に連結され、これに应答してアドレス信号及びコマンド信号を受信し、その出力をメモリモジュールの一方向に提供するレジスタと、第2クロック信号に連結され、これと位相同期する多数の内部クロック信号を発生させる位相同期回路と、内部クロック信号に各々連結され、これに应答してレジスタから出力されるアドレス信号及びコマンド信号を受信する多数のメモリチップとを具備することを特徴とする。

30

また、第1クロック信号、第2クロック信号、アドレス信号及びコマンド信号は、システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする。

また、メモリモジュールは、第1クロック信号及び第2クロック信号を受信する2つ以上のモジュールピンを具備することを特徴とする。

【0020】

本発明のシステムは、第1クロック信号、この第1クロック信号の周波数より高い周波数の第2クロック信号、アドレス信号及びコマンド信号のバスラインが配置され、これらバスラインと連結されるメモリモジュールを有するシステムにおいて、メモリモジュールは、第1クロック信号に連結され、これに应答してアドレス信号及びコマンド信号を受信してその出力をメモリモジュールの中央で両方向に提供するレジスタと、第2クロック信号に連結され、これと位相同期する多数の内部クロック信号を発生させる位相同期回路と、内部クロック信号に各々連結され、これに应答してレジスタから出力されるアドレス信号及びコマンド信号を受信する多数のメモリチップとを具備することを特徴とする。

40

また、第1クロック信号、第2クロック信号、アドレス信号及びコマンド信号は、システム内に装着されるメモリコントローラまたはマイクロプロセッサから提供されることを特徴とする。

また、メモリモジュールは、第1クロック信号及び第2クロック信号を受信する2つ以上のモジュールピンを具備することを特徴とする。

50

## 【発明の効果】

## 【0021】

以上のように本発明の半導体メモリ装置によれば、システムのクロック周波数が高まってもこれを受信した後、低い周波数の内部クロック信号を作ってアドレス信号及びコマンド信号の動作周波数として使用し、システムクロック周波数によってデータを入出力する。それで、高周波システムにおいて、アドレス信号及びコマンド信号の高周波動作限界を乗り越えつつ高周波システムの性能に合わせてデータを入出力できる。

また、本発明のメモリモジュールは、低周波動作のレジスタのために使われる第1クロック信号と高周波動作のメモリチップのために使われる第2クロック信号とを受信する。それで、メモリモジュールが装着されるシステムのクロック周波数が高まっても、メモリモジュール内の動作周波数領域が相異なるレジスタとメモリチップとは該当周波数のクロック信号に選択的に連結されるために安定して動作する。

10

## 【発明を実施するための最良の形態】

## 【0022】

以下、添付した図面を参照して本発明の望ましい実施形態を説明することによって、本発明を詳細に説明する。ただし、下記の実施例形態は例示的なものに過ぎず、本技術分野の通常の知識を有する者であればこれより多様な変形及び均等な他の実施形態が可能であるという点を理解するであろう。したがって、本発明の技術的保護範囲は特許請求の範囲の技術的思想により決まらねばならない。また、下記の各図面において、同一参照符号は同一部分を示す。

20

## 【0023】

図3は、本発明の第1実施形態に係る半導体メモリ装置を示す図面である。これを参照すれば、半導体メモリ装置101は図1のメモリモジュール120内に含まれるメモリチップのうち一つのメモリチップであり、クロックバッファ310、アドレスバッファ320、コマンドバッファ330、データバッファ340及び制御部350を含む。クロックバッファ310は、クロックバスにのせられるクロック信号CLK("外部クロック信号"と称する)を受信して内部クロック信号CLK1、CLK2を発生させる。この時、クロックバッファ310は制御部350の出力の制御信号CTRLにตอบสนองして第1内部クロック信号CLK1と第2内部クロック信号CLK2の周波数を決定する。制御部350はモードレジスタセット(MDS: MODE REGISTER SET)で構成され、半導体メモリ装置101のパワーアップ時に制御信号CTRLが設定される。制御信号CTRLはパワーアップ時以外にパワーダウンモードの解除時にも設定される場合もある。

30

## 【0024】

第1内部クロック信号CLK1の周波数と第2内部クロック信号CLK2の周波数とは制御信号CTRLによって多様に構成されるが、本発明では第1内部クロック信号CLK1の周波数が第2内部クロック信号CLK2の周波数より低い場合について説明する。ここで、第2内部クロック信号CLK2の周波数は外部クロック信号CLKの周波数とほとんど同一である。

## 【0025】

外部クロック信号CLKの周波数を、例えば400MHzとする。すると第2内部クロック信号CLK2は400MHzの周波数を有する。第1内部クロック信号CLK1はその半分に該当する200MHzの周波数を有するように生じたり、そうでなければそれより低い100MHzの周波数を有するように生じる。これは従来技術で説明したように、図1でアドレス信号ADDR及びコマンド信号CMDが有する負荷によるこれら信号の高周波動作の限界を乗り越えるために外部クロック信号CLKの周波数を低めて内部クロック信号のうち一つとして使用するための方案である。

40

## 【0026】

したがって、アドレスバッファ320は、第1内部クロック信号CLK1にตอบสนองしてアドレス信号を受信し、コマンドバッファ330も第1内部クロック信号CLK1にตอบสนองしてコマンド信号CMDを受信する。

## 【0027】

50

データバッファ340は第2内部クロック信号CLK2にตอบสนองしてデータDATAを入出力する。前述したように、第2内部クロック信号CLK2は外部クロック信号CLKの周波数と同じであるので400MHzの周波数を有する。これはシステムボードに装着されるメモリコントローラやマイクロプロセッサの動作周波数でもある外部クロック信号CLKに合せて半導体メモリ装置101がデータDATAを入出力するということを意味する。

【0028】

したがって、半導体メモリ装置101は高周波数の外部クロック信号CLKを受信して生じたこれより低い周波数の第1内部クロック信号CLK1によってアドレス信号ADDR及びコマンド信号CMDを処理し、外部クロック信号CLKの周波数と同じ第2内部クロック信号CLK2によってデータDATAを入出力するために、システムの性能面で要求される高周波動作によく適合する。 10

【0029】

一方、高周波データをラッチするためにデータバッファ340にはデータストロブ信号STROBEが連結される場合がある。データバッファ340はデータストロブ信号STROBEのエッジにตอบสนองしてデータを入出力するが、半導体メモリ装置がSDR(Single Data Rate)DRAMの場合、ストロブ信号STROBEの上昇エッジごとにまたは下降エッジごとにデータを入出力し、DDR DRAMの場合にはデータストロブ信号STROBEの上昇エッジと下降エッジごとにデータを入出力する。

【0030】

図4は、本発明の第2実施形態に係る半導体メモリ装置を含むシステムボードを示す。システムボード400はメモリコントローラ410と多数のメモリチップ401、402、...、408を含むメモリモジュール420とより構成される。メモリコントローラ410は第1クロック信号CLK1、第2クロック信号CLK2、アドレス信号ADDR、コマンド信号CMD及びデータ信号DATAを発生させ、各信号をクロックバス、アドレスバス、コマンドバス及びデータバスに伝送する。メモリモジュール420内のメモリチップ401、402、...、408はクロックバス、アドレスバス、コマンドバス及びデータバスと連結され、第1クロック信号CLK1、第2クロック信号CLK2、アドレス信号ADDR、コマンド信号CMD及びデータ信号DATAを受信する。 20

【0031】

図5は、図4のメモリモジュール420内の一つのメモリチップ401を例として示す図面である。メモリチップ401はアドレスバッファ520、コマンドバッファ530及びデータバッファ540を含む。アドレスバッファ520は第1クロック信号CLK1とアドレス信号ADDRとに連結され、コマンドバッファ530は第1クロック信号CLK1とコマンド信号CMDとに連結される。データバッファ540は第2クロック信号CLK2とデータ信号DATAとに連結される。 30

【0032】

第1実施形態及び第2実施形態のメモリチップの動作は図6のタイミング図に示されている。第1実施形態の外部クロック信号CLKの周波数に比べて第1内部クロック信号CLK1の周波数はその半分に該当する。第2実施形態の第2クロック信号CLK2は第1実施形態の外部クロック信号CLKとほとんど同じ周波数を有する。アドレス信号ADDR及びコマンド信号CMDは第1内部クロック信号CLK1の上昇エッジに対してセットアップ-ホールド時間マージンを有する。半導体メモリ装置がSDR DRAMの場合、データターミナルDQを通じるデータは外部クロック信号CLKと同じ周波数を有する第2内部クロック信号CLK2の上昇エッジごとに入力または出力される。また、半導体メモリ装置がDDR DRAMの場合にはデータターミナルDQを通じて出力されるデータは第2内部クロック信号CLK2の上昇エッジと下降エッジごとに出力される。 40

【0033】

一方、第1実施形態及び第2実施形態のメモリチップに含まれるデータバッファがデータストロブ信号STROBEに連結される場合には、データストロブ信号STROBEのエッジにตอบสนองしてデータを入出力する。すなわち、図6に示したデータストロブ信号STROBEの上 50

昇エッジと下降エッジごとにデータを出力するが、これはDDR DRAMの場合である。

【0034】

図7は、本発明の第3実施形態に係るメモリモジュール700を示す図面である。メモリモジュール700は多数のメモリチップ701、702、...、706とレジスタ710を含む。レジスタ710はシステムボード上の第1クロック信号CLK1、アドレス信号ADDR及びコマンド信号CMDとに連結される。レジスタ710は第1クロック信号CLK1にตอบสนองして受信されるアドレス信号ADDR及びコマンド信号CMDをメモリチップ701、702、...、706に伝送する。レジスタ710から出力されるアドレス信号ADDR及びコマンド信号CMDはメモリモジュール700の一方から各メモリチップ701、702、...、706に提供される。メモリチップ701、702、...、706はシステムボード上の第2クロック信号CLK2とレジスタ710から出力されるアドレス信号ADDR及びコマンド信号CMDとに連結される。

10

【0035】

一方、メモリモジュール700内のレジスタ710なしに第1クロック信号CLK1とアドレス信号ADDR、そしてコマンド信号CMDは直接メモリチップ701、702、...、706に提供されうる。この時、第1クロック信号CLK1はアドレス信号ADDRとコマンド信号CMDとを各々受信するアドレスバッファとコマンドバッファとを駆動する。そして、第2クロック信号CLK2はデータバッファを駆動する。すなわち、低い周波数の第1クロック信号CLK1はアドレス信号ADDRとコマンド信号CMDとの動作周波数として使用され、高い周波数の第2クロック信号CLK2はデータを入出力するのに使用される。

20

【0036】

第1クロック信号CLK1、第2クロック信号CLK2、アドレス信号ADDR及びコマンド信号CMDはメモリコントローラ(図示せず)やマイクロプロセッサ(図示せず)によって提供され、システムボードを走るバスラインを通じてデバイス、特にメモリモジュール700と連結される。

【0037】

図8は本発明の第4実施形態であり、レジスタ710から出力されるアドレス信号ADDRライン及びコマンド信号CMDラインがメモリモジュール700'の中央から各メモリチップ701、702、...、706と連結される構造を示す。これは図7のメモリモジュール700内のメモリチップ701とメモリチップ706とに連結されるアドレス信号ADDR及びコマンド信号CMDのライン負荷が相異なってスキューが生じる問題点を減らす一つの方法になる。

30

【0038】

第1クロック信号CLK1と第2クロック信号CLK2はメモリコントローラやマイクロプロセッサにより直接提供されるが、システムボード上のシステムクロック信号CLKを受信する位相同期回路PLLにより発生させることもでき、これは本発明の第5実施形態として図9に示されている。また、本発明の第6実施形態の図10は、図9のレジスタ910から出力されるアドレス信号ADDRライン及びコマンド信号CMDラインがメモリモジュール900'の中央から各メモリチップ901、902、...、906と連結される構造を示す。

【0039】

図7ないし図10の動作はほとんど同じであるが、代表として図7を例として説明する。第1クロック信号CLK1の周波数は第2クロック信号CLK2の周波数に比べて低い。低い周波数の第1クロック信号CLK1はレジスタ710の動作クロック信号として使われ、高い周波数の第2クロック信号CLK2はメモリチップ701、702、...、706の動作クロック信号として使われる。これはメモリチップ701、702、...、706の動作速度に比べて相対的にその動作速度が遅いレジスタ710の性能に合わせたためである。メモリチップ701、702、...、706は高速動作のSDRAMより構成され、より具体的にはDDR DRAMまたはSDR DRAMなどである。

40

【0040】

したがって、メモリモジュール700は、従来のメモリモジュールが一つのクロック信

50

号を受信してこれをメモリモジュール全体に配分させていたこととは違って、二つのクロック信号CLK1、CLK2を受信してこれを動作周波数が異なるデバイス、すなわち、レジスタ710とメモリチップ701、702、...、706とに各々連結させる。それで、メモリモジュール700は2個のクロック信号CLK1、CLK2を受信するのに使われるモジュールピンを各々具備する。本実施形態では2個のクロック信号、すなわち、第1クロック信号CLK1と第2クロック信号CLK2とを例として説明しているが、2つ以上の相異なる周波数を有するクロック信号を受信してこれらを該当周波数別に動作するデバイス群に各々連結させうことはもちろんである。

#### 【0041】

したがって、図7ないし図10のメモリモジュール700、700'、900、900'は、メモリモジュール内の動作周波数領域が相異なるレジスタとメモリチップとが該当周波数のクロック信号に選択的に連結されるために、特に動作周波数が低いレジスタは安定して動作する。

#### 【0042】

図11は、本発明の第7実施形態に係るメモリモジュール1100を示す図面である。メモリモジュール1100は図7のメモリモジュール700とほとんど同一である。ただし、図7のメモリモジュール700では、第2クロック信号CLK2を受信してこれをメモリチップ701、702、...、706に直接連結させるのに対して、本実施形態のメモリモジュール1100は第2クロック信号CLK2を受信してこれを位相同期回路1120に連結させるという点で差がある。説明の重複を避けるために同じ構成要素のレジスタ1110とメモリチップ1101、1102、...、1106についての説明は省略される。

#### 【0043】

位相同期回路PLL 1120は第2クロック信号CLK2を受信して多数の内部クロック信号ICLK1、ICLK2、...、ICLK6を発生させ、それぞれの内部クロック信号ICLK1、ICLK2、...、ICLK6をメモリチップ1101、1102、...、1106に連結させる。内部クロック信号ICLK1、ICLK2、...、ICLK6はスキューなしに同じスルーレートとデューティを有して理想的であり、第2クロック信号CLK2と位相が同期するために第2クロック信号CLK2の周波数を有する。したがって、内部クロック信号ICLK1、ICLK2、...、ICLK6も高い周波数を有する。

#### 【0044】

一方、本発明の第8実施形態の図12は、レジスタ1110から出力されるアドレス信号ADDRライン及びコマンド信号CMDラインがメモリモジュール1100'の中央から各メモリチップ1101、1102、...、1106と連結される構造を示す。これは図8で説明したように、図11のメモリモジュール1100内のメモリチップ1101とメモリチップ1106とに連結されるアドレス信号ADDR及びコマンド信号CMDのライン負荷が相異なるとスキューが生じる問題点を減らす一つの方法になる。

#### 【0045】

したがって、図11及び図12のメモリモジュールは図7ないし図10のメモリモジュール700、700'、900、900'と同じく、メモリモジュールが装着されるシステムのクロック周波数が高まってもメモリモジュール内の動作周波数領域が相異なるレジスタとメモリチップとは該当周波数のクロック信号に選択的に連結されるために安定して動作する。

#### 【図面の簡単な説明】

#### 【0046】

【図1】メモリコントローラとメモリモジュールとを具備する一般的なシステムボードを示す図である。

【図2】図1のシステムボードに装着されたメモリモジュールを示す図である。

【図3】本発明の第1実施形態に係る半導体メモリ装置を示す図である。

【図4】本発明の第2実施形態に係る半導体メモリ装置を含むシステムボードを示す図である。

10

20

30

40

50

【図5】図4の半導体メモリ装置を示す図である。

【図6】図3及び図5の半導体メモリ装置の動作タイミングを示す図である。

【図7】本発明の第3実施形態に係るメモリモジュールを含むシステムを示す図である。

【図8】本発明の第4実施形態に係るメモリモジュールを含むシステムを示す図である。

【図9】本発明の第5実施形態に係るメモリモジュールを含むシステムを示す図である。

【図10】本発明の第6実施形態に係るメモリモジュールを含むシステムを示す図である。

【図11】本発明の第7実施形態に係るメモリモジュールを含むシステムを示す図である。

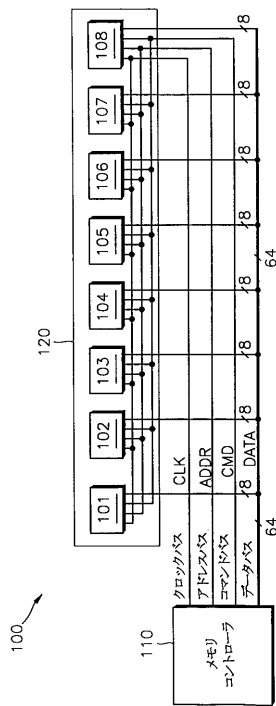
【図12】本発明の第8実施形態に係るメモリモジュールを含むシステムを示す図である

【符号の説明】

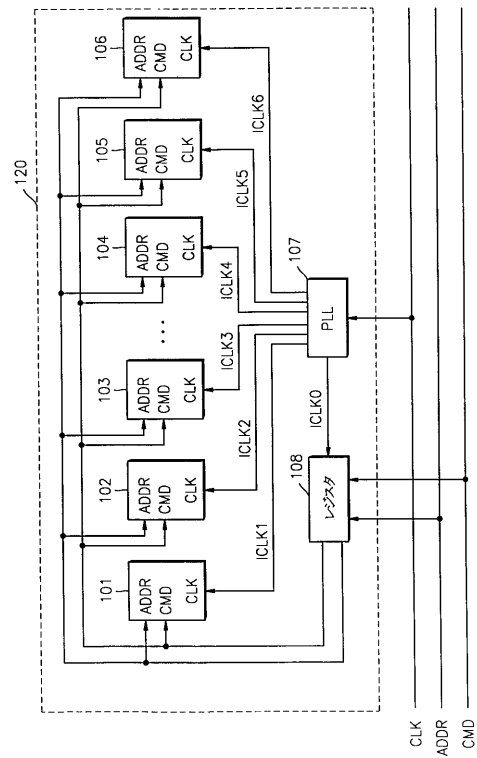
【0047】

- 101 半導体メモリ装置
- 310 クロックバッファ
- 320 アドレスバッファ
- 330 コマンドバッファ
- 340 データバッファ
- 350 制御部

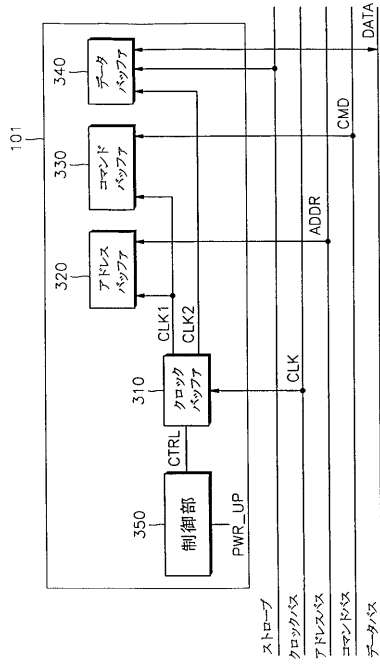
【図1】



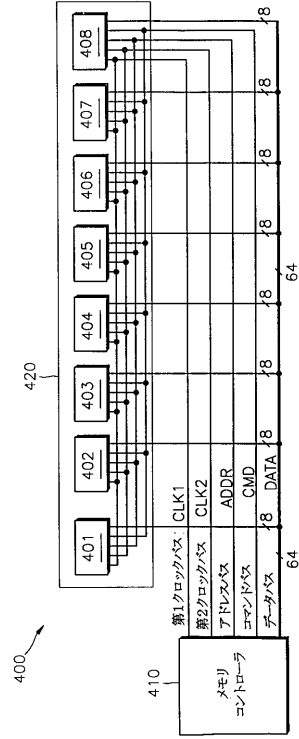
【図2】



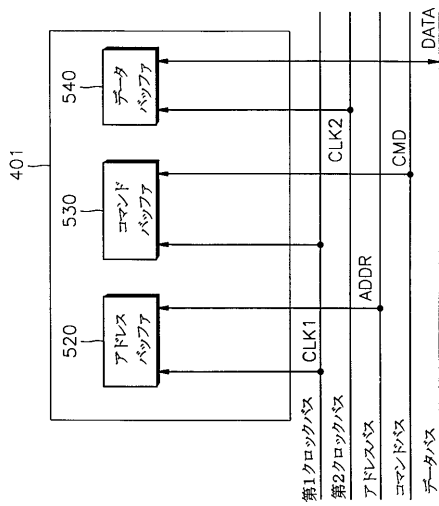
【 図 3 】



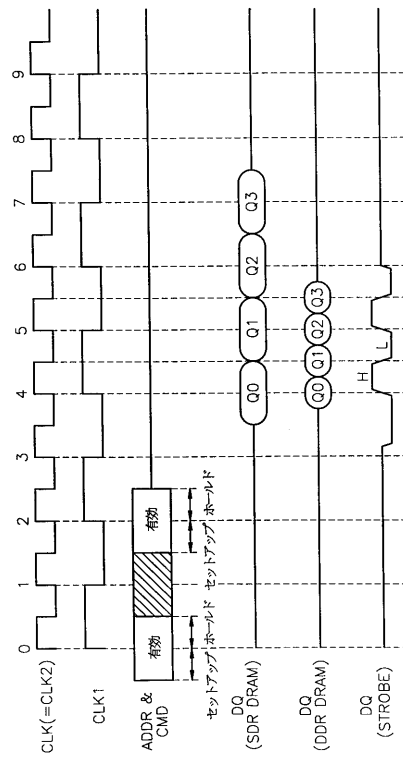
【 図 4 】



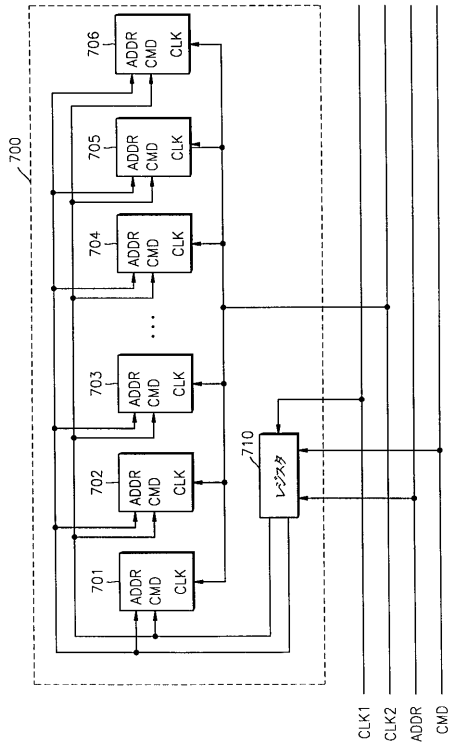
【 図 5 】



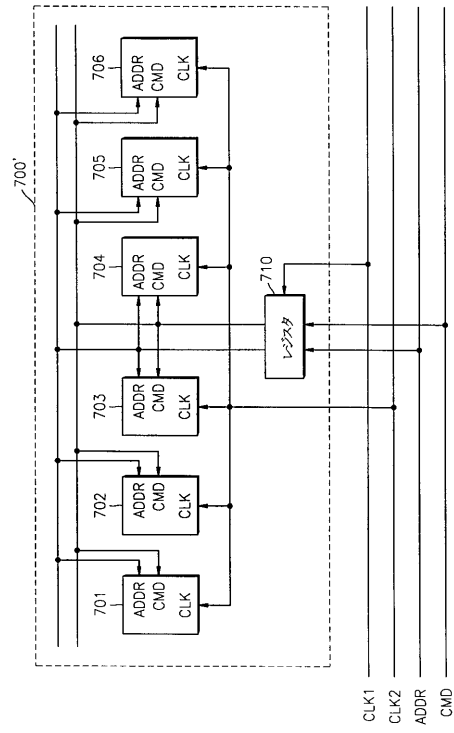
【 図 6 】



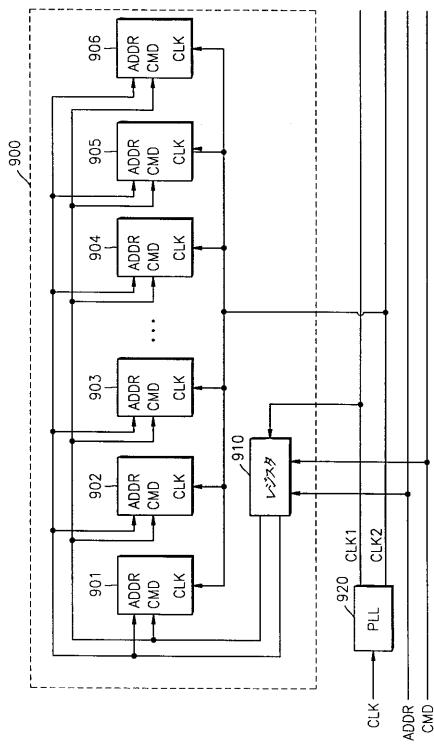
【 図 7 】



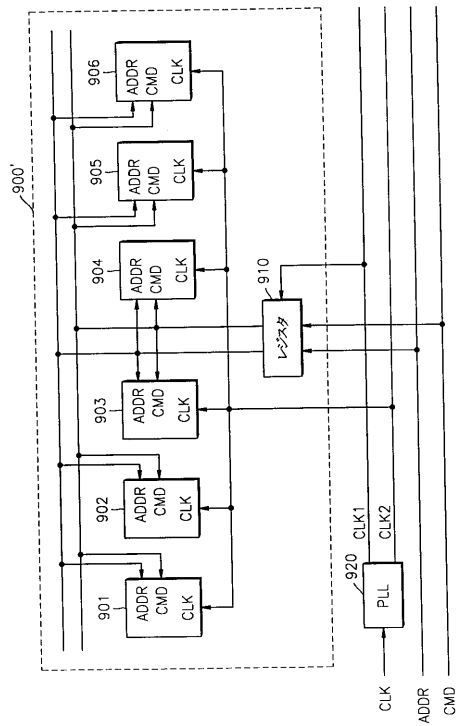
【 図 8 】



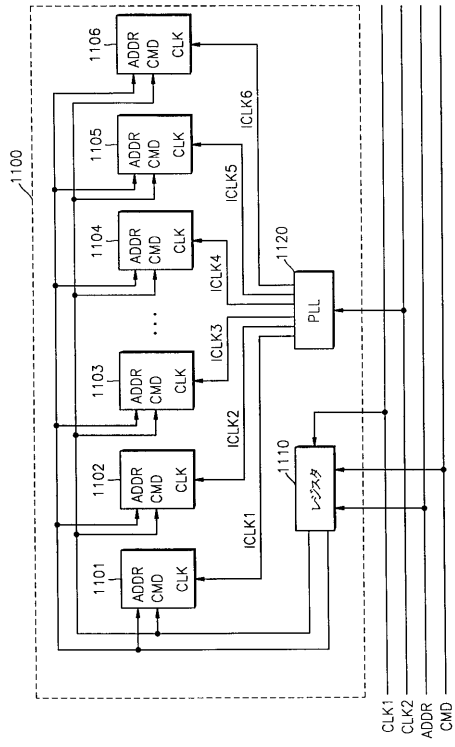
【 図 9 】



【 図 10 】



【図 1 1】



【図 1 2】

