

發明專利說明書 200403136

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P211A00P

※申請日期：P2-7-2

※IPC 分類：H01L 28/78

壹、發明名稱：(中文/英文)

電子裝置及其製造

ELECTRONIC DEVICES AND THEIR MANUFACTURE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

荷蘭商皇家飛利浦電子股份有限公司

KONINKLIJKE PHILIPS ELECTRONICS N.V.

代表人：(中文/英文)

J.L. 凡 德 渥

J.L. VAN DER VEER

住居所或營業所地址：(中文/英文)

荷蘭愛因和文市格羅尼渥街1號

GROENEWOUDSEWEG 1, 5621 BA EINDHOVEN,
THE NETHERLANDS

國 籍：(中文/英文)

荷蘭 THE NETHERLANDS

參、發明人：(共 4 人)

姓 名：(中文/英文)

1.派特 詹 凡 德 沙格

PIETER JAN VAN DER ZAAG

2.奈吉爾 大衛 楊

NIGEL DAVID YOUNG

3.伊安 道格拉斯 法蘭奇

IAN DOUGLAS FRENCH

4.傑夫瑞 亞蘭 查普曼

JEFFREY ALAN CHAPMAN

住居所地址：(中文/英文)

1.韓國漢城市星卜區星卜洞311號

#311 SUNGBUK-DONG, SUNGBUK-GU, SEOUL 136-020,
SOUTH KOREA

2.英國瑞德西爾市美德維爾區克萊倫斯步道52號

52 CLARENCE WALK, MEADVALE, REDHILL, RH1 6NE,
ENGLAND

3.英國東蘇些克斯郡何夫市貝利戴爾大道55號

55 BERRIEDALE AVENUE, HOVE, EAST SUSSEX, BN3 4JG,
ENGLAND

4.英國蘇些克斯郡伯蓋斯西爾市帕克路26號

26 PARK ROAD, BURGESS HILL, SUSSEX, RH15 8ET,
ENGLAND

國 籍：(中文/英文)

1.荷蘭 THE NETHERLANDS

2.3.4.皆英國 UNITED KINGDOM

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

- 1.英國；2002 年 07 月 05 日；0215566.1
- 2.英國；2003 年 05 月 01 日；0309977.7
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.英國；2002 年 07 月 05 日；0215566.1
- 2.英國；2003 年 05 月 01 日；0309977.7
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於包括多晶半導體材料的電子裝置及用來製造該材料及此類裝置的方法。

【先前技術】

多晶矽 (polycrystalline silicon ; poly-Si) 相對於非晶矽 (amorphous silicon ; a-Si) 的較高載子遷移率使其成為在諸如主動矩陣液晶顯示器 (active matrix liquid crystal display ; AMLCD)、主動矩陣聚合體發光二極體顯示器 (active matrix polymer LED display ; AMPLD)、太陽能電池及影像感應器等的大範圍電子裝置中使用的誘人材料。美國專利 US-A-5130829 中說明了一平板主動矩陣顯示器之一範例，其內容係以提及方式併入本文。

為說明之目的，術語「非晶性」與成分原子係隨意定位的材料有關。術語「多晶」與包括複數個單晶的材料有關，單晶係指具有其成分原子之一規則反覆晶格結構的晶體。此係特別與通常藉由熔化並冷卻非晶矽而形成的多晶矽有關。用於多晶矽的典型晶粒尺寸係位於 0.1 μm 與 5 μm 之間。然而，當在一定條件下結晶時，該矽可具有在一顯微刻度上的晶粒尺寸，通常為 0 至 0.5 μm 。術語「微晶」係與具有一顯微刻度上之晶粒尺寸的結晶材料有關。

傳統上，用於(例如)薄膜電晶體(TFT)中之多晶矽薄膜係藉由固相結晶法(solid phase crystallisation ; SPC)來製造。此係涉及在一絕緣基板上沉積一非晶矽薄膜，並藉由在一

延長週期內將其曝露於一高溫之下而使該非晶矽薄膜結晶，此過程通常需要在超過600°C的溫度下持續24小時。

作為選擇，美國專利US-A-5147826揭示了使一非晶矽薄膜結晶的一較低溫度方法。該方法包括在該非晶矽薄膜上沉積一金屬原子(例如鎳)薄膜並使之退火之步驟。該金屬在低於600°C以下的溫度中能刺激晶體生長，且其亦能提供比其它情況中更快的晶體生長速度。例如，採用US-A-5147826之方法的一典型退火可能要在550°C左右持續10小時。此代表對先前方法之改進，其原因至少有二：首先，其使得諸如硼矽酸鹽等的低成本、低溫無鹼玻璃基板得以使用，其通常能夠在600°C或更高的溫度下經受玻璃壓制及彎曲；其次，由於退火時間減少，製造產量會增加，因此可減少相關的製造成本。US-A-5147826中的內容係以提及方式併入本文。以下將按此方法使用一金屬(如鎳)稱為金屬誘導結晶或「MIC」，且由此產生的多晶矽材料稱為「MIC多晶矽」。

最近，已開發出採用一雷射退火程序生產多晶矽的方法，並在商業上廣泛採納。然而，此程序相對較慢，其原因在於，一狹窄雷射光束係逐漸橫跨一基板掃描，並以數個發射照射該基板之各部分，該等雷射發射的不均勻性可導致該多晶矽中的不均勻，且實施及維護該雷射設備亦相當昂貴。US-A-5147826之程序中的退火步驟可作為相對簡單的一爐程序在允許較高產量的一熔爐中進行。

採用US-A-5147826之技術製造的TFT一直受到在其處於「關閉」狀態時仍具有相對較高洩漏電流之問題的阻礙，

使得它們不適合在諸如 AMLCD 等的應用中使用。此缺陷導致該 AMLED 產生的影像保持不夠充分。

通常，在現有的多晶矽 AMLCD 中，可接受的 TFT 最小洩漏電流值（即橫跨其閘極電壓之正常運作範圍的洩漏電流的最小值）在一 5 V 源極-汲極電壓處約為 10 pA 或更低。即，由於電流洩漏會導致該顯示器輸出出現不可接受的退化，故在該顯示器正常運作中，該 TFT 關閉電流最好不要超過此值。根據與該 TFT 有關的圖像元素的特徵，此臨界可稍做變化。對於通道寬度為（例如）4 μm 的一 TFT，10 pA 的一洩漏電流等同於 2.5×10^{-12} A/ μm 。（應該瞭解，在此說明書中關於 TFT 的情形中，A/ μm 代表每微米 TFT 通道寬度的安培數）。

Sooyoung Yoon 等人在 Jpn. J. Appl. Phys. 第 37 卷 (1998) 之第 7193 至 7197 頁發表了標題為「採用金屬誘導結晶與鎳溶液之高性能多晶矽薄膜電晶體」的論文，揭示了 US-A-5147826 之技術的進一步發展。藉由在一鎳吸收溶液中浸漬，且隨後在 500°C 時退火該薄膜達 20 小時，可使一基板上的一 100 nm 厚的非晶矽薄膜結晶。產生的該多晶矽中鎳的濃度為 1.2×10^{18} 個原子/ cm^3 。具有採用此程序形成的多晶矽之一通道的一 TFT 的關閉狀態洩漏電流在 5 V 的一汲極電壓時為 2.7×10^{-11} A/ μm ，此數量係大於上述該臨界。

【發明內容】

本發明的一目的是以一成本更經濟有效之方式形成包括多晶半導體材料的電子裝置。

本發明提供包括在一多晶半導體材料中定義一通道的一

TFT，該多晶半導體材料係藉由使用金屬原子來加快結晶程序，從而使非晶性半導體材料結晶而產生，其中，該多晶半導體材料包括在 1.3×10^{18} 至 7.5×10^{18} 個原子/ cm^3 範圍內金屬原子的一平均濃度。採用此金屬濃度，本發明能夠製造具有已改善洩漏電流特性的TFT。特定言之，在5 V的一源極-汲極電壓處，該等TFT顯示一大約為 2.5×10^{-12} A/ μm 或更少的最小洩漏電流。具有此性質的一TFT可適合作為一AMLCD中的一切換元件來使用，同時該TFT關閉狀態洩漏電流不會使該顯示器性能退化到不可接受的程度。

本發明具有意想不到的發現，即在上述濃度範圍中使用金屬原子使得在多晶半導體TFT形成時具有以上定義的洩漏性質，同時退火程序之時間大幅低於以前認為所必須的時間。雖然在約 550°C 的溫度下持續20小時的退火時間獲得了所需的性質，但已意識到本文揭示的該等金屬濃度在 600°C 或更低的溫度下使此時間減少至10小時、8小時、甚至6小時或更短。此可引起製造程序中生產力及效率的實質性提高。

該多晶半導體材料中金屬原子的平均濃度較佳應大於 1.9×10^{18} 個原子/ cm^3 及/或小於 5×10^{18} 個原子/ cm^3 。該多晶半導體材料中金屬原子的平均濃度處於 2 至 3×10^{18} 個原子/ cm^3 範圍內為更佳。

在一較佳具體實施例中，金屬原子的平均濃度約為 2.5×10^{18} 個原子/ cm^3 。

該TFT較佳應具有一低摻雜汲極(low-doped drain; LDD)

結構。此可增加閘極電壓之範圍，在此電壓範圍內實質上可獲得最小洩漏電流。

本發明進一步提供一種製造該裝置的方法，其包括以下步驟：

(a)於一基板之上沉積非晶性半導體材料；

(b)以 1.3×10^{18} 至 4×10^{18} 個原子/cm³ 範圍內的一平均濃度向該半導體材料加入金屬原子，該等金屬原子適於加快非晶性半導體材料之結晶；及

(c)使該非晶性半導體材料退火，以形成多晶半導體材料。

而且已經發現，若在該退火步驟期間向一基板應用一電場，則會進一步加快該程序，從而減少其持續時間。

應該瞭解，本發明之程序中可使用各種金屬原子。可從由Ni、Cr、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Pb、As及Sb組成的群組中選擇一或多種元素來應用。若使用從該Ni、Co及Pd群組中選擇的一或多種元素則更佳。

本文參考的加入的金屬原子包括元素形式的金屬或包含該金屬原子的化合物。

由於離子植入法能夠對劑量、均勻性及離子深度提供精確控制，故較佳應採用此法為非晶性半導體材料加入金屬。然而，其它方法也可用於此目的。例如，典型可藉由一旋塗法在一溶液中將該等金屬原子應用於該非晶性半導體材料。其它方法包括噴濺或溶膠-凝膠塗佈一鎳層，以及在該非晶性半導體材料CVD程序中使用一鎳先驅物。

如上所示，本文中說明的用於形成MIC多晶矽的該程序

可使得此種程序之退火步驟持續的時間大幅縮短。發明者已進一步意識到：此步驟之熱預算的減少可足以允許在一底部閘控TFT結構中使用該MIC多晶矽。已知底部閘控TFT結構之範例為往回通道蝕刻(back channel etch；BCE) TFT及蝕刻終止TFT。特定言之，根據本發明，該底部閘控多晶矽TFT結構的閘極電極可由金屬形成。以前發現，使用熱退火足以形成多晶矽，甚至當藉由加入適當的金屬原子來加快結晶程序時也是如此，或者，採用一雷射退火程序形成多晶矽會導致閘極金屬穿過該閘極介電質擴散，造成該底部閘極與該多晶矽短路。

由於能使該製造程序之光罩數量相對於一典型頂部閘極多晶矽TFT製造程序減少，故可靠形成底部閘控多晶矽TFT(特別是採用低溫基板之應用)的能力具有重要的商業價值。而且，該程序係更能與現有非晶矽生產線相容，現有非晶矽生產線中的許多目前生產底部閘控TFT結構，減少了轉換一生產線來生產多晶矽TFT的費用。也可能不需要雷射退火來生產品質可接受的多晶矽，可避免相關費用。

用於依據本發明在一底部閘控TFT中形成閘極電極的適當材料包括諸如Cr、W及MoCr等的耐火金屬或諸如Au、Ag或Ni等的低電阻率金屬，而後者可能更適合於閘極電阻減少具有重要性的較大顯示器。應該瞭解，依據熱預算及一既定程序及裝置應用的其它參數，可選擇其它閘極材料。

例如，可使用一矽化物金屬材料來形成該閘極。用於形成該矽化物的適當金屬包括鎢、鉬、鎳及鉑。可實行一單

獨的退火步驟，使所選金屬與非晶矽反應，以便形成對應的矽化物。或者，在形成該TFT之MIC多晶矽中實行的退火步驟可同時形成該矽化物。如上所述，此退火相對較低的熱預算具有使金屬擴散進入該閘極介電質的任何風險最小化的好處。

可用於形成該閘極電極的其它材料包括摻雜氫化 非晶矽或微晶矽。英國專利申請案第0210065.9號(參考號為PHGB020060)中說明了具有包括此等材料之閘極電極的底部閘極多晶矽TFT，其內容係以提及方式併入本文。而且，該 非晶矽或微晶矽之中可包括適合於加快矽結晶的金屬原子，以便在該MIC退火步驟中增強該閘極材料的結晶能力。從而，該閘極電極可包括半導體材料與適合於加快其結晶的金屬原子。

在本文揭示的製造一電子裝置之方法的一較佳具體實施例中，在形成一TFT時，將其通道定義於該多晶半導體材料之中，該多晶半導體材料具有一底部閘極組態，且該方法包括一BCE步驟。相對一底部閘極BCE非晶矽TFT的製造而言，該BCE步驟具有依據本具體實施例的一更清楚定義之終點。在該BCE程序中移除n+非晶矽 可曝露多晶矽(而不是固有的非晶矽)，因此可選擇一蝕刻劑(其係可在非晶矽與多晶矽之間選擇)，以確保一旦已曝露的該n+非晶矽遭到蝕刻移除，該蝕刻程序即告終止。

【實施方式】

應該注意，該等圖式為概略圖，且並未按比例繪製。為

使該等圖式清楚及方便，此等圖式之各部分的相關尺寸及比例已誇大或縮小。

以下將參考圖1說明使本發明具體化的一程序。圖1顯示一非晶矽層2，其已沉積於一玻璃基板4之上。例如，該層典型厚度可為40 nm，並採用電漿增強化學蒸氣沉積(plasma enhanced chemical vapour deposition；PECVD)法形成。

然後以典型係為20 keV的植入能量向該非晶矽層中植入(此步驟在在圖1中藉由箭頭6表示)約 1×10^{13} 個原子/cm³的平均濃度的鎳。已成功在此厚度之層中使用了達到30 keV的能量，以產生具有所需洩漏特徵的TFT。於是可以看出，在由此劑量產生的該40 nm厚非晶矽層中的鎳原子的平均濃度約為 2.5×10^{18} 個原子/cm³。

圖2示意性說明用於不同程序的該非晶矽層中典型的鎳劑量剖面。進入該層之深度沿該x軸增加，零代表該層之上部表面。線8顯示採用一植入程序獲得的剖面，而線10顯示用於一旋塗或噴濺方法的剖面。植入程序使得該剖面中的一峰值出現於該層之主體之內，然而，在其它程序中，最高濃度係出現於該層之上部表面處。由於在接近該半導體材料之主體的中心有一更大的鎳濃度，故認為與其它摻雜技術相比，此技術可導致更優質結晶材料的形成。植入的使用也有助於密切控制鎳的劑量。該半導體材料可藉由在550°C溫度下，最好在N₂氣體環境中退火約8小時而結晶。

於是，可以一熟知方式實行微影蝕刻、植入、沉積及蝕刻程序步驟，以便形成圖3所示之一多晶矽TFT結構。藉由

圖3之範例顯示的結構為一頂部閘極，該閘極係與輕微摻雜的汲極TFT重疊。將該半導體材料圖案化，使之成為一多晶矽島10，該島由摻雜源極與汲極區域12與14、一固有通道區域16及其間的輕微摻雜區域18與20組成。將一絕緣材料層22沉積於該島10之上，並在該處定義導通孔(vias) 24與26，使得二者能夠藉由源極與汲極端子30與32分別同源極與汲極區域12與14接觸。於該絕緣材料層22上方提供一金屬閘極電極28。

本文說明的MIC程序使得底部閘控TFT能夠在低溫基板上可靠製造。現在參考圖4至7說明用於依據本發明形成此裝置的一程序之範例。圖7中顯示的已完成TFT裝置為一BCE TFT。此程序僅需5光罩步驟，其少於一典型多晶矽TFT程序，因此相對比較節約成本。各光罩之應用在以下程序說明中將於圓括弧中指示。適合形成該裝置的微影蝕刻、植入、沉積及蝕刻程序步驟在本技術中已為吾人所熟知，因此不再詳細說明。

首先，如圖4所示，在玻璃基板4(光罩1)上提供(例如)Cr的一底部閘極40。選擇的該閘極材料應能夠經受住隨後的MIC退火及其它處理的熱預算。本文揭示的該MIC程序相對較低的熱預算便於使用諸如Cr等的金屬。

隨後於該閘極40上方沉積閘極絕緣層42與一非晶矽層44(如圖5所示)。如以上關於圖1之說明，隨後藉由(例如)植入法向該非晶矽層44加入鎳，然後將該基板退火(典型為在550°C下退火8小時)，將該非晶矽轉換成MIC多晶矽。

於該MIC多晶矽之上沉積一n+摻雜非晶矽層，並將該等二層圖案化，以形成一裝置島46(圖6)，該裝置島包括MIC多晶矽島48與堆疊其上的n+非晶矽(光罩2)。在沉積該n+非晶矽之前，可能需要清潔該MIC多晶矽表面，以確保在該等二層之間獲得良好的電接觸。例如，可在該MIC多晶矽層上形成一薄二氧化矽層。採用氟化氫酸處理是用來移除此種氧化物層的合適方法。

然後沉積一金屬層，並將該金屬層圖案化，以形成源極電極與汲極電極50與52(光罩3)。現在實行一BCE步驟，採用該等源極電極與汲極電極50與52作為一光罩定義蝕刻窗口58，以便移除其間的n+非晶矽材料，曝露該下部MIC多晶矽，並定義n+非晶矽源極與汲極接觸層54與56。

在已知非晶矽BCE TFT製造程序中，由於該蝕刻程序並非可在該n+非晶矽與該下部非晶矽之間選擇，故並未清晰定義該BCE步驟之該終點或該終點不易控制。此問題之解決係藉由使該非晶矽層變厚並過度蝕刻以便移除部分非晶矽層，從而確保移除所有不需要的n+非晶矽。其中之缺點在於：延長了處理時間、增加了成本，並使該程序的可靠再生能力降低。然而，在圖4至7之程序中，蝕刻去掉該n+非晶矽使MIC多晶矽材料得以曝露，並且在該BCE步驟中使用的蝕刻劑可在該n+非晶矽與該多晶矽之間選擇，此係為該蝕刻步驟提供了一清晰定義之終點。

因此，本程序能夠形成具有容納該通道之一相對較薄多晶矽區域而非一相對較厚非晶矽層的一BCE TFT。此層厚

度的減小可縮短沉積該層所需的處理時間，也可用於減少該層中的洩漏。例如，容納有一BCE非晶矽TFT之非晶矽層的通道之厚度典型約為100 nm，然而，本裝置之多晶矽層可比此厚度薄，且此層厚度約為40甚至20 nm的裝置可以可靠製造。

於是，如圖7之說明，該TFT裝置可藉由於其上沉積一鈍化層60、在該鈍化層中開一接觸孔62(光罩4)，並沉積與圖案化一適當材料(典型為氧化銦錫)來形成該像素電極64(光罩5)而完成(例如，在一主動矩陣顯示裝置的情況下)。

在以上關於圖5與6之說明的一替代方法中，該n+非晶矽層可在實行一MIC程序之前沉積於該非晶矽層44之上。隨後將該n+非晶矽層圖案化，以定義源極與汲極接觸層54與56，且使該非晶矽之通道區域曝露於其間。隨後藉由實行本文說明的該等方法(例如植入、MIC退火)之一加入用於加快非晶矽結晶的金屬原子。按此方法使該n+非晶矽層之源極與汲極接觸層結晶，並使該TFT的通道區域結晶，從而改善該等源極與汲極接觸層的導電性。

應該瞭解，在一主動矩陣顯示裝置中，在用於切換該顯示器之個別像素一主動平板上提供了一TFT陣列。如圖8所示，在一液晶顯示裝置68中，提供了一主動平板70與一對立的被動平板72，且中間夾有液晶材料74。

在依據本發明的程序中，在裝置製造後實行一電漿氫化程序來改善其性能可能特別有好處。典型情況下，此程序可在約350°C下實行大約1小時。

已經發現，在關閉狀態下，依據本文說明的該等程序製造的通道寬度為50 μm 的TFT在5 V的源極-汲極電壓處的洩漏電流約為 8×10^{-11} A，其相當於 1.6×10^{-12} A/ μm ，及約20 cm^2/Vs 的遷移率。

該等TFT洩漏特徵可藉由採用具有2、3或更多指形體的一指形體通道結構進一步改善。

在以上參考圖4至7說明的該具體實施例中，使用一金屬來形成該閘極電極。然而，依據本發明，也可使用其它材料來形成該閘極電極。

在其它較佳具體實施例中，該閘極電極包括一金屬矽化物。可採用各種方法來形成此閘極電極。例如，可沉積一非晶矽層並使之圖案化至該閘極電極所需之組態。然後，沉積一適當材料層並以適當溫度及持續時間實行一退火步驟，以使該金屬與該非晶矽發生反應，形成該金屬矽化物。例如，在 NiSi_2 情況下，該退火可在 350°C 下實行約1小時。隨後，可將尚未與該非晶矽反應的金屬材料剝離，以保留包括金屬矽化物材料的閘極電極。合適金屬包括鎢、鉬、鎳及鉑。倘若形成的對應矽化物能夠經受隨後之處理(特別是該MIC退火步驟)，則其它金屬也可使用。

該非晶矽層之厚度可約為20至100 nm，且可以一厚度提供該矽化物形成金屬，該厚度可提供原子所需的化學計量比，以使其與該非晶矽反應(或更大，有過多金屬遭到剝離)。

在有關以上金屬矽化物閘極電極形成程序的一變化中，該金屬層可沉積於一未圖案化非晶矽層上。然後在圖案化

該產生層之前實行矽化物退火，以形成該閘極電極。

在一進一步變化中，在形成該TFT之MIC多晶矽中實行的該退火步驟可同時形成該矽化物，而不再需要一單獨的退火步驟來形成該矽化物。按此方法，依次沉積一非晶矽層與該矽化物形成金屬層，並一起圖案化，以定義該閘極電極組態。隨後，直到實行後來該裝置製造之MIC步驟時才對其進行退火，以形成該矽化物。

雖然本發明之具體實施例在本文中係關於矽化物材料(即非晶矽與多晶矽)來說明，但很明顯：根據本發明，也可使用其它半導體材料或化合物半導體薄膜(例如含鋅的矽薄膜)。

應該瞭解，依據本文說明的該等技術產生的多晶矽半導體薄膜廣泛適用於各種應用，其中電子電路係形成於諸如玻璃等不能承受高溫的基板上。該等薄膜可在此類基板上的電路中的諸如TFT等的主動裝置或被動裝置(例如電阻器、溫度感應器及壓電電阻器)的形成中使用。TFT可在AMLCD、AMOLED、X射線感應器、指紋感應器及類似裝置中應用，並可在該等裝置的切換矩陣中應用及/或在與該等切換矩陣相同的基板上的積體電路中應用。

採用本文說明的該等程序製造的多晶半導體材料的結晶品質可藉由以一能量光束照射該材料而進一步改善。如上所述，可能需要一重要時間週期來掃描橫跨一基板的一能量光束。然而，如本申請人英國專利申請第0211724.0號(參考號PHGB020072)之揭示，在藉由僅照射整合於該顯示區

域周圍之顯示器基板上的周邊電路，可使在主動矩陣顯示器的製造中，用於此掃描的時間最小化。英國專利申請案第0211724.0號中的內容係以提及方式併入本文。

由本發明可知，本技術專業人士將可瞭解到其它的變化及修正。此類變化及修正可包含本技術中已知的同等特徵及其它特徵，其可用於取代或補充已在本文中揭示的特徵。

雖然申請專利範圍係按本申請案特定的功能組合擬定，但必須明白，本發明發表內容的範圍也包括任何本文所發表最新功能或任何最新功能的組合，不論是明示或默示或任何其綜合歸納，不論是否與本申請專利範圍任一項所申請的相同發明有關，也不論是否解決任何或全部如本發明所解決的相同技術問題。

申請人並藉此聲明，在執行本申請案或任何從其衍生的進一步申請案期間，可根據此類功能及/或此類功能的組合，擬定新的申請專利範圍。

【圖式簡單說明】

上文已參考附圖藉著範例對本發明的具體實施例進行說明，其中：

圖1顯示依據本發明之一項具體實施例的一程序的金屬植入步驟；

圖2顯示在用於不同摻雜程序的一半導體薄膜內的鎳濃度與深度之間的關係；

圖3顯示採用一程序具體化本發明而形成的一頂部閘極多晶矽TFT的斷面圖；

圖4至7顯示依據具體化本發明的一進一步程序製造一底部閘極TFT之連續階段的斷面圖；及

圖8顯示一主動矩陣顯示器的透視圖。

【圖式代表符號說明】

2	非晶性半導體材料
4	玻璃基板
6	金屬原子
8	線
9	薄膜電晶體
10	多晶半導體材料
12	源極區域
14	汲極區域
16	通道區域
18、20	輕微摻雜區域
22	絕緣材料
24、26	導通孔
28	金屬閘極電極
30、32	源極端子
40	閘極電極
42	閘極絕緣層
44	非晶性半導體材料
46	裝置島
48	多晶半導體材料
50	源極電極

52	汲極電極
54	源極接觸層
56	汲極接觸層
58	窗口
60	鈍化層
62	接觸孔
64	像素電極
68	主動矩陣顯示裝置
70	主動平板
72	被動平板
74	液晶材料

伍、中文發明摘要：

本發明揭示一種包括一薄膜電晶體(thin film transistor ; TFT)(9、59)的電子裝置(70)，該TFT包括定義於一多晶半導體材料(10、48)層中的一通道(16)。該多晶半導體材料係藉由使用金屬原子(6)來加快結晶程序，使非晶性半導體材料(2)結晶而產生。該多晶半導體材料(10)包括位於 1.3×10^{18} 至 7.5×10^{18} 個原子/cm³範圍內金屬原子的一平均濃度。如此即可採用持續時間係比以前認為所必需之時間大幅縮短的金屬誘導結晶程序形成多晶半導體TFT，其具有在主動矩陣顯示器中使用時可接受的洩漏性質。而且，此程序持續時間的減少有利於可靠製作具有由金屬形成之底部閘極的多晶矽TFT。

陸、英文發明摘要：

An electronic device (70) comprises a thin film transistor (TFT) (9,59), the TFT including a channel (16) defined in a layer of polycrystalline semiconductor material (10,48). The polycrystalline semiconductor material is produced by crystallising amorphous semiconductor material (2) using metal atoms (6) to promote the crystallisation process. The polycrystalline semiconductor material (10) includes an average concentration of metal atoms in the range 1.3×10^{18} to 7.5×10^{18} atoms/cm³. This enables polycrystalline semiconductor TFTs to be formed with leakage properties acceptable for use in active matrix displays using a metal induced crystallisation process of duration significantly less than previously thought necessary. Furthermore, this process duration reduction facilitates the reliable fabrication of poly-Si TFTs having bottom gates formed of metal.

拾、申請專利範圍：

1. 一種包括一薄膜電晶體(TFT)(9、59)之電子裝置(70)，該TFT包括一通道(16)，其定義於一多晶半導體材料(10、48)層中，該多晶半導體材料層係藉由使用金屬原子(6)來加快結晶程序，從而使非晶性半導體材料(2、44)結晶而產生，其中，該半導體材料包括在 1.3×10^{18} 至 7.5×10^{18} 個原子/cm³範圍內該等金屬原子的一平均濃度。
2. 如申請專利範圍第1項之電子裝置，其中，該半導體材料中該等金屬原子的該平均濃度約為 2.5×10^{18} 個原子/cm³。
3. 如申請專利範圍第1或2項之電子裝置，其中，該TFT(59)具有一底部閘極組態。
4. 如申請專利範圍第3項之電子裝置，其中，該TFT(59)的該閘極電極(40)包括一金屬材料。
5. 如申請專利範圍第1或2項之電子裝置，其中，該TFT(59)的該閘極電極(40)包括一金屬矽化物。
6. 如申請專利範圍第1或2項之電子裝置，其中，該閘極電極(40)包括半導體材料及適合促進其結晶的金屬原子。
7. 一種製造一電子裝置之方法，其包括以下步驟：
 - (a)於一基板(4)上沉積非晶性半導體材料(2、44)；
 - (b)以 1.3×10^{18} 至 4×10^{18} 個原子/cm³範圍內的一平均濃度向該半導體材料加入金屬原子(6)，該等金屬原子適於加快非晶性半導體材料之結晶；以及
 - (c)使該非晶性半導體材料退火，以形成多晶半導體材料。

8. 如申請專利範圍第7項之方法，其中，該等金屬原子(6)係以一大約 2.5×10^{18} 個原子/cm³的平均濃度加入該非晶性半導體材料。
9. 如申請專利範圍第7或8項之方法，其中，該等金屬原子(6)係藉由植入法加入。
10. 如申請專利範圍第7或8項之方法，其中，該退火程序係在600°C或更低的一溫度下實行10小時或更短時間，並形成一TFT (9、59)，其通道定義於該多晶半導體材料之中，該多晶半導體材料在一5 V的源極-汲極電壓處顯示大約為 2.5×10^{-12} A/μm或更低的一最小洩漏電流。
11. 如申請專利範圍第10項之方法，其中，該退火程序係在550°C或更低的一溫度下實行8小時或更短時間，並形成一TFT (9、59)，其通道定義於該多晶半導體材料之中，該多晶半導體材料在一5 V的源極-汲極電壓處顯示大約為 2.5×10^{-12} A/μm或更低的一最小洩漏電流。
12. 如申請專利範圍第7或8項之方法，其中形成一TFT (59)，其通道定義於該多晶半導體材料之中，該多晶半導體材料具有一底部閘極組態，該方法包括一往回通道蝕刻步驟。
13. 如申請專利範圍第1或2項之電子裝置，或如申請專利範圍第7或8項之方法，其中，該等金屬原子(6)包括鎳原子。
14. 一種主動矩陣顯示裝置(68)，其中，如申請專利範圍第1或2項之一電子裝置(70)係形成該主動矩陣裝置的主動平板。

拾壹、圖式：

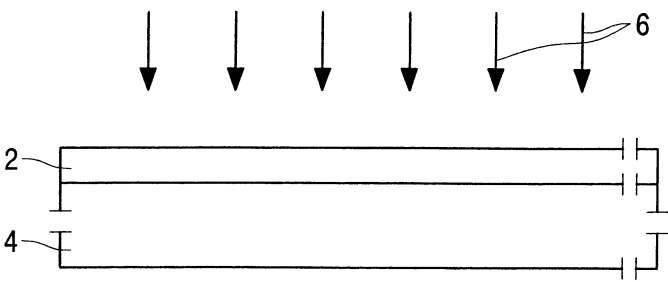


圖 1

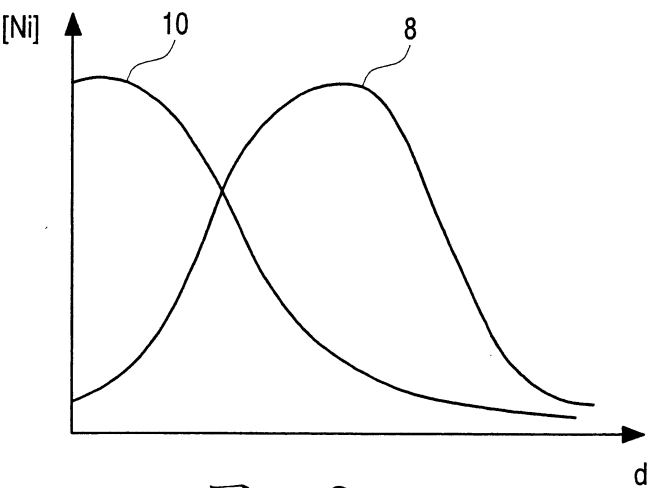


圖 2

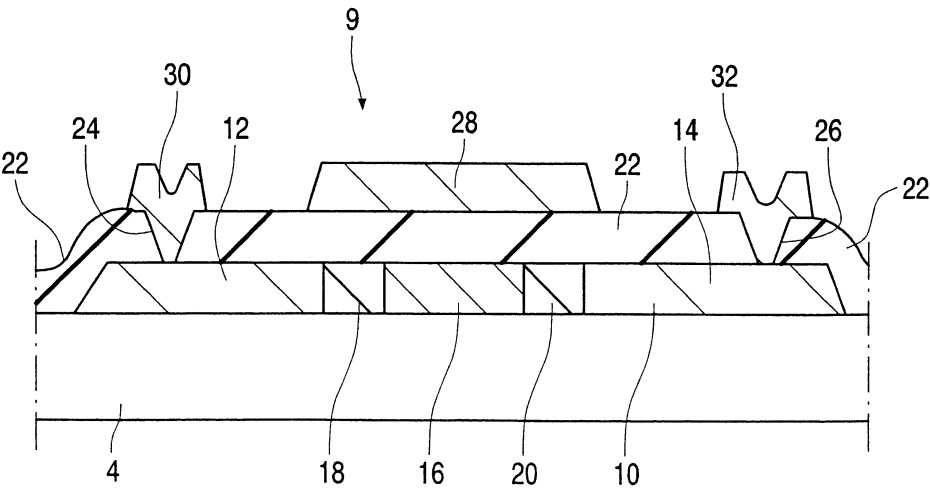


圖 3

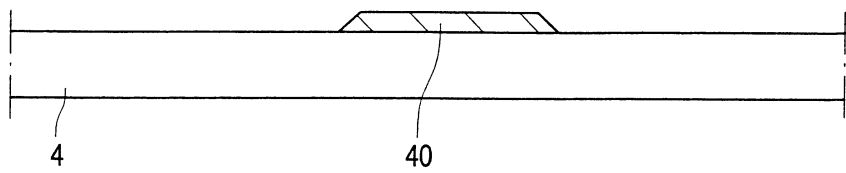


圖 4

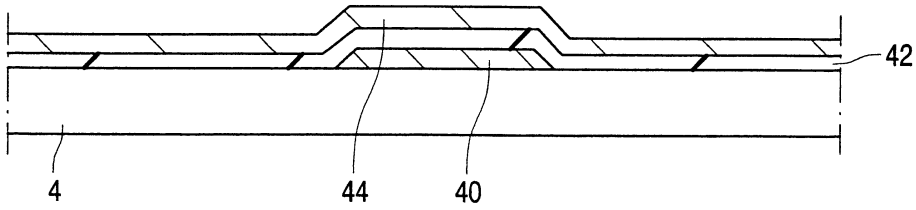


圖 5

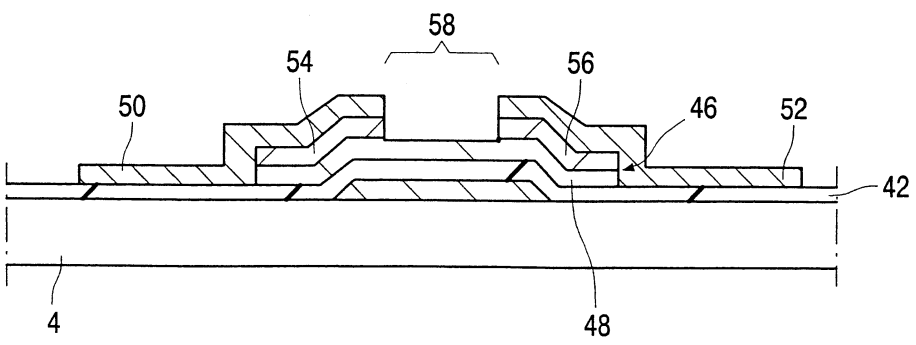


圖 6

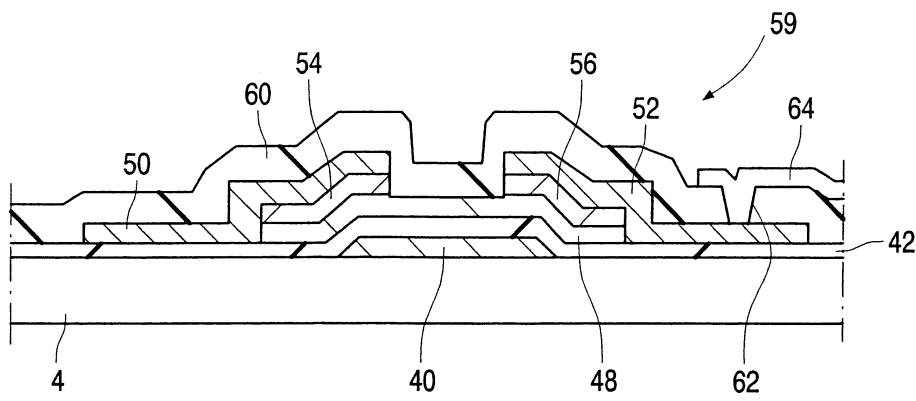


圖 7

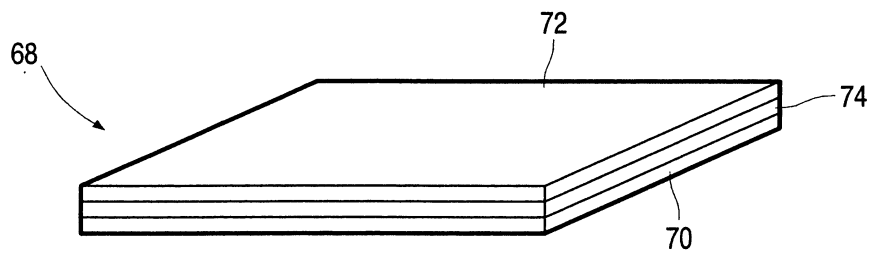


圖 8

柒、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件代表符號簡單說明：

4	玻璃基板
9	薄膜電晶體
10	多晶半導體材料
12	源極區域
14	汲極區域
16	通道區域
18、20	輕微摻雜區域
22	絕緣材料
24、26	通道
28	金屬閘極電極
30、32	源極端子

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：