



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

209742

(11)

(B1)

/22/ Přihlášeno 20 02 80
/21/ /PV 1179-80/

(40) Zveřejněno 31 03 81

(45) Vydáno 15 07 82

(51) Int. Cl.³
G 06 F 9/36

(75)

Autor vynálezu

ZAPLETAL ZDENĚK ing., KUČERA ADOLF ing., PRAHA a FIXA ZDENĚK, VŠENORY

(54) Operační blok přenosového procesoru

I

2

Vynález se týká operačního bloku přenosového procesoru samočinného počítače řešeného jednotným způsobem pro několik modulů procesorů, počítače, z nichž každý je určen k řízení určité skupiny přídavných zařízení, jako je například skupina diskových pamětí, skupina páskových pamětí, skupina dálkových telekomunikačních zařízení, skupina vstupních a výstupních zařízení a podobně, nebo je určen jako základní obvod speciálních procesorů, jako například servisního procesoru, modulu, počítače.

V dosud známých řešeních nebývá použito stejného jádra přenosového procesoru pro všechny tyto účely, například speciální procesory bývají řešeny jiným způsobem. Je to mimo jiné dáno tím, že dosud známá řešení neumožňují plnění řídicí paměti přenosového procesoru jak z jeho vnějšího adaptéru, tak ze zařízení pro mezimodulový styk. Dosud známá řešení často používají zvláštní paměť pro záznam dat, mívají omezené možnosti aritmetických operací, neboť používají zápisníkovou paměť připojenou jen na jeden ze vstupů aritmeticko-logické jednotky, mívají značně omezenou hloubku podprogramů, většinou nepoužívají překrytí přípravy mikrooperace s jejím dokončením, mnohé z nich nepoužívají potlačení signálu přerušení podle potřeb externího adaptéru a při tom jsou vzhledem k výslednému výkonu velice složité.

Výše uvedené nevýhody dosavadních řešení odstraňuje operační blok přenosového procesoru sestávající z bloku řídicí paměti, z přepínače adresy mikroinstrukce, řídicího adresového obvodu, registru adresy mikroinstrukce, registru ukazovátka, registru adre-

sy pro přesun dat, prvního výstupního registru paměti, druhého výstupního registru paměti, přepínače vstupních dat zápisníku, hlavní zápisníkové paměti, pomocné zápisníkové paměti, vstupního dekodéru aritmetiky, aritmeticko-logického obvodu, výstupního registru aritmetiky, registru podmínkového kódu, registru adresy mezimodulového styku a řídicích obvodů operačního bloku, podle vynálezu, jehož podstatou je, že mezimodulový adresový vstup z mezimodulového adaptéru je spojen s prvním vstupem přepínače adresy mikroinstrukce, mezimodulový datový vstup z mezimodulového adaptéru je spojen s třetím vstupem bloku řídicí paměti a se sedmým vstupem přepínače vstupních dat zápisníku, příznakový vstup z mezimodulového adaptéru je spojen s osmým vstupem přepínače vstupních dat zápisníku, vstup ovládacích signálů z mezimodulového adaptéru je spojen s prvním vstupem řídicích obvodů operačního bloku, vstup chybových signálů mezimodulového adaptéru je spojen s druhým vstupem řídicích obvodů operačního bloku, datový vstup z vnějšího adaptéru je spojen s devátým vstupem přepínače vstupních dat zápisníku, adresový vstup z vnějšího adaptéru je spojen s druhým vstupem přepínače adresy mikroinstrukce, se čtvrtým vstupem bloku řídicí paměti, vstup řídicích signálů z vnějšího adaptéru je spojen s pátým vstupem řídicích obvodů operačního bloku, vstup podmínkového signálu z vnějšího adaptéru je spojen s pátým vstupem řídicího adresového obvodu, dále první výstup bloku řídicí paměti je spojen s prvním vstupem prvního výstupního registru paměti,

výstup prvního výstupního registru paměti je spojen se čtvrtým vstupem řídících obvodů operačního bloku, se druhým vstupem registru adresy mezimodulového styku, s prvním vstupem druhého výstupního registru paměti, s šestým vstupem přepínače vstupních dat zápisníku a s druhým vstupem řídícího adresového obvodu, dále první výstup druhého výstupního registru paměti je spojen s třetím vstupem řídících obvodů operačního bloku, s třetím vstupem vstupního dekodéru aritmetiky, se čtvrtým vstupem přepínače vstupních dat zápisníku, s druhým vstupem registru adresy pro přesun dat a s řídícím výstupem operačního bloku, výstup přepínače adresy mikroinstrukce je spojen s šestým vstupem bloku řídící paměti a s prvním vstupem registru adresy mikroinstrukce, výstup řídícího adresového obvodu je spojen se třetím vstupem přepínače adresy mikroinstrukce a s pátým vstupem bloku řídící paměti, první výstup registru adresy mikroinstrukce je spojen s prvním vstupem řídícího adresového obvodu a s adresovým výstupem operačního bloku, první výstup registru ukazovátka je spojen se čtvrtým vstupem přepínače adresy mikroinstrukce a s druhým vstupem přepínače vstupních dat zápisníku, výstup přepínače vstupních dat zápisníku je spojen s prvním vstupem hlavní zápisníkové paměti a s prvním vstupem pomocné zápisníkové paměti, první výstup hlavní zápisníkové paměti je spojen s druhým vstupem aritmeticko-logického obvodu, s prvním vstupem registru adresy mezimodulového styku, s druhým vstupem bloku řídící paměti, s prvním vstupem registru ukazovátka, s prvním vstupem registru adresy pro přesun dat a s datovým výstupem operačního bloku, výstup pomocné zápisníkové paměti je spojen s prvním vstupem vstupního dekodéru aritmetiky, výstup vstupního dekodéru aritmetiky je spojen s třetím vstupem aritmeticko-logického obvodu, první výstup aritmeticko-logického obvodu je spojen s prvním vstupem výstupního registru aritmetiky, druhý výstup aritmeticko-logického obvodu je spojen s prvním vstupem registru podmínkového kódu, výstup výstupního registru aritmetiky je spojen s pátým vstupem přepínače vstupních dat zápisníku a se čtvrtým vstupem řídícího adresového obvodu, výstup registru podmínkového kódu je spojen se třetím vstupem řídícího adresového obvodu, první výstup registru adresy mezimodulového styku je spojen s mezimodulovým adresovým výstupem, druhý výstup registru adresy mezimodulového styku je spojen s prvním vstupem přepínače vstupních dat zápisníku, první výstup řídících obvodů operačního bloku je spojen se třetím vstupem registru adresy pro přesun dat, s druhým vstupem registru ukazovátka, s šestým vstupem řídícího adresového obvodu, s druhým vstupem registru adresy mikroinstrukce, s prvním vstupem bloku řídící paměti, s druhým vstupem prvního výstupního registru paměti, s třetím vstupem registru adresy mezimodulového styku, s druhým vstupem druhého výstupního registru paměti, s druhým vstupem výstupního registru aritmetiky, s druhým vstupem registru podmínkového kódu, s prvním vstupem aritmeticko-logického obvodu, s druhým vstupem vstupního dekodéru aritmetiky, s druhým vstupem hlavní zápisníkové paměti, s druhým vstupem pomocné zápisníkové paměti a s desátým vstupem přepínače vstupních dat zápisníku, druhý výstup řídících obvodů operačního bloku je spojen s výstupem ovládacích signálů vnějšího adap-

toru, třetí výstup řídících obvodů operačního bloku je spojen s výstupem stavových a řídících signálů operačního bloku, dále jsou spolu propojeny druhý výstup bloku řídící paměti, druhý výstup registru adresy mikroinstrukce, druhý výstup registru ukazovátka, druhý výstup registru adresy pro přesun dat, druhý výstup druhého výstupního registru paměti, druhý výstup hlavní zápisníkové paměti, třetí výstup registru adresy mezimodulového styku a mezimodulový datový výstup operačního bloku.

Operační blok podle vynálezu má tyto hlavní vlastnosti:

Na obou vstupech aritmeticko-logického obvodu jsou připojeny zápisníkové paměti, operační paměť se používá jak pro záznam mikroprogramů, tak pro záznam dat, a její vstup pro zápis dat lze připojit jak k mezimodulové sběrnici, tak k vnějšímu adaptéru, součástí operačního bloku přenosového procesoru jsou dva řídící registry, kterými postupně prochází taktáž mikroinstrukce, aby bylo umožněno časové překrytí jejího provádění a dále má operační blok možnost vybavení obvodu pro přerušení a jiné.

Jedno z možných provedení vynálezu je znázorněno na výkresu.

Operační blok přenosového procesoru se skládá z bloku řídící paměti 1, přepínače 2 adresy mikroinstrukce, řídícího adresového obvodu 3, registru 4 adresy mikroinstrukce, registru 5 ukazovátka, registru 6 adresy pro přesun dat, prvního výstupního registru 7 paměti, druhého výstupního registru 8 paměti, přepínače 9 vstupních dat zápisníku, hlavní zápisníkové paměti 10, pomocné zápisníkové paměti 11, vstupního dekodéru 12 aritmetiky, aritmeticko-logického obvodu 13, výstupního registru 14 aritmetiky, registru 15 podmínkového kódu, registru 16 adresy mezimodulového styku a řídících obvodů operačního bloku 17. Mezimodulový adresový vstup 110 z mezimodulového adaptoru je spojen s prvním vstupem přepínače 2 adresy mikroinstrukce, mezimodulový datový vstup 111 z mezimodulového adaptoru je spojen jednak s třetím vstupem bloku řídící paměti 1 a jednak se sedmým vstupem přepínače 9 vstupních dat zápisníku, příznakový vstup 112 z mezimodulového adaptoru je spojen s osmým vstupem přepínače 9 vstupních dat zápisníku, vstup 113 ovládacích signálů z mezimodulového adaptoru je spojen s prvním vstupem řídících obvodů operačního bloku 17, vstup 114 chybových signálů mezimodulového adaptoru je spojen s druhým vstupem řídících obvodů operačního bloku 17, datový vstup 210 z vnějšího adaptoru je spojen s devátým vstupem přepínače vstupních 9 dat zápisníku, adresový vstup 211 z vnějšího adaptoru je spojen jednak s druhým vstupem přepínače 2 adresy mikroinstrukce, jednak se čtvrtým vstupem bloku řídící paměti 1, vstup 212 řídících signálů z vnějšího adaptoru je spojen s pátým vstupem řídících obvodů operačního bloku 17, vstup 213 podmínkového signálu z vnějšího adaptoru je spojen s pátým vstupem řídícího adresového obvodu 3, dále první výstup bloku řídící paměti 1 je spojen s prvním vstupem prvního výstupního registru 7 paměti, výstup prvního výstupního registru 7 paměti je spojen se čtvrtým vstupem řídících obvodů operačního bloku 17, se druhým vstupem registru 16 adresy mezimodulového styku, s prvním vstupem druhého výstupního registru 8 paměti, s šestým vstupem přepínače 9 vstupních dat zápisníku a s druhým vstupem řídícího adresového obvodu 3, dále první výstup druhého výstupního registru 8 paměti je spojen s třetím vstupem řídících obvodů operačního bloku 17, s třetím vstupem vstupního dekodéru 12 aritmetiky, se čtvrtým

vstupem přepínače 9 vstupních dat zápisníku s druhým vstupem registru 6 adresy pro přesun dat 6 a s řídícím výstupem 221 operačního bloku, výstup přepínače 2 adresy mikroinstrukce je spojen jednak se šestým vstupem bloku řídící paměti 1, jednak s prvním vstupem registru 4 adresy mikroinstrukce, výstup řídícího adresového obvodu 3 je spojen jednak se třetím vstupem přepínače 2 adresy mikroinstrukce, jednak s pátým vstupem bloku řídící paměti 1, první výstup registru 4 adresy mikroinstrukce je spojen jednak s prvním vstupem řídícího adresového obvodu 3, jednak s adresovým výstupem 222 operačního bloku, první výstup registru 5 ukazovátka, je spojen jednak se čtvrtým vstupem přepínače 2 adresy mikroinstrukce, jednak s druhým vstupem přepínače 9 vstupních dat zápisníku, první výstup registru 6 adresy pro přesun dat je spojen jednak s pátým vstupem přepínače 2 adresy mikroinstrukce, jednak se třetím vstupem přepínače 9 vstupních dat zápisníku, výstup přepínače 9 vstupních dat zápisníku je spojen jednak s prvním vstupem hlavní zápisníkové paměti 10, jednak s prvním vstupem pomocné zápisníkové paměti 11, první výstup hlavní zápisníkové paměti 10 je spojen s druhým vstupem aritmeticko-logického obvodu 13, s prvním vstupem registru 16 adresy mezimodulového styku 16, s druhým vstupem bloku řídící paměti 1, s prvním vstupem registru 5 ukazovátka, s prvním vstupem registru 6 adresy pro přesun dat a s datovým výstupem 220 operačního bloku, výstup pomocné zápisníkové paměti 11 je spojen s prvním vstupem vstupního dekodéru 12 aritmetiky, výstup vstupního dekodéru 12 aritmetiky je spojen s třetím vstupem aritmeticko-logického obvodu 13, první výstup aritmeticko-logického obvodu 13 je spojen s prvním vstupem výstupního registru 14 aritmetiky, druhý výstup aritmeticko-logického obvodu 13 je spojen s prvním vstupem registru 15 podmínkového kódu, výstup výstupního registru 14 aritmetiky je spojen jednak s pátým vstupem přepínače 9 vstupních dat zápisníku, jednak se čtvrtým vstupem řídícího adresového obvodu 3, výstup registru 15 podmínkového kódu je spojen se třetím vstupem řídícího adresového obvodu 3, první výstup registru 16 adresy mezimodulového styku je spojen s mezimodulovým adresovým výstupem 120, druhý výstup registru 16 adresy mezimodulového styku je spojen s prvním vstupem přepínače 9 vstupních dat zápisníku, první výstup řídících obvodů operačního bloku 17 je spojen se třetím vstupem registru 6 adresy pro přesun dat, s druhým vstupem registru 5 ukazovátka, s šestým vstupem řídícího adresového obvodu 3, s druhým vstupem registru 4 adresy mikroinstrukce, s šestým vstupem přepínače 2 adresy mikroinstrukce, s prvním vstupem bloku řídící paměti 1, s druhým vstupem prvního výstupního registru 7 paměti, s třetím vstupem registru 16 adresy mezimodulového styku, s druhým vstupem druhého výstupního registru 8 paměti, s druhým vstupem výstupního registru 14 aritmetiky, s druhým vstupem registru 15 podmínkového kódu, s prvním vstupem aritmeticko-logického obvodu 13, s druhým vstupem vstupního dekodéru 12 aritmetiky, s druhým vstupem hlavní zápisníkové paměti 10, s druhým vstupem pomocné zápisníkové paměti 11 a s desátým vstupem přepínače 9 vstupních dat zápisníku 9, druhý výstup řídících obvodů operačního bloku 17 je spojen s výstupem 223 ovládacích signálů vnějšího adaptoru, třetí výstup řídících obvodů operačního bloku 17 je spojen s výstupem 122 stavových a řídících signálů operačního bloku, dále jsou spolu propojeny druhý výstup bloku řídící paměti 1, druhý výstup registru 4

adresy mikroinstrukce, druhý výstup registru 5 ukazovátka, druhý výstup registru 6 adresy pro přesun dat, druhý výstup druhého výstupního registru 8 paměti, druhý výstup hlavní zápisníkové paměti 10, třetí výstup registru 16 adresy mezimodulového styku a mezimodulový datový výstup 121 operačního bloku.

Operační blok přenosového procesoru provádí zejména zpracování informací převzatých z ostatních modulů počítače a vnějšího adaptoru a spolupracuje při řízení styku s těmito moduly.

Jeho činnost je řízena mikroprogramem uloženým v bloku řídící paměti 1.

Mikroinstrukce přečtená v bloku řídící paměti 1 se ukládá do prvního a druhého výstupního registru 7, 8 paměti.

Adresa, ze které je mikroinstrukce čtena, se do bloku řídící paměti 1 přivádí přes přepínač 2 adresy, a to buď z řídícího adresového obvodu 3, nebo z adresového vstupu 211 z vnějšího adaptoru.

Řídící adresový obvod 3 adresu vytváří tak, že buď k obsahu registru 4 adresy mikroinstrukce přičte konstantu, jejíž hodnota závisí na typu mikroinstrukce a stavu operačního bloku nebo adresu převeze z prvního výstupního registru 7 paměti.

Obsah mikroinstrukce zapamatovaný ve výstupních registrech 7, 8 paměti určuje činnost ostatních obvodů operačního bloku, a to jednak pomocí řídících informací vysílaných po vedení přímo do jednotlivých bloků, jednak prostřednictvím řídících obvodů operačního bloku 17.

Tyto obvody provádějí dekodování příkazů obražených v mikroinstrukci a vytvářejí potřebné signály jak pro vlastní řízení operačního bloku, tak pro spolupráci na řízení komunikace s mezimodulovým adaptorem a vnějším adaptorem.

Mikroinstrukce lze rozdělit do několika skupin.

Přenosové mikroinstrukce řídí přesun dat mezi hlavní zápisníkovou pamětí 10 a ostatními registry operačního bloku, blokem řídící paměti, případně okolím.

Adresa řídící paměti, se kterou se má přesun uskutečnit, je v registru 6 adresy pro přesun dat.

Přitom výběr dat přesouvavých do hlavní zápisníkové paměti 10 je řízen prostřednictvím přepínače 9 vstupních dat zápisníku.

Řídící informace pro komunikaci s ostatními moduly počítače jsou obraženy v registru 16 adresy mezimodulového styku.

Aritmeticko-logické mikroinstrukce řídí zpracování operandů z hlavní a pomocné zápisníkové paměti 10, 11 v aritmeticko-logickém obvodu 13 a uložení výsledku zpět do některé ze zápisníkových pamětí.

Výsledek zůstává zapamatován také ve výstupním registru 14 aritmetiky a do registru 15 podmínkového kódu se ukládá znak charakterizující typ výsledku: nulovost, přetečení.

Mikroinstrukce s přímým operandem, který lze uložit do hlavní zápisníkové paměti 10, do registru 6 adresy pro přesun dat nebo lze provést logickou operaci mezi ním a slabikou z hlavní zápisníkové paměti 10.

Zvláštním typem mikroinstrukce je možno změnit obsah zvoleného bitu ve slabice uložené v hlavní zápisníkové paměti 10 nebo v registrech mezimodulového či vnějšího adaptoru.

Operační blok přenosového procesoru komunikuje s okolím prostřednictvím několika vstupů a výstupů.

Tuto komunikaci lze rozdělit na dvě části.

S ostatními moduly počítače komunikuje prostřednictvím zařízení pro styk mezi modu-

ly podle autorského osvědčení č. 209 739 /PV 653-80/, do kterého vysílá mezimodulovým adresovým vstupem 120 řídící informace pro vlastní mezimodulovou komunikaci, výstupem 122 stavových a řídících signálů informace potřebné pro činnost mezimodulového adaptéru a mezimodulovým datovým výstupem 121 data určená pro přenos do jiného modulu počítače.

Z mezimodulového adaptéru přijímá mezimodulovým adresovým vstupem 110 adresu řídící paměti, má-li se přenos dat uskutečnit s touto pamětí, mezimodulovým datovým vstupem 111 data, která mají být do operačního bloku převzata a příznakovým vstupem 112 informace indikující případnou neúspěšnost komunikace s jiným modulem, eventuálně její příčiny.

Dále přijímá vstupem 113 ovládacích signálů a vstupem 114 chybových signálů informace potřebné pro spolupráci operačního bloku s mezimodulovým adaptérem.

S vnějším adaptérem přenosového procesoru komunikuje přímo.

P R Ě D M Ě T V Y N Á L E Z U

Operační blok přenosového procesoru sestávající z bloku řídící paměti, přepínače adresy mikroinstrukce, řídícího adresového obvodu, registru adresy mikroinstrukce, registru ukazovátka, registru adresy pro přesun dat, prvního výstupního registru paměti, druhého výstupního registru paměti, přepínače vstupních dat zápisníku, hlavní zápisníkové paměti, pomocné zápisníkové paměti, vstupního dekodéru aritmetiky, aritmeticko-logického obvodu, výstupního registru aritmetiky, registru podmínkového kódu, registru adresy mezimodulového styku a řídících obvodů operačního bloku, vyznačují se tím, že mezimodulový adresový vstup /110/ z mezimodulového adaptéru je spojen s prvním vstupem přepínače /2/ adresy mikroinstrukce, mezimodulový datový vstup /111/ z mezimodulového adaptéru je spojen s třetím vstupem bloku řídící paměti /1/ a se sedmým vstupem přepínače /9/ vstupních dat zápisníku, příznakový vstup /112/ z mezimodulového adaptéru je spojen s osmým vstupem přepínače /9/ vstupních dat zápisníku, vstup /113/ ovládacích signálů z mezimodulového adaptéru je spojen s prvním vstupem řídících obvodů operačního bloku /17/, vstup /114/ chybových signálů mezimodulového adaptéru je spojen s druhým vstupem řídících obvodů operačního bloku /17/, datový vstup 210/ z vnějšího adaptéru je spojen s devátým vstupem přepínače /9/ vstupních dat zápisníku, adresový vstup /211/ z vnějšího adaptéru je spojen s druhým vstupem přepínače /2/ adresy mikroinstrukce a se čtvrtým vstupem bloku řídící paměti /1/, vstup /212/ řídících signálů z vnějšího adaptéru je spojen s pátým vstupem řídících obvodů operačního bloku /17/, vstup /213/ podmínkového signálu z vnějšího adaptéru je spojen s pátým vstupem řídícího adresového obvodu /3/, dále první výstup bloku řídící paměti /1/ je spojen s prvním vstupem prvního výstupního registru /7/ paměti, výstup prvního výstupního registru /7/ paměti je spojen se čtvrtým vstupem řídících obvodů operačního bloku /17/, se druhým vstupem registru /16/ adresy mezimodulového styku, s prvním vstupem druhého výstupního registru /8/ paměti, s šestým vstupem přepínače /9/ vstupních dat zápisníku a s druhým vstupem řídícího adresového obvodu /3/, dále první výstup druhého výstupního registru /8/ paměti je spojen s třetím vstupem řídících obvodů operačního bloku /17/, s třetím vstupem vstupního dekodéru /12/ aritme-

Datovým vstupem 210 přijímá data, která mají být uložena do hlavní zápisníkové paměti, adresovým vstupem 211 jednak adresu řídící paměti pro mikro přerušeni, jednak data pro plnění řídící paměti 1 a vstupem 212 řídících signálů a vstupem 213 podmínkových signálů informace potřebné pro spolupráci operačního bloku s vnějším adaptérem.

Datovým výstupem 220 předává vnějšímu adaptéru data z hlavní zápisníkové paměti 10, řídícím výstupem 221 informace z druhého výstupního registru 8 paměti, adresovým výstupem 222 adresu mikroinstrukce při mikro přerušeni a výstupem 223 ovládacích signálů řídící a časovací signály potřebné pro správnou činnost vnějšího adaptéru.

Operační blok přenosového procesoru dle tohoto vynálezu je použitelný s výhodou při výrobě počítačů třetí a tři a půlté generace, případně i dalších generací.

tiky, se čtvrtým vstupem přepínače /9/ vstupních dat zápisníku, s druhým vstupem registru /6/ adresy pro přesun dat a s řídícím výstupem /221/ operačního bloku, výstup přepínače /2/ adresy mikroinstrukce je spojen se šestým vstupem bloku řídící paměti /1/ a s prvním vstupem registru /4/ adresy mikroinstrukce, výstup řídícího adresového obvodu /3/ je spojen se třetím vstupem přepínače /2/ adresy mikroinstrukce a s pátým vstupem bloku řídící paměti /1/, první výstup registru /4/ adresy mikroinstrukce je spojen s prvním vstupem řídícího adresového obvodu /3/ a s adresovým výstupem /222/ operačního bloku, první výstup registru /5/ ukazovátka je spojen se čtvrtým vstupem přepínače /2/ adresy mikroinstrukce a s druhým vstupem přepínače /9/ vstupních dat zápisníku, první výstup registru /6/ adresy pro přesun dat je spojen s pátým vstupem přepínače /2/ adresy mikroinstrukce a se třetím vstupem přepínače /9/ vstupních dat zápisníku, výstup přepínače /9/ vstupních dat zápisníku je spojen s prvním vstupem hlavní zápisníkové paměti /10/ a s prvním vstupem pomocné zápisníkové paměti /11/, první výstup hlavní zápisníkové paměti /10/ je spojen s druhým vstupem aritmeticko-logického obvodu /13/ s prvním vstupem registru /16/ adresy mezimodulového styku, s druhým vstupem bloku řídící paměti /1/, s prvním vstupem registru /5/ ukazovátka, s prvním vstupem registru /6/ adresy pro přesun dat a s datovým výstupem /220/ operačního bloku, výstup pomocné zápisníkové paměti /11/ je spojen s prvním vstupem vstupního dekodéru /12/ aritmetiky, výstup vstupního dekodéru /12/ aritmetiky je spojen s třetím vstupem aritmeticko-logického obvodu /13/, první výstup aritmeticko-logického obvodu /13/ je spojen s prvním vstupem výstupního registru /14/ aritmetiky, druhý výstup aritmeticko-logického obvodu /13/ je spojen s prvním vstupem registru /15/ podmínkového kódu, výstup výstupního registru /14/ aritmetiky je spojen s pátým vstupem přepínače /9/ vstupních dat zápisníku a se čtvrtým vstupem řídícího adresového obvodu /3/, výstup registru /15/ podmínkového kódu je spojen se třetím vstupem řídícího adresového obvodu /3/, první výstup registru /16/ adresy mezimodulového styku je spojen s mezimodulovým adresovým výstupem /120/, druhý výstup registru /16/ adresy mezimodulového styku je spojen s prvním vstupem přepínače /9/ vstupních dat

zápisníku, první výstup řídicích obvodů operačního bloku /17/ je spojen se třetím vstupem registru /6/ adresy pro přesun dat, s druhým vstupem registru /5/ ukazovátka, s šestým vstupem řídicího adresového obvodu /3/, s druhým vstupem registru /4/ adresy mikroinstrukce, s šestým vstupem přepínače /2/ adresy mikroinstrukce, s prvním vstupem bloku řídicí paměti /1/, s druhým vstupem prvního výstupního registru /7/ paměti, s třetím vstupem registru /16/ adresy mezimodulového styku, s druhým vstupem druhého výstupního registru /8/ paměti, s druhým vstupem výstupního registru /14/ aritmetiky, s druhým vstupem registru /15/ podmínkového kódu, s prvním vstupem aritmeticko-logického obvodu /13/, s druhým vstupem vstupního dekodéru /12/ aritmetiky, s druhým vstupem hlavní zápisníkové paměti /10/,

s druhým vstupem pomocné zápisníkové paměti /11/ a s desátým vstupem přepínače /9/ vstuupních dat zápisníku, druhý výstup řídicích obvodů operačního bloku /17/ je spojen s výstupem /223/ ovládacích signálů vnějšího adaptoru, třetí výstup řídicích obvodů operačního bloku /17/ je spojen s výstupem /122/ stavových a řídicích signálů operačního bloku, dále jsou spolu propojeny druhý výstup bloku řídicí paměti /1/, druhý výstup registru /4/ adresy mikroinstrukce, druhý výstup registru /5/ ukazovátka, druhý výstup registru /6/ adresy pro přesun dat, druhý výstup druhého výstupního registru paměti /8/, druhý výstup hlavní zápisníkové paměti /10/, třetí výstup registru /16/ adresy mezimodulového styku a mezimodulový datový výstup /121/ operačního bloku.

1 výkres

