

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2022-7763
(P2022-7763A)

(43)公開日 令和4年1月13日(2022.1.13)

(51)国際特許分類	F I	テーマコード (参考)
H 0 1 L 21/329 (2006.01)	H 0 1 L 29/48 P	4 M 1 0 4
H 0 1 L 29/47 (2006.01)	H 0 1 L 29/48 Z	5 F 0 4 8
H 0 1 L 29/78 (2006.01)	H 0 1 L 29/78 6 5 7 D	5 F 1 4 0
H 0 1 L 29/872 (2006.01)	H 0 1 L 29/78 6 5 2 J	
H 0 1 L 21/336 (2006.01)	H 0 1 L 29/78 6 5 3 A	
審査請求 未請求 請求項の数 8 O L (全13頁) 最終頁に続く		

(21)出願番号 特願2020-110888(P2020-110888)	(71)出願人 000004260
(22)出願日 令和2年6月26日(2020.6.26)	株式会社デンソー
	愛知県刈谷市昭和町1丁目1番地
	(74)代理人 110001128
	特許業務法人ゆうあい特許事務所
	(72)発明者 野間 誠二
	愛知県刈谷市昭和町1丁目1番地 株式
	会社デンソー内
	(72)発明者 志賀 智英
	愛知県刈谷市昭和町1丁目1番地 株式
	会社デンソー内
	(72)発明者 千田 厚慈
	愛知県刈谷市昭和町1丁目1番地 株式
	会社デンソー内
	(72)発明者 添野 明高
	最終頁に続く

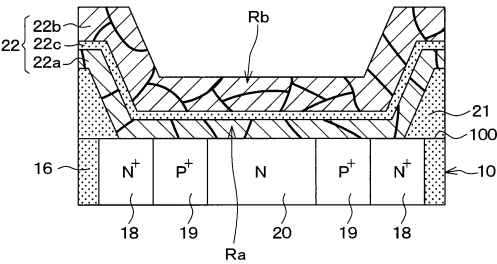
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】リーク不良率が高くなることを抑制する。

【解決手段】半導体基板10と、半導体基板10上に形成され、半導体基板10とショットキー接合される部分を有し、アルミニウムに元素が添加されたアルミニウム合金で構成された金属膜22とを備える。金属膜22は、半導体基板10側に配置される下層金属層22aと、下層金属層22a上に配置される上層金属層22bとが積層されて構成されるようにする。そして、下層金属層22aは、下層金属層22aと上層金属層22bとの積層方向に沿った厚さが2.6μm以下となるようにする。

。 【選択図】図2



【特許請求の範囲】**【請求項 1】**

半導体基板（10）上に金属膜（22）が形成された半導体装置において、
前記半導体基板と、
前記半導体基板上に形成され、前記半導体基板とショットキー接合される部分を有し、アルミニウムに元素が添加されたアルミニウム合金で構成された前記金属膜と、を備え、
前記金属膜は、前記半導体基板側に配置される下層金属層（22a）と、前記下層金属層上に配置される上層金属層（22b）とが積層されて構成されており、
前記下層金属層は、前記下層金属層と前記上層金属層との積層方向に沿った厚さが2．6 μm 以下とされている半導体装置。

10

【請求項 2】

前記金属膜は、前記下層金属層内の粒子（Ra）と、前記上層金属層内の粒子（Rb）とが分断された状態となっている請求項1に記載の半導体装置。

【請求項 3】

前記金属膜は、前記上層金属層内の粒子の平均粒径が前記下層金属層内の粒子の平均粒径よりも小さくされている請求項1または2に記載の半導体装置。

【請求項 4】

前記金属膜は、前記ショットキー接合される部分に加え、前記半導体基板とオーミック接合される部分を有している請求項1ないし3のいずれか1つに記載の半導体装置。

【請求項 5】

半導体基板（10）上に、前記半導体基板とショットキー接合される部分を有し、アルミニウムに元素が添加されたアルミニウム合金で構成された金属膜（22）が形成された半導体装置の製造方法であって、
前記半導体基板を用意することと、
前記半導体基板上に、前記半導体基板とショットキー接合される部分を有し、前記金属膜のうちの前記半導体基板側に配置される下層金属層（22a）を形成することと、前記下層金属層上に上層金属層（22b）を形成することと、を行うことにより、前記下層金属層および前記上層金属層を有する前記金属膜を形成することと、を行い、
前記下層金属層を形成することでは、前記下層金属層と前記上層金属層との積層方向に沿った厚さが2．6 μm 以下となる前記下層金属層を形成する半導体装置の製造方法。

20

30

【請求項 6】

前記金属膜を形成することでは、前記下層金属層内の粒子（Ra）と、前記上層金属層内の粒子（Rb）とが分断された状態となるようにする請求項5に記載の半導体装置の製造方法。

【請求項 7】

前記下層金属層および前記上層金属層を形成することは、スパッタ法によって行い、
前記上層金属層を形成することでは、前記下層金属層を形成する際のスパッタ法よりも低い温度でスパッタ法を行う請求項5または6に記載の半導体装置の製造方法。

【請求項 8】

前記下層金属層を形成することでは、限界固溶度以上の前記元素を添加した前記アルミニウム合金を形成する請求項5ないし7のいずれか1つに記載の半導体装置の製造方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、ショットキー接合を有する半導体装置およびその製造方法に関するものである。

【背景技術】**【0002】**

従来より、シリコン等の半導体基板上にショットキー接合される金属膜が配置された半導体装置が提案されている。なお、金属膜は、アルミニウムにシリコンや銅等の元素が添加

50

されたアルミニウム合金で構成される。このような半導体装置では、金属膜内にノジュールが形成されると、ショットキー接合される部分にノジュールに起因した応力が印加されることがある。そして、応力が大きい場合には、ショットキー障壁が変化する可能性があり、リーク不良率が高くなる可能性がある。

【 0 0 0 3 】

このため、例えば、特許文献 1 には、ショットキー接合される部分を規定した半導体装置が提案されている。具体的には、この半導体装置は、半導体基板上に層間絶縁膜が形成され、層間絶縁膜に半導体基板を露出させるコンタクトホールが形成されている。また、半導体装置は、金属膜がコンタクトホールを通じて半導体基板とショットキー接合される部分を含むように形成されている。そして、この半導体装置は、金属膜に形成されるノジュールが層間絶縁膜の開口部近傍に形成され易いため、ショットキー接合される部分が層間絶縁膜の開口部近傍から離れた位置となるようにしている。詳しくは、半導体装置は、半導体基板のうちの層間絶縁膜から露出する部分において、開口部近傍側では金属膜が半導体基板とオーミック接合され、内縁部側において金属膜が半導体基板とショットキー接合されるように構成されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 1 8 - 1 2 5 4 4 3 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、上記半導体装置では、ノジュールが形成され易い部分と異なる部分にショットキー接合が構成されるようにしているが、開口部近傍から離れた位置にもノジュールが形成される可能性がある。そして、例えば、半導体基板を面方向に大型化する場合等には、ノジュールの影響を無視できなくなる可能性があり、リーク不良率が高くなる可能性がある。

【 0 0 0 6 】

本発明は上記点に鑑み、リーク不良率が高くなることを抑制できる半導体装置およびその製造方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 7 】

上記目的を達成するための請求項 1 では、半導体基板 (1 0) 上に金属膜 (2 2) が形成された半導体装置において、半導体基板と、半導体基板上に形成され、半導体基板とショットキー接合される部分を有し、アルミニウムに元素が添加されたアルミニウム合金で構成された金属膜と、を備え、金属膜は、半導体基板側に配置される下層金属層 (2 2 a) と、下層金属層上に配置される上層金属層 (2 2 b) とが積層されて構成されており、下層金属層は、下層金属層と上層金属層との積層方向に沿った厚さが 2 . 6 μ m 以下とされている。

【 0 0 0 8 】

これによれば、下層金属層の厚さが 2 . 6 μ m 以下とされているため、リーク不良率が高くなることを抑制できる。

【 0 0 0 9 】

また、請求項 5 では、半導体基板 (1 0) 上に、半導体基板とショットキー接合される部分を有し、アルミニウムに元素が添加されたアルミニウム合金で構成された金属膜 (2 2) が形成された半導体装置の製造方法であって、半導体基板を用意することと、半導体基板上に、半導体基板とショットキー接合される部分を有し、金属膜のうちの半導体基板側に配置される下層金属層 (2 2 a) を形成することと、下層金属層上に上層金属層 (2 2 b) を形成することと、を行うことにより、下層金属層および上層金属層を有する金属膜を形成することと、を行い、下層金属層を形成することでは、下層金属層と上層金属層と

10

20

30

40

50

の積層方向に沿った厚さが 2 . 6 μ m 以下となる下層金属層を形成する。

【 0 0 1 0 】

これによれば、厚さが 2 . 6 μ m 以下となるように下層金属層を形成するため、リーク不良率が高くなることを抑制した半導体装置を製造できる。

【 0 0 1 1 】

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】第 1 実施形態における半導体装置の断面図である。

10

【図 2】図 1 中の半導体基板と上部電極との界面近傍の拡大図である。

【図 3】下層金属層の厚さとリーク不良率との関係を示す図である。

【図 4 A】第 1 実施形態の上部電極の製造工程を示す断面図である。

【図 4 B】図 4 A に続く上部電極の製造工程を示す断面図である。

【図 4 C】図 4 B に続く上部電極の製造工程を示す断面図である。

【図 5】第 2 実施形態における半導体基板と上部電極との界面近傍の拡大図である。

【図 6】第 3 実施形態における半導体基板と上部電極との界面近傍の拡大図である。

【発明を実施するための形態】

【 0 0 1 3 】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

20

【 0 0 1 4 】

(第 1 実施形態)

第 1 実施形態について、図面を参照しつつ説明する。図 1 に示されるように、半導体装置は、I G B T (Insulated Gate Bipolar Transistor の略) 素子を有する I G B T 領域 1 と、F W D 素子 (Free Wheeling Diode の略) を有する F W D 領域 2 とが共通の半導体基板 1 0 に形成されて構成されている。つまり、本実施形態の半導体装置は、R C (Reverse Conducting の略) - I G B T とされている。なお、具体的には後述するが、本実施形態の半導体装置は、半導体基板 1 0 の他面 1 0 b に位置するコレクタ層 2 4 上の部分が I G B T 領域 1 とされ、半導体基板 1 0 の他面 1 0 b に位置するカソード層 2 5 上の部分が F W D 領域 2 とされている。

30

【 0 0 1 5 】

半導体装置は、N - 型のドリフト層 1 1 を構成する半導体基板 1 0 を有している。なお、本実施形態では、半導体基板 1 0 は、シリコン基板で構成される。そして、ドリフト層 1 1 上には、ドリフト層 1 1 より低不純物濃度とされた P - 型の電界緩和領域 1 2、ドリフト層 1 1 より高不純物濃度とされた N 型のバリア領域 1 3 がドリフト層 1 1 側から順に形成されている。バリア領域 1 3 上には、電界緩和領域 1 2 より高不純物濃度とされた P 型のベース層 1 4 が形成されている。なお、ドリフト層 1 1 上とは、言い換えると半導体基板 1 0 の一面 1 0 a 側のことである。

【 0 0 1 6 】

40

半導体基板 1 0 には、一面 1 0 a 側からベース層 1 4、バリア領域 1 3、および電界緩和領域 1 2 を貫通してドリフト層 1 1 に達するように複数のトレンチ 1 5 が形成されている。これにより、ベース層 1 4、バリア領域 1 3、および電界緩和領域 1 2 は、トレンチ 1 5 によって複数個に分離されている。本実施形態では、複数のトレンチ 1 5 は、I G B T 領域 1 および F W D 領域 2 にそれぞれ形成されている。また、本実施形態では、複数のトレンチ 1 5 は、I G B T 領域 1 および F W D 領域 2 の配列方向と交差する一方向を長手方向 (すなわち、図 1 中の紙面奥行き方向) としてストライプ状に形成されている。

【 0 0 1 7 】

各トレンチ 1 5 は、各トレンチ 1 5 の壁面を覆うように形成されたゲート絶縁膜 1 6 と、このゲート絶縁膜 1 6 の上に形成されたポリシリコン等により構成されるゲート電極 1 7

50

とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。

【0018】

なお、特に図示しないが、IGBT領域1に形成されたゲート電極17は、図示しないゲートパッド等を介してゲートドライバ等に接続され、所定の電圧が印加されるようになっている。また、FWD領域2に形成されたゲート電極17は、所定電位に維持されるようになっている。例えば、FWD領域2に形成されたゲート電極17は、後述する上部電極22と接続され、上部電極22と同電位とされる。

【0019】

ベース層14には、エミッタ領域18、コンタクト領域19、ピラー領域20が形成されている。エミッタ領域18は、ドリフト層11よりも高不純物濃度とされたN⁺型とされ、ベース層14層の表層部に形成されている。具体的には、エミッタ領域18は、ベース層14内において終端し、かつ、トレンチ15の側面に接するように形成されている。より詳しくは、エミッタ領域18は、隣合うトレンチ15間の領域において、トレンチ15の長手方向に沿ってトレンチ15の側面に接するように棒状に延設され、トレンチ15の先端よりも内側で終端する構造とされている。

10

【0020】

コンタクト領域19は、ベース層14よりも高不純物濃度とされたP⁺型とされ、ベース層14の表層部に形成されている。具体的には、コンタクト領域19は、ベース層14内において終端し、かつ2つのエミッタ領域18に挟まれるように形成されている。より詳しくは、コンタクト領域19は、エミッタ領域18と接するように、トレンチ15の長手方向に沿って棒状に延設されている。

20

【0021】

ピラー領域20は、バリア領域13と同程度の不純物濃度とされており、コンタクト領域19およびベース層14を貫通してバリア領域13に達するように形成されている。つまり、ピラー領域20は、バリア領域13と接続されるように形成されている。

【0022】

半導体基板10の一面10a上には、BPSG (Borophosphosilicate Glassの略) 等で構成される層間絶縁膜21が形成されている。層間絶縁膜21には、エミッタ領域18、コンタクト領域19、ピラー領域20を露出させるコンタクトホール21aが形成されている。

30

【0023】

そして、層間絶縁膜21上には、金属膜に相当する上部電極22が形成されている。上部電極22は、IGBT領域1およびFWD領域2において、層間絶縁膜21に形成されたコンタクトホール21aを通じ、エミッタ領域18およびコンタクト領域19とオーミック接合されていると共に、ピラー領域20とショットキー接合されている。つまり、本実施形態の上部電極22は、ショットキー接合される部分とオーミック接合される部分とを共に含む構成とされている。そして、このように上部電極22が形成されていることにより、上部電極22は、IGBT領域1においてエミッタ電極として機能し、FWD領域2においてアノード電極として機能する。なお、上部電極22の具体的な構成については後述する。

40

【0024】

ドリフト層11のうちのベース層14側と反対側には、ドリフト層11よりも高キャリア濃度とされたN型のフィールドストップ層(以下では、FS層という)23が形成されている。つまり、半導体基板10の他面10b側には、FS層23が形成されている。

【0025】

そして、IGBT領域1では、FS層23を挟んでドリフト層11と反対側にP⁺型のコレクタ層24が形成され、FWD領域2では、FS層23を挟んでドリフト層11と反対側にN⁺型のカソード層25が形成されている。そして、本実施形態では、IGBT領域1とFWD領域2とは、半導体基板10の他面10bに位置する層がコレクタ層24であるかカソード層25であるかによって区画されている。つまり、本実施形態の半導体装置

50

では、コレクタ層 2 4 上の部分が I G B T 領域 1 とされ、カソード層 2 5 上の部分が F W D 領域 2 とされている。

【 0 0 2 6 】

コレクタ層 2 4 およびカソード層 2 5 を挟んでドリフト層 1 1 と反対側には、コレクタ層 2 4 およびカソード層 2 5 と電氣的に接続される下部電極 2 6 が形成されている。言い換えると、半導体基板 1 0 の他面 1 0 b には、I G B T 領域 1 においてはコレクタ電極として機能し、F W D 領域 2 においてはカソード電極として機能する下部電極 2 6 が形成されている。

【 0 0 2 7 】

本実施形態の半導体装置は、このように構成されることにより、I G B T 領域 1 においては、ベース層 1 4 をベースとし、エミッタ領域 1 8 をエミッタとし、コレクタ層 2 4 をコレクタとする I G B T 素子が構成される。また、F W D 領域 2 においては、ベース層をアノードとし、ドリフト層 1 1、F S 層 2 3、カソード層 2 5 をカソードとして P N 接合された F W D 素子が構成される。 10

【 0 0 2 8 】

以上が本実施形態における半導体装置の基本的な構成である。なお、本実施形態では、N 型、N + 型、N - 型が第 1 導電型に相当しており、P 型、P - 型、P + 型が第 2 導電型に相当している。また、本実施形態では、上記のように構成されることにより、半導体基板 1 0 は、コレクタ層 2 4、カソード層 2 5、F S 層 2 3、ドリフト層 1 1、電界緩和領域 1 2、バリア領域 1 3、ベース層 1 4、エミッタ領域 1 8、コンタクト領域 1 9、ピラー領域 2 0 を含んだ構成となっている。 20

【 0 0 2 9 】

次に、本実施形態の上部電極 2 2 について具体的に説明する。本実施形態の上部電極 2 2 は、アルミニウムに元素が添加されたアルミニウム合金で構成されており、例えば、A l S i、A l C u、A l S i C u 等で構成されている。また、本実施形態では、上部電極 2 2 は、後述するようにスパッタ法によって形成されるが、アロイスパイクが発生し難くなるように、添加される元素がスパッタ時の温度に対する限界固溶度以上に添加されている。そして、本実施形態の上部電極 2 2 は、半導体装置の特性検査を行うためのプローブ針等が当接された際、破壊され難いように厚さが 3 μ m 以上の厚膜とされている。

【 0 0 3 0 】

上部電極 2 2 は、図 2 に示されるように、半導体基板 1 0 側から下層金属層 2 2 a および上層金属層 2 2 b が積層されて構成されている。そして、上部電極 2 2 は、下層金属層 2 2 a が半導体基板 1 0 とオーミック接合、またはショットキー接合されている。具体的には、上部電極 2 2 は、下層金属層 2 2 a がエミッタ領域 1 8 およびコンタクト領域 1 9 とオーミック接合されていると共に、ピラー領域 2 0 とショットキー接合されている。 30

【 0 0 3 1 】

また、本実施形態の上部電極 2 2 は、下層金属層 2 2 a と上層金属層 2 2 b との間に配置される絶縁膜 2 2 c を有している。この絶縁膜 2 2 c は、具体的には後述するが、スパッタ法で下層金属層 2 2 a を成膜した後に大気に晒すことで構成される自然酸化膜であり、厚さが極めて薄い 1 0 n m 以下とされている。このため、下層金属層 2 2 a と上層金属層 2 2 b とは、トンネル効果によって電氣的に接続されている。なお、図 2 では、絶縁膜 2 2 c の理解をし易くするため、絶縁膜 2 2 c を誇張して示してある。 40

【 0 0 3 2 】

そして、上部電極 2 2 は、下層金属層 2 2 a を構成する粒子 R a と上層金属層 2 2 b を構成する粒子 R b とが分断された状態となっている。つまり、下層金属層 2 2 a を構成する粒子 R a の粒界と、上層金属層 2 2 b を構成する粒子 R b の粒界とは、繋がっておらず、分断された状態となっている。言い換えると、下層金属層 2 2 a を構成する粒子 R a の粒界、および上層金属層 2 2 b を構成する粒子 R b の粒界は、それぞれ各層内で終端した状態となっている。このため、下層金属層 2 2 a 内にノジュールが発生したとしても、ノジュールは、当該下層金属層 2 2 a 内で終端し、上層金属層 2 2 b に突き出さない状態とな 50

る。

【 0 0 3 3 】

ここで、上部電極 2 2 を構成するアルミニウム合金は、上記のように、内部にノジュールが析出することがある。そして、ノジュールがショットキー接合される部分に構成されると、ノジュールに起因する応力によってショットキー障壁が変動する可能性があり、リーク不良が発生する可能性がある。この場合、ノジュールは、上部電極 2 2 の厚さ方向に沿って成長し易い。つまり、ノジュールに起因する応力は、ノジュールにおける上部電極 2 2 の厚さ方向に沿った長さに依存し易い。

【 0 0 3 4 】

そして、本実施形態の上部電極 2 2 は、上記のように下層金属層 2 2 a 内のノジュールが上層金属層 2 2 b 内に突き出さない状態となっている。このため、ノジュールに起因する応力は、下層金属層 2 2 a の厚さに依存する。なお、ここでの厚さとは、下層金属層 2 2 a と上層金属層 2 2 b との積層方向に沿った長さのことである。

10

【 0 0 3 5 】

そして、本発明者らは、下層金属層 2 2 a の厚さと、リーク不良率との関係について鋭意検討を行い、図 3 に示される結果を得た。図 3 に示されるように、リーク不良率は、下層金属層 2 2 a が $1.5 \mu\text{m}$ 以上になると発生し始め、下層金属層 2 2 a が $2.6 \mu\text{m}$ 以上になると急峻に大きくなることが確認される。したがって、本実施形態では、下層金属層 2 2 a の厚さが $2.6 \mu\text{m}$ 以下とされている。この場合、好ましくは、下層金属層 2 2 a の厚さが $1.5 \mu\text{m}$ 以下とされることにより、リーク不良率を十分に低減できる。

20

【 0 0 3 6 】

以上が本実施形態における半導体装置の構成である。次に、上記半導体装置の基本的な作動について説明する。

【 0 0 3 7 】

半導体装置は、下部電極 2 6 に上部電極 2 2 より高い電圧が印加されると、ベース層 1 4 とドリフト層 1 1 との間に形成される P N 接合が逆導通状態となって空乏層が形成される。そして、ゲート電極 1 7 に、絶縁ゲート構造の閾値電圧 V_{th} 未満であるローレベル（例えば、 0V ）の電圧が印加されているときには、上部電極 2 2 と下部電極 2 6 との間に電流は流れない。

【 0 0 3 8 】

I G B T 素子をオン状態にするには、下部電極 2 6 に上部電極 2 2 より高い電圧が印加された状態で、I G B T 領域 1 のゲート電極 1 7 に、絶縁ゲート構造の閾値電圧 V_{th} 以上であるハイレベルの電圧が印加されるようにする。これにより、I G B T 領域 1 では、ベース層 1 4 のうちのゲート電極 1 7 が配置されるトレンチ 1 5 と接している部分に反転層が形成される。そして、I G B T 素子は、エミッタ領域 1 8 から反転層を介して電子がドリフト層 1 1 に供給されることによってコレクタ層 2 4 から正孔がドリフト層 1 1 に供給され、伝導度変調によりドリフト層 1 1 の抵抗値が低下することでオン状態となる。

30

【 0 0 3 9 】

また、I G B T 素子をオフ状態にし、F W D 素子をオン状態にする（すなわち、F W D 素子をダイオード動作させる）際には、上部電極 2 2 と下部電極 2 6 に印加する電圧をスイッチングし、上部電極 2 2 に下部電極 2 6 より高い電圧を印加する順電圧印加を行う。これにより、F W D 領域 2 では、上部電極 2 2 とピラー領域 2 0 との間のショットキー接合がオンする。そして、下部電極 2 6 から、カソード層 2 5、ドリフト層 1 1、電界緩和領域 1 2、バリア領域 1 3、ピラー領域 2 0 を介して上部電極 2 2 に向かって電子が流れ、バリア領域 1 3 の電位が上部電極 2 2 の電位に近い電位となる。

40

【 0 0 4 0 】

このため、F W D 領域 2 では、ベース層 1 4 とバリア領域 1 3 の境界の P N 接合に電位差が生じ難くなる。したがって、その後上部電極 2 2 の電位を上昇させても、しばらくの間は、当該 P N 接合がオンしない。そして、上部電極 2 2 の電位をさらに上昇させると、ショットキー接合を介して流れる電流が増加する。これにより、上部電極 2 2 とバリア領

50

域 1 3 との間の電位差が大きくなり、P N 接合に生じる電位差も大きくなる。したがって、上部電極 2 2 の電位を所定の電位以上に上昇させると、P N 接合（すなわち、F W D 素子）がオンする。そして、バリア領域 1 3 とベース層 1 4 を介して下部電極 2 6 から上部電極 2 2 へ向かって電子が流れる。

【 0 0 4 1 】

このため、本実施形態の半導体装置では、上部電極 2 2 の電位が上昇する際、ショットキー接合が先にオンすることで、P N 接合がオンするタイミングが遅れる。これにより、ドリフト層 1 1 へのホールの流入が抑制される。したがって、F W D 素子がリカバリ動作する際、リカバリ電流を低減でき、リカバリ損失を低減できる。

【 0 0 4 2 】

なお、本実施形態の半導体装置では、I G B T 領域 1 においても、ベース層 1 4 とバリア領域 1 3 との間の P N 接合によって寄生ダイオードが形成されている。そして、この P N 接合における I G B T 素子のバリア領域 1 3 は、ピラー領域 2 0 を介して上部電極 2 2 に接続されている。したがって、上記のように、上部電極 2 2 の電位が上昇する際には、最初にピラー領域 2 0 に電流が流れる。その後さらに順方向電圧が上昇すると、寄生ダイオードを構成する P N 接合がオンする。このように、I G B T 領域 1 内でも、P N 接合がオンするタイミングが遅くなり、ドリフト層 1 1 へのホールの流入が抑制される。これによっても、リカバリ電流が抑制される。

【 0 0 4 3 】

また、本実施形態の半導体装置では、バリア領域 1 3 とドリフト層 1 1 との間に、電界緩和領域 1 2 が形成されている。このため、電界緩和領域 1 2 が形成されていない場合と比較して、電界緩和領域 1 2 とドリフト層 1 1 との間に構成される P N 接合により、等電位線が各トレンチ 1 5 の間に入り込み難くなる。したがって、耐圧の向上を図ることもできる。

【 0 0 4 4 】

次に、上記半導体装置における上部電極 2 2 の製造方法について説明する。

【 0 0 4 5 】

まず、特に図示しないが、所定の半導体製造プロセスを行い、ベース層 1 4、エミッタ領域 1 8、コンタクト領域 1 9、ピラー領域 2 0 等を形成した半導体基板 1 0 を用意する。次に、半導体基板 1 0 の一面 1 0 a 上に層間絶縁膜 2 1 を形成すると共に層間絶縁膜 2 1 にコンタクトホール 2 1 a を形成する。

【 0 0 4 6 】

続いて、図 4 A に示されるように、スパッタ装置内に半導体基板 1 0 を配置し、スパッタ法によって下層金属層 2 2 a を形成する。この際、下層金属層 2 2 a は、アロイスパイクが発生し難くなるように、スパッタ時の温度に対する限界固溶度以上の元素が添加されて構成される。このため、上部電極 2 2 が半導体基板 1 0 とオーミック接合される部分では、アロイスパイクが発生し難くなっているため、バリアメタル等を形成する必要もない。つまり、本実施形態では、バリアメタル等を形成することなく、半導体基板 1 0 とオーミック接合される部分、およびショットキー接合される部分を有する上部電極 2 2 を同じ工程で形成できる。また、本実施形態では、下層金属層 2 2 a は、上記のように厚さが 2 . 6 μ m 以下となるように形成される。

【 0 0 4 7 】

その後、図 4 B に示されるように、半導体基板 1 0 をスパッタ装置から取り出し、大気に晒すことによって下層金属層 2 2 a 上に絶縁膜 2 2 c を形成する。その後、図 4 C に示されるように、再びスパッタ装置内に半導体基板 1 0 を配置し、下層金属層 2 2 a と同様のスパッタ法を行って上層金属層 2 2 b を形成する。これにより、本実施形態の上部電極 2 2 が形成される。

【 0 0 4 8 】

この際、下層金属層 2 2 a の表面に絶縁膜 2 2 c が形成されているため、上層金属層 2 2 b 内には、下層金属層 2 2 a を構成する粒子 R a の粒界が上層金属層 2 2 b 内に突き出す

10

20

30

40

50

ことはない。つまり、下層金属層 22 a 内に発生したノジュールが上部電極 22 の厚さ方向に大きくなることが抑制される。したがって、リーク不良が発生し難い半導体装置が製造される。

【0049】

以上説明した本実施形態によれば、上部電極 22 は、下層金属層 22 a 上に上層金属層 22 b が積層されて構成されている。そして、下層金属層 22 a 内の粒界と、上層金属層 22 b 内の粒界とは、繋がっておらず、分断されている。さらに、下層金属層 22 a は、厚さが $2.6 \mu\text{m}$ 以下とされている。このため、下層金属層 22 a のうちのショットキー接合される部分にノジュールが構成されたとしても、リーク不良率が高くなることを抑制できる。この場合、下層金属層 22 a の厚さを $1.5 \mu\text{m}$ 以下とすることにより、リーク不良率が高くなることをさらに抑制できる。そして、本実施形態では、ノジュールが大きくなり過ぎないようにすることでリーク不良率が高くなることを抑制している。このため、半導体基板 10 を面方向に大型化してもリーク不良率が高くなることを抑制でき、半導体装置の設計自由度の向上も図ることができる。

10

【0050】

また、本実施形態では、下層金属層 22 a を構成する際、スパッタ時の温度における限界固溶度以上の元素を添加している。このため、アロイスパイクが発生することを抑制でき、バリアメタルを形成しなくても、下層金属層 22 a を半導体基板 10 にオーミック接合させることができる。つまり、バリアメタルを形成することなく、オーミック接合される部分とショットキー接合される部分を有する下層金属層 22 a を同じ工程で形成することができる。なお、スパッタ時の温度における限界固溶度以上の元素を添加して下層金属層 22 a を構成するとノジュールが発生し易くなるが、下層金属層 22 a の厚さが $2.6 \mu\text{m}$ 以下とされているため、リーク不良率が高くなることは抑制される。

20

【0051】

(第2実施形態)

第2実施形態について説明する。本実施形態は、第1実施形態に対し、上層金属層 22 b を構成する粒子 R b の平均粒径が下層金属層 22 a を構成する粒子 R a の平均粒径よりも小さくなるようにしたものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

【0052】

本実施形態では、図5に示されるように、上部電極 22 は、上層金属層 22 b を構成する粒子 R b の平均粒径が、下層金属層 22 a を構成する粒子 R a の平均粒径よりも小さくされた構成とされている。

30

【0053】

このような上部電極 22 は、次のように製造される。

【0054】

すなわち、図4Aの工程において下層金属層 22 a を形成する際は、例えば、 400 以上の高温でスパッタ法を行う。その後、図4Cの工程において上層金属層 22 b を形成する際は、下層金属層 22 a を形成するためのスパッタ法よりも低い温度でスパッタ法を行う。例えば、上層金属層 22 b を形成する際には、 $300 \sim 350$ 程度でスパッタ法を行う。これにより、スパッタ法で金属層を形成する場合には、温度が高いほど平均粒径が大きくなり易いため、上層金属層 22 b を構成する粒子 R b の平均粒径が下層金属層 22 a を構成する粒子 R a の平均粒径よりも小さくなる。

40

【0055】

以上説明した本実施形態によれば、上層金属層 22 b を構成する粒子 R b の平均粒径が下層金属層 22 a を構成する粒子 R a の平均粒径よりも小さくされている。このため、上層金属層 22 b を構成する粒子 R b の平均粒径が下層金属層 22 a を構成する粒子 R a の平均粒径以上とされている場合と比較して、上層金属層 22 b における下層金属層 22 a 側と反対側の表面では粒界段差が小さくなる。したがって、外観検査を行う際、粒界段差を欠陥や異物と誤判定する可能性を低くできる。

50

【 0 0 5 6 】

(第 3 実施形態)

第 3 実施形態について説明する。本実施形態は、第 1 実施形態に対し、上層金属層 2 2 b と下層金属層 2 2 a との間に絶縁膜 2 2 c を配置しない構成としたものである。その他に関しては、第 1 実施形態と同様であるため、ここでは説明を省略する。

【 0 0 5 7 】

本実施形態では、図 6 に示されるように、上部電極 2 2 は、下層金属層 2 2 a と上層金属層 2 2 b との間に絶縁膜 2 2 c が配置されていない構成とされている。

【 0 0 5 8 】

このような上部電極 2 2 は、次のように製造される。

【 0 0 5 9 】

すなわち、図 4 A の工程において下層金属層 2 2 a を形成するスパッタ法を行った後、スパッタ装置内にアルゴン等の不活性ガスを導入し、下層金属層 2 2 a を冷却して下層金属層 2 2 a を構成する粒子 R a の成長を完全に停止させる。次に、図 4 B の工程を行わずに図 4 C の工程を行う。この際、下層金属層 2 2 a を構成する粒子 R a の成長が完全に停止されているため、上層金属層 2 2 b は、下層金属層 2 2 a を構成する粒子 R a とは別の粒子 R b によって構成される。このため、下層金属層 2 2 a を構成する粒子 R a と上層金属層 2 2 b を構成する粒子 R b とが分断された状態となる。

【 0 0 6 0 】

このように、下層金属層 2 2 a と上層金属層 2 2 b との間に絶縁膜 2 2 c が配置されていない構成としても、下層金属層 2 2 a を構成する粒子 R a と上層金属層 2 2 b を構成する粒子 R b とが分断された状態となっていれば、上記第 1 実施形態と同様の効果を得ることができる。

【 0 0 6 1 】

(他の実施形態)

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

【 0 0 6 2 】

例えば、上記各実施形態では、I G B T 領域 1 と F W D 領域 2 とを有する半導体装置としたが、ショットキー接合される部分を有する半導体装置であれば、I G B T 領域 1 および F W D 領域 2 の一方のみを有する構成としてもよい。また、上部電極 2 2 は、ショットキー接合される部分のみを有する構成とされていてもよく、オーミック接合される部分を有していなくてもよい。

また、上記各実施形態において、下層金属層 2 2 a と上層金属層 2 2 b とは組成が異なってもよい。

【 0 0 6 3 】

そして、上記各実施形態を組み合わせることもできる。例えば、上記第 2 実施形態を上記第 3 実施形態に組み合わせ、上層金属層 2 2 b を構成する粒子 R b の平均粒径が下層金属層 2 2 a を構成する粒子 R a の平均粒径よりも小さくするようにしてもよい。また、上記各実施形態を組み合わせたもの同士を組み合わせるようにしてもよい。

【 符号の説明 】

【 0 0 6 4 】

- 1 0 半導体基板
- 2 2 金属膜
- 2 2 a 下層金属層
- 2 2 b 上層金属層

10

20

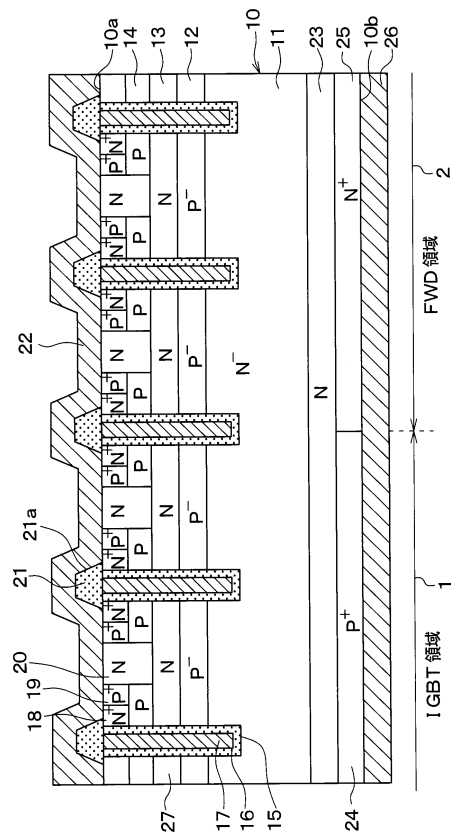
30

40

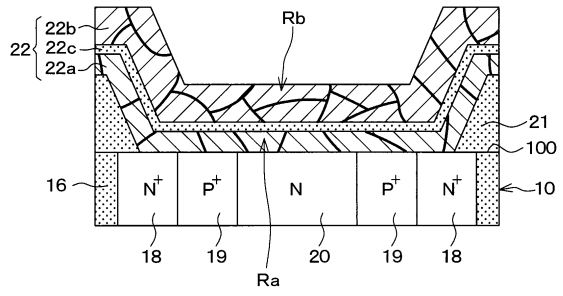
50

【 図面 】

【 図 1 】



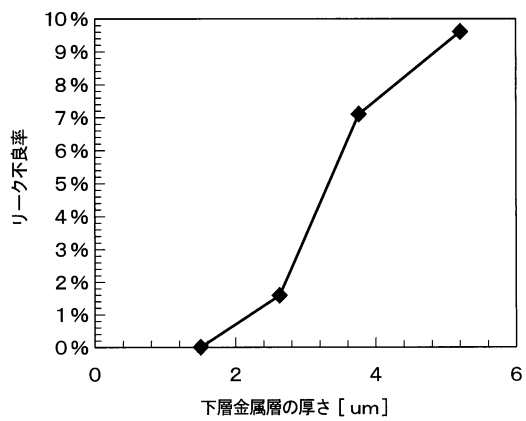
【 図 2 】



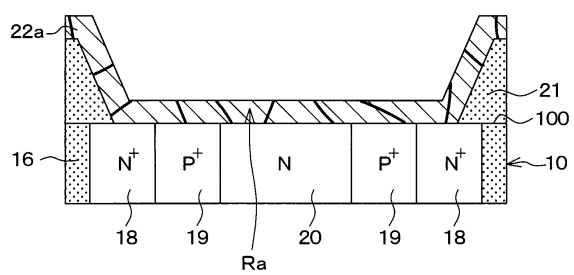
10

20

【 図 3 】



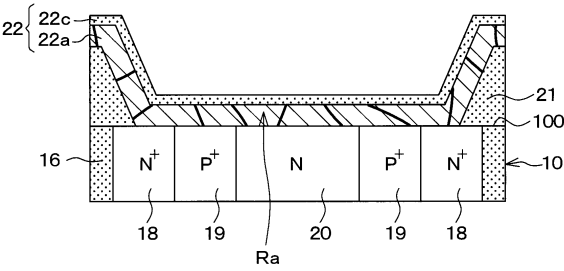
【 図 4 A 】



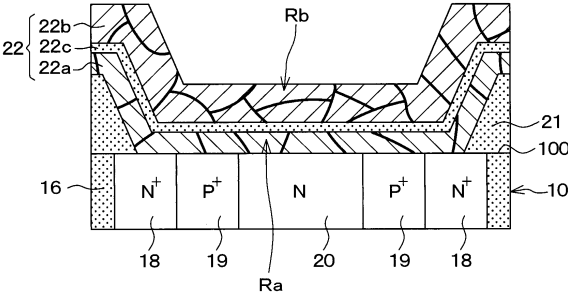
30

40

【 図 4 B 】

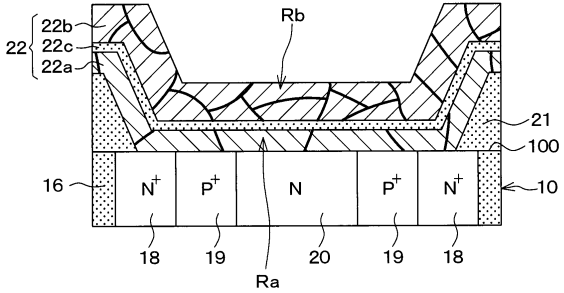


【 図 4 C 】

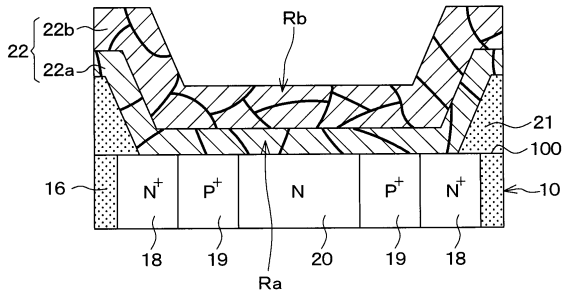


10

【 図 5 】



【 図 6 】



20

30

40

50

フロントページの続き

(51)国際特許分類	F I	テーマコード (参考)	
<i>H 0 1 L 21/8234(2006.01)</i>	H 0 1 L 29/86	3 0 1 F	
	H 0 1 L 29/78	6 5 2 M	
	H 0 1 L 29/78	6 5 8 F	
	H 0 1 L 27/088		D
	H 0 1 L 29/78	3 0 1 P	

愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

(72)発明者 西脇 剛

愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内

(72)発明者 古村 雄太

愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内

F ターム (参考) 4M104 AA01 BB01 BB03 CC03 DD37 DD96 FF02 FF04 GG06 HH06
5F048 AC06 BA01 BA12 BB19 BC03 BC07 BC12 BD07 BF02 BF07
BF16
5F140 AA24 AC24 BA01 BB04 BF43 BF53 BH03 BH25 BJ05 BJ06
BJ15 BJ16 BJ21 BJ26 BJ30 BK29 CC07