(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0025876
(43) 공개일자 2017년03월08일

(51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) *H04L 25/02* (2006.01)
(52) CPC특허분류
H04L 25/4917 (2013.01)
H04L 25/028 (2013.01)
(21) 출원번호 10-2015-0122951
(22) 출원일자 2015년08월31일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
심종주
경기도 이천시 대월면 경충대로2041번길 167 현대아이파크아파트 108동 1205호
(74) 대리인
김성남

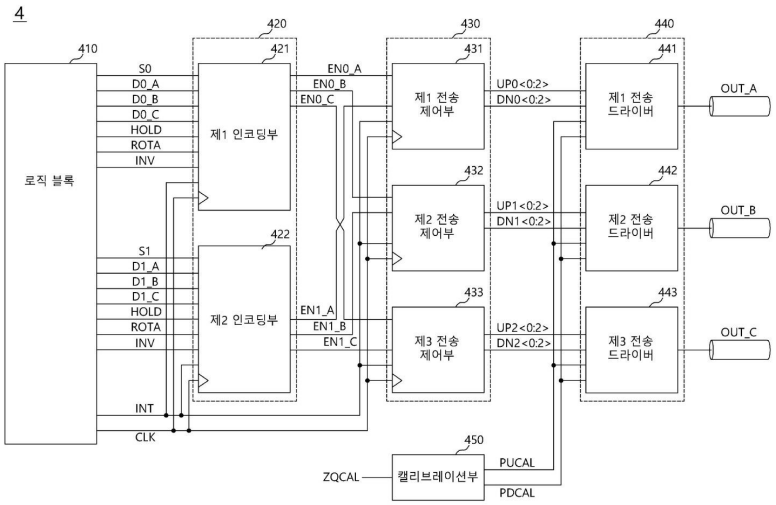
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 **고속 통신을 위한 전송 장치, 이를 포함하는 인터페이스 회로 및 시스템**

(57) 요 약

전송 장치는 인코딩 블록, 전송 제어 블록 및 전송 드라이버 블록을 포함할 수 있다. 상기 인코딩 블록은 컨트롤러 심벌에 따라 전송 제어신호를 생성할 수 있다. 상기 타이밍 전송 제어 블록은 상기 전송 제어신호로부터 구동 제어신호를 생성할 수 있다. 상기 전송 드라이버 블록은 상기 구동 제어신호에 기초하여 와이어를 멀티 레벨 중 하나의 레벨로 구동할 수 있다. 상기 전송 제어 블록은 와이어가 구동되는 레벨에 따라 상기 구동 제어신호의 생성 시점을 조절할 수 있다.

대 표 도



명 세 서

청구범위

청구항 1

컨트롤 심벌을 생성하는 로직 블록;

상기 컨트롤 심벌에 기초하여 와이어 상태의 정보를 변화시켜 전송 제어신호를 생성하는 인코딩 블록;

상기 전송 제어신호에 기초하여 구동 제어신호를 생성하고, 이전에 입력된 전송 제어신호와 현재 입력된 전송 제어신호를 비교하여 상기 구동 제어신호의 생성시점을 조절하는 타이밍 전송 제어 블록; 및

상기 복수의 구동 제어신호에 응답하여 복수의 와이어를 각각 멀티 레벨 중 하나의 레벨로 구동하는 전송 드라이버 블록을 포함하는 전송 장치.

청구항 2

제 1 항에 있어서,

상기 컨트롤 심벌은 홀드, 로테이션 및 인버전 정보를 포함하고,

상기 인코딩 블록은 상기 홀드 정보, 상기 로테이션 정보 및 상기 인버전 정보에 따라 상기 전송 제어신호를 생성하는 전송 장치.

청구항 3

제 2 항에 있어서,

상기 인코딩 블록은 상기 와이어 상태의 MSB 정보를 상기 컨트롤 심벌에 따라 변화시켜 제 1 전송 제어신호를 생성하는 제 1 인코딩부; 및

상기 와이어 상태의 LSB 정보를 상기 컨트롤 심벌에 따라 변화시켜 제 2 전송 제어신호를 생성하는 제 2 인코딩부를 포함하는 전송 장치.

청구항 4

제 3 항에 있어서,

상기 제 1 인코딩부는 상기 홀드 정보 및 상기 로테이션 정보에 기초하여 MSB 로테이션 인코딩 신호를 생성하는 MSB 로테이션 레지스터부; 및

상기 홀드 정보 및 상기 인버전 정보에 기초하여 상기 MSB 로테이션 인코딩 신호를 변화시켜 상기 제 1 전송 제어신호를 생성하는 MSB 인버전 레지스터부를 포함하는 전송 장치.

청구항 5

제 4 항에 있어서,

상기 MSB 로테이션 레지스터부는 상기 홀드 정보 및 상기 로테이션 정보에 기초하여 상기 MSB 로테이션 인코딩 신호의 논리 레벨을 순환적으로 변화시키는 전송 장치.

청구항 6

제 5 항에 있어서,

상기 MSB 로테이션 레지스터부는 상기 홀드 정보가 제 1 레벨일 때 상기 MSB 로테이션 인코딩 신호를 변화시키지 않고,

상기 홀드 정보가 제 2 레벨일 때 상기 로테이션 정보에 기초하여 상기 상기 로테이션 인코딩 신호의 논리 레벨을 시계 방향 또는 반시계 방향으로 순환시켜 변화시키는 전송 장치.

청구항 7

제 4 항에 있어서,

상기 MSB 인버전 레지스터부는 상기 홀드 정보가 제 1 레벨일 때 상기 MSB 로테이션 인코딩 신호를 변화시키지 않고 상기 제 1 전송 제어신호로서 출력하고,

상기 홀드 정보가 제 2 레벨일 때, 상기 인버전 정보에 기초하여, 상기 MSB 로테이션 인코딩 신호의 레벨을 반전시켜 상기 제 1 전송 제어신호로서 출력하는 전송 장치.

청구항 8

제 4 항에 있어서,

상기 제 2 인코딩부는 상기 홀드 정보 및 상기 로테이션 정보에 기초하여 LSB 로테이션 인코딩 신호를 생성하는 LSB 로테이션 레지스터부; 및

상기 홀드 정보 및 상기 인버전 정보에 기초하여 상기 LSB 로테이션 인코딩 신호를 변화시켜 상기 전송 제어신호를 생성하는 LSB 인버전 레지스터부를 포함하는 전송 장치.

청구항 9

제 3 항에 있어서,

상기 타이밍 전송 제어 블록은 상기 제 1 및 제 2 전송 제어신호에 기초하여 제 1 와이어를 구동하기 위한 제 1 구동 제어신호를 생성하는 제 1 타이밍 전송 제어부;

상기 제 1 및 제 2 전송 제어신호에 기초하여 제 2 와이어를 구동하기 위한 제 2 구동 제어신호를 생성하는 제 2 타이밍 전송 제어부; 및

상기 제 1 및 제 2 전송 제어신호에 기초하여 제 3 와이어를 구동하기 위한 제 3 구동 제어신호를 생성하는 제 3 타이밍 전송 제어부를 포함하는 전송 장치.

청구항 10

제 9 항에 있어서,

상기 제 1 타이밍 전송 제어부는 이전에 입력된 제 1 및 제 2 전송 제어신호와 현재 입력된 제 1 및 제 2 전송 제어신호를 비교하여 타이밍 제어신호를 생성하는 타이밍 제어신호 생성부;

상기 타이밍 제어신호에 응답하여 상기 현재 입력된 제 1 전송 제어신호를 지연시켜 제 1 업 제어신호 및 제 1 다운 제어신호를 생성하는 제 1 업다운 제어부; 및

상기 타이밍 제어신호에 응답하여 상기 현재 입력된 제 2 전송 제어신호를 지연시켜 제 2 업 제어신호 및 제 2 다운 제어신호를 생성하는 제 2 업다운 제어부를 포함하는 전송 장치.

청구항 11

제 10 항에 있어서,

상기 타이밍 제어신호 생성부는 상기 이전에 입력된 제 1 및 제 2 전송 제어신호가 제 1 레벨 또는 제 2 레벨이고, 상기 현재 입력된 제 1 및 제 2 전송 제어신호가 서로 다른 레벨을 가질 때 리드 신호를 인에이블시키는 전송 장치.

청구항 12

제 11 항에 있어서,

상기 타이밍 제어신호 생성부는 상기 이전에 입력된 제 1 및 제 2 전송 제어신호가 서로 다른 레벨을 갖고, 상기 현재 입력된 제 1 및 제 2 전송 제어신호가 각각 제 1 레벨 또는 제 2 레벨일 때, 래그 신호를 인에이블시키는 전송 장치.

청구항 13

제 12 항에 있어서,

상기 타이밍 제어신호 생성부는 상기 이전에 입력된 제 1 및 제 2 전송 제어신호가 각각 제 1 레벨이고 상기 현재 입력된 제 1 및 제 2 전송 제어신호가 각각 제 2 레벨이거나, 상기 이전에 입력된 제 1 및 제 2 전송 제어신호가 각각 제 2 레벨이고 상기 현재 입력된 제 1 및 제 2 전송 제어신호가 각각 제 1 레벨일 때, 상기 리드 신호 및 상기 래그 신호를 모두 디스에이블시키는 전송 장치.

청구항 14

제 10 항에 있어서,

상기 제 1 업다운 제어부는 상기 타이밍 제어신호에 응답하여 상기 현재 입력된 제 1 전송 제어신호로부터 제 1 타이밍 인코딩 신호를 생성하는 제 1 타이밍 제어부; 및

상기 제 1 타이밍 인코딩 신호로부터 상기 제 1 업 제어신호 및 상기 제 1 다운 제어신호를 생성하는 제 1 업다운 버퍼를 포함하는 전송 장치.

청구항 15

제 14 항에 있어서,

상기 제 2 다운 제어부는 상기 타이밍 제어신호에 응답하여 상기 현재 입력된 제 2 전송 제어신호로부터 제 2 타이밍 인코딩 신호를 생성하는 제 2 타이밍 제어부; 및

상기 제 2 타이밍 인코딩 신호로부터 상기 제 2 업 제어신호 및 상기 제 2 다운 제어신호를 생성하는 제 2 업다운 버퍼를 포함하는 전송 장치.

청구항 16

제 9 항에 있어서,

상기 멀티 레벨은 하이 레벨, 미들 레벨 및 로우 레벨을 포함하고,

상기 전송 드라이버 블록은, 상기 제 1 구동 제어신호에 기초하여 상기 제 1 와이어를 상기 하이 레벨, 상기 미들 레벨 및 상기 로우 레벨 중 하나로 구동하는 제 1 전송 드라이버;

상기 전송 드라이버 블록은, 상기 제 2 구동 제어신호에 기초하여 상기 제 2 와이어를 상기 하이 레벨, 상기 미들 레벨 및 상기 로우 레벨 중 하나로 구동하는 제 2 전송 드라이버; 및

상기 전송 드라이버 블록은, 상기 제 3 구동 제어신호에 기초하여 상기 제 3 와이어를 상기 하이 레벨, 상기 미들 레벨 및 상기 로우 레벨 중 하나로 구동하는 제 3 전송 드라이버를 포함하는 전송 장치.

청구항 17

제 16 항에 있어서,

상기 제 1 내지 제 3 전송 드라이버는 각각, 복수의 풀업 드라이버 및 복수의 풀다운 드라이버를 포함하고, 상기 제 1 내지 제 3 구동 제어신호에 응답하여 제 1 내지 제 3 와이어를 구동하는 풀업 드라이버 및 풀다운 드라이버의 개수를 변화시키는 전송 장치.

청구항 18

제 16 항에 있어서,

상기 하이 레벨은 3/4V에 해당하는 레벨을 갖고, 상기 미들 레벨은 1/2V에 해당하는 레벨을 가지며, 상기 로우 레벨은 1/4V에 해당하는 레벨을 갖는 전송 장치.

청구항 19

복수의 구동 제어신호에 응답하여 복수의 와이어를 하이 레벨, 미들 레벨 및 로우 레벨 중 하나로 구동하는 전

송 드라이버 블록; 및

상기 복수의 와이어의 레벨을 변화시키기 위해 상기 복수의 구동 제어신호를 생성하고, 상기 복수의 와이어가 구동되는 레벨에 따라 상기 복수의 구동 제어신호의 생성 시점을 변화시키는 타이밍 전송 제어 블록을 포함하는 전송 장치.

청구항 20

제 19 항에 있어서,

상기 타이밍 전송 제어 블록은 하나의 와이어가 상기 하이 레벨 또는 상기 로우 레벨에서 상기 미들 레벨로 구동될 때 상기 하나의 와이어를 구동하기 위한 구동 제어신호를 제 1 시점에 생성하고, 상기 하나의 와이어가 상기 하이 레벨에서 상기 로우 레벨로 구동되거나 상기 로우 레벨에서 상기 하이 레벨로 구동될 때 상기 하나의 와이어를 구동하기 위한 구동 제어신호를 제 2 시점에 생성하며, 상기 하나의 와이어가 상기 미들 레벨에서 상기 하이 레벨 또는 상기 로우 레벨로 구동될 때 상기 하나의 와이어를 구동하기 위한 구동 제어신호를 제 3 시점에 생성하는 전송 장치.

청구항 21

제 20 항에 있어서,

상기 제 1 시점은 제 2 시점보다 빠르고, 상기 제 2 시점은 상기 제 3 시점보다 빠른 전송 장치.

청구항 22

제 20 항에 있어서,

상기 타이밍 전송 제어 블록은 제 1 및 제 2 전송 제어신호에 기초하여 제 1 와이어를 구동하기 위한 제 1 구동 제어신호를 생성하는 제 1 타이밍 전송 제어부;

상기 제 1 및 제 2 전송 제어신호에 기초하여 제 2 와이어를 구동하기 위한 제 2 구동 제어신호를 생성하는 제 2 타이밍 전송 제어부; 및

상기 제 1 및 제 2 전송 제어신호에 기초하여 제 3 와이어를 구동하기 위한 제 3 구동 제어신호를 생성하는 제 3 타이밍 전송 제어부를 포함하고,

상기 제 1 내지 제 3 전송 제어신호는 제 1 내지 제 3 와이어 상태의 정보를 갖는 전송 장치.

청구항 23

제 22 항에 있어서,

상기 제 1 타이밍 전송 제어부는 이전에 입력된 제 1 및 제 2 전송 제어신호와 현재 입력된 제 1 및 제 2 전송 제어신호를 비교하여 타이밍 제어신호를 생성하는 타이밍 제어신호 생성부;

상기 타이밍 제어신호에 응답하여 상기 현재 입력된 제 1 전송 제어신호를 지연시켜 제 1 업 제어신호 및 제 1 다운 제어신호를 생성하는 제 1 업다운 제어부; 및

상기 타이밍 제어신호에 응답하여 상기 현재 입력된 제 2 전송 제어신호를 지연시켜 제 2 업 제어신호 및 제 2 다운 제어신호를 생성하는 제 2 업다운 제어부를 포함하는 전송 장치.

청구항 24

제 23 항에 있어서,

상기 타이밍 제어신호 생성부는 상기 이전에 입력된 제 1 및 제 2 전송 제어신호가 제 1 레벨 또는 제 2 레벨이고, 상기 현재 입력된 제 1 및 제 2 전송 제어신호가 서로 다른 레벨을 가질 때 리드 신호를 인에이블시키는 전송 장치.

청구항 25

제 24 항에 있어서,

상기 타이밍 제어신호 생성부는 상기 이전에 입력된 제 1 및 제 2 전송 제어신호가 서로 다른 레벨을 갖고, 상기 현재 입력된 제 1 및 제 2 전송 제어신호가 각각 제 1 레벨 또는 제 2 레벨일 때, 래그 신호를 인에이블시키는 전송 장치.

청구항 26

제 25 항에 있어서,

상기 타이밍 제어신호 생성부는 상기 이전에 입력된 제 1 및 제 2 전송 제어신호가 각각 제 1 레벨이고 상기 현재 입력된 제 1 및 제 2 전송 제어신호가 각각 제 2 레벨이거나, 상기 이전에 입력된 제 1 및 제 2 전송 제어신호가 각각 제 2 레벨이고 상기 현재 입력된 제 1 및 제 2 전송 제어신호가 각각 제 1 레벨일 때, 상기 리드 신호 및 상기 래그 신호를 모두 디스에이블시키는 전송 장치.

청구항 27

제 23 항에 있어서,

상기 제 1 업다운 제어부는 상기 타이밍 제어신호에 응답하여 상기 현재 입력된 제 1 전송 제어신호로부터 제 1 타이밍 인코딩 신호를 생성하는 제 1 타이밍 제어부; 및

상기 제 1 타이밍 인코딩 신호로부터 상기 제 1 업 제어신호 및 상기 제 1 다운 제어신호를 생성하는 제 1 업다운 버퍼를 포함하는 전송 장치.

청구항 28

제 23 항에 있어서,

상기 제 2 다운 제어부는 상기 타이밍 제어신호에 응답하여 상기 현재 입력된 제 2 전송 제어신호로부터 제 2 타이밍 인코딩 신호를 생성하는 제 2 타이밍 제어부; 및

상기 제 2 타이밍 인코딩 신호로부터 상기 제 2 업 제어신호 및 상기 제 2 다운 제어신호를 생성하는 제 2 업다운 버퍼를 포함하는 전송 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 시스템에 관한 것으로, 더 상세하게는 고속 통신을 위한 전송 장치, 이를 포함하는 인터페이스 회로 및 시스템에 관한 것이다.

배 경 기 술

[0002] 퍼스널 컴퓨터, 태블릿 PC, 랩탑 컴퓨터, 스마트 폰과 같은 개인 전자제품들은 다양한 전자 구성요소로 구성될 수 있다. 상기 전자 제품 내의 서로 다른 두 개의 전자 구성요소는 짧은 시간 내에 많은 데이터를 처리할 수 있도록 고속으로 통신할 수 있다. 상기 전자 구성요소들은 일반적으로 인터페이스 회로를 통해 통신할 수 있다. 상기 전자 구성요소는 다양한 방식으로 통신할 수 있고, 직렬 통신 방식이 일 예이다.

[0003] 전자 구성요소의 성능이 발전하면서, 대역폭을 증가시키고 전력 소모를 감소시킬 수 있는 통신 방식의 필요성이 증가되고 있다. 위와 같은 필요성을 만족시키기 위해, 새로운 직렬 통신 방식이 다양하게 제시되고 있고, 새로운 직렬 통신 방식을 뒷받침하기 위한 개선된 인터페이스 회로가 개발되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예는 평형 부호 멀티 레벨 심벌을 전송하여 통신하는 시스템에서, 전송하려는 데이터 및/또는 심벌에 따라 와이어 상태를 변화시킬 수 있는 전송 장치를 제공할 수 있다.

과제의 해결 수단

[0005] 본 발명의 실시예에 따른 전송 장치는 컨트롤 심벌을 생성하는 로직 블록; 상기 컨트롤 심벌에 기초하여 와이어 상태의 정보를 변화시켜 전송 제어신호를 생성하는 인코딩 블록; 상기 전송 제어신호에 기초하여 구동 제어신호를 생성하고, 이전에 입력된 전송 제어신호와 현재 입력된 전송 제어신호를 비교하여 상기 구동 제어신호의 생성시점을 조절하는 타이밍 전송 제어 블록; 및 상기 복수의 구동 제어신호에 응답하여 복수의 와이어를 각각 멀티 레벨 중 하나의 레벨로 구동하는 전송 드라이버 블록을 포함할 수 있다.

[0006] 본 발명의 실시예에 따른 전송 장치는 복수의 구동 제어신호에 응답하여 복수의 와이어를 하이 레벨, 미들 레벨 및 로우 레벨 중 하나로 구동하는 전송 드라이버 블록; 및 상기 복수의 와이어의 레벨을 변화시키기 위해 상기 복수의 구동 제어신호를 생성하고, 상기 복수의 와이어가 구동되는 레벨에 따라 상기 복수의 구동 제어신호의 생성 시점을 변화시키는 타이밍 전송 제어 블록을 포함할 수 있다.

발명의 효과

[0007] 본 발명의 실시예는 시스템의 통신 정확성 및 효율성을 증가시킬 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 실시예에 따른 시스템의 구성을 보여주는 도면,

도 2는 본 발명의 실시예에 따른 시스템 의 구성 및 동작을 보여주는 도면,

도 3은 도 1 및 도 2에서 설명된 평형 부호 멀티 레벨 신호 전송 방식을 사용하는 전자 구성요소를 포함하는 시스템을 보여주는 도면,

도 4는 본 발명의 실시예에 따른 전송 장치의 구성을 보여주는 도면,

도 5는 도 4에 도시된 제 1 전송 드라이버의 구성을 보여주는 도면,

도 6은 본 발명의 실시예에 따라서 컨트롤 심벌에 기초하여 변화되는 와이어 상태를 보여주는 테이블 및 상태도,

도 7은 도 4에 도시된 제 1 인코딩부의 구성을 보여주는 도면,

도 8은 도 7에 도시된 로테이션 레지스터부의 구성을 보여주는 도면,

도 9는 도 8에 도시된 제 1 로테이션부의 구성을 보여주는 도면,

도 10은 도 7에 도시된 인버전 레지스터부의 구성을 보여주는 도면,

도 11은 도 10에 도시된 제 1 인버전부의 구성을 보여주는 도면,

도 12는 도 5에 도시된 제 1 전송 제어부의 구성을 보여주는 도면,

도 13은 도 12에 도시된 업 제어부 및 다운 제어부의 구성을 보다 상세하게 보여주는 도면,

도 14는 도 13에 도시된 업 프리엠파시스 버퍼의 구성을 보여주는 도면,

도 15는 도 13에 도시된 다운 프리엠파시스 버퍼의 구성을 보여주는 도면,

도 16은 본 발명의 실시예에 따른 전송 장치의 동작을 보여주는 도면,

도 17은 본 발명의 실시예에 따른 전송 장치의 구성 및 동작을 보여주는 도면,

도 18은 본 발명의 실시예에 따른 전송 장치의 구성을 보여주는 도면,

도 19는 도 4에 도시된 전송 장치와 도 18에 도시된 전송 장치에 의해 와이어가 구동되는 파형을 보여주는 도면,

도 20은 도 18에 도시된 제 1 타이밍 전송 제어부의 구성을 보여주는 도면,

도 21은 도 20에 도시된 타이밍 제어신호 생성부의 구성을 보여주는 도면,

도 22a 내지 도 22c는 도 20에 도시된 제 1 타이밍 제어부의 구성을 보여주는 도면,

도 23은 본 발명의 실시예에 따른 다양한 레벨로 구동되는 제 1 와이어의 파형을 보여주는 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 도 1에서, 본 발명의 실시예에 따른 시스템(1)은 제 1 장치(110) 및 제 2 장치(120)를 포함할 수 있다. 상기 제 1 장치(110)는 데이터를 전송하는 구성요소를 대표할 수 있고, 상기 제 2 장치(120)는 상기 제 1 장치(110)로부터 전송된 데이터를 수신하는 구성요소를 대표할 수 있다. 예를 들어, 상기 시스템(1)은 마스터 장치와 슬레이브 장치를 포함할 수 있고, 상기 마스터 장치로부터 상기 슬레이브 장치로 데이터가 전송될 때, 상기 마스터 장치는 상기 제 1 장치(110)일 수 있고 상기 슬레이브 장치는 상기 제 2 장치(120)일 수 있다. 반대로, 상기 슬레이브 장치로부터 상기 마스터 장치로 데이터가 전송될 때, 상기 마스터 장치는 상기 제 2 장치(120)일 수 있고 상기 슬레이브 장치는 상기 제 1 장치(110)일 수 있다.

[0010] 상기 마스터 장치는 프로세서와 같은 호스트 장치일 수 있고, 프로세서는 중앙처리장치(CPU), 그래픽 처리 장치(Graphic Processing Unit, GPU), 멀티미디어 프로세서(Multi-Media Processor, MMP), 디지털 신호 프로세서(Digital Signal Processor)를 포함할 수 있다. 또한 어플리케이션 프로세서(AP)와 같이 다양한 기능을 가진 프로세서 칩들을 조합하여 시스템 온 칩(System On Chip)의 형태로 구현될 수 있다. 상기 슬레이브 장치는 메모리일 수 있고, 상기 메모리는 휘발성 메모리와 비휘발성 메모리를 포함할 수 있다. 상기 휘발성 메모리는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM)을 포함할 수 있고, 상기 비휘발성 메모리는 ROM (Read Only Memory), PROM (Programmable ROM), EEPROM (Electrically Erase and Programmable ROM), EPROM (Electrically Erasable and Programmable ROM), 플래시 메모리, PRAM (Phase change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM) 및 FRAM (Ferroelectric RAM) 등을 포함할 수 있다.

[0011] 상기 제 1 장치(110) 및 상기 제 2 장치(120)는 적어도 하나의 신호 전송 라인 그룹을 통해 서로 연결되어 링크를 형성할 수 있다. 상기 제 1 장치(110) 및 상기 제 2 장치(120)는 상기 적어도 하나의 신호 전송 라인 그룹을 통해 평형 부호(Balanced code) 멀티 레벨 신호 전송 방식으로 통신할 수 있다. 상기 적어도 하나의 신호 전송 라인 그룹은 복수의 신호 전송 라인을 포함할 수 있다. 예를 들어, 상기 제 1 장치(110) 및 상기 제 2 장치(120)가 n 레벨(페이즈 또는 상태) 신호 전송 방식을 사용하는 경우 상기 하나의 신호 전송 라인 그룹을 형성하는 신호 전송 라인의 개수는 n개 이상일 수 있다. 상기 제 1 장치(110) 및 제 2 장치(120)는 복수의 신호 전송 라인 그룹을 통해 연결될 수 있다. 도 1에서, 상기 제 1 장치(110)는 제 1 및 제 2 신호 전송 라인 그룹(131, 132)을 통해 연결될 수 있고, 상기 제 1 및 제 2 신호 전송 라인 그룹(131, 132)은 각각 n개 이상의 신호 전송 라인을 포함할 수 있다.

[0012] 상기 제 1 장치(110) 및 상기 제 2 장치(120)는 각각 인터페이스 회로(111, 121)를 포함할 수 있다. 상기 인터페이스 회로(111, 121)는 제 1 장치(110)와 제 2 장치(120) 사이의 통신을 위한 물리적 계층(Physical Layer)일 수 있다. 상기 제 1 장치(110)의 인터페이스 회로(111)는 복수의 데이터를 n 레벨 심벌로 변환하고, 상기 n 레벨 심벌을 상기 신호 전송 라인 그룹(131, 132)을 통해 상기 제 2 장치(120)로 전송할 수 있다. 상기 n 레벨 심벌은 평형 부호로 구성될 수 있다. 상기 제 2 장치(120)의 인터페이스 회로(121)는 상기 신호 전송 라인 그룹(131, 132)을 통해 전송된 n 레벨 심벌을 수신하고, 상기 n 레벨 심벌을 상기 복수의 데이터로 복원할 수 있다. 일 예로, 상기 복수의 데이터가 m 비트인 경우, 상기 제 1 장치(110)의 인터페이스 회로(111)는 상기 m 비트의 데이터를 복수의 n 레벨 심벌로 변환할 수 있고, 상기 신호 전송 라인을 통해 상기 복수의 n 레벨 심벌을 순차적으로 직렬 전송할 수 있다. 상기 제 2 장치(120)의 인터페이스 회로(121)는 상기 복수의 n 레벨 심벌을 순차적으로 수신하고, 상기 복수의 n 레벨 심벌에 기초하여 상기 m 비트의 데이터를 복원할 수 있다. 상기 제 1 장치(110) 및 상기 제 2 장치(120)가 복수의 신호 전송 라인 그룹을 포함하는 경우, 신호 전송 라인 그룹의 개수 * n 레벨 심벌에 해당하는 정보가 동시에 전송될 수 있다.

[0013] 일 실시예에서, 하나의 n 레벨 심벌은 평형 부호로 구성되지 않을 수 있고, 복수의 n 레벨 심벌이 평형 부호로 구성될 수 있다. 즉, 상기 복수의 n 레벨 심벌은 전체적으로 평형 부호가 될 수 있다. 따라서, 각각의 심벌이 평형 부호로 구성되지 않더라도, 상기 신호 전송 라인 그룹(131, 132)을 통해 상기 복수의 n 레벨 심벌이 전송되는 경우, 평형 부호 멀티 레벨 신호 전송이 이루어질 수 있다.

[0014] 도 2는 본 발명의 실시예에 따른 시스템(2)의 구성 및 동작을 보여주는 도면이다. 도 2에서, 본 발명의 실시예에 따른 시스템(2)은 마스터 장치(210) 및 슬레이브 장치(220)를 포함할 수 있다. 상기 마스터 장치(210) 및 슬레이브 장치(220)는 하나의 링크를 구성할 수 있다. 상기 마스터 장치(210) 및 슬레이브 장치(220)는 서브 링크를 통해 통신할 수 있고, 보다 구체적으로 상기 마스터 장치(210) 및 슬레이브 장치(220)는 고속으로 통신하기 위해 각각 인터페이스 회로를 포함할 수 있다. 상기 마스터 장치(210) 및 슬레이브 장치(220)는 신호 전송 라인을 통해 연결될 수 있고, 상기 신호 전송 라인 및 상기 인터페이스 회로를 통해 서로 신호를 주고 받을 수

있다.

[0015] 본 발명의 시스템(2)은 평형 부호(balanced code) 멀티 레벨 신호 전송 방식으로 통신할 수 있다. 상기 마스터 장치(210) 및 슬레이브 장치(220)는 와이어 버스로 연결될 수 있다. 상기 와이어 버스는 복수의 와이어 그룹을 포함하고, 하나의 와이어 그룹은 복수의 와이어를 포함할 수 있다. 예를 들어, 상기 와이어 버스는 3-와이어 버스일 수 있고, 하나의 와이어 그룹은 3개의 와이어를 포함할 수 있다. 각각의 그룹의 3개의 와이어는 상기 마스터 장치(210)에서 상기 슬레이브 장치(220)로 또는 상기 슬레이브 장치(220)에서 상기 마스터 장치(210)로 전송되는 심벌에 대응하는 전압 레벨로 구동될 수 있다. 상기 각각의 그룹의 3개의 와이어는 상기 심벌을 전송하기 위해 하이 레벨, 미들 레벨 및 로우 레벨로 구동될 수 있다. 예를 들어, 상기 하이 레벨은 3/4V에 해당하는 전압 레벨일 수 있고, 상기 미들 레벨은 1/2V에 해당하는 전압 레벨일 수 있으며, 상기 로우 레벨은 1/4V에 해당하는 전압 레벨일 수 있다.

[0016] 도 2에서, 상기 마스터 장치(210)는 인코딩 블록(211) 및 전송기(212)를 포함할 수 있다. 상기 인코딩 블록(211) 및 전송기(212)는 평형 부호 멀티 레벨 신호 전송을 위한 인터페이스 회로일 수 있다. 상기 인코딩 블록(211)은 데이터(D<0:n>)를 복수의 멀티 레벨 심벌로 인코딩할 수 있다. 상기 인코딩 블록(211)은 16 비트 데이터를 7개의 멀티 레벨 심벌로 변환하는 16:7 맵퍼일 수 있다. 상기 전송기(212)는 상기 인코딩 블록(211)에서 출력된 복수의 멀티 레벨 심벌을 수신할 수 있다. 상기 전송기(212)는 상기 멀티 레벨 심벌에 따라 상기 3-와이어 버스의 전압 레벨 또는 상태를 변화시킬 수 있다. 상기 멀티 레벨 심벌은 예를 들어, 3 레벨 심벌일 수 있고, 1개의 심벌은 3개의 페이즈를 포함할 수 있다. 상기 3 레벨 심벌은 제 1 내지 제 6 심벌을 포함할 수 있다. 상기 제 1 내지 제 6 심벌은 각각 6개의 와이어 상태를 의미할 수 있다. 상기 제 1 내지 제 6 심벌은 +x, -x, +y, -y, +z 및 -z로 정의될 수 있고, 제 1 심벌(+x)은 1, 0, 0의 페이즈를 갖고, 제 2 심벌(-x)은 0, 1, 1의 페이즈를 가지며, 제 3 심벌(+y)은 0, 1, 0의 페이즈를 갖고, 제 4 심벌(-y)은 1, 0, 1의 페이즈를 가지며, 제 5 심벌(+z)은 0, 0, 1의 페이즈를 갖고, 제 6 심벌(-z)은 1, 1, 0의 페이즈를 가질 수 있다. 상기 전송기(212)는 상기 멀티 레벨 심벌에 따라 3-와이어 버스의 전압 레벨 또는 상태를 변동시켜야 하므로, 0, 0, 0 또는 1, 1, 1의 페이즈를 갖는 심벌은 사용하지 않을 수 있다.

[0017] 상기 전송기(212)는 제 1 심벌(+x)을 전송하기 위해, 3개의 와이어(A, B, C)의 상태를 각각 하이 레벨(3/4V), 로우 레벨(1/4V) 및 미들 레벨(1/2V)로 변화시킬 수 있다. 상기 전송기(212)는 제 2 심벌(-x)을 전송하기 위해, 3개의 와이어(A, B, C)의 상태를 각각 로우 레벨(1/4V), 하이 레벨(3/4V) 및 미들 레벨(1/2V)로 변화시킬 수 있다. 상기 전송기(212)는 제 3 심벌(+y)을 전송하기 위해, 3개의 와이어(A, B, C)의 상태를 각각 미들 레벨(1/2V), 하이 레벨(3/4V) 및 로우 레벨(1/4V)로 변화시킬 수 있다. 상기 전송기(212)는 제 4 심벌(-y)을 전송하기 위해, 3개의 와이어(A, B, C)의 상태를 각각 미들 레벨(1/2V), 로우 레벨(1/4V) 및 하이 레벨(3/4V)로 변화시킬 수 있다. 상기 전송기(212)는 제 5 심벌(+z)을 전송하기 위해, 3개의 와이어(A, B, C)의 상태를 각각 로우 레벨(1/4V), 미들 레벨(1/2V) 및 하이 레벨(3/4V)로 변화시킬 수 있다. 상기 전송기(212)는 제 6 심벌(-z)을 전송하기 위해, 3개의 와이어(A, B, C)의 상태를 각각 하이 레벨(3/4V), 미들 레벨(1/2V) 및 로우 레벨(1/4V)로 변화시킬 수 있다.

[0018] 상기 슬레이브 장치(220)는 수신기(221) 및 디코딩 블록(222)을 포함할 수 있다. 상기 수신기(221) 및 디코딩 블록(222)은 평형 부호 멀티 레벨 신호 수신을 위한 인터페이스 회로일 수 있다. 상기 수신기(221)는 상기 3-와이어 버스와 연결될 수 있고, 상기 3-와이어 버스의 전압 레벨에 따라 상기 복수의 멀티 레벨 심벌을 수신할 수 있다. 도시되지는 않았지만, 상기 수신기(221)는 3개의 와이어에 대응하여 3개의 차동 버퍼를 포함할 수 있다. 상기 3개의 차동 버퍼는 각각 상기 3개의 와이어(A, B, C) 중 적어도 2개와 연결될 수 있다. 예를 들어, 제 1 차동 버퍼는 제 1 와이어 및 제 2 와이어의 전압(A-B) 레벨을 차동 증폭하여 멀티 레벨 심벌의 제 1 페이즈를 출력하고, 제 2 차동 버퍼는 제 2 와이어 및 제 3 와이어의 전압(B-C) 레벨을 차동 증폭하여 멀티 레벨 심벌의 제 2 페이즈를 출력하며, 제 3 차동 버퍼는 제 3 와이어와 제 1 와이어의 전압(C-A) 레벨을 차동 증폭하여 멀티 레벨 심벌의 제 3 페이즈를 생성할 수 있다. 따라서, 상기 수신기(221)는 상기 3-와이어 버스의 상태 또는 전압 레벨에 따라 상기 전송기(212)를 통해 전송된 멀티 레벨 심벌과 동일한 멀티 레벨 심벌을 출력할 수 있다.

[0019] 예를 들어, 상기 제 1 심벌(+x)이 전송되는 경우, 상기 제 1 와이어(A)의 전압 레벨은 3/4V일 수 있고, 제 2 와이어(B)의 전압 레벨은 1/4V일 수 있으며, 제 3 와이어(C)의 전압 레벨은 1/2V일 수 있다. 상기 수신기(221)는 상기 제 1 및 제 2 와이어의 전압 레벨 차이(A-B, +1/2V)를 차동 증폭하여 멀티 레벨 심벌의 제 1 페이즈를 1로 출력하고, 상기 제 2 및 제 3 와이어의 전압 레벨 차이(B-C, -1/4V)를 차동 증폭하여 멀티 레벨 심벌의 제 2 페이즈를 0으로 출력할 수 있으며, 상기 제 3 및 제 1 와이어의 전압 레벨 차이(C-A, -1/4V)를 차동 증폭하여 멀

티 레벨 심벌의 제 3 페이즈를 0으로 출력할 수 있다.

[0020] 상기 디코딩 블록(222)은 멀티 레벨 심벌을 데이터로 디코딩할 수 있다. 상기 디코딩 블록(222)은 7개의 멀티 레벨 심벌을 16비트의 데이터로 디코딩하는 7:16 디맵퍼일 수 있다. 상기 인코딩 블록(211)의 인코딩 방식과 상기 디코딩 블록의 디코딩 방식은 서로 상보적일 수 있다. 도 2에서, 상기 마스터 장치(210)로부터 슬레이브 장치(220)로 데이터가 전송되는 경우를 도시하였지만, 이에 한정하려는 의도는 아니다. 상기 슬레이브 장치(220)는 상기 마스터 장치(210)로 데이터를 전송하기 위해 상기 인코딩 블록(211)과 전송기(212)와 같은 구성을 더 포함할 수 있고, 상기 마스터 장치(210)는 상기 슬레이브 장치(220)로부터 데이터를 수신하기 위해 상기 수신기(221)와 디코딩 블록(222)과 같은 구성을 더 포함할 수 있다.

[0021] 도 3은 도 1 및 도 2에서 설명된 평형 부호 멀티 레벨 신호 전송 방식을 사용하는 전자 구성요소를 포함하는 시스템(3)을 보여주는 도면이다. 도 3에서, 상기 시스템(3)은 호스트 장치(310), 대용량 저장 장치(321), 메모리(322), 디스플레이 장치(323), 카메라 장치(324), 모뎀(325), 브릿지 칩(326), 무선 칩(327), 센서(328) 및 오디오 장치(329)를 포함할 수 있다. 상기 호스트 장치(310)는 나머지 구성요소들과 각각 개별적인 링크를 형성하여 통신할 수 있다. 도 3에 도시된 전자 장치의 구성요소들은 일 예시이며, 상기 시스템(3)은 상기 호스트 장치(310)와 데이터 통신을 수행할 수 있는 어떠한 구성요소라도 포함할 수 있다.

[0022] 상기 호스트 장치(310)는 어플리케이션 프로세서 및 주문형 반도체 장치(ASIC, Application Specific Integrated Circuit)과 같은 하나 이상의 집적 회로 장치를 포함할 수 있다. 상기 대용량 저장 장치(321)는 고체 상태 드라이브(SSD) 또는 USB 연결을 통한 FLASH 드라이브와 같은 하나 또는 그 이상의 저장 장치를 포함할 수 있다. 상기 메모리(322)는 어떠한 종류의 메모리 장치를 포함할 수 있다. 예를 들어, 상기 메모리(322)는 DRAM(Dynamic RAM)과 같은 휘발성 메모리 장치를 포함할 수 있고, ROM(Read Only Memory), PROM(Programmable ROM), EEPROM(Electrically Erase and Programmable ROM), EPROM(Electrically Erasable and Programmable ROM), FLASH 메모리, PRAM(Phase Change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM) 및 FRAM(Ferroelectric RAM) 등의 비휘발성 메모리 장치를 포함할 수 있다.

[0023] 상기 호스트 장치(310)는 상기 대용량 저장 장치(321) 및 상기 메모리(322)와 각각 링크를 형성하여 통신할 수 있다. 상기 호스트 장치(310), 상기 대용량 저장 장치(321) 및 상기 메모리(322)는 각각 도 1 및 도 2에 도시된 인터페이스 회로를 구비할 수 있고, 서로 직렬 통신 방식으로 신호를 주고 받을 수 있다. 마찬가지로, 상기 호스트 장치(310)는 상기 디스플레이 장치(323), 상기 카메라 장치(324), 상기 모뎀(325), 상기 브릿지 칩(326), 상기 무선 칩(327), 센서(328) 및 오디오 장치(329)와 개별적인 링크를 형성하여 직렬 통신할 수 있다.

[0024] 도 4는 본 발명의 실시예에 따른 전송 장치(4)의 구성을 보여주는 도면이다. 상기 전송 장치(4)는 도 1 및 도 2에 도시된 인터페이스 회로로 적용될 수 있다. 도 4에서, 상기 전송 장치(4)는 복수의 와이어와 연결되고, 데이터 및/또는 멀티 레벨 심벌을 복수의 와이어를 통해 전송할 수 있다. 상기 멀티 레벨 심벌은 예를 들어, 3 레벨 심벌일 수 있다. 상기 멀티 레벨 심벌이 3 레벨 심벌일 때, 상기 복수의 와이어는 3개의 와이어를 포함할 수 있다. 이하에서, 상기 전송 장치는 3 레벨 심벌을 3개의 와이어를 통해 출력하는 경우를 대표적으로 설명하기로 한다.

[0025] 상기 전송 장치(4)는 로직 블록(410), 인코딩 블록(420), 전송 제어 블록(430) 및 전송 드라이버 블록(440)을 포함할 수 있다. 상기 로직 블록(410)은 컨트롤 심벌(HOLD, ROTA, INV)과 와이어 상태 정보(D0_A, D0_B, D0_C, D1_A, D1_B, D1_C)를 생성할 수 있다. 상기 로직 블록(410)은 상기 전송 장치(4)가 전송하려고 하는 데이터에 기초하여 상기 컨트롤 심벌(HOLD, ROTA, INV)을 생성할 수 있다. 상기 컨트롤 심벌은 상기 3개의 와이어(OUT_A, OUT_B, OUT_C)의 상태를 변화시키기 위한 신호로서, 홀드 정보(HOLD), 로테이션 정보(ROTA) 및 인버전 정보(INV)를 포함할 수 있다. 상기 와이어 상태 정보(D0_A, D0_B, D0_C, D1_A, D1_B, D1_C)는 초기의 와이어 상태의 정보일 수 있다. 상기 와이어 상태 정보 (D0_A, D0_B, D0_C, D1_A, D1_B, D1_C)는 MSB 정보 및 LSB 정보를 포함할 수 있다. 상기 MSB 정보는 상기 제 1 와이어 상태의 MSB 정보(D0_A), 제 2 와이어 상태의 MSB 정보(D0_B) 및 제 3 와이어 상태의 MSB 정보(D0_C)를 포함할 수 있다. 또한, 상기 LSB 정보는 상기 제 1 와이어 상태의 LSB 정보(D1_A), 제 2 와이어 상태의 LSB 정보(D1_B) 및 상기 제 3 와이어 상태의 LSB 정보(D1_C)를 포함할 수 있다. 상기 MSB 및 LSB 정보에 대해서는 이하에서 더 상세하게 설명하기로 한다. 상기 로직 블록(410)은 추가적으로 초기화 신호(INT), 초기 설정 신호(S0, S1) 및 클럭 신호(CLK)를 제공할 수 있다.

[0026] 상기 인코딩 블록(420)은 상기 컨트롤 심벌(HOLD, ROTA, INV)에 기초하여 상기 와이어 상태 정보(D0_A, D0_B, D0_C, D1_A, D1_B, D1_C)를 변화시켜 전송 제어신호(EN0_A, EN0_B, EN0_C, EN1_A, EN1_B, EN1_C)를 생성할 수 있다. 상기 인코딩 블록(420)은 상기 컨트롤 심벌(HOLD, ROTA, INV)에 기초하여 상기 와이어 상태 정보(D0_A,

D0_B, D0_C, D1_A, D1_B, D1_C)의 논리 값을 변화시킬 수 있다. 상기 전송 제어신호(EN0_A, EN0_B, EN0_C, EN1_A, EN1_B, EN1_C)는 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 변화되어야 하는 와이어 상태의 정보일 수 있다. 상기 인코딩 블록(420)은 제 1 및 제 2 인코딩부(421, 422)를 포함할 수 있다.

[0027] 상기 제 1 인코딩부(421)는 상기 MSB 정보(D0_A, D0_B, D0_C) 및 상기 컨트롤 심벌(HOLD, ROTA, INV)을 수신할 수 있다. 상기 제 1 인코딩부(421)는 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 상기 MSB 정보(D0_A, D0_B, D0_C)의 논리 값을 변화시킬 수 있다. 상기 제 1 인코딩부(421)는 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 논리 값이 변화된 MSB 정보를 제 1 전송 제어신호(EN0_A, EN0_B, EN0_C)로서 출력할 수 있다. 상기 제 1 전송 제어신호(EN0_A, EN0_B, EN0_C)는 제 1 내지 제 3 인코딩 신호를 포함할 수 있다. 상기 제 1 인코딩 신호(EN0_A)는 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 변화되는 제 1 와이어 상태의 MSB 정보일 수 있다. 상기 제 2 인코딩 신호(EN0_B)는 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 변화되는 제 2 와이어의 상태의 MSB 정보일 수 있다. 상기 제 3 인코딩 신호(EN0_C)는 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 변화되는 제 3 와이어 상태의 MSB 정보일 수 있다.

[0028] 상기 제 2 인코딩부(422)는 상기 LSB 정보(D1_A, D1_B, D1_C) 및 상기 컨트롤 심벌(HOLD, ROTA, INV)을 수신할 수 있다. 상기 제 2 인코딩부(422)는 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 상기 LSB 정보(D1_A, D1_B, D1_C)의 논리 값을 변화시킬 수 있다. 상기 제 2 인코딩부(422)는 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 논리 값이 변화된 LSB 정보를 제 2 전송 제어신호(EN1_A, EN1_B, EN1_C)로서 출력할 수 있다. 상기 제 2 전송 제어신호(EN1_A, EN1_B, EN1_C)는 제 4 내지 제 6 인코딩 신호를 포함할 수 있다. 상기 제 4 인코딩 신호(EN1_A)는 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 변화되는 제 1 와이어 상태의 LSB 정보일 수 있다. 상기 제 5 인코딩 신호(EN1_B)는 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 변화되는 제 2 와이어 상태의 LSB 정보일 수 있다. 상기 제 6 인코딩 신호(EN1_C)는 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 변화되는 제 3 와이어의 상태의 LSB 정보일 수 있다.

[0029] 상기 제 1 내지 제 6 인코딩 신호(EN0_A, EN0_B, EN0_C, EN1_A, EN1_B, EN1_C)는 도 2에 도시된 테이블의 와이어 상태를 나타낼 수 있다. 상기 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)는 각각 제 1 와이어 상태의 MSB 및 LSB 정보일 수 있다. 상기 전송 장치(4)는 상기 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 1, 1일 때 상기 제 1 와이어(OUT_A)를 하이 레벨로 구동할 수 있다. 상기 전송 장치(4)는 상기 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 1, 0 또는 0, 1일 때 상기 제 1 와이어(OUT_B)를 미들 레벨로 구동할 수 있다. 또한, 상기 전송 장치(4)는 상기 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 0, 0일 때 상기 제 1 와이어(OUT_C)를 로우 레벨로 구동할 수 있다. 마찬가지로, 상기 전송 장치(4)는 상기 제 2 및 제 5 인코딩 신호(EN0_B, EN1_B)에 따라 상기 제 2 와이어(OUT_B)를 하이 레벨, 미들 레벨 및 로우 레벨로 구동할 수 있고, 상기 제 3 및 제 6 인코딩 신호(EN0_C, EN1_C)에 따라 상기 제 3 와이어(OUT_C)를 하이 레벨 미들 레벨 및 로우 레벨로 구동할 수 있다. 상기 와이어 상태 정보(D0_A, D0_B, D0_C, D1_A, D1_B, D1_C)는 초기의 와이어 상태를 나타낼 수 있다. 예를 들어, 초기에 상기 제 1 와이어(OUT_A)가 하이 레벨이고, 제 2 와이어(OUT_B)가 미들 레벨이며, 제 3 와이어(OUT_C)가 로우 레벨이라면, 상기 와이어 상태 정보(D0_A, D1_A)는 1, 1일 수 있고, 상기 와이어 상태 정보(D0_B, D1_B)는 1, 0 또는 0, 1일 수 있으며, 상기 와이어 상태 정보(D0_C, D1_C)는 0, 0일 수 있다.

[0030] 상기 전송 제어 블록(430)은 전송 제어신호(EN0_A, EN0_B, EN0_C)에 기초하여 구동 제어신호(UP0<0:2>, DN0<0:2>, UP1<0:2>, DN1<0:2>, UP2<0:2>, DN2<0:2>)를 생성할 수 있다. 상기 전송 제어 블록(430)은 상기 제 1 및 제 2 전송 제어신호(EN0_A, EN0_B, EN0_C, EN1_A, EN1_B, EN1_C)에 기초하여 상기 제 1 내지 제 3 와이어(OUT_A, OUT_B, OUT_C)의 상태를 변화시킬 수 있도록 상기 구동 제어신호(UP0<0:2>, DN0<0:2>, UP1<0:2>, DN1<0:2>, UP2<0:2>, DN2<0:2>)를 생성할 수 있다. 상기 전송 제어 블록(430)은 제 1 내지 제 3 전송 제어부(431, 432, 433)를 포함할 수 있다. 상기 제 1 전송 제어부(431)는 상기 제 1 인코딩 신호(EN0_A)와 제 4 인코딩 신호(EN1_A)에 기초하여 제 1 와이어(OUT_A)를 구동하기 위한 제 1 구동 제어신호(UP0<0:2>, DN0<0:2>)를 생성할 수 있다. 상기 제 2 전송 제어부(432)는 상기 제 2 인코딩 신호(EN0_A) 및 제 5 인코딩 신호(EN1_A)에 기초하여 상기 제 2 와이어(OUT_B)를 구동하기 위한 제 2 구동 제어신호(UP1<0:2>, DN<0:2>)를 생성할 수 있다. 상기 제 3 전송 제어부(433)는 상기 제 3 인코딩 신호(EN0_C) 및 제 6 인코딩 신호(EN1_C)에 기초하여 상기 제 3 와이어(OUT_C)를 구동하기 위한 제 3 구동 제어신호(UP2<0:2>, DN2<0:2>)를 생성할 수 있다. 상기 제 1 내지 제 3 구동 제어신호(UP0<0:2>, DN0<0:2>, UP1<0:2>, DN1<0:2>, UP2<0:2>, DN2<0:2>)는 각각 복수의 업 제어신호 및 다운 제어신호를 포함할 수 있다.

[0031] 상기 전송 드라이버 블록(440)은 상기 구동 제어신호(UP0<0:2>, DN0<0:2>, UP1<0:2>, DN1<0:2>, UP2<0:2>, DN2<0:2>)에 기초하여 상기 제 1 내지 제 3 와이어(OUT_A, OUT_B, OUT_C)의 상태를 변화시킬 수 있다. 상기 전

송 드라이버 블록(440)은 상기 구동 제어신호(UP0<0:2>, DN0<0:2>, UP1<0:2>, DN1<0:2>, UP2<0:2>, DN2<0:2>)에 기초하여 상기 제 1 내지 제 3 와이어(OUT_A, OUT_B, OUT_C)를 하이 레벨, 미들 레벨 및 로우 레벨 중 하나로 구동할 수 있다. 상기 전송 드라이버 블록(440)은 제 1 내지 제 3 전송 드라이버(441, 442, 443)를 포함할 수 있다. 상기 제 1 전송 드라이버(441)는 상기 제 1 구동 제어신호(UP0<0:2>, DN0<0:2>)에 기초하여 상기 제 1 와이어(OUT_A)를 하이 레벨, 미들 레벨 및 로우 레벨 중 하나로 구동할 수 있다. 상기 제 2 전송 드라이버(442)는 상기 제 2 구동 제어신호(UP1<0:2>, DN1<0:2>)에 기초하여 상기 제 2 와이어(OUT_B)를 하이 레벨, 미들 레벨 및 로우 레벨 중 하나로 구동할 수 있다. 상기 제 3 전송 드라이버(443)는 상기 제 3 구동 제어신호(UP2<0:2>, DN2<0:2>)에 기초하여 상기 제 3 와이어(OUT_C)를 하이 레벨, 미들 레벨 및 로우 레벨 중 하나로 구동할 수 있다. 상기 제 1 내지 제 3 전송 드라이버(441, 442, 443)는 각각 제 1 내지 제 3 와이어(OUT_A, OUT_B, OUT_C)와 연결된 복수의 풀업 드라이버 및 복수의 풀다운 드라이버를 포함할 수 있다. 상기 복수의 풀업 드라이버 및 풀다운 드라이버는 각각 상기 복수의 업 제어신호 및 다운 제어신호에 따라 턴온될 수 있다.

[0032] 상기 전송 장치(4)는 캘리브레이션부(450)를 더 포함할 수 있다. 상기 캘리브레이션부(450)는 상기 제 1 내지 제 3 전송 드라이버(441, 442, 443)의 저항 값을 설정할 수 있다. 상기 캘리브레이션부(450)는 캘리브레이션 신호(ZQCAL)에 기초하여 풀업 캘리브레이션 신호(PUCAL) 및 풀다운 캘리브레이션 신호(PDCAL)를 생성할 수 있다. 상기 풀업 캘리브레이션 신호(PUCAL)는 상기 제 1 내지 제 3 전송 드라이버(441, 442, 443)의 풀업 드라이버의 저항 값을 조절하기 위한 신호일 수 있고, 상기 풀다운 캘리브레이션 신호(PDCAL)는 상기 제 1 내지 제 3 전송 드라이버(441, 442, 443)의 풀다운 드라이버의 저항 값을 조절하기 위한 신호일 수 있다.

[0033] 도 5는 도 4에 도시된 제 1 전송 드라이버(441)의 구성을 보여주는 도면이다. 도 5에서, 상기 제 1 전송 드라이버(441)는 복수의 풀업 드라이버 및 복수의 풀다운 드라이버를 포함할 수 있다. 상기 제 1 전송 드라이버(441)는 상기 제 1 와이어(OUT_A)를 하이 레벨, 미들 레벨 및 로우 레벨 중 하나의 레벨로 구동하여, 상기 제 1 와이어(OUT_A)를 통해 하이 레벨, 미들 레벨 및 로우 레벨 중 하나의 신호가 전송될 수 있도록 한다. 상기 제 1 전송 드라이버(441)는 풀다운 드라이버보다 더 많은 개수의 풀업 드라이버를 턴온시켜 상기 제 1 와이어(OUT_A)를 하이 레벨로 구동할 수 있다. 상기 제 1 전송 드라이버(441)는 풀업 드라이버보다 더 많은 개수의 풀다운 드라이버를 턴온시켜 상기 제 1 와이어(OUT_A)를 로우 레벨로 구동할 수 있다. 상기 제 1 전송 드라이버(441)는 동일한 개수의 풀업 드라이버 및 풀다운 드라이버를 턴온시켜 상기 제 1 와이어(OUT_A)를 미들 레벨로 구동할 수 있다.

[0034] 도 5에 도시된 것과 같이, 상기 제 1 전송 드라이버(441)는 제 1 및 제 2 풀업 드라이버(510, 520)와 제 1 및 제 2 풀다운 드라이버(530, 540)를 포함할 수 있다. 상기 제 1 풀업 드라이버(510, 520)는 제 1 업 제어신호(UP0<0>)가 인에이블되었을 때 상기 제 1 와이어(OUT_A)를 전원전압 레벨로 풀업 구동할 수 있다. 상기 제 2 풀업 드라이버(520)는 제 2 업 제어신호(UP0<1>)가 인에이블되었을 때 상기 제 1 와이어(OUT_A)를 전원전압 레벨로 풀업 구동할 수 있다. 상기 제 1 풀다운 드라이버(530)는 제 1 다운 제어신호(DN0<0>)가 인에이블되었을 때 상기 제 1 와이어(OUT_A)를 접지전압 레벨로 풀다운 구동할 수 있다. 상기 제 2 풀다운 드라이버(540)는 제 2 다운 제어신호(DN0<1>)가 인에이블되었을 때 상기 제 1 와이어(OUT_A)를 접지전압 레벨로 풀다운 구동할 수 있다.

[0035] 상기 제 1 전송 드라이버(441)는 풀업 프리엠파시스 드라이버(550) 및 풀다운 프리엠파시스 드라이버(560)를 더 포함할 수 있다. 상기 풀업 프리엠파시스 드라이버(550)는 제 3 업 제어신호(UP0<2>)가 인에이블되었을 때 상기 제 1 와이어(OUT_A)를 추가적으로 풀업 구동할 수 있다. 상기 풀다운 프리엠파시스 드라이버(560)는 제 3 다운 제어신호(DN0<2>)가 인에이블되었을 때 상기 제 1 와이어(OUT_A)를 추가적으로 풀다운 구동할 수 있다.

[0036] 상기 제 1 및 제 2 풀업 드라이버(510, 520)가 모두 턴온되면, 상기 제 1 전송 드라이버(1)는 상기 제 1 와이어(OUT_A)를 통해 하이 레벨의 신호를 전송할 수 있다. 상기 제 1 및 제 2 풀다운 드라이버(530, 540)가 모두 턴온되면, 상기 제 1 전송 드라이버(441)는 상기 제 1 와이어(OUT_A)를 통해 로우 레벨의 신호를 전송할 수 있다. 또한, 상기 제 1 및 제 2 풀업 드라이버(510, 520) 중 하나와 상기 제 1 및 제 2 풀다운 드라이버(530, 540) 중 하나가 턴온되면, 상기 제 1 전송 드라이버(441)는 상기 제 1 와이어(OUT_A)를 미들 레벨로 구동할 수 있고, 상기 제 1 와이어(OUT_A)를 통해 미들 레벨의 신호가 전송할 수 있다. 상기 제 2 및 제 3 전송 드라이버(442, 443)는 수신하는 신호 및 연결되는 와이어를 제외하고는 상기 제 1 전송 드라이버(441)와 실질적으로 동일한 구성을 가질 수 있다.

[0037] 도 6은 본 발명의 실시예에 따라서 컨트롤 심벌(HOLD, ROTA, INV)에 기초하여 변화되는 와이어 상태를 보여주는 테이블 및 상태도이다. 상기 제 1 내지 제 3 와이어(OUT_A, OUT_B, OUT_C)는 상기 컨트롤 심벌(HOLD, ROTA,

INV)에 따라 상태가 변화되어 각각 하이 레벨, 미들 레벨 및 로우 레벨로 구동될 수 있다. 본 발명의 실시예에서, 상기 컨트롤 심벌(HOLD, ROTA, INV)은 3비트로 구성될 수 있고, 상기 컨트롤 심벌의 제 1 비트(A)는 홀드 정보(HOLD)에 해당할 수 있고, 상기 컨트롤 심벌의 제 2 비트(B)는 로테이션 정보(ROTA)에 해당할 수 있고, 상기 컨트롤 심벌의 제 3 비트(C)는 인버전 정보(INV)에 해당할 수 있다. 상기 홀드 정보(HOLD)는 플립 정보(FLIP)일 수 있다. 상기 홀드 정보(HOLD)가 제 1 레벨이면 전송 제어신호 및/또는 와이어 상태의 극성을 변화시킬 수 있다. 상기 홀드 정보(HOLD)가 제 2 레벨이면 상기 와이어 상태의 극성을 변화시키지 않을 수 있다. 상기 홀드 정보(HOLD)는 상기 로테이션 정보(ROTA) 및 인버전 정보(INV)에 대해 우선권을 가지며, 상기 홀드 정보(HOLD)가 로직 로우 레벨이면 상기 로테이션 정보(ROTA) 및 상기 인버전 정보(INV)와 무관하게 상기 와이어 상태는 극성만이 변화될 수 있다. 상기 로테이션 정보(ROTA)는 상기 와이어 상태를 시계방향 또는 반시계 방향으로 변화시킬 수 있다. 예를 들어, 상기 로테이션 정보(ROTA)가 제 1 레벨이면 상기 와이어 상태는 시계 방향으로 변화될 수 있고, 상기 로테이션 정보(ROTA)가 제 2 레벨이면 상기 와이어 상태는 반시계 방향으로 변화될 수 있다. 상기 인버전 정보(INV)는 상기 로테이션 정보(ROTA)와 함께 상기 와이어 상태의 극성을 변화시킬 수 있다. 예를 들어, 상기 인버전 정보(INV)가 제 1 레벨이면 상기 와이어의 상태의 극성이 변화될 수 있고, 상기 인버전 정보가 제 2 레벨이면 상기 와이어의 상태의 극성이 변화되지 않을 수 있다. 본 발명의 실시예에서, 상기 홀드 정보(HOLD), 로테이션 정보(ROTA) 및 인버전 정보(INV)는 각각 이진수 정보일 수 있고, 상기 제 1 레벨은 로직 하이 레벨일 수 있고, 상기 제 2 레벨은 로직 로우 레벨일 수 있다.

[0038] 도시된 테이블 및 상태도와 같이, 상기 홀드 정보(HOLD)가 1이면, 상기 로테이션 정보(ROTA) 및 상기 인버전 정보(INV)와 무관하게(1XX의 경우), 상기 와이어 상태는 극성이 변화될 수 있다, 즉, 와이어 상태가 +x일 때, 상기 와이어의 상태는 -x로 변화될 수 있고, 와이어의 상태가 -x일 때, 상기 와이어의 상태는 +x로 변화될 수 있다. 또한, +y는 -y로 변화될 수 있고, -y는 +y로 변화될 수 있으며, +z는 -z로 변화될 수 있고, -z는 +z로 변화될 수 있다.

[0039] 상기 홀드 정보(HOLD)가 0일 때, 상기 와이어 상태는 상기 로테이션 정보(ROTA) 및 상기 인버전 정보(INV)에 따라 다양하게 변화될 수 있다. 상기 로테이션 정보(ROTA)가 0이고, 상기 인버전 정보(INV)가 0이면(000의 경우), 상기 와이어 상태는 극성이 변화되지 않고, 반시계 방향에 위치하는 상태로 변화될 수 있다. 예를 들어, 와이어 상태가 +x일 때, 상기 와이어 상태는 +z로 변화될 수 있다. 마찬가지로, -x는 -z로 변화될 수 있고, +y는 +x로 변화될 수 있고, -y는 -x로 변화될 수 있고, +z는 +y로 변화될 수 있고, -z는 -y로 변화될 수 있다.

[0040] 상기 홀드 정보(HOLD)가 0이고, 상기 로테이션 정보(ROTA)가 0이고, 상기 인버전 정보(INV)가 1이면, 상기 와이어 상태는 극성이 변화되면서 반시계 방향에 위치하는 상태로 변화될 수 있다. 예를 들어, 와이어의 상태가 +x일 때, 상기 와이어의 상태는 -z로 변화될 수 있다. 마찬가지로, -x는 +z로 변화될 수 있고, +y는 -x로 변화될 수 있으며, -y는 +x로 변화될 수 있고, +z는 -y로 변화될 수 있고, -z는 +y로 변화될 수 있다.

[0041] 상기 홀드 정보(HOLD)가 0이고, 상기 로테이션 정보(ROTA)가 1이며, 상기 인버전 정보(INV)가 0이면, 상기 와이어 상태는 극성이 변화되지 않고 시계 방향에 위치하는 상태로 변화될 수 있다. 예를 들어, 와이어 상태가 +x일 때, 상기 와이어의 상태는 +y로 변화될 수 있다. 마찬가지로, -x는 -y로 변화될 수 있고, +y는 +z로 변화될 수 있고, -y는 -z로 변화될 수 있고, +z는 +x로 변화될 수 있고, -z는 -x로 변화될 수 있다.

[0042] 상기 홀드 정보(HOLD)가 0이고, 상기 로테이션 정보(ROTA)가 1이며, 상기 인버전 정보(INV)가 1이면, 상기 와이어 상태는 극성이 변하면서 시계 방향에 위치하는 상태로 변화될 수 있다. 예를 들어, 와이어의 상태가 +x일 때, 상기 와이어 상태는 -y로 변화될 수 있다. 마찬가지로, -x는 +y로 변화될 수 있고, +y는 -z로 변화될 수 있고, -y는 +z로 변화될 수 있고, +z는 -x로 변화될 수 있고, -z는 +x로 변화될 수 있다. 상기 인코딩 블록(420), 상기 전송 제어블록(430) 및 상기 전송 드라이버 블록(440)은 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 변화되는 와이어 상태에 대응하도록 상기 제 1 내지 제 3 와이어(OUT_A, OUT_B, OUT_C)를 각각 하이 레벨, 미들 레벨 및 로우 레벨 중 하나로 구동해야 한다.

[0043] 도 7은 도 4에 도시된 제 1 인코딩부(421)의 구성을 보여주는 도면이다. 상기 제 1 인코딩부(421)는 로테이션 레지스터부(710) 및 인버전 레지스터부(720)를 포함할 수 있다. 상기 로테이션 레지스터부(710)는 상기 컨트롤 심벌에 따라 와이어 상태 정보를 변화시켜 로테이션 디코딩 신호를 생성할 수 있다. 상기 로테이션 레지스터부(710)는 상기 로직 블록(510)으로부터 상기 제 1 내지 제 3 와이어 상태의 MSB 정보(DO_A, DO_B, DO_C)를 수신하므로, 상기 로테이션 레지스터부(710)는 MSB 로테이션 레지스터부일 수 있다. 상기 MSB 로테이션 레지스터부(710)는 상기 홀드 정보(HOLD) 및 로테이션 정보(ROTA)에 기초하여 상기 MSB 정보(DO_A, DO_B, DO_C)를 변화시켜 MSB 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)를 생성할 수 있다. 상기 MSB 정보(DO_A, DO_B, DO_C)는 상

기 제 1 와이어 상태의 MSB인 1비트, 상기 제 2 와이어 상태의 MSB 1비트 및 상기 제 3 와이어 상태의 MSB 1비트, 총 3비트일 수 있다. 예를 들어, 상기 MSB 로테이션 레지스터부(710)는 상기 홀드 정보(HOLD)가 제 1 레벨일 때, 상기 MSB 정보(DO_A, DO_B, DO_C)를 변화시키지 않고 상기 MSB 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)를 생성할 수 있다. 상기 MSB 로테이션 레지스터부(710)는 상기 홀드 정보(HOLD)가 제 2 레벨일 때, 상기 3비트의 논리 값을 시계 방향 또는 반시계 방향으로 순환시켜 변화시키고, 변환된 신호를 상기 MSB 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)로서 출력할 수 있다. 상기 MSB 로테이션 레지스터부(710)는 상기 초기화 신호(INT)를 수신하여 초기화될 수 있고, 상기 클럭 신호(CLK)에 동기하여 MSB 정보(DO_A, DO_B, DO_C)를 변화시키는 동작을 수행할 수 있다.

[0044] 상기 인버전 레지스터부(720)는 상기 컨트롤 심벌에 기초하여 상기 로테이션 레지스터부(710)로부터 출력되는 로테이션 디코딩 신호를 변화시켜 상기 전송 제어신호를 생성할 수 있다. 상기 인버전 레지스터부(720)는 상기 MSB 로테이션 레지스터부(710)와 마찬가지로 상기 MSB 정보(DO_A, DO_B, DO_C)를 변화시키므로, MSB 인버전 레지스터부일 수 있다. 상기 MSB 인버전 레지스터부(720)는 상기 홀드 정보(HOLD) 및 상기 인버전 정보(INV)에 기초하여 상기 MSB 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)를 변화시킬 수 있다. 예를 들어, 상기 MSB 인버전 레지스터부(720)는 상기 홀드 정보(HOLD)가 제 1 레벨일 때 상기 MSB 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)를 변화시키지 않고 상기 제 1 전송 제어신호(ENO_A, ENO_B, ENO_C)를 생성할 수 있다. 상기 MSB 인버전 레지스터부(720)는 상기 홀드 정보(HOLD)가 제 2 레벨일 때 상기 인버전 정보(INV)에 기초하여 상기 MSB 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)의 레벨을 반전시켜 상기 제 1 전송 제어신호(ENO_A, ENO_B, ENO_C)를 생성할 수 있다. 상기 MSB 인버전 레지스터부(720)는 상기 와이어 상태의 MSB 정보(DO_A, DO_B, DO_C) 및 초기 설정 신호(SO)를 수신하여 초기 값이 설정될 수 있고, 상기 초기화 신호(RST)를 수신하여 초기화될 수 있다. 또한, 상기 MSB 인버전 레지스터부(720)는 상기 클럭 신호(CLK)에 동기하여 상기 제 1 전송 제어신호(ENO_A, ENO_B, ENO_C)를 출력할 수 있다.

[0045] 상기 제 2 인코딩부(422)는 입력 신호와 출력 신호가 다를 뿐 상기 제 1 인코딩부(421)와 동일한 구성을 가질 수 있다. 상기 제 2 인코딩부(422)는 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 상기 와이어 상태의 LSB 정보(D1_A, D1_B, D1_C)를 변화시키므로, 상기 제 2 인코딩부(422)는 LSB 로테이션 레지스터부 및 LSB 인버전 레지스터부를 포함할 수 있다. 상기 LSB 로테이션 레지스터부는 상기 MSB 로테이션 레지스터부(710)와 실질적으로 동일한 구성을 갖고 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 동일한 동작을 수행할 수 있다. 마찬가지로, 상기 제 LSB 인버전 레지스터부는 상기 MSB 인버전 레지스터부(720)와 실질적으로 동일한 구성을 갖고 상기 컨트롤 심벌(HOLD, ROTA, INV)에 따라 동일한 동작을 수행할 수 있다.

[0046] 도 8은 도 7에 도시된 로테이션 레지스터부(710)의 구성을 보여주는 도면이다. 도 8에서, 상기 로테이션 레지스터부(710)는 로테이션 제어부(801), 제 1 내지 제 3 로테이션부(810, 820, 830)를 포함할 수 있다. 상기 로테이션 제어부(801)는 상기 홀드 신호(HOLD)에 기초하여 상기 제 1 내지 제 3 로테이션부(810, 820, 830)의 활성화 여부를 결정할 수 있다. 예를 들어, 상기 홀드 신호(HOLD)가 제 1 레벨이면, 상기 로테이션 제어부(802)는 상기 제 1 내지 제 3 로테이션부(810, 820, 830)가 상기 로테이션 정보(ROTA)에 무관하게 현재 출력되는 제 1 내제 제 3 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)의 레벨을 변화시키지 않도록 제어할 수 있다. 상기 홀드 신호(HOLD)가 제 2 레벨이면, 상기 로테이션 제어부(801)는 상기 제 1 내지 제 3 로테이션부(810, 820), 830)가 상기 로테이션 정보(ROTA)에 따라 상기 제 1 내지 제 3 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)의 논리 값을 순환시켜 변화시키도록 제어할 수 있다. 상기 로테이션 제어부(801)는 상기 홀드 정보(HOLD)와 클럭 신호(CLK)를 조합하여 로테이션 클럭(RCLK)을 생성할 수 있다. 상기 로테이션 제어부(801)는 앤드 게이트(AND)를 포함할 수 있다. 상기 로테이션 클럭(RCLK)은 상기 홀드 정보(HOLD)의 반전 신호와 클럭 신호(CLK)가 앤드 게이팅된 신호일 수 있다.

[0047] 상기 제 1 로테이션부(810)는 상기 제 1 와이어 상태의 MSB 정보(DO_A), 제 2 및 제 3 로테이션 인코딩 신호(PEN_B, PEN_C), 상기 로테이션 정보(ROTA)를 수신할 수 있다. 상기 제 1 와이어 상태의 MSB 정보(DO_A)에 따라 상기 제 1 로테이션 인코딩 신호(PEN_A)의 논리 값이 초기 설정될 수 있다. 상기 제 1 로테이션부(810)는 상기 로테이션 정보(ROTA)가 제 2 레벨이면 상기 제 2 로테이션 인코딩 신호(PEN_B)를 상기 제 1 로테이션 인코딩 신호(PEN_A)로서 출력하고, 상기 로테이션 정보(ROTA)가 제 1 레벨이면 상기 제 3 로테이션 인코딩 신호(PEN_C)를 상기 제 1 로테이션 인코딩 신호(PEN_A)로서 출력할 수 있다. 상기 제 2 로테이션부(820)는 상기 제 2 와이어 상태의 MSB 정보(DO_B), 제 3 및 제 1 로테이션 인코딩 신호(PEN_C, PEN_A), 상기 로테이션 정보(ROTA)를 수신할 수 있다. 상기 제 2 와이어 상태의 MSB 정보(DO_B)에 따라 상기 제 2 로테이션 인코딩 신호(PEN_B)의 논리 값이 초기 설정될 수 있다. 상기 제 2 로테이션부(820)는 상기 로테이션 정보(ROTA)가 제 2 레벨이면, 상기

제 3 로테이션 인코딩 신호(PEN_C)를 상기 제 2 로테이션 인코딩 신호(PEN_B)로서 출력하고, 상기 로테이션 정보(ROTA)가 제 2 레벨이면, 상기 제 1 로테이션 인코딩 신호(PEN_A)를 상기 제 2 로테이션 인코딩 신호(PEN_B)로서 출력할 수 있다. 상기 제 3 로테이션부(830)는 상기 제 3 와이어 상태의 MSB 정보(DO_C), 제 1 및 제 2 로테이션 인코딩 신호(PEN_A, PEN_B), 상기 로테이션 정보(ROTA)를 수신할 수 있다. 상기 제 3 와이어 상태의 MSB 정보(DO_C)에 따라 상기 제 3 로테이션 인코딩 신호(PEN_C)의 논리 값이 초기 설정될 수 있다. 상기 제 3 로테이션부(830)는 상기 로테이션 정보(ROTA)가 제 2 레벨이면, 상기 제 1 로테이션 인코딩 신호(PEN_A)를 상기 제 3 로테이션 인코딩 신호(PEN_C)로서 출력하고, 상기 로테이션 정보(ROTA)가 제 1 레벨이면, 상기 제 2 로테이션 인코딩 신호(PEN_B)를 상기 제 3 로테이션 인코딩 신호(PEN_C)로서 출력할 수 있다.

[0048] 도 9는 도 8에 도시된 제 1 로테이션부(810)의 구성을 보여주는 도면이다. 도 9에서, 상기 제 1 로테이션부(810)는 멀티플렉서(MUX) 및 D 플립플롭(DFF)을 포함할 수 있다. 상기 멀티 플렉서(MUX)는 상기 로테이션 정보(ROTA)에 따라 상기 제 2 로테이션 인코딩 신호(PEN_B) 및 상기 제 3 로테이션 인코딩 신호(PEN_C) 중 하나를 출력할 수 있다. 상기 D 플립플롭(DFF)은 상기 제 1 와이어 상태의 MSB 정보(DO_A)에 따라 상기 제 1 로테이션 인코딩 신호(PEN_A)의 초기 값을 설정할 수 있다. 상기 D 플립플롭(DFF)은 상기 로테이션 클럭(RCLK)에 응답하여 활성화될 수 있다. 상기 D 플립플롭(DFF)은 상기 로테이션 클럭(RCLK)이 입력되지 않을 때 상기 제 1 로테이션 인코딩 신호(PEN_A)의 논리 값을 유지시킬 수 있다. 상기 D 플립플롭(DFF)은 상기 로테이션 클럭(RCLK)이 입력될 때, 상기 멀티플렉서(MUX)의 출력에 기초하여 상기 제 1 로테이션 인코딩 신호(PEN_A)의 논리 값을 변화시킬 수 있다. 따라서, 상기 제 1 로테이션부(810)는 상기 홀드 정보(HOLD)가 0일 때, 상기 로테이션 정보(ROTA)에 따라 상기 제 2 및 제 3 로테이션 인코딩 신호(PEN_A, PEN_C) 중 하나를 상기 제 1 로테이션 인코딩 신호(PEN_A)로서 출력할 수 있다. 상기 제 2 및 제 3 로테이션부(820, 830)는 입력되는 신호와 출력되는 신호가 다른 것을 제외하고, 상기 제 1 로테이션부(810)와 실질적으로 동일한 구성을 가질 수 있다.

[0049] 도 10은 도 7에 도시된 인버전 레지스터부(720)의 구성을 보여주는 도면이다. 도 10에서, 상기 인버전 레지스터부(720)는 인버전 제어부(1001), 제 1 인버전부(1010), 제 2 인버전부(1020) 및 제 3 인버전부(1030)를 포함할 수 있다. 상기 인버전 제어부(1001)는 홀드 정보(HOLD), 인버전 정보(INV), 상기 클럭 신호(CLK) 및 상기 초기 설정 신호(SO)를 수신하여 인버전 제어신호(INVS)를 생성할 수 있다. 상기 인버전 제어부(1001)는 오어 게이트(OR), 앤드 게이트(AND) 및 T 플립플롭(TFF)을 포함할 수 있다. 상기 오어 게이트(OR)는 상기 홀드 정보(HOLD) 및 상기 인버전 정보(INV)를 수신할 수 있다. 상기 앤드 게이트(AND)는 상기 오어 게이트(OR)의 출력과 상기 클럭 신호(CLK)를 수신하여 인버전 클럭 신호(ICLK)를 출력할 수 있다. 상기 T 플립플롭(TFF)은 상기 초기 설정 신호(SO)에 따라 인버전 제어신호(INVS)의 초기 레벨을 설정할 수 있다. 상기 T 플립플롭(TFF)은 상기 인버전 클럭 신호(ICLK)에 응답하여 상기 인버전 제어신호(INVS)의 레벨을 변화시킬 수 있다. 따라서, 상기 홀드 정보(HOLD) 및 상기 인버전 정보(INV) 중 어느 하나가 제 1 레벨이면 상기 인버전 제어신호(INVS)는 인에이블될 수 있고, 상기 홀드 정보(HOLD) 및 상기 인버전 정보(INV) 모두가 제 2 레벨이면 상기 인버전 제어신호(INVS)는 디스에이블될 수 있다.

[0050] 상기 제 1 내지 제 3 인버전부(1010, 1020, 1030)는 각각 상기 로테이션 레지스터부(710)로부터 출력되는 제 1 내지 제 3 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)를 수신하여 상기 제 1 내지 제 3 인코딩 신호(ENO_A, ENO_B, ENO_C)를 생성할 수 있다. 상기 제 1 인버전부(1010)는 상기 인버전 제어신호(INVS)에 응답하여 상기 제 1 로테이션 인코딩 신호(PEN_A)를 반전시켜 상기 제 1 인코딩 신호(ENO_A)로서 출력하거나 상기 제 1 로테이션 인코딩 신호(PEN_A)를 상기 제 1 인코딩 신호(ENO_A)로서 출력할 수 있다. 상기 제 2 인버전부(1020)는 상기 인버전 제어신호(INVS)에 응답하여 상기 제 2 로테이션 인코딩 신호(PEN_B)를 반전시켜 상기 제 2 인코딩 신호(ENO_B)로서 출력하거나 상기 제 2 로테이션 인코딩 신호(PEN_B)를 상기 제 2 인코딩 신호(ENO_B)로서 출력할 수 있다. 상기 제 3 인버전부(1030)는 상기 인버전 제어신호(INVS)에 응답하여 상기 제 3 로테이션 인코딩 신호(PEN_C)를 반전시켜 상기 제 3 인코딩 신호(ENO_C)로서 출력하거나 상기 제 3 로테이션 인코딩 신호(PEN_C)를 상기 제 3 인코딩 신호(ENO_C)로서 출력할 수 있다. 상기 제 1 내지 제 3 인버전부(1010, 1020, 1030)는 각각 초기화 신호(INT)에 의해 초기화될 수 있고, 상기 클럭 신호(CLK)에 동기하여 상기 제 1 내지 제 3 인코딩 신호(ENO_A, ENO_B, ENO_C)를 출력할 수 있다. 또한, 상기 제 1 내지 제 3 인버전부(1010, 1020, 1030)는 각각 제 1 내지 제 3 와이어 상태 정보(DO_A, DO_B, DO_C)를 수신하여 상기 제 1 내지 제 3 인코딩 신호(ENO_A, ENO_B, ENO_C)의 초기 값을 설정할 수 있다.

[0051] 도 11은 도 10에 도시된 제 1 인버전부(1010)의 구성을 보여주는 도면이다. 상기 제 1 인버전부(1010)는 인버터(IV), 멀티플렉서(MUX) 및 D 플립플롭(DFF)을 포함할 수 있다. 상기 인버터(IV)는 상기 제 1 로테이션 인코딩 신호(PEN_A)를 반전시킬 수 있다. 상기 멀티플렉서(MUX)는 상기 인버전 제어신호(INVS)에 응답하여 상기 인버터

(IV)의 출력과 상기 제 1 로테이션 인코딩 신호(PEN_A) 중 하나를 출력할 수 있다. 상기 D 플립플롭(DFF)은 상기 초기화 신호(INT)에 의해 초기화될 수 있다. 상기 D 플립플롭(DFF)은 상기 제 1 와이어 상태 정보(DO_A)에 기초하여 상기 제 1 인코딩 신호(ENO_A)의 초기 값을 설정할 수 있다. 상기 D 플립플롭(DFF)은 상기 클럭 신호(CLK)에 동기하여 상기 멀티플렉서(MUX)의 출력에 따라 상기 제 1 인코딩 신호(ENO_A)를 생성할 수 있다. 따라서, 상기 제 1 인버전부(1010)는 상기 인버전 제어신호(INV)가 인에이블되면 상기 제 1 로테이션 인코딩 신호(PEN_A)를 반전시켜 상기 제 1 인코딩 신호(ENO_A)로 출력할 수 있고, 상기 인버전 제어신호(INVS)가 디스에이블되면 상기 제 1 로테이션 인코딩 신호(PEN_A)를 그대로 상기 제 1 인코딩 신호(ENO_A)로 출력할 수 있다. 상기 제 2 및 제 3 인버전부(1020, 1030)는 수신하는 신호와 출력되는 신호가 다른 것을 제외하고, 실질적으로 상기 제 1 인버전부(1010)와 동일한 구성을 가질 수 있다.

[0052] 도 12는 도 5에 도시된 제 1 전송 제어부(431)의 구성을 보여주는 도면이다. 상기 제 1 전송 제어부(431)는 제 1 인코딩 신호(ENO_A) 및 제 4 인코딩 신호(EN1_A)를 수신하여 복수의 업 제어신호(UPO<0:2>) 및 복수의 다운 제어신호(DNO<0:2>)를 생성할 수 있다. 상기 제 1 전송 제어부(431)는 업 제어부(1210) 및 다운 제어부(1220)를 포함할 수 있다. 상기 업 제어부(1210)는 상기 제 1 인코딩 신호(ENO_A) 및 상기 제 4 인코딩 신호(EN1_A)를 수신하고, 상기 클럭 신호(CLK)에 동기하여 제 1 내지 제 3 업 신호(UPO<0:2>)를 생성할 수 있다. 상기 다운 제어부(1220)는 상기 제 1 인코딩 신호(ENO_A) 및 상기 제 4 인코딩 신호(EN1_A)를 수신하고, 상기 클럭 신호(CLK)에 동기하여 제 1 내지 제 3 다운 제어신호(DNO<0:2>)를 생성할 수 있다.

[0053] 상기 제 1 내지 제 3 업 제어신호(UPO<0:2>) 중 제 1 및 제 2 업 제어신호(UPO<0>, UPO<1>)는 상기 제 1 및 제 4 인코딩 신호(ENO_A, EN1_A)의 레벨에 기초하여 생성될 수 있다. 상기 제 1 및 제 2 업 제어신호(UPO<0>, UPO<1>)는 상기 제 1 전송 드라이버(441)의 제 1 및 제 2 풀업 드라이버(510, 520)를 구동하기 위한 신호일 수 있다. 상기 제 3 업 제어신호(UPO<2>)는 이전에 입력된 제 1 및 제 4 인코딩 신호(ENO_A, EN1_A)의 레벨과 현재 입력되는 제 1 및 제 4 인코딩 신호(ENO_A, EN1_A)의 레벨을 비교한 결과에 기초하여 생성될 수 있다. 상기 제 3 업 제어신호(UPO<2>)는 상기 제 1 전송 드라이버(441)의 풀업 프리엠파시스 드라이버(550)를 구동하기 위한 신호일 수 있다.

[0054] 상기 제 1 내지 제 3 다운 제어신호(DNO<0:2>) 중 제 1 및 제 2 다운 제어신호(DNO<0>, DNO<1>)는 상기 제 1 및 제 4 인코딩 신호(ENO_A, ENO_B)의 레벨에 기초하여 생성될 수 있다. 상기 제 1 및 제 2 다운 제어신호(DNO<0>, DNO<1>)는 상기 제 1 전송 드라이버(441)의 제 1 및 제 2 풀다운 드라이버(530, 540)를 구동하기 위한 신호일 수 있다. 상기 제 3 다운 제어신호(DNO<2>)는 이전에 입력된 제 1 및 제 4 인코딩 신호(ENO_A, EN1_A)의 레벨과 현재 입력되는 제 1 및 제 4 인코딩 신호(ENO_A, EN1_A)의 레벨을 비교한 결과에 기초하여 생성될 수 있다. 상기 제 3 다운 제어신호(DNO<2>)는 상기 제 1 전송 드라이버(441)의 풀다운 프리엠파시스 드라이버(560)를 구동하기 위한 신호일 수 있다.

[0055] 도 13은 도 12에 도시된 업 제어부(1210) 및 다운 제어부(1220)의 구성을 보다 상세하게 보여주는 도면이다. 도 13에서, 상기 업 제어부(1210)는 업 버퍼(1311), 제 1 D 플립플롭(1312), 제 2 D 플립플롭(1313) 및 업 프리엠파시스 버퍼(1314)를 포함할 수 있다. 상기 업 버퍼(1311)는 상기 제 1 인코딩 신호(ENO_A)에 기초하여 상기 제 1 업 제어신호(UPO<0>)를 생성하고, 상기 제 4 인코딩 신호(EN1_A)에 기초하여 상기 제 2 업 제어신호(UPO<1>)를 생성할 수 있다. 상기 제 1 D 플립플롭(1312)은 상기 제 1 인코딩 신호(ENO_A)를 수신하고, 클럭 신호(CLK)에 응답하여 상기 제 1 인코딩 신호(ENO_A)를 지연시켜 출력한다. 상기 제 1 D 플립플롭(1312)의 출력은 이전에 입력된 제 1 인코딩 신호(ENO_AP)일 수 있다. 상기 제 2 D 플립플롭(1313)은 상기 제 4 인코딩 신호(EN1_A)를 수신하고, 클럭 신호(CLK)에 응답하여 상기 제 4 인코딩 신호(EN1_A)를 지연시켜 출력한다. 상기 제 2 D 플립플롭(1313)의 출력은 이전에 입력된 제 4 인코딩 신호(EN1_AP)일 수 있다. 상기 업 프리엠파시스 버퍼(1314)는 상기 제 1 및 제 4 인코딩 신호(ENO_A, EN1_A)와 상기 제 1 및 제 2 D 플립플롭(1312, 1313)의 출력을 수신하여 상기 제 3 업 제어신호(UPO<2>)를 생성할 수 있다. 상기 업 프리엠파시스 버퍼(1314)는 상기 제 1 및 제 2 D 플립플롭(1312, 1313)으로부터 이전에 입력된 제 1 및 제 4 인코딩 신호(ENO_AP, EN1_AP)의 레벨과, 현재 입력되는 제 1 및 제 4 인코딩 신호(ENO_A, EN1_A)의 레벨을 비교하여 상기 제 3 업 제어신호(UPO<2>)를 생성할 수 있다.

[0056] 도 13에서, 상기 다운 제어부(1220)는 다운 버퍼(1321), 제 3 D 플립플롭(1322), 제 4 D 플립플롭(1323) 및 다운 프리엠파시스 버퍼(1324)를 포함할 수 있다. 상기 다운 버퍼(1321)는 상기 제 1 인코딩 신호(ENO_A)에 기초하여 상기 제 1 다운 제어신호(DNO<0>)를 생성하고, 상기 제 4 인코딩 신호(EN1_A)에 기초하여 상기 제 2 다운 제어신호(DNO<1>)를 생성할 수 있다. 상기 제 3 D 플립플롭(1322)은 상기 제 1 인코딩 신호(ENO_A)를 수신하고, 클럭 신호(CLK)에 응답하여 상기 제 1 인코딩 신호(ENO_A)를 지연시켜 출력한다. 상기 제 3 D 플립플롭(1322)의

출력은 이전에 입력된 제 1 인코딩 신호(EN0_AP)일 수 있다. 상기 제 4 D 플립플롭(1323)은 상기 제 4 인코딩 신호(EN1_A)를 수신하고, 클럭 신호(CLK)에 응답하여 상기 제 4 인코딩 신호(EN1_A)를 지연시켜 출력한다. 상기 제 4 D 플립플롭(1323)의 출력은 이전에 입력된 제 4 인코딩 신호(EN1_AP)일 수 있다. 상기 다운 프리엠파시스 버퍼(1324)는 상기 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)와 상기 제 3 및 제 4 D 플립플롭(1322, 1323)의 출력을 수신하여 상기 제 3 다운 제어신호(DN0<2>)를 생성할 수 있다. 상기 다운 프리엠파시스 버퍼(1324)는 상기 제 3 및 제 4 D 플립플롭(1322, 1323)으로부터 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)의 레벨과, 현재 입력되는 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)의 레벨을 비교하여 상기 제 3 다운 제어신호(DN0<2>)를 생성할 수 있다.

[0057] 도 14는 도 13에 도시된 업 프리엠파시스 버퍼(1314)의 구성을 보여주는 도면이다. 도 14에서, 상기 업 프리엠파시스 버퍼(1314)는 오어 게이트(OR), 노어 게이트(NOR), 앤드 게이트(AND) 및 지연부(DLY)를 포함할 수 있다. 상기 오어 게이트(OR)는 현재 입력되는 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)를 수신할 수 있다. 상기 노어 게이트(NOR)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)를 수신할 수 있다. 상기 앤드 게이트(AND)는 상기 오어 게이트(OR) 및 상기 노어 게이트(NOR)의 출력을 수신할 수 있다. 상기 앤드 게이트(AND)는 상기 오어 게이트(OR) 및 상기 노어 게이트(NOR)의 출력이 모두 제 1 레벨일 때, 제 1 레벨의 출력 신호를 생성할 수 있다. 상기 오어 게이트(OR)는 상기 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A) 중 하나라도 제 1 레벨인 경우 제 1 레벨의 출력 신호를 생성하고, 상기 노어 게이트(NOR)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 모두 제 2 레벨일 때에만 제 1 레벨의 출력 신호를 생성할 수 있다. 상기 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)는 각각 상기 제 1 와이어 상태의 MSB 정보 및 LSB 정보일 수 있다. 따라서, 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 모두 제 2 레벨이었다면, 상기 제 1 와이어(OUT_A)는 로우 레벨의 신호를 전송한 것일 수 있다. 현재 입력된 제 1 및 제 4 인코딩 제어신호(EN0_A, EN1_A) 중 어느 하나가 제 1 레벨인 경우, 상기 제 1 와이어(OUT_A)가 상기 로우 레벨의 신호를 전송하다가 미들 레벨 또는 하이 레벨의 신호를 전송하는 것이 감지될 수 있다. 따라서, 상기 업 프리엠파시스 버퍼(1314)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 모두 제 2 레벨이고, 현재 입력되는 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A) 중 어느 하나가 제 1 레벨을 가지면, 상기 제 3 업 제어신호(UP0<2>)를 인에이블시킬 수 있다. 상기 지연부(DLY)는 상기 앤드 게이트(AND)의 출력을 수신하여 상기 제 3 업 제어신호(UP0<2>)를 생성할 수 있다. 상기 지연부(DLY)는 업 프리엠파시스 제어신호(CTUP)를 수신할 수 있다. 상기 업 프리엠파시스 제어신호(CTUP)는 상기 전송 장치(4)의 프리 엠파시스 동작의 수행여부를 결정할 수 있고, 상기 프리 엠파시스 동작의 강도를 조절할 수 있다. 상기 지연부(DLY)는 상기 업 프리엠파시스 제어신호(CTUP)에 기초하여 상기 제 3 업 제어신호(UP0<2>)의 출력 여부를 결정할 수 있고, 상기 제 3 업 제어신호(UP0<2>)의 펄스 폭 및 출력 시점을 변화시킬 수 있다.

[0058] 도 15는 도 13에 도시된 다운 프리엠파시스 버퍼(1324)의 구성을 보여주는 도면이다. 상기 다운 프리엠파시스 버퍼(1324)는 앤드 게이트(AND), 낸드 게이트(ND), 노어 게이트(NOR) 및 지연부(DLY)를 포함할 수 있다. 상기 앤드 게이트(AND)는 현재 입력되는 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)를 수신할 수 있다. 상기 낸드 게이트(ND)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)를 수신할 수 있다. 상기 노어 게이트(NOR)는 상기 앤드 게이트(AND) 및 상기 낸드 게이트(ND)의 출력을 수신할 수 있다. 상기 노어 게이트(NOR)는 상기 앤드 게이트(AND) 및 상기 낸드 게이트(ND)의 출력 모두가 제 2 레벨일 때, 제 1 레벨의 출력 신호를 생성할 수 있다. 상기 앤드 게이트(AND)는 상기 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A) 중 어느 하나가 제 2 레벨인 경우 제 2 레벨의 출력 신호를 생성하고, 상기 낸드 게이트(ND)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP) 모두가 제 1 레벨일 때에만 제 2 레벨의 출력 신호를 생성할 수 있다. 상기 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)는 각각 상기 제 1 와이어 상태의 MSB 정보 및 LSB 정보일 수 있다. 따라서, 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 모두 제 1 레벨이었다가, 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A) 중 어느 하나가 제 2 레벨로 변화된 경우, 상기 제 1 와이어(OUT_A)가 상기 하이 레벨의 신호를 전송하다가 미들 레벨 또는 로우 레벨의 신호를 전송하는 것이 감지될 수 있다. 따라서, 상기 다운 프리엠파시스 버퍼(1324)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 모두 제 1 레벨이고, 현재 입력되는 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A) 중 어느 하나가 제 2 레벨을 가지면, 상기 제 3 다운 제어신호(DN0<2>)를 인에이블시킬 수 있다. 상기 지연부(DLY)는 상기 노어 게이트(NOR)의 출력을 수신하여 상기 제 3 다운 제어신호를 생성할 수 있다. 상기 지연부(DLY)는 다운 프리엠파시스 제어신호(CTDN)를 수신할 수 있다. 상기 다운 프리엠파시스 제어신호(CTDN)는 상기 전송 장치(4)의 프리 엠파시스 동작의 수행여부를 결정할 수 있고, 상기 프리 엠파시스 동작의 강도를 조절할 수 있다. 상기 지연부(DLY)는 상기 다운 프리엠파시스 제어신호(CTDN)에 기초하여 상기 제 3 다운 제어신호(DN0<2>)의 출력 여부를 결정할 수 있고, 상기 제 3 다운 제어신호

(DN0<2>)의 펄스 폭 및 출력 시점을 변화시킬 수 있다.

[0059] 도 16은 본 발명의 실시예에 따른 전송 장치(4)의 동작을 보여주는 도면이다. 도 4 내지 도 16을 참조하여 본 발명의 실시예에 따른 전송 장치(4)의 동작을 설명하면 다음과 같다. 초기에 와이어 상태가 +z라고 가정하면, 제 1 와이어(OUT_A)가 로우 레벨을 전송하고, 상기 제 2 와이어(OUT_B)가 미들 레벨을 전송하며, 제 3 와이어(OUT_C)가 하이 레벨을 전송할 수 있다. 따라서, 와이어 상태의 MSB 정보(D0_A, D0_B, D0_C)는 0, 0, 1일 수 있고, 상기 제 1 내지 제 3 인코딩 신호(EN0_A, EN0_B, EN0_C)는 각각 0, 0, 1로 설정될 수 있다. 와이어 상태의 LSB 정보(D1_A, D1_B, D1_C)는 0, 1, 1일 수 있고, 상기 제 4 내지 제 6 인코딩 신호(EN1_A, EN1_B, EN1_C)는 0, 1, 1로 설정될 수 있다. 이 때, 상기 로직 블록(410)은 상기 와이어 상태를 +z에서 -x로 변화시키기 위해서, 상기 컨트롤 심벌(HOLD, ROTA, INV)을 생성할 수 있다. 상기 컨트롤 심벌(HOLD, ROTA, INV)은 0, 1, 1일 수 있다. 즉, 상기 홀드 정보(HOLD)는 제 2 레벨이고, 상기 로테이션 정보(ROTA) 및 인버전 정보(INV)는 제 1 레벨일 수 있다. 이에 따라, MSB 로테이션 레지스터부(710)는 상기 MSB 정보(D0_A, D0_B, D0_C)에 따라 0, 0, 1로 설정된 제 1 내지 제 3 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)를 시계방향으로 로테이션시켜 각각 1, 0, 0을 갖는 제 1 내지 제 3 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)를 생성할 수 있다. 또한, MSB 인버전 레지스터부(720)는 상기 제 1 내지 제 3 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)를 반전시켜 0, 1, 1을 갖는 제 1 내지 제 3 인코딩 신호(EN0_A, EN0_B, EN0_C)를 생성할 수 있다. 마찬가지로, 제 2 인코딩부(422)의 LSB 로테이션 레지스터부는 LSB 정보(D1_A, D1_B, D1_C)에 따라 0, 1, 1로 설정된 로테이션 인코딩 신호를 시계방향으로 로테이션시켜 각각 1, 0, 1을 갖는 로테이션 인코딩 신호를 생성할 수 있고, LSB 인버전 레지스터부는 상기 로테이션 인코딩 신호를 반전시켜 각각 0, 1, 0을 갖는 제 4 내지 제 6 인코딩 신호(EN1_A, EN1_B, EN1_C)를 생성할 수 있다.

[0060] 상기 제 1 전송 제어부(431)의 업 제어부(1210)는 상기 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)에 따라 상기 업 제어신호(UP0<0>, UP0<1>)를 모두 디스에이블시킬 수 있다. 또한, 상기 제 1 전송 제어부(431)의 다운 제어부(1220)는 상기 제 1 및 제 4 인코딩 신호(EN0_A, EN0_B)에 따라 상기 다운 제어신호(DN0<0>, DN0<1>)를 모두 인에이블시킬 수 있다. 따라서, 상기 제 1 전송 드라이버(441)의 제 1 및 제 2 풀다운 드라이버(530, 540)가 모두 턴온될 수 있고, 상기 제 1 와이어(OUT_A)는 로우 레벨(L)의 신호를 전송할 수 있다. 상기 제 2 전송 제어부(432)제 2 및 제 5 인코딩 신호(EN0_B, EN1_B)에 따라 상기 업 제어신호(UP1<0>, UP1<1>)를 모두 인에이블 시킬 수 있다. 따라서, 상기 제 2 전송 드라이버(442)의 풀업 드라이버가 모두 턴온될 수 있고, 상기 제 2 와이어(OUT_B)는 하이 레벨(H)의 신호를 전송할 수 있다. 상기 제 3 전송 제어부(433)는 상기 제 3 및 제 6 인코딩 신호(EN0_C, EN1_C)에 따라 업 제어신호(UP2<0>) 및 다운 제어신호(DN2<1>)를 인에이블시킬 수 있다. 따라서, 상기 제 3 전송 드라이버(443)의 제 1 풀업 드라이버(510)와 제 2 풀다운 드라이버(540)가 함께 턴온될 수 있고, 상기 제 3 와이어(OUT_C)는 미들 레벨(M)의 신호를 전송할 수 있다. 상기 제 1 와이어(OUT_A)는 로우 레벨(L)로 구동되고, 상기 제 2 와이어(OUT_B)는 하이 레벨(H)로 구동되고, 상기 제 3 와이어(OUT_C)는 미들 레벨(M)로 구동되므로, 상기 와이어의 상태는 -x가 될 수 있다.

[0061] 상기 와이어의 상태가 +z일 때 상기 제 1 내지 제 3 인코딩 신호(EN0_A, EN0_B, EN0_C)는 0, 0, 1일 수 있고, 상기 제 4 내지 제 6 인코딩 신호(EN1_A, EN1_B, EN1_C)는 0, 1, 1일 수 있다. 상기 로직 블록(410)은 상기 와이어 상태를 +z에서 +y로 변화시키기 위해 0, 0, 0을 갖는 컨트롤 심벌(HOLD, ROTA, INV)을 생성할 수 있다. 상기 MSB 로테이션 레지스터부(710)는 1, 0, 0이었던 상기 제 1 내지 제 3 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)를 반시계 방향으로 로테이션시켜 0, 1, 0을 갖는 제 1 내지 제 3 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)를 생성할 수 있다. 상기 MSB 인버전 레지스터부(720)는 상기 제 1 내지 제 3 로테이션 인코딩 신호(PEN_A, PEN_B, PEN_C)를 비반전시켜 0, 1, 0을 갖는 제 1 내지 제 3 인코딩 신호(EN0_A, EN0_B, EN0_C)를 생성할 수 있다. 상기 제 2 인코딩부(422)의 LSB 로테이션 레지스터부는 0, 1, 1을 반시계 방향으로 로테이션시켜 1, 1, 0을 갖는 로테이션 인코딩 신호를 생성할 수 있다. 상기 LSB 인버전 레지스터부는 로테이션 인코딩 신호를 비반전시켜 1, 1, 0을 갖는 제 4 내지 제 6 인코딩 신호(EN1_A, EN1_B, EN1_C)를 생성할 수 있다. 상기 제 1 전송 제어부(431)는 상기 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)에 기초하여 상기 업 제어신호(UP0<1>)를 인에이블시키고, 상기 다운 제어신호(DN0<0>)를 인에이블시킬 수 있다. 따라서, 상기 제 1 전송 드라이버(441)의 제 2 풀업 드라이버(520) 및 제 1 풀다운 드라이버(530)가 함께 턴온되어 상기 제 1 와이어(OUT_A)는 미들 레벨(M)의 신호를 전송할 수 있다. 상기 제 2 전송 제어부(432)는 제 2 및 제 5 인코딩 신호(EN0_B, EN1_B)에 기초하여 상기 업 제어신호(UP1<0>, UP1<1>)를 모두 인에이블시키고, 상기 다운 제어신호(DN1<0>, DN1<1>)를 모두 디스에이블시킬 수 있다. 따라서, 상기 제 2 전송 드라이버(442)의 풀업 드라이버가 턴온되어 상기 제 2 와이어(OUT_B)는 하이 레벨(H)의 신호를 전송할 수 있다. 상기 제 3 전송 제어부(433)는 제 3 및 제 6 인코딩 신호(EN0_C, EN1_C)에 기초하여 상기 업 제어신호(UP2<0>, UP2<1>)를 모두 디스에이블시키고, 상기 다운 제어신호

(DN2<0>, DN2<1>)를 모두 인에이블시킬 수 있다. 따라서, 상기 제 3 전송 드라이버(443)의 풀다운 드라이버가 턴온되어 상기 제 3 와이어(OUT_C)는 로우 레벨의 신호를 전송할 수 있다. 상기 제 1 와이어(OUT_A)는 미들 레벨(M)로 구동되고, 상기 제 2 와이어(OUT_B)는 하이 레벨(H)로 구동되며, 상기 제 3 와이어(OUT_C)는 로우 레벨(L)로 구동되므로, 상기 와이어 상태는 +y가 될 수 있다.

[0062] 도 17은 본 발명의 실시예에 따른 전송 장치의 구성 및 동작을 보여주는 도면이다. 도 1 내지 도 16에서는 3개의 와이어가 3 레벨 심벌을 전송하는 경우의 전송 장치의 구성을 도시하였다. 본 발명의 개념은 수정 및 변경되어 3 레벨 이상의 멀티 레벨 심벌을 전송하는 전송 장치에 적용될 수 있다. 도 17에서, 4개의 와이어로 4 레벨 심벌을 전송할 수 있는 전송 장치의 전송 드라이버(1700)가 도시된다. 상기 전송 드라이버(1700)는 4 레벨 심벌을 전송할 수 있는 4개의 와이어 중 하나의 와이어(OUT_A)와 연결될 수 있다. 상기 전송 드라이버(1700)는 상기 와이어(OUT_A)를 4개의 레벨 중 하나로 구동할 수 있다. 4개의 레벨은 예를 들어, 하이 레벨, 미들 하이 레벨, 미들 로우 레벨 및 로우 레벨을 포함할 수 있고, 상기 하이 레벨은 4/5V에 대응하는 전압 레벨일 수 있고, 상기 미들 하이 레벨은 3/5V에 대응하는 전압 레벨일 수 있고, 상기 미들 로우 레벨은 2/5V에 대응하는 전압 레벨일 수 있고, 상기 로우 레벨은 1/5V에 대응하는 전압 레벨일 수 있다.

[0063] 상기 전송 드라이버(1700)는 제 1 내지 제 3 풀업 드라이버(1710, 1720, 1730)와 제 1 내지 제 3 풀다운 드라이버(1740, 1750, 1760)를 포함할 수 있다. 상기 제 1 내지 제 3 풀업 드라이버(1710, 1720, 1730)는 각각 제 1 내지 제 3 업 제어신호(UP<0:2>)에 응답하여 턴온될 수 있고, 상기 제 1 내지 제 3 풀다운 드라이버(1740, 1750, 1760)는 각각 제 1 내지 제 3 다운 제어신호(DN<0:2>)에 응답하여 턴온될 수 있다. 상기 와이어(OUT_A)를 하이 레벨로 구동하기 위해, 상기 제 1 내지 제 3 업 제어신호(UP<0:2>)는 인에이블되고, 상기 제 1 내지 제 3 다운 제어신호(DN<0:2>)는 디스에이블될 수 있다. 따라서, 상기 제 1 내지 제 3 풀업 드라이버(1710, 1720, 1730)가 턴온되어 상기 와이어(OUT_A)를 통해 하이 레벨의 신호가 전송될 수 있다. 상기 와이어(OUT_B)를 미들 하이 레벨로 구동하기 위해, 상기 제 1 내지 제 3 업 제어신호(UP<0:2>) 중 2개의 업 제어신호가 인에이블되고, 상기 제 1 내지 제 3 다운 제어신호(DN<0:2>) 중 1개의 다운 제어신호가 인에이블될 수 있다. 예를 들어, 상기 제 1 및 제 2 업 제어신호(UP<0>, UP<1>)와 제 3 다운 제어신호(DN<2>)는 인에이블되고, 상기 제 3 업 제어신호(UP<2>)와 제 1 및 제 2 다운 제어신호(DN<0>, DN<1>)는 디스에이블될 수 있다. 따라서, 상기 제 1 및 제 2 풀업 드라이버(1710, 1720)가 턴온되고, 상기 제 3 풀다운 드라이버(1760)가 턴온되어 상기 와이어(OUT_A)를 통해 미들 하이 레벨의 신호가 전송될 수 있다. 상기 와이어(OUT_C)를 미들 로우 레벨로 구동하기 위해, 상기 제 1 내지 제 3 업 제어신호(UP<0:2>) 중 1개의 업 제어신호가 인에이블되고, 상기 제 1 내지 제 3 다운 제어신호(DN<0:2>) 중 2개의 다운 제어신호가 인에이블될 수 있다. 예를 들어, 상기 제 1 업 제어신호(UP<0>)와 제 2 및 제 3 다운 제어신호(DN<1>, DN<2>)는 인에이블되고, 상기 제 2 및 제 3 업 제어신호(UP<1>, UP<2>)와 제 1 다운 제어신호(DN<0>)는 디스에이블될 수 있다. 따라서, 상기 제 1 풀업 드라이버(1710)가 턴온되고, 상기 제 2 및 제 3 풀다운 드라이버(1750, 1760)가 턴온되어 상기 와이어(OUT_A)를 통해 미들 로우 레벨의 신호가 전송될 수 있다. 상기 와이어(OUT_A)를 로우 레벨로 구동하기 위해, 상기 제 1 내지 제 3 업 제어신호(UP<0:2>)는 디스에이블되고, 상기 제 1 내지 제 3 다운 제어신호(DN<0:2>)는 인에이블될 수 있다. 따라서, 상기 제 1 내지 제 3 풀다운 드라이버(1710, 1720, 1730)가 턴온되어 상기 제 1 와이어(OUT_A)를 통해 로우 레벨의 신호가 전송될 수 있다.

[0064] 상기 전송 드라이버(1700)는 풀업 프리엠파시스 드라이버(1770) 및 풀다운 프리엠파시스 드라이버(1780)를 더 포함할 수 있다. 상기 풀업 프리엠파시스 드라이버(1770)는 상기 와이어(OUT_A)가 상대적으로 낮은 레벨에서 높은 레벨로 구동될 때, 상기 와이어(OUT_A)를 추가적으로 풀업 구동하기 위해 구비될 수 있다. 상기 풀다운 프리엠파시스 드라이버(1780)는 상기 와이어(OUT_A)가 상대적으로 높은 레벨에서 낮은 레벨로 구동될 때, 상기 와이어(OUT_A)를 추가적으로 풀다운 구동하기 위해 구비될 수 있다. 상기 풀업 프리엠파시스 드라이버(1770)는 제 4 업 제어신호(UP<3>)를 수신하여 동작할 수 있고, 상기 풀다운 프리엠파시스 드라이버(1780)는 제 4 다운 제어신호(DN<3>)를 수신하여 동작할 수 있다.

[0065] 상기 제 1 내지 제 3 풀업 드라이버(1710, 1720, 1730)와 풀업 프리엠파시스 드라이버(1770)는 각각 풀업 캘리브레이션 신호(PUCAL)를 수신하여 임피던스가 조절될 수 있다. 상기 제 1 내지 제 3 풀다운 드라이버(1740, 1750, 1760)와 풀다운 프리엠파시스 드라이버(1780)는 각각 풀다운 캘리브레이션 신호(PDCAL)를 수신하여 임피던스가 조절될 수 있다.

[0066] 도 18은 본 발명의 실시예에 따른 전송 장치(18)의 구성을 보여주는 도면이다. 도 18에서, 상기 전송 장치(18)는 로직 블록(1810), 인코딩 블록(1820), 타이밍 전송 제어 블록(1830) 및 전송 드라이버 블록(1840)을 포함할 수 있다. 상기 전송 장치(18)의 로직 블록(1810), 인코딩 블록(1820) 및 전송 드라이버 블록(1840)은 도 4의 전

송 장치(4)의 구성요소와 실질적으로 동일하고, 동일한 구성요소에 대한 상세한 설명은 하지 않기로 한다. 상기 타이밍 전송 제어 블록(1830)은 제 1 내지 제 3 와이어(OUT_A. OUT_B, OUT_C)를 멀티 레벨 중 하나의 레벨로 구동하기 위한 제 1 내지 제 3 구동 제어신호(UP0<0:2>, DN0:0:2>, UP1<0:2>, DN1<0:2>, UP2<0:2>, DN2<0:2>)를 생성할 수 있다. 상기 타이밍 전송 제어 블록(1830)은 상기 인코딩 블록(1820)으로부터 수신된 제 1 및 제 2 전송 제어신호(EN0_A, EN0_B, EN0_C, EN1_A, EN1_B, EN1_C)에 기초하여 상기 제 1 내지 제 3 구동 제어신호(UP0<0:2>, DN0:0:2>, UP1<0:2>, DN1<0:2>, UP2<0:2>, DN2<0:2>)를 생성할 수 있다. 상기 타이밍 전송 제어 블록(1830)은 상기 제 1 내지 제 3 와이어(OUT_A, OUT_B, OUT_C)가 구동되는 레벨에 따라 상기 제 1 내지 제 3 구동 제어신호(UP0<0:2>, DN0:0:2>, UP1<0:2>, DN1<0:2>, UP2<0:2>, DN2<0:2>)가 생성되는 시점을 변화시킬 수 있다. 상기 멀티 레벨은 하이 레벨, 미들 레벨 및 로우 레벨을 포함할 수 있다.

[0067] 상기 타이밍 전송 제어 블록(1830)은 제 1 내지 제 3 타이밍 전송 제어부(1831, 1832, 1833)를 포함할 수 있다. 상기 제 1 타이밍 전송 제어부(1831)는 제 1 및 제 2 전송 제어신호에 기초하여 상기 제 1 와이어(OUT_A)를 구동하기 위한 제 1 구동 제어신호(UP0<0:2>, DN0<0:2>)를 생성할 수 있다. 구체적으로, 상기 제 1 타이밍 전송 제어부(1831)는 상기 제 1 및 제 2 전송 제어신호 중 상기 제 1 와이어 상태의 정보와 관련된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)에 기초하여 복수의 업 제어신호(UP0<0:2>) 및 복수의 다운 제어신호(DN0<0:2>)를 생성할 수 있다. 상기 제 2 타이밍 전송 제어부(1832)는 제 1 및 제 2 전송 제어신호에 기초하여 상기 제 2 와이어를 구동하기 위한 제 2 구동 제어신호(UP1<0:2>, DN1<0:2>)를 생성할 수 있다. 구체적으로, 상기 제 2 타이밍 전송 제어부(1832)는 상기 제 1 및 제 2 전송 제어신호 중 상기 제 2 와이어 상태의 정보와 관련된 제 2 및 제 5 인코딩 신호(EN0_B, EN1_B)에 기초하여 복수의 업 제어신호(UP1<0:2>) 및 복수의 다운 제어신호(DN1<0:2>)를 생성할 수 있다. 상기 제 3 타이밍 전송 제어부(1833)는 제 1 및 제 2 전송 제어신호에 기초하여 상기 제 3 와이어를 구동하기 위한 제 3 구동 제어신호(UP2<0:2>, DN2<0:2>)를 생성할 수 있다. 구체적으로, 상기 제 3 타이밍 전송 제어부(1833)는 상기 제 1 및 제 2 전송 제어신호 중 상기 제 3 와이어 상태의 정보와 관련된 제 3 및 제 6 인코딩 신호(EN0_C, EN1_C)를 수신하여 복수의 업 제어신호(UP2<0:2>) 및 복수의 다운 제어신호(DN2<0:2>)를 생성할 수 있다.

[0068] 도 19는 도 4에 도시된 전송 장치(4)와 도 18에 도시된 전송 장치(18)에 의해 와이어가 구동되는 파형을 보여주는 도면이다. 도 4에 도시된 전송 장치(4)의 전송 제어 블록(430)은 상기 제 1 내지 제 3 와이어(OUT_A, OUT_B, OUT_C)가 구동되는 레벨에 무관하게 동일한 시점에 상기 제 1 내지 제 3 와이어(OUT_A, OUT_B, OUT_C)가 하이 레벨, 미들 레벨 및 로우 레벨 중 하나로 구동되도록 상기 제 1 내지 제 3 구동 제어신호(UP0<0>2, DN0<0:2>, UP1<0:2>, DN1<0:2>), UP2<0:2>, DN2<0:2>)를 생성할 수 있다. 상기 제 1 내지 제 3 와이어(OUT_A, OUT_B, OUT_C) 중 하나의 와이어는 상기 하이 레벨(H), 미들 레벨(M) 및 로우 레벨(L) 중 하나의 레벨에서 다른 레벨로 천이할 수 있고, 와이어가 구동되는 파형의 크로싱 포인트를 동그라미로 표시하였다. 이 때, 와이어의 레벨 변화 파형의 크로싱 포인트 사이의 가로 간격은 상기 와이어 상태의 변화 또는 천이 시점과 관련되고, 따라서, 상기 크로싱 포인트 사이의 가로 간격(J1)은 와이어를 통해 전송되는 신호의 지터 성분이 될 수 있다. 따라서, 상기 크로싱 포인트 사이의 가로 간격을 최대한 좁힐수록 상기 와이어를 통해 전송되는 신호의 지터 성분을 감소시킬 수 있다.

[0069] 도 18에 도시된 전송 장치(18)의 타이밍 전송 제어 블록(1830)은 와이어가 구동되는 레벨에 따라 제 1 내지 제 3 구동 제어신호(UP0<0>2, DN0<0:2>, UP1<0:2>, DN1<0:2>), UP2<0:2>, DN2<0:2>)가 생성되는 시점을 변화시킴으로써, 상기 크로싱 포인트 사이의 가로 간격을 최소화시킬 수 있다. 상기 타이밍 전송 제어 블록(1830)은 와이어가 하이 레벨(H)에서 미들 레벨(M)로 구동되거나 로우 레벨(L)에서 미들 레벨(M)로 구동될 때, 상기 와이어를 구동하기 위한 구동 제어신호를 제 1 시점에 생성할 수 있다. 상기 타이밍 전송 제어 블록(1830)은 상기 와이어가 하이 레벨(H)에서 로우 레벨(L)로 구동되거나 로우 레벨(L)에서 하이 레벨(H)로 구동될 때 상기 와이어를 구동하기 위한 구동 제어신호를 제 2 시점에 생성할 수 있다. 상기 타이밍 전송 제어 블록(1830)은 상기 와이어가 미들 레벨(M)에서 하이 레벨(H)로 구동되거나 상기 미들 레벨(M)에서 로우 레벨(L)로 구동될 때 상기 와이어를 구동하기 위한 구동 제어신호를 제 3 시점에 생성할 수 있다. 상기 제 1 시점은 상기 제 2 시점보다 빠르고, 상기 제 2 시점은 상기 제 3 시점보다 빠를 수 있다.

[0070] 상기 타이밍 전송 제어 블록(1830)은 상기 와이어가 상기 하이 레벨(H) 또는 로우 레벨(L)에서 미들 레벨(M)로 구동될 때 가장 나중에 상기 와이어를 구동하기 위한 구동 제어신호를 생성할 수 있다. 상기 타이밍 전송 제어 블록(1830)은 상기 와이어가 미들 레벨(M)에서 하이 레벨(H) 또는 로우 레벨(L)로 구동될 때 가장 먼저 상기 와이어를 구동하기 위한 구동 제어신호를 생성할 수 있다. 따라서, 상기 와이어의 레벨 변화 파형의 크로싱 포인트는 변화될 수 있다. 변화된 크로싱 포인트는 네모로 표시하였다. 상기 타이밍 전송 제어 블록(1830)은 구동

제어신호의 생성 시점을 변화시켜 상기 크로싱 포인트의 가로 간격(J2)을 좁힐 수 있고, 상기 와이어를 통해 전송되는 신호의 지터 성분을 최소화시킬 수 있다.

[0071] 도 20은 도 18에 도시된 제 1 타이밍 전송 제어부(1831)의 구성을 보여주는 도면이다. 도 20에서, 상기 제 1 타이밍 전송 제어부(1831)는 타이밍 제어신호 생성부(2010), 제 1 업다운 제어부(2020) 및 제 2 업다운 제어부(2030)를 포함할 수 있다. 상기 타이밍 제어신호 생성부(2010)는 이전에 입력된 제 1 및 제 2 전송 제어신호와 현재 입력된 제 1 및 제 2 전송 제어신호를 비교하여 타이밍 제어신호(LEAD, LEADB, LAG, LAGB)를 생성할 수 있다. 구체적으로, 상기 타이밍 제어신호 생성부(2010)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)와 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)를 비교하여 리드 신호(LEAD) 및 래그 신호(LAG)를 생성할 수 있다. 상기 타이밍 제어신호 생성부(2010)는 상기 리드 신호(LEAD) 및 래그 신호(LAG)와 함께 리드 신호의 반전신호(LEADB) 및 래그 신호의 반전신호(LAGB)도 생성할 수 있다. 또한, 상기 타이밍 제어신호 생성부(2010)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 동일한 레벨이고, 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 서로 다른 레벨일 때 상기 리드 신호(LEAD)를 인에이블시킬 수 있다. 즉, 상기 타이밍 제어신호 생성부(2010)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 동일한 레벨, 즉, 제 1 레벨 또는 제 2 레벨이고, 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 서로 다른 레벨일 때 상기 리드 신호(LEAD)를 인에이블시킬 수 있다. 상기 타이밍 제어신호 생성부(2010)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 서로 다른 레벨이고, 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 서로 동일한 레벨일 때, 상기 리드 신호(LEAD)를 디스에이블시키고, 상기 래그 신호(LAG)를 인에이블시킬 수 있다. 또한, 상기 타이밍 제어신호 생성부(2010)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 제 1 레벨이고 현재 입력된 제 1 및 제 2 인코딩 신호(EN0_A, EN1_A)가 제 2 레벨이거나, 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 제 2 레벨이고 현재 입력된 제 1 및 제 2 인코딩 신호(EN0_A, EN1_A)가 제 1 레벨일 때 상기 리드 신호(LEAD) 및 상기 래그 신호(LAG)를 모두 디스에이블시킬 수 있다.

[0072] 상기 제 1 업다운 제어부(2020)는 상기 타이밍 제어 신호(LEAD, LAG, LEADB, LAGB)에 응답하여 현재 입력된 상기 제 1 전송 제어신호를 지연시켜 제 1 업 제어신호(UP0<0>) 및 제 1 다운 제어신호(DN0<0>)를 생성할 수 있다. 구체적으로, 상기 제 1 업다운 제어부(2020)는 상기 리드 신호(LEAD) 및 상기 래그 신호(LAG)에 응답하여 현재 입력된 제 1 인코딩 신호(EN0_A)를 지연시켜 제 1 업 제어신호(UP0<0>) 및 제 1 다운 제어신호(EN0<0>)를 생성할 수 있다. 상기 제 1 업다운 제어부(2020)는 제 1 타이밍 제어부(2021) 및 제 1 업다운 버퍼(2022)를 포함할 수 있다. 상기 제 1 타이밍 제어부(2021)는 상기 타이밍 제어신호(LEAD, LEADB, LAG, LAGB)에 응답하여 상기 현재 입력된 제 1 인코딩 신호(EN0_A)를 지연시켜 제 1 타이밍 인코딩 신호(EN0_AD)를 생성할 수 있다. 구체적으로, 상기 제 1 타이밍 제어부(2021)는 상기 리드 신호(LEAD)가 인에이블되면, 상기 현재 입력된 제 1 인코딩 신호(EN0_A)를 제 1 시간 지연시켜 제 1 타이밍 인코딩 신호(EN0_AD)를 생성할 수 있다. 상기 제 1 타이밍 제어부(2021)는 상기 리드 신호(LEAD) 및 상기 래그 신호(LAG)가 모두 디스에이블되면, 상기 현재 입력된 제 1 인코딩 신호(EN0_A)를 제 2 시간 지연시켜 제 1 타이밍 인코딩 신호(EN0_AD)를 생성할 수 있다. 또한, 상기 제 1 타이밍 제어부(2021)는 상기 래그 신호(LAG)가 인에이블되면, 상기 현재 입력된 제 1 인코딩 신호(EN0_A)를 제 3 시간 지연시켜 제 1 타이밍 인코딩 신호(EN0_AD)를 생성할 수 있다. 상기 제 2 시간은 상기 제 1 시간보다 길 수 있고, 상기 제 3 시간은 상기 제 2 시간보다 길 수 있다. 상기 제 1 업다운 버퍼(2022)는 상기 제 1 타이밍 인코딩 신호(EN0_AD)로부터 상기 제 1 업 제어신호(UP0<0>) 및 제 1 다운 제어신호(DN0<0>)를 생성할 수 있다. 예를 들어, 상기 제 1 업다운 버퍼(2022)는 상기 제 1 타이밍 인코딩 신호(EN0_AD)가 제 1 레벨일 때 상기 제 1 업 제어신호(UP0<0>)를 인에이블시키고, 상기 제 1 다운 제어신호(DN0<0>)를 디스에이블시킬 수 있다. 상기 제 1 업다운 버퍼(2022)는 상기 제 1 타이밍 인코딩 신호(EN0_AD)가 제 2 레벨일 때 상기 제 1 업 제어신호(UP0<0>)를 디스에이블시키고, 상기 제 1 다운 제어신호(DN0<0>)를 인에이블시킬 수 있다.

[0073] 상기 제 2 업다운 제어부(2030)는 상기 타이밍 제어 신호(LEAD, LEADB, LAG, LAGB)에 응답하여 현재 입력된 상기 제 2 전송 제어신호를 지연시켜 제 2 업 제어신호(UP0<1>) 및 제 2 다운 제어신호(DN0<1>)를 생성할 수 있다. 구체적으로, 상기 제 2 업다운 제어부(2030)는 상기 리드 신호(LEAD) 및 상기 래그 신호(LAG)에 응답하여 현재 입력된 제 4 인코딩 신호(EN1_A)를 지연시켜 제 2 업 제어신호(UP0<1>) 및 제 2 다운 제어신호(DN0<1>)를 생성할 수 있다. 상기 제 2 업다운 제어부(2030)는 제 2 타이밍 제어부(2031) 및 제 2 업다운 버퍼(2032)를 포함할 수 있다. 상기 제 2 타이밍 제어부(2031)는 상기 타이밍 제어신호(LEAD, LEADB, LAG, LAGB)에 응답하여 상기 현재 입력된 제 2 전송 제어신호를 지연시켜 제 4 타이밍 인코딩 신호(EN1_AD)를 생성할 수 있다. 구체적으로, 상기 제 2 타이밍 제어부(2031)는 상기 리드 신호(LEAD)가 인에이블되면, 상기 현재 입력된 제 4 인코딩 신호(EN1_A)를 제 1 시간 지연시켜 제 4 타이밍 인코딩 신호(EN1_AD)를 생성할 수 있다. 상기 제 2 타이밍 제어부

(2031)는 상기 리드 신호(LEAD) 및 상기 래그 신호(LAG)가 모두 디스에이블되면, 상기 현재 입력된 제 4 인코딩 신호(EN1_A)를 제 2 시간 지연시켜 제 4 타이밍 인코딩 신호(EN1_AD)를 생성할 수 있다. 또한, 상기 제 2 타이밍 제어부(2031)는 상기 래그 신호(LAG)가 인에이블되면, 상기 현재 입력된 제 4 인코딩 신호(EN1_A)를 제 3 시간 지연시켜 제 4 타이밍 인코딩 신호(EN1_AD)를 생성할 수 있다. 상기 제 2 업다운 버퍼(2032)는 상기 제 4 타이밍 인코딩 신호(EN1_AD)로부터 상기 제 2 업 제어신호(UP0<1>) 및 제 2 다운 제어신호(DN0<1>)를 생성할 수 있다. 예를 들어, 상기 제 2 업다운 버퍼(2032)는 상기 제 4 타이밍 인코딩 신호(EN1_AD)가 제 1 레벨일 때 상기 제 2 업 제어신호(UP0<1>)를 인에이블시키고, 상기 제 2 다운 제어신호(DN0<1>)를 디스에이블시킬 수 있다. 상기 제 2 업다운 버퍼(2032)는 상기 제 4 타이밍 인코딩 신호(EN1_AD)가 제 2 레벨일 때 상기 제 2 업 제어신호(UP0<1>)를 디스에이블시키고, 상기 제 2 다운 제어신호(DN0<1>)를 인에이블시킬 수 있다.

[0074] 상기 제 1 타이밍 전송 제어부(1831)는 제 1 및 제 2 플립플롭(2040, 2050)을 더 포함할 수 있다. 상기 제 1 및 제 2 플립플롭(2040, 2050)은 D 플립플롭일 수 있다. 상기 제 1 및 제 2 플립플롭(2040, 2050)은 각각 제 1 및 제 2 전송 제어신호를 지연시켜 출력할 수 있다. 따라서, 상기 제 1 및 제 2 플립플롭(2040, 2050)의 출력은 각각 이전에 입력된 제 1 및 제 2 전송 제어신호일 수 있다. 구체적으로, 상기 제 1 및 제 2 플립플롭(2040, 2050)은 각각 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)를 지연시키고, 지연된 신호를 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)로서 출력할 수 있다. 상기 제 1 및 제 2 플립플롭(2040, 2050)은 클럭 신호(CLK)에 응답하여 지연동작을 수행할 수 있고, 초기화 신호(INT)에 응답하여 초기화될 수 있다. 도시되지는 않았지만, 상기 제 1 타이밍 전송 제어부(1831)는 제 3 업 제어신호(UP0<2>) 및 제 3 다운 제어신호(DN0<2>)를 생성하기 위해 도 13에 도시된 업 프리 엠파시스 버퍼(1314) 및 다운 프리 엠파시스 버퍼(1324)와 동일한 구성으로 추가적으로 포함할 수 있다.

[0075] 도 21은 도 20에 도시된 타이밍 제어신호 생성부(2010)의 구성을 보여주는 도면이다. 도 21에서, 상기 타이밍 제어신호 생성부(2010)는 제 1 배타적 오어 게이트(2101), 제 1 배타적 노어 게이트(2102), 제 1 오어 게이트(2103), 제 2 배타적 노어 게이트(2104), 제 2 배타적 오어 게이트(2105) 및 제 2 오어 게이트(2106)를 포함할 수 있다. 상기 제 1 배타적 오어 게이트(2101)는 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)를 수신할 수 있다. 상기 제 1 배타적 노어 게이트(2102)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)를 수신할 수 있다. 상기 제 1 오어 게이트(2103)는 상기 제 1 배타적 오어 게이트(2101) 및 상기 제 1 배타적 노어 게이트(2102)의 출력을 수신하여 상기 리드 신호(LEAD)를 생성할 수 있다. 따라서, 상기 리드 신호(LEAD)는 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 서로 다른 레벨을 갖거나, 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 서로 동일한 레벨을 가질 때, 제 1 레벨이 될 수 있다. 또한, 상기 리드 신호(LEAD)는 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 서로 동일한 레벨을 갖고, 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 서로 다른 레벨을 가질 때, 제 2 레벨이 될 수 있다.

[0076] 상기 제 2 배타적 노어 게이트(2104)는 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)를 수신할 수 있다. 상기 제 2 배타적 오어 게이트(2105)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)를 수신할 수 있다. 상기 제 2 오어 게이트(2106)는 상기 제 2 배타적 노어 게이트(2104) 및 상기 제 2 배타적 오어 게이트(2105)의 출력을 수신하여 상기 래그 신호(LAG)를 생성할 수 있다. 따라서, 상기 래그 신호(LAG)는 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 서로 동일한 레벨을 갖거나, 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 서로 다른 레벨을 가질 때, 제 1 레벨이 될 수 있다. 또한, 상리 래그 신호(LAG)는 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 서로 다른 레벨을 갖고, 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 서로 동일한 레벨을 가질 때 제 2 레벨이 될 수 있다.

[0077] 상기 타이밍 제어신호 생성부(2010)는 제 3 배타적 노어 게이트(2107), 제 3 배타적 오어 게이트(2108), 제 1 앤드 게이트(2109), 제 4 배타적 오어 게이트(2110), 제 4 배타적 노어 게이트(2111) 및 제 2 앤드 게이트(2112)를 더 포함할 수 있다. 상기 제 3 배타적 노어 게이트(2107)는 상기 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)를 수신할 수 있다. 상기 제 3 배타적 오어 게이트(2108)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)를 수신할 수 있다. 상기 제 1 앤드 게이트(2109)는 상기 제 3 배타적 노어 게이트(2107) 및 상기 제 3 배타적 오어 게이트(2108)의 출력을 수신하여 상기 리드 신호의 반전신호(LEADB)를 생성할 수 있다. 따라서, 상기 리드 신호의 반전신호(LEAD)는 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 서로 동일한 레벨을 갖고, 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 서로 다른 레벨을 가질 때, 제 1 레벨이 될 수 있다. 또한, 상기 리드 신호의 반전신호(LEADB)는 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 서로 다른 레벨을 갖거나, 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 서로 동일한 레벨을 가질 때, 제 2 레벨이 될 수 있다.

[0078] 상기 제 3 배타적 오어 게이트(2110)는 상기 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)를 수신할 수 있다. 상기 제 4 배타적 노어 게이트(2111)는 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)를 수신할 수 있다. 상기 제 2 앤드 게이트(2112)는 상기 제 4 배타적 오어 게이트(2110) 및 상기 제 4 배타적 노어 게이트(2111)의 출력을 수신하여 상기 래그 신호의 반전신호(LAGB)를 생성할 수 있다. 따라서, 상기 래그 신호의 반전신호(LAGB)는 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 서로 다른 레벨을 갖고, 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 서로 동일한 레벨을 가질 때, 제 1 레벨이 될 수 있다. 또한, 상기 래그 신호의 반전신호(LAG)는 현재 입력된 제 1 및 제 4 인코딩 신호(EN0_A, EN1_A)가 서로 동일한 레벨을 갖거나, 이전에 입력된 제 1 및 제 4 인코딩 신호(EN0_AP, EN1_AP)가 서로 다른 레벨을 가질 때, 제 2 레벨이 될 수 있다.

[0079] 도 22a 내지 도 22c는 도 20에 도시된 제 1 타이밍 제어부(2031)의 구성을 보여주는 도면이다. 도 22a에서, 제 1 타이밍 제어부(2031A)는 제 1 인버터(2211), 제 2 인버터(2212), 제 1 캐패시터(2213) 및 제 2 캐패시터(2214)를 포함할 수 있다. 상기 제 1 인버터(2211)는 상기 제 1 인코딩 신호(EN0_A)를 반전시키고, 상기 제 2 인버터(2212)는 상기 제 1 인버터(2211)의 출력을 반전시켜 상기 제 1 타이밍 인코딩 신호(EN0_AD)를 생성할 수 있다. 상기 제 1 캐패시터(2213)는 P 채널 모스 캐패시터일 수 있다. 상기 제 1 캐패시터(2213)는 상기 리드 신호(LEAD)가 제 2 레벨로 디스에이블되었을 때 턴온될 수 있다. 상기 제 2 캐패시터(2214)는 N 채널 모스 캐패시터일 수 있다. 상기 제 2 캐패시터(2214)는 상기 래그 신호(LAG)가 제 1 레벨로 인에이블되었을 때 턴온될 수 있다. 따라서, 상기 제 1 타이밍 제어부(2031A)는 상기 리드 신호(LEAD)가 제 1 레벨로 인에이블되고, 상기 래그 신호(LAG)가 제 2 레벨로 디스에이블되었을 때 상기 제 1 인코딩 신호(EN0_A)를 제 1 시간 지연시킬 수 있다. 또한, 상기 제 1 타이밍 제어부(2031A)는 상기 리드 신호(LEAD)가 제 2 레벨로 디스에이블되고, 상기 래그 신호(LAG)가 제 2 레벨로 디스에이블되었을 때 상기 제 1 인코딩 신호(EN0_A)를 제 2 시간 지연시킬 수 있다. 또한, 상기 제 1 타이밍 제어부(2031A)는 상기 리드 신호(LEAD)가 제 2 레벨로 디스에이블되고, 상기 래그 신호(LAG)가 제 1 레벨로 인에이블되었을 때 상기 제 1 인코딩 신호(EN0_A)를 제 3 시간 지연시킬 수 있다.

[0080] 도 22b에서, 상기 제 1 타이밍 제어부(2031B)는 제 1 인버터(2221), 제 2 인버터(2222), 제 1 캐패시터(2223), 제 2 캐패시터(2224), 제 3 캐패시터(2225) 및 제 4 캐패시터(2226)를 포함할 수 있다. 상기 제 1 인버터(2221)는 상기 제 1 인코딩 신호(EN0_A)를 반전시키고, 상기 제 2 인버터(2222)는 상기 제 1 인버터(2221)의 출력을 반전시켜 상기 제 1 타이밍 인코딩 신호(EN0_AD)를 생성할 수 있다. 상기 제 1 캐패시터(2223)는 P 채널 모스 캐패시터일 수 있다. 상기 제 1 캐패시터(2223)는 상기 리드 신호(LEAD)가 제 2 레벨로 디스에이블되었을 때 턴온될 수 있다. 상기 제 2 캐패시터(2224)는 N 채널 모스 캐패시터일 수 있다. 상기 제 2 캐패시터(2224)는 상기 리드 신호(LEAD)가 제 2 레벨로 디스에이블되었을 때 제 1 레벨을 갖는 상기 리드 신호의 반전신호(LEADB)에 응답하여 턴온될 수 있다. 상기 제 3 캐패시터(2225)는 P 채널 모스 캐패시터일 수 있다. 상기 제 3 캐패시터(2225)는 상기 래그 신호(LAG)가 제 1 레벨로 인에이블되었을 때 제 2 레벨을 갖는 상기 래그 신호의 반전신호(LAGB)에 응답하여 턴온될 수 있다. 상기 제 4 캐패시터(2226)는 N 채널 모스 캐패시터일 수 있다. 상기 제 4 캐패시터(2226)는 상기 래그 신호(LAG)가 제 1 레벨로 인에이블되었을 때 턴온될 수 있다. 상기 제 1 타이밍 제어부(2031B)는 도 22a에 도시된 상기 제 1 타이밍 제어부(2031A)에 비해 제 1 내지 제 3 시간의 간격을 증가시킬 수 있다.

[0081] 도 22c에서, 상기 제 1 타이밍 제어부(2031C)는 제 1 인버터(2231), 제 2 인버터(2232), 제 1 내지 제 8 캐패시터(2241-2248)를 포함할 수 있다. 상기 제 1 인버터(2231)는 상기 제 1 인코딩 신호(EN0_A)를 반전시키고, 상기 제 2 인버터(2232)는 상기 제 1 인버터(2231)의 출력을 반전시켜 상기 제 1 타이밍 인코딩 신호(EN0_AD)를 생성할 수 있다. 상기 제 1 캐패시터(2241)는 P 채널 모스 캐패시터일 수 있다. 상기 제 1 캐패시터(2241)는 상기 리드 신호(LEAD)가 제 2 레벨로 디스에이블되었을 때 턴온될 수 있다. 상기 제 2 캐패시터(2242)는 N 채널 모스 캐패시터일 수 있다. 상기 제 2 캐패시터(2242)는 상기 리드 신호(LEAD)가 제 2 레벨로 디스에이블되었을 때 제 1 레벨을 갖는 상기 리드 신호의 반전신호(LEADB)에 응답하여 턴온될 수 있다. 상기 제 3 캐패시터(2243)는 P 채널 모스 캐패시터일 수 있다. 상기 제 3 캐패시터(2243)는 상기 래그 신호(LAG)가 제 1 레벨로 인에이블되었을 때 제 2 레벨을 갖는 상기 래그 신호의 반전신호(LAGB)에 응답하여 턴온될 수 있다. 상기 제 4 캐패시터(2244)는 N 채널 모스 캐패시터일 수 있다. 상기 제 4 캐패시터(2244)는 상기 래그 신호(LAG)가 제 1 레벨로 인에이블되었을 때 턴온될 수 있다.

[0082] 상기 제 5 캐패시터(2245)는 P 채널 모스 캐패시터일 수 있다. 상기 제 5 캐패시터(2245)는 상기 리드 신호(LEAD)가 제 2 레벨로 디스에이블되었을 때 턴온될 수 있다. 상기 제 6 캐패시터(2246)는 N 채널 모스 캐패시터일 수 있다. 상기 제 6 캐패시터(2246)는 상기 리드 신호(LEAD)가 제 2 레벨로 디스에이블되었을 때 제 1 레벨

을 갖는 상기 리드 신호의 반전신호(LEADB)에 응답하여 턴온될 수 있다. 상기 제 5 및 제 6 캐패시터(2245, 2246)는 각각 제 1 내지 제 4 캐패시터(2241-2244)보다 더 큰 용량을 가질 수 있다.

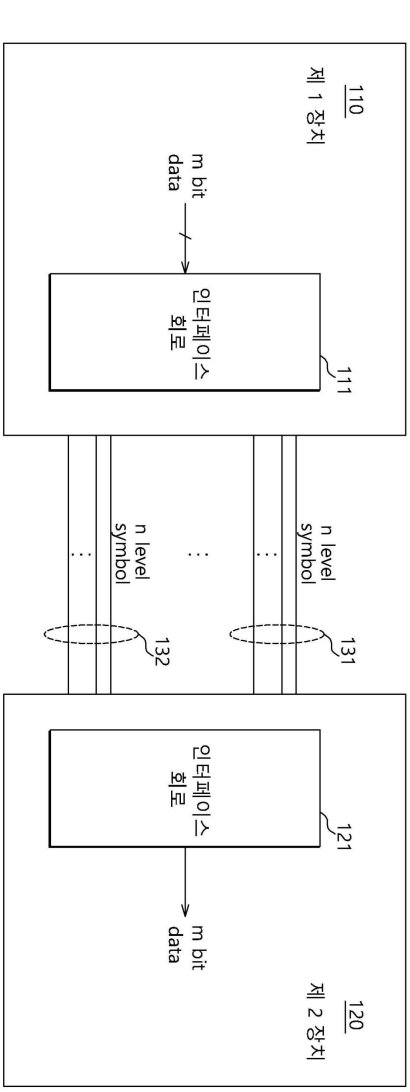
[0083] 상기 제 7 캐패시터(2247)는 P 채널 모스 캐패시터일 수 있다. 상기 제 7 캐패시터(2247)는 상기 래그 신호(LAG)가 제 1 레벨로 인에이블되었을 때 제 2 레벨을 갖는 상기 래그 신호의 반전신호(LAGB)에 응답하여 턴온될 수 있다. 상기 제 8 캐패시터(2248)는 N 채널 모스 캐패시터일 수 있다. 상기 제 8 캐패시터(2248)는 상기 래그 신호(LAG)가 제 1 레벨로 인에이블되었을 때 턴온될 수 있다. 상기 제 7 및 제 8 캐패시터(2247, 2248)는 각각 제 5 및 제 6 캐패시터(2245, 2246)보다 더 큰 용량을 가질 수 있다. 상기 제 1 타이밍 제어부(2031C)는 도 22b의 제 1 타이밍 제어부(2031B)보다 제 1 내지 제 3 시간의 시간 간격을 보다 증가킬 수 있다.

[0084] 도 23은 본 발명의 실시예에 따른 다양한 레벨로 구동되는 제 1 와이어(OUT_A)의 파형을 보여주는 타이밍도이다. 도 23에서, 실선으로 표시된 파형(TP1)은 도 4에 도시된 전송 장치(4)에 의한 제 1 와이어(OUT_A)의 레벨 변화를 보여주고, 굵은 실선으로 표시된 파형(TP2)은 제 18에 도시된 전송 장치(18)에 의한 제 1 와이어(OUT_A)의 레벨 변화를 보여준다. 제 1 구간(23A)에서, 상기 제 1 와이어(OUT_A)는 하이 레벨(H)에서 미들 레벨(M)로 구동되므로, 상기 제 1 타이밍 전송 제어부(2031)는 제 1 시점에 제 1 구동 제어신호(UP0<0:2>, DN0<0:2>)를 생성할 수 있고, 상기 제 1 전송 드라이버(2041)는 상대적으로 빠르게 상기 제 1 와이어(OUT_A)를 미들 레벨(M)로 구동할 수 있다. 제 2 구간(23B)에서, 상기 제 1 와이어(OUT_B)는 미들 레벨(M)에서 하이 레벨(H)로 구동되므로, 상기 제 1 타이밍 전송 제어부(2031)는 제 3 시점에 제 1 구동 제어신호(UP0<0:2>, DN0<0:2>)를 생성할 수 있고, 상기 제 1 전송 드라이버(2041)는 상대적으로 느리게 상기 제 1 와이어(OUT_A)를 하이 레벨(H)로 구동할 수 있다. 제 3 구간(23C)은 제 1 구간(23A)과 동일할 수 있다. 제 4 구간(23D)에서, 상기 제 1 와이어(OUT_A)는 미들 레벨(M)에서 로우 레벨(L)로 구동되므로, 상기 제 1 타이밍 전송 제어부(2031)는 제 3 시점에 제 1 구동 제어신호(UP0<0:2>, DN0<0:2>)를 생성할 수 있고, 상기 제 1 전송 드라이버(2041)는 상대적으로 느리게 상기 제 1 와이어(OUT_A)를 로우 레벨(L)로 구동할 수 있다. 제 5 구간(23E)에서, 상기 제 1 와이어(OUT_A)는 로우 레벨(L)에서 미들 레벨(M)로 구동되므로, 상기 제 1 타이밍 전송 제어부(2031)는 제 1 시점에 제 1 구동 제어신호(UP0<0:2>, DN0<0:2>)를 생성할 수 있고, 상기 제 1 전송 드라이버(2041)는 상대적으로 빠르게 상기 제 1 와이어(OUT_A)를 미들 레벨(M)로 구동할 수 있다. 제 6 구간(23F)은 제 4 구간(23D)과 동일할 수 있다. 제 7 구간(23G)에서, 상기 제 1 와이어(OUT_A)는 로우 레벨(L)에서 하이 레벨(H)로 구동되므로, 상기 제 1 타이밍 전송 제어부(2031)는 제 2 시점에 제 1 구동 제어신호(UP0<0:2>, DN0<0:2>)를 생성할 수 있다. 따라서, 상기 전송 장치(18)에 의한 제 1 와이어의 파형(TP1)과 상기 전송 장치(4)에 의한 제 1 와이어의 파형(TP2)은 서로 동일할 수 있다.

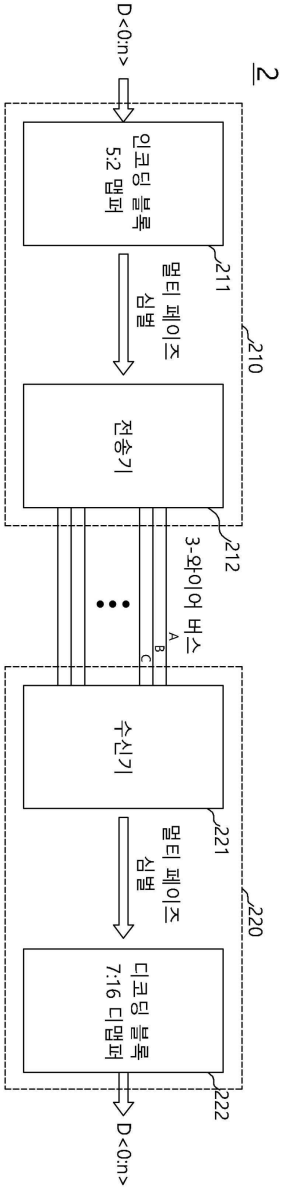
[0085] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

도면1


1
110
제 1 장치
m bit
data
인터페이스
회로
111
n level
symbol
131
n level
symbol
132
121
인터페이스
회로
m bit
data
120
제 2 장치

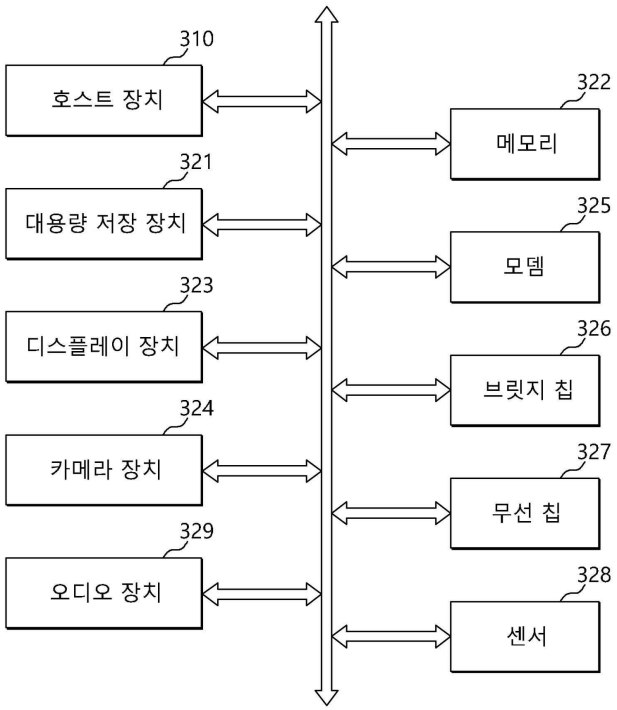
도면2



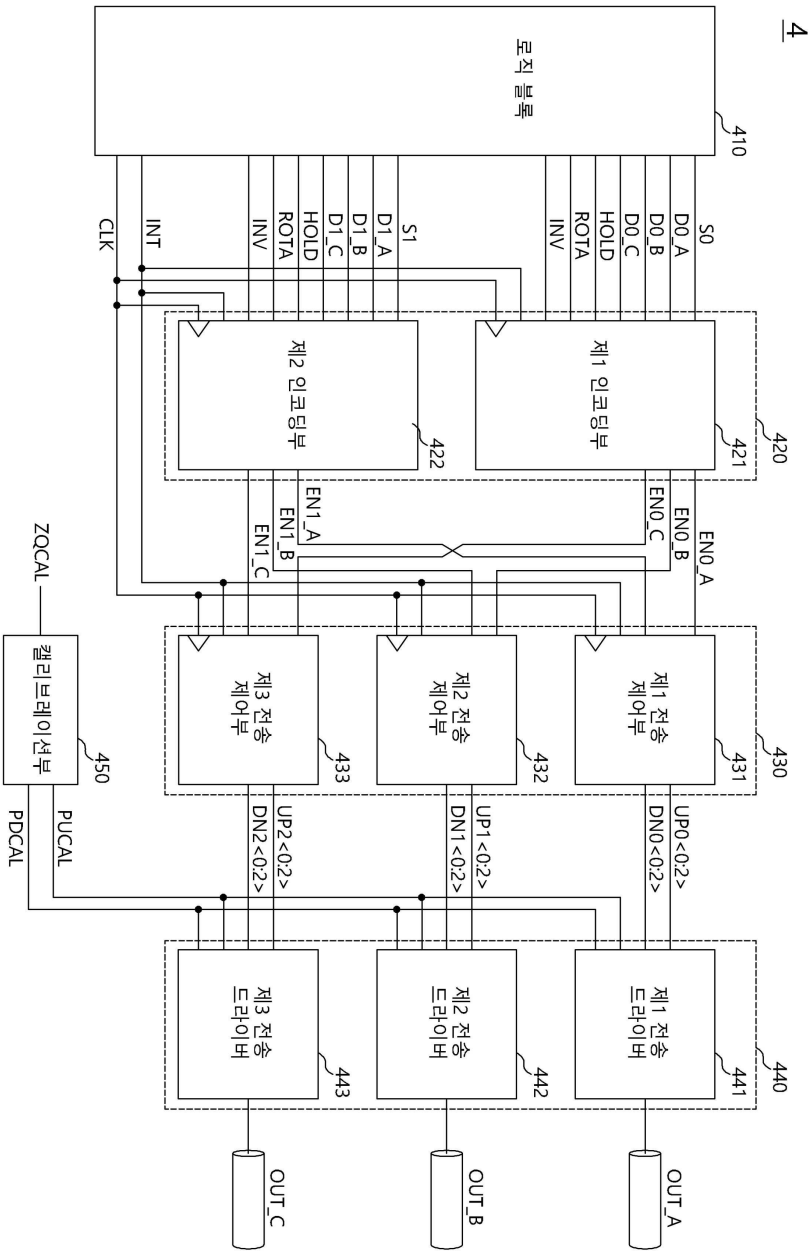
	와이어 상태			수신기 입력			수신기 출력	
	A	B	C	A-B	B-C	C-A		
+x	3/4V	1/4V	1/2V	+1/2V	-1/4V	-1/4V	1	0
-x	1/4V	3/4V	1/2V	-1/2V	+1/4V	+1/4V	0	1
+y	1/2V	3/4V	1/4V	-1/4V	+1/2V	-1/4V	0	1
-y	1/2V	1/4V	3/4V	+1/4V	-1/2V	+1/4V	1	0
+z	1/4V	1/2V	3/4V	-1/4V	-1/4V	+1/2V	0	0
-z	3/4V	1/2V	1/4V	+1/4V	+1/4V	-1/2V	1	1

도면3

3

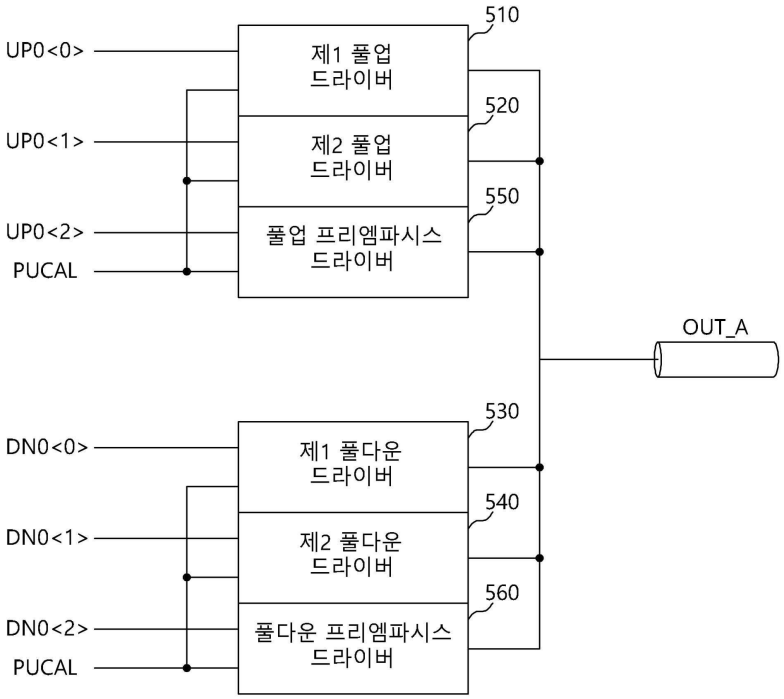

310
호스트 장치
321
대용량 저장 장치
323
디스플레이 장치
324
카메라 장치
329
오디오 장치
322
메모리
325
모뎀
326
브릿지 칩
327
무선 칩
328
센서

도면4

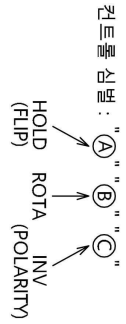

4
로직 블록
410
CLK
INT
INV
ROTA
HOLD
D1_C
D1_B
D1_A
S1
INV
ROTA
HOLD
D0_C
D0_B
D0_A
S0
제2 인코딩부
422
제1 인코딩부
421
420
EN1_A
EN1_B
EN1_C
EN0_C
EN0_B
EN0_A
ZQCAL
캘리브레이션부
450
제3 전송 제어부
433
제2 전송 제어부
432
제1 전송 제어부
431
430
PDCAL
PUCAL
UP2<0:2>
DN2<0:2>
UP1<0:2>
DN1<0:2>
UP0<0:2>
DN0<0:2>
제3 전송 드라이버
443
제2 전송 드라이버
442
제1 전송 드라이버
441
440
OUT_C
OUT_B
OUT_A

도면5

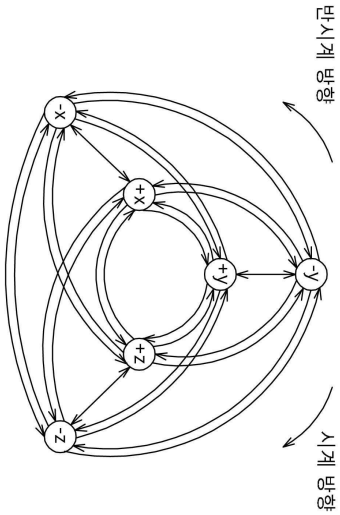
441


510
제1 풀업
드라이버
520
제2 풀업
드라이버
550
풀업 프리엠파시스
드라이버
UP0<0>
UP0<1>
UP0<2>
PUCAL
OUT_A
530
제1 풀다운
드라이버
540
제2 풀다운
드라이버
560
풀다운 프리엠파시스
드라이버
DN0<0>
DN0<1>
DN0<2>
PUCAL

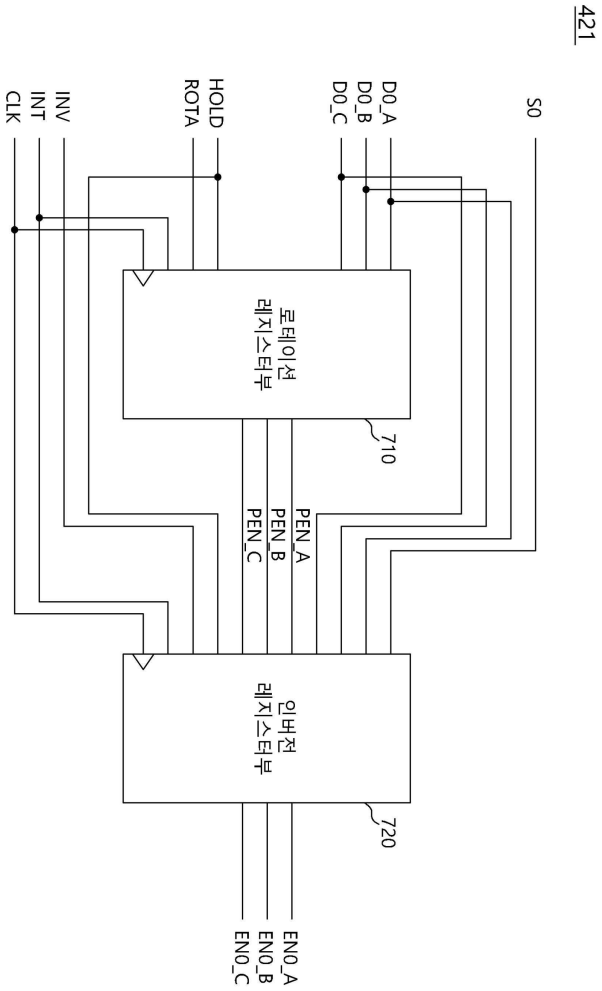
도면6



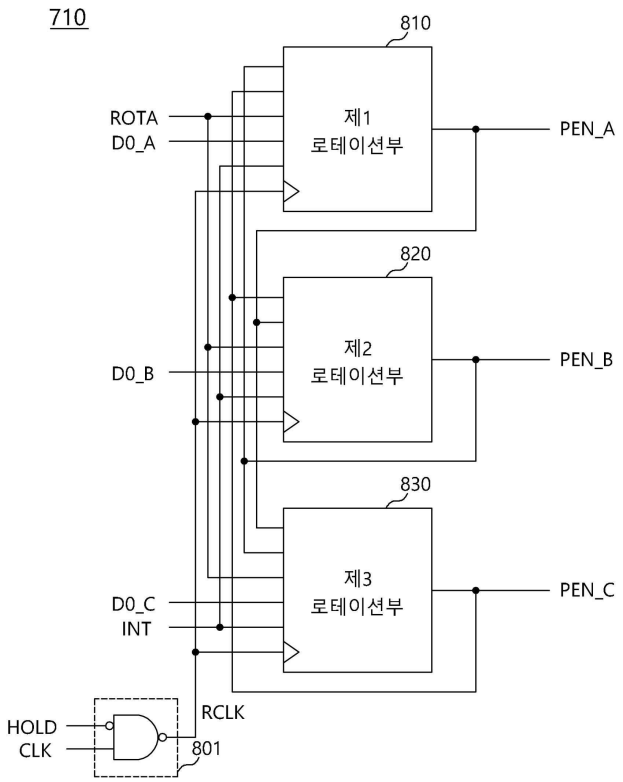
컨트롤 심볼	와이어 상태					
	+x	-x	+y	-y	+z	-z
000	+z	-z	+x	-x	+y	-y
001	-z	+z	-x	+x	-y	+y
010	+y	-y	+z	-z	+x	-x
011	-y	+y	-z	+z	-x	+x
1xx	-x	+x	-y	+y	-z	+z



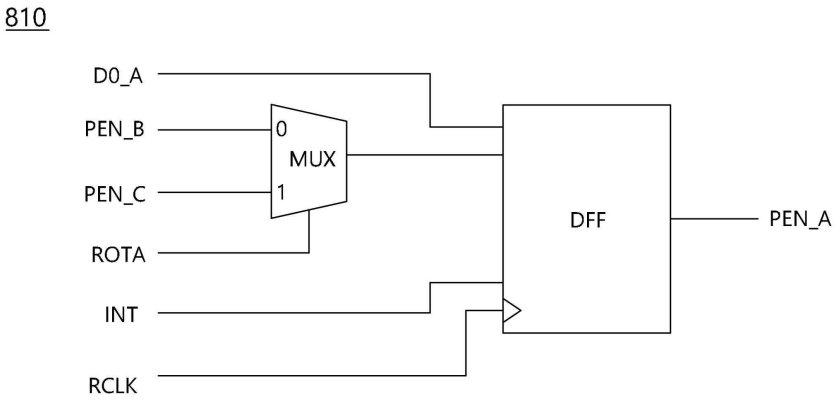
도면7


421
CLK
INT
INV
ROTA
HOLD
D0_C
D0_B
D0_A
S0
로테이션
레지스터부
710
PEN_C
PEN_B
PEN_A
인버전
레지스터부
720
EN0_C
EN0_B
EN0_A

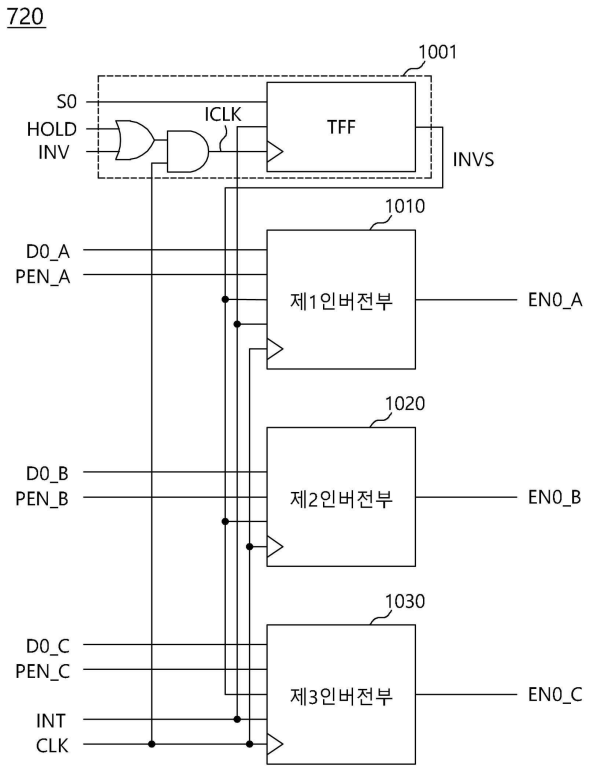
도면8


710
810
제1
로테이션부
ROTA
D0_A
PEN_A
820
제2
로테이션부
D0_B
PEN_B
830
제3
로테이션부
D0_C
INT
PEN_C
RCLK
HOLD
CLK
801

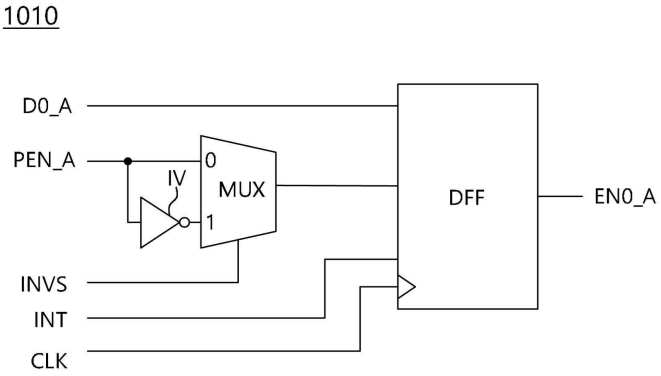
도면9


810
D0_A
PEN_B
0
MUX
1
PEN_C
ROTA
INT
RCLK
DFF
PEN_A

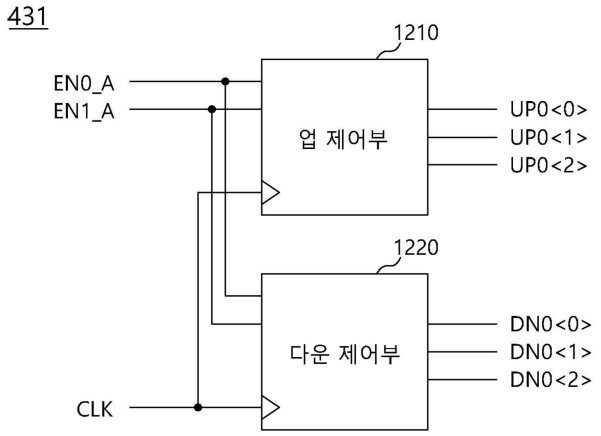
도면10


720
1001
S0
HOLD
INV
ICLK
TFF
INVS
1010
D0_A
PEN_A
제1인버전부
EN0_A
1020
D0_B
PEN_B
제2인버전부
EN0_B
1030
D0_C
PEN_C
제3인버전부
EN0_C
INT
CLK

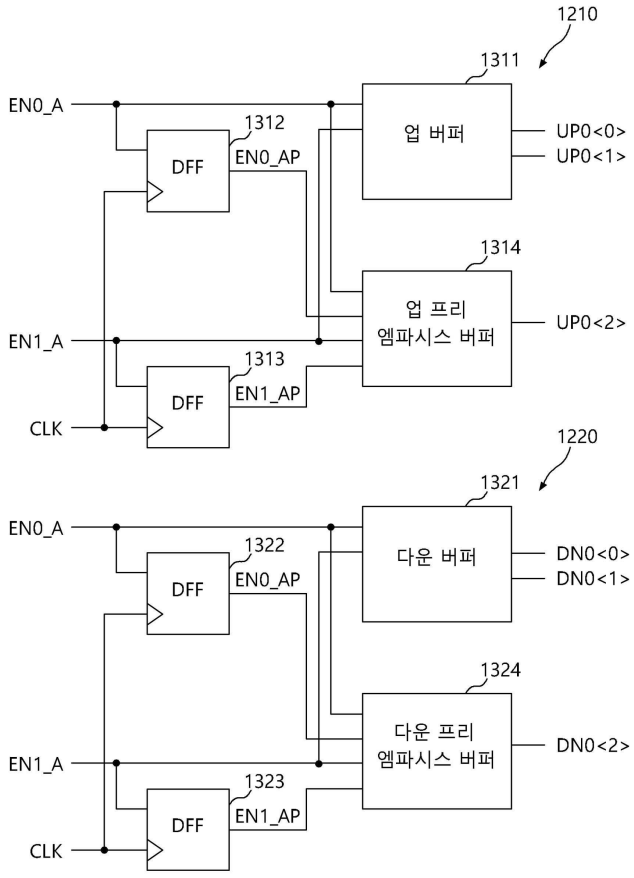
도면11


1010
D0_A
PEN_A
IV
0
MUX
1
DFF
EN0_A
INVS
INT
CLK

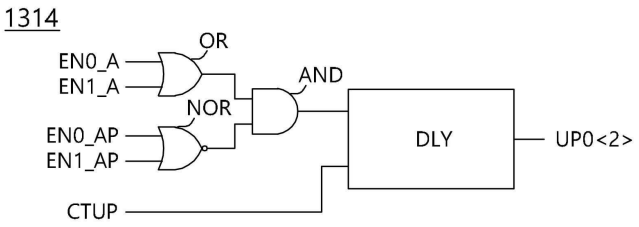
도면12


431
1210
EN0_A
EN1_A
업 제어부
UP0<0>
UP0<1>
UP0<2>
1220
다운 제어부
DN0<0>
DN0<1>
DN0<2>
CLK

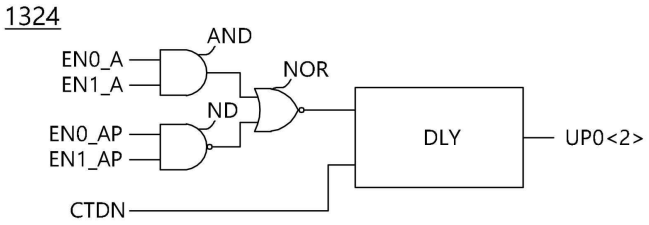
도면13


1210
1311
EN0_A
DFF
1312
EN0_AP
업 버퍼
UP0<0>
UP0<1>
1314
업 프리
엠파시스 버퍼
UP0<2>
EN1_A
1313
EN1_AP
DFF
CLK
1220
1321
EN0_A
DFF
1322
EN0_AP
다운 버퍼
DN0<0>
DN0<1>
1324
다운 프리
엠파시스 버퍼
DN0<2>
EN1_A
1323
EN1_AP
DFF
CLK

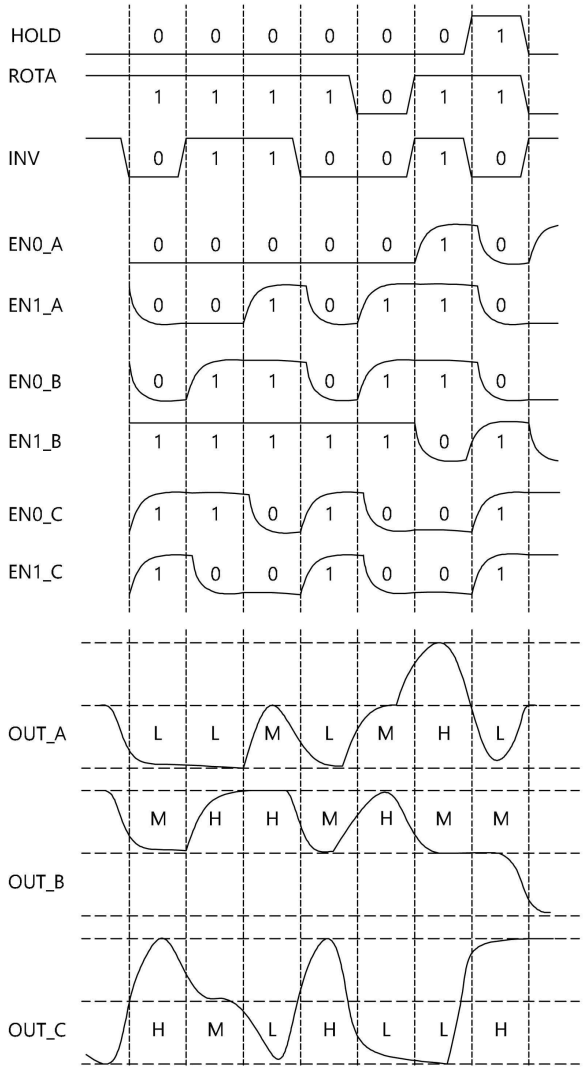
도면14


1314
OR
EN0_A
EN1_A
AND
NOR
EN0_AP
EN1_AP
DLY
UP0<2>
CTUP

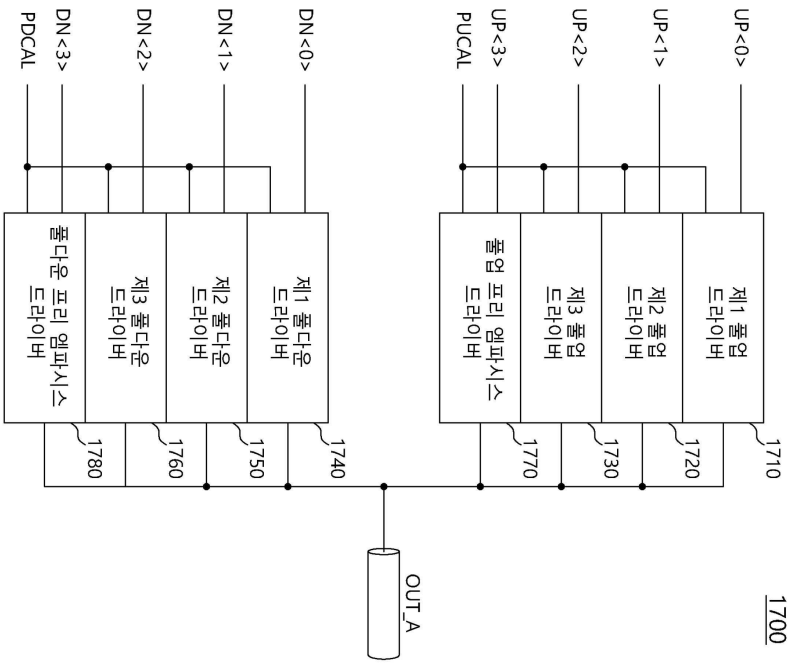
도면15


1324
AND
EN0_A
EN1_A
NOR
ND
EN0_AP
EN1_AP
DLY
UP0<2>
CTDN

도면16

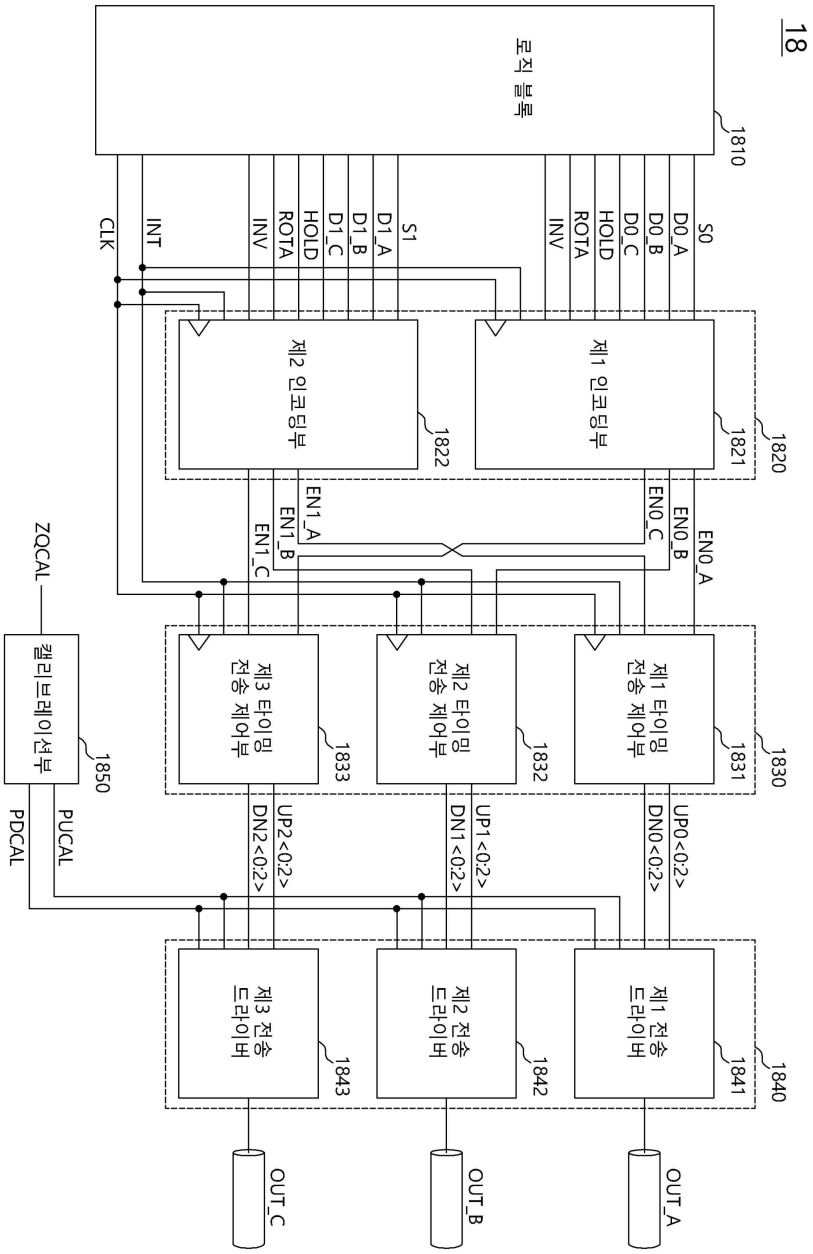

HOLD
ROTA
INV
EN0_A
EN1_A
EN0_B
EN1_B
EN0_C
EN1_C
OUT_A
OUT_B
OUT_C
0 0 0 0 0 0 1
1 1 1 1 0 1 1
0 1 1 0 0 1 0
0 0 0 0 0 1 0
0 0 1 0 1 1 0
0 1 1 0 1 1 0
1 1 1 1 1 0 1
1 1 0 1 0 0 1
1 0 0 1 0 0 1
L L M L M H L
M H H M H M M
H M L H L L H

도면17

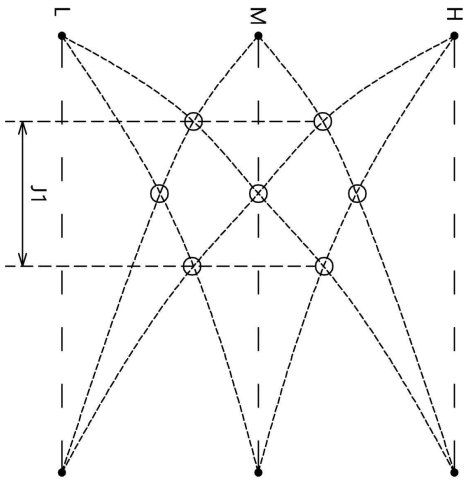


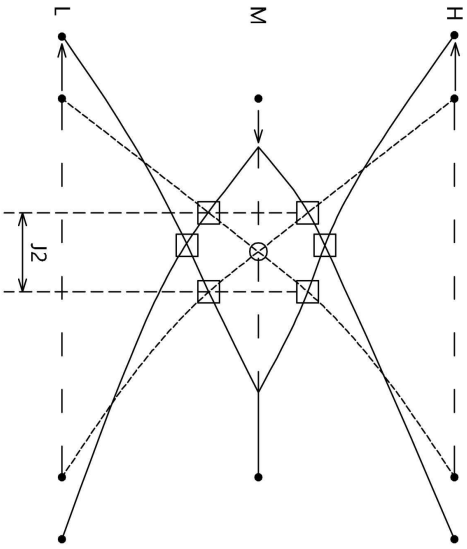
UP<0>	UP<1>	UP<2>	DN<0>	DN<1>	DN<2>	OUT_A
1	1	1	0	0	0	HIGH
1	1	0	0	0	1	MIDDLE HIGH
1	0	0	0	1	1	MIDDLE LOW
0	0	0	1	1	1	LOW

도면18

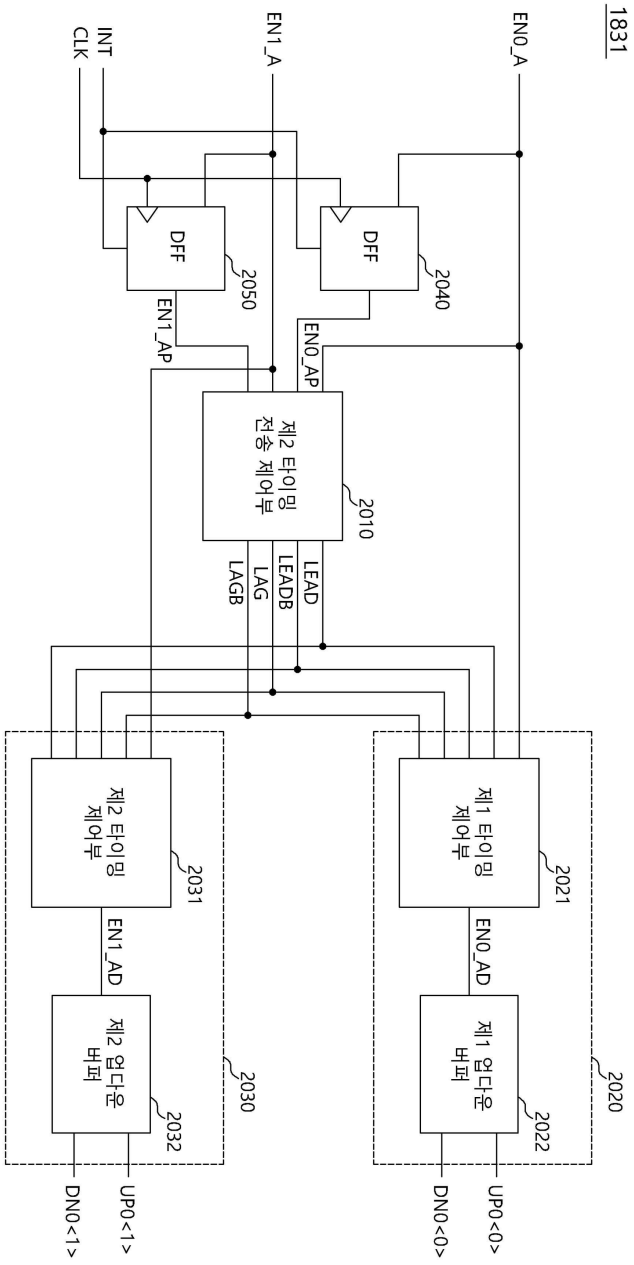

18
로직 블록
1810
CLK
INT
INV
ROTA
HOLD
D1_C
D1_B
D1_A
S1
INV
ROTA
HOLD
D0_C
D0_B
D0_A
S0
제2 인코딩부
1822
제1 인코딩부
1821
1820
EN1_A
EN1_B
EN1_C
EN0_C
EN0_B
EN0_A
ZQCAL
캘리브레이션부
1850
제3 타이밍 전송 제어부
1833
제2 타이밍 전송 제어부
1832
제1 타이밍 전송 제어부
1831
1830
PDCAL
PUCAL
UP2<0:2>
DN2<0:2>
UP1<0:2>
DN1<0:2>
UP0<0:2>
DN0<0:2>
제3 전송 드라이버
1843
제2 전송 드라이버
1842
제1 전송 드라이버
1841
1840
OUT_C
OUT_B
OUT_A

도면19

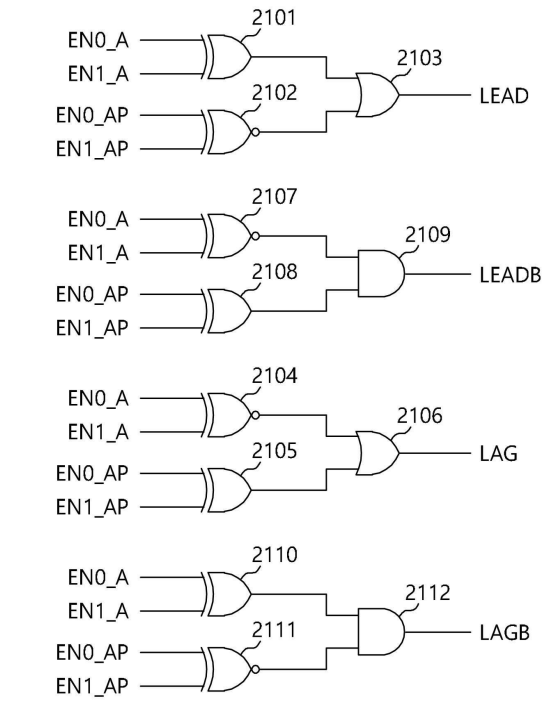




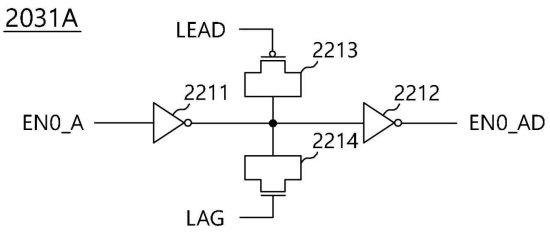
도면20


1831
EN0_A
EN1_A
INT
CLK
DFF
2040
DFF
2050
EN0_AP
EN1_AP
제2 타이밍
전송 제어부
2010
LEAD
LEADB
LAG
LAGB
제1 타이밍
제어부
2021
제2 타이밍
제어부
2031
EN0_AD
EN1_AD
제1 업다운
버퍼
2022
제2 업다운
버퍼
2032
2020
2030
DN0<0>
UP0<0>
DN0<1>
UP0<1>

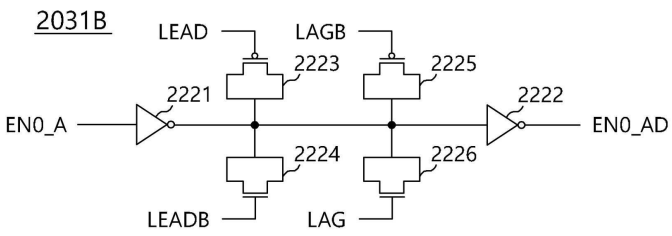
도면21



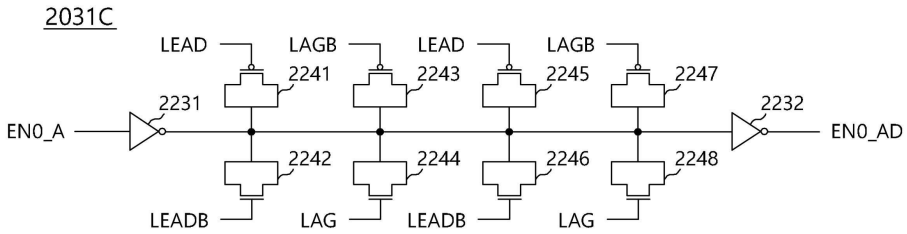
도면22a



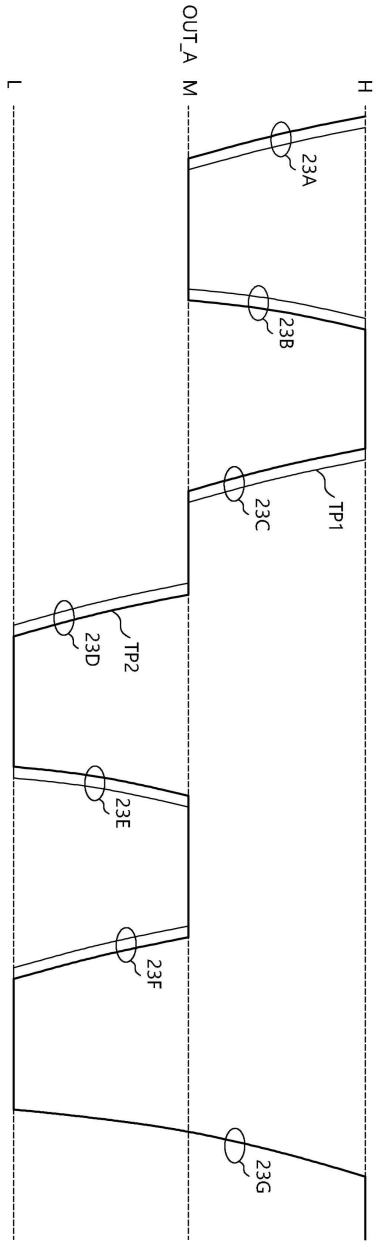
도면22b



도면22c


2031C
LEAD
LAGB
LEAD
LAGB
2241
2243
2245
2247
2231
2232
EN0_A
EN0_AD
2242
2244
2246
2248
LEADB
LAG
LEADB
LAG

도면23


L
OUT_A M
H
23A
23B
23C
TP1
23D
TP2
23E
23F
23G