(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2007 年4 月12 日 (12.04.2007)

PCT

(10) 国際公開番号
WO 2007/039933 A1

(51) 国際特許分類:
G06F 15/17 (2006.01)

(21) 国際出願番号: PCT/JP2005/023251

(22) 国際出願日: 2005 年12 月19 日 (19.12.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-290888 2005 年10 月4 日 (04.10.2005) JP

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 清水野 光憲 (SHIMIZUNO, Koken) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP).

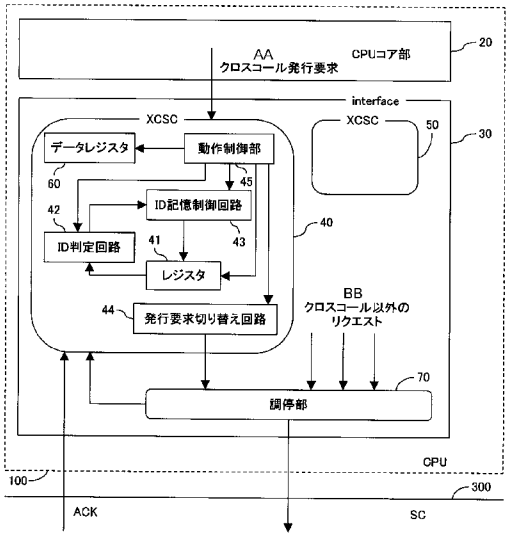
(74) 代理人: 大菅 義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町８番地２０ 二番町ビル３Ｆ Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: OPERATION PROCESSING DEVICE

(54) 発明の名称: 演算処理装置



20.. CPU CORE UNIT
AA.. CROSS CALL ISSUANCE REQUEST
60.. DATA REGISTER
45.. OPERATION CONTROL UNIT
43.. ID STORAGE CONTROL CIRCUIT
42.. ID JUDGMENT CIRCUIT
41.. REGISTER
44.. ISSUANCE REQUEST SWITCHING CIRCUIT
BB.. REQUEST OTHER THAN CROSS CALL
70.. ADJUSTING UNIT

(57) **Abstract:** It is possible to suppress increase of the resources required for controlling an internal processor interrupt (cross call) for communication between CPUs of a computer system. A cross call transmission control unit (XCSC (40)) of an external interface unit of each CPU controls a cross call transmission issued by a CPU core (20) to another CPU. The XCSC (40) includes a register (41) for holding the processing state of the process relating to the cross call directly correlated with an issuance history of the cross call for each entry.

(57) 要約:

計算機システムのＣＰＵ間で通信する内部プロセッサ割り込み（クロスコール）の制御のために要する資源の増大を抑制することを目的とする。

各ＣＰＵの外部インタフェース部のクロスコール送信制御部（ＸＣＳＣ４０）は、ＣＰＵコア部２０により発行される他ＣＰＵ宛てのクロスコールの送信を制御する。ＸＣＳＣ４０は、当該クロスコールに係る処理の処理状況と、当該クロスコールの発行履歴とを直接対応付けて当該クロスコールのエントリ毎に保持するレジスタ４１を備える。

WO 2007/039933 A1

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

演算処理装置

技術分野

[0001] 本発明は、CPU等の演算処理装置内部の制御技術に関し、特に、演算処理装置間のクロスコールのための制御技術に関する。

背景技術

[0002] 本発明は、CPU間のクロスコールに関し、特にマルチCPUシステムを対象とする。クロスコールとは、プロセッサ間における通信手段の一つであり、仮想メモリにおけるメモリ一貫性を維持するために、OSにより使用される内部プロセッサ割り込みをいう。

[0003] 本発明に関連する技術として、例えば特許文献1には、リード・リクエストに対するレスポンスがリクエストの発行先に返されるまでの間、システム・バスを解放する方式であるリード・スプリット方式を採用するコンピュータシステムのリード制御装置において、メモリ・リードとI／Oの管理テーブルとを別々に分割して制御することにより、レスポンスの遅いI／Oリードによるリード管理テーブルの占有を防止する技術が開示されている。

[0004] また、例えば特許文献2には、共有システム・バスの高速化のために、複数のデータ・プロセッサ、メモリ・ユニット、及びI／Oインタフェースを当該システム・バスへ接続するためのバッファ機能付きの万能インタフェースを提供する技術が開示されている。

[0005] 但し、これらの技術はどちらもコンピュータシステムの構成に特徴を有するものであり、CPUの内部構成に関するものではない。

ここで図1について説明する。同図は、マルチCPUシステムの概略構成例を示している。この構成例では、CPUA1100、CPUB1200、及びメモリ1400がシステムコントローラ(以下、「SC」と記す)1300に接続されている。ここで、CPUA1100とCPUB1200との各々のCPUコア部1110、1210は、外部インタフェース部1120、1220を各々介してSC1300に接続されている。

[0006] クロスコールの制御は外部インタフェース部1120、1220によって行われる。外部イ

ンタフェース部1120、1220は、クロスコール送信制御部(以下、「XCSC」(Cross Call Send Controller)と記す)1121、1221とクロスコール受信制御部(以下、「XCRC」(Cross Call Receive Controller)と記す)1122、1222とを各々有している。

[0007] 図1に示したシステムにおけるクロスコール送受信の流れを、図2を用いて説明する。

まず、(1)の2つの矢印で示すように、CPUA1100のCPUコア部1110からクロスコールのデータ(太い矢印)とクロスコールリクエストの発行要求(細い矢印)とが送られてくると、(2)の矢印で示すように、XCSC1121はそれらをバッファリングしつつ、SC1300へとクロスコールリクエスト(クロスコール要求)を発行する。

[0008] (3)の矢印で示すように、SC1300は、相手先(この場合はCPUB1200)の状態に基づき、相手先がBUSY状態でなければ、すなわち、SC1300自身が有しているレジスタにおける、CPUB1200の状態を示すBUSYビットが立っていなければ、当該BUSYビットを立てる(図2におけるSC1300に記されている矢印)と共に、要求元であるCPUA1100へACK(許可)を返答する。一方、相手先が既にBUSY状態であれば(当該BUSYビットが立っていれば)NACK(不許可)をCPUA1100へ返答する。

[0009] CPUA1100は、ACKを受け取った場合には、(4)の矢印で示すように、クロスコールのデータをSC1300へ送信する。一方、NACKを受け取った場合には、所定時間経過後に、改めてクロスコールリクエストのSC1300への発行をXCSC1121に行わせ、以降、ACKを受け取るまで繰り返しクロスコールリクエストの発行をXCSC1121に行わせる。

[0010] クロスコールの受信側であるCPUB1200のXCRC1222では、(5)の矢印で示すように、SC1300からクロスコールのデータが送られてくると、そのデータを内部のレジスタへ書き込む。その後、XCRC1222は、(6)の矢印で示すように、CPUB1200のCPUコア部1210へとクロスコール受信通知を送る(外向きの細い矢印)と共にデータを受け渡す(太い矢印)。その後、クロスコールの受信時の作業が完了したことがCPUコア部1210から伝えられると(内向きの細い矢印)、XCRC1222は、(7)の矢印で示すように、SC1300へ、CPUB1200の状態を表すBUSYビットを落とす要求

を発行する。従って、上記図2の動作説明において、(2)の矢印で示されるCPUAによるSCへのクロスコールリクエスト(クロスコール要求)の発行から(7)のCPUBによるSCへのBUSY状態の解除までの期間がSCにおけるBUSY期間(BUSY上部の矢印)となる。

[0011] XCSC1121、1221は、データレジスタと、クロスコールのBUSY(クロスコール発行中)及びNACK(クロスコールの発行失敗)の状態を記憶するステータスレジスタと、コマンドの発行順及び発行内容を記憶しておくコマンドFIFOとを有している。このステータスレジスタの構成例を図3に示し、コマンドFIFOの構成例を図4に示す。

[0012] 図3に示すように、ステータスレジスタは、クロスコールのBUSY及びNACKの状態、すなわち、クロスコールに係る処理の処理状況を、BUSYとNACKとのペア番号(BN番号)毎に保持して管理する。

[0013] 図4に示すように、コマンドFIFOは、クロスコールの発行履歴を保持して管理するものであり、コマンドの発行の状況を管理するための各種のデータを保持すると共に、SC1300へ発行するクロスコールの相手先であるCPU等を示す識別子であるターゲットID(TID)と、逐次発行されるクロスコールを個々に識別するための識別子であるリクエストID(REQID)とを保持する。また、ステータスレジスタとの対応を取るために、上記のBN番号をも保持しておく。なお、ステータスレジスタ及びコマンドFIFOにおいて予め確保されるエントリの数は、CPUコア部1110、1210が発行するクロスコール発行要求数の最大数に一致させるが、これはCPUコア部1110、1210の仕様により決定されるものである。

[0014] このように、従来はステータスレジスタとコマンドFIFOとが別個に設けられていたため、両者の対応関係を示すBN番号をコマンドFIFOで保持していた。

このため、近年における大規模SMP(Symmetrical Multi-Processor)システムやマルチコアプロセサのように、計算機システム内においてクロスコールを発行するプロセサ又はプロセサコアの増加とともに、必然的にコマンドFIFOにおけるクロスコール用のエントリ数が増加するため、クロスコール制御に係るハードウェア資源が増大するという問題があった。

特許文献1:特開平11－110343号公報

特許文献2:特開平5－210622号公報

発明の開示

[0015] 本発明の目的は、計算機システムにおける大規模SMP化及びプロセサのマルチコア化並びに処理のマルチスレッド化によるクロスコールの制御のために要する資源の増大を抑制することである。

[0016] 上記目的を達成するため、本発明の態様のひとつである演算処理装置は、他の演算処理装置へ宛てて発行されるクロスコールの送信を制御する制御部と、当該クロスコールに係る処理の処理状況と、当該処理状況に対応する当該クロスコールの発行履歴とをクロスコールのエントリ毎に保持する記憶部と、を有するものである。

[0017] なお、本発明に係る演算処理装置は、当該制御部は、他の演算処理装置宛てのクロスコールの送信を制御すると共に、信号を外部へ導く信号線の使用権を調停する調停部に対して行われる、当該クロスコールの発行要求の送信と、当該クロスコールに係る処理に関するデータの送信要求の送信とを制御し、当該記憶部は、当該クロスコールを識別する識別子を記憶する第一の記憶領域と、当該発行要求を識別する識別子を記憶する第二の記憶領域と、当該送信要求を識別する識別子を記憶する第三の記憶領域とを有するようにしてもよい。

[0018] さらに、本発明に係る演算処理装置は、当該記憶部の当該記憶領域に保持されている識別子が何についてのものかを判定する判定部を更に有するようにしてもよい。

さらに、本発明に係る演算処理装置は、当該判定部は、当該制御部による当該制御の進捗状況を示す情報に基づいて、当該判定を行うようにしてもよい。

[0019] さらに、本発明に係る演算処理装置は、当該発行要求と当該送信要求とを当該信号線の使用状況に基づいて切り替えて、当該制御部から当該調停部へ導く信号線へと出力する発行要求切り替え部を更に有するようにしてもよい。

[0020] 本発明の別の態様のひとつである情報処理装置は、複数の演算処理装置を備えた情報処理装置であって、当該演算処理装置が、当該情報処理装置に備えられている他の演算処理装置へ宛てて発行されるクロスコールの送信を制御する制御部と、当該クロスコールに係る処理の処理状況と、当該処理状況に対応する当該クロスコールの発行履歴とをクロスコールのエントリ毎に保持する記憶部と、を有するものであ

る。

[0021] なお、本発明に係る情報処理装置は、当該制御部は、他の演算処理装置宛てのクロスコールの送信を制御すると共に、信号を外部へ導く信号線の使用権を調停する調停部に対して行われる、当該クロスコールの発行要求の送信と、当該クロスコールに係る処理に関するデータの送信要求の送信とを制御し、当該記憶部は、当該クロスコールを識別する識別子を記憶する第一の記憶領域と、当該発行要求を識別する識別子を記憶する第二の記憶領域と、当該送信要求を識別する識別子を記憶する第三の記憶領域とを有するようにしてもよい。

[0022] さらに、本発明に係る情報処理装置は、当該記憶部の当該記憶領域に保持されている識別子が何についてのものかを判定する判定部を更に有するようにしてもよい。

さらに、本発明に係る情報処理装置は、当該判定部は、当該制御部による当該制御の進捗状況を示す情報に基づいて、当該判定を行うようにしてもよい。

[0023] さらに、本発明に係る情報処理装置は、当該発行要求と当該送信要求とを当該信号線の使用状況に基づいて切り替えて、当該制御部から当該調停部へ導く信号線へと出力する発行要求切り替え部を更に有するようにしてもよい。

[0024] 本発明更なる別の態様のひとつである演算処理装置は、複数の演算処理部を有する演算処理装置であって、当該複数の演算処理部のいずれかから他の演算処理装置における演算処理部へ宛てて発行されるクロスコールの送信を制御する制御部と、当該演算処理部毎に設けられており、当該クロスコールに係る処理の処理状況と、前期処理状況に対応する当該クロスコールの発行履歴とをクロスコールのエントリ毎に保持する記憶部と、を有するものである。

[0025] なお、本発明に係る演算処理装置は、当該制御部は、他の演算処理装置における演算処理部宛てのクロスコールの送信を制御すると共に、信号を外部へ導く信号線の使用権を調停する調停部に対して行われる、当該クロスコールの発行要求の送信と、当該クロスコールに係る処理に関するデータの送信要求の送信とを制御し、当該記憶部は、当該クロスコールを識別する識別子を記憶する第一の記憶領域と、当該発行要求を識別する識別子を記憶する第二の記憶領域と、当該送信要求を識別する識別子を記憶する第三の記憶領域と、を有するようにしてもよい。

[0026] さらに、本発明に係る演算処理装置は、当該記憶部の当該記憶領域に保持されている識別子が何についてのものかを判定する判定部を更に有するようにしてもよい。

さらに、本発明に係る演算処理装置は、当該判定部は、当該制御部による当該制御の進捗状況を示す情報に基づいて、当該判定を行うようにしてもよい。

[0027] さらに、本発明に係る演算処理装置は、当該発行要求と当該送信要求とを当該信号線の使用状況に基づいて切り替えて、当該制御部から当該調停部へ導く信号線へと出力する発行要求切り替え部を更に有するようにしてもよい。

[0028] 本発明の更なる別の態様のひとつであるクロスコールの送信制御方法は、演算処理装置から他の演算処理装置へ宛てて発行されるクロスコールの送信を当該演算処理装置で制御する方法であって、当該クロスコールに係る処理の処理状況と、当該クロスコールの発行履歴とをクロスコールのエントリ毎に当該演算処理装置の記憶部で保持しておくステップを有するというものである。

[0029] なお、本発明に係るクロスコールの送信制御方法は、当該クロスコールに係る処理の処理状況と、当該クロスコールの発行履歴とをクロスコールのエントリ毎に当該演算処理装置の記憶部で保持しておくステップの後に、当該記憶部の当該記憶領域に保持されている識別子が何についてのものかを当該演算処理装置で判定するステップをさらに有するようにしてもよい。

[0030] また、本発明に係るクロスコールの送信制御方法は、当該記憶部の当該記憶領域に保持されている識別子が何についてのものかを当該演算処理装置で判定するステップの後に、当該発行要求と当該送信要求とを当該信号線の使用状況に基づいて切り替えて、そのどちらか一方を当該調停部へ導く信号線へと出力するステップをさらに有するようにしてもよい。

[0031] 本発明の更なる別の態様のひとつである演算処理装置は、他の演算処理装置へ宛てて発行されるクロスコールの送信を制御すると共に、信号を外部へ導く信号線の使用権を調停する調停部に対して行われる、当該クロスコールの発行要求の送信と、当該クロスコールに係る処理に関するデータの送信要求の送信とを制御する制御部と、当該クロスコールの発行履歴を保持するための記憶領域として、当該クロスコールを個々に識別する識別子の記憶領域と、当該発行要求を個々に識別する識別

子の記憶領域と、当該送信要求を個々に識別する識別子の記憶領域とを有する記憶部と、を有するというものである。

[0032] 本発明の更なる別の態様のひとつである演算処理装置は、複数の演算処理装置を備えた情報処理装置であって、当該演算処理装置が、当該情報処理装置に備えられている他の演算処理装置へ宛てて発行されるクロスコールの送信を制御すると共に、信号を当該演算処理装置の外部へ導く信号線の使用権を調停する調停部に対して行われる、当該クロスコールの発行要求の送信と、当該クロスコールに係る処理に関するデータの送信要求の送信とを制御する制御部と、当該クロスコールの発行履歴を保持するための記憶領域として、当該クロスコールを識別する識別子の記憶領域と、当該発行要求を個々に識別する識別子の記憶領域と、当該送信要求を識別する識別子の記憶領域とを共用している記憶部と、を有するというものである。

[0033] 本発明の更なる別の態様のひとつである演算処理装置は、複数の演算処理部を有する演算処理装置であって、他の演算処理装置へ宛てて発行されるクロスコールの送信を制御すると共に、信号を外部へ導く信号線の使用権を調停する調停部に対して行われる、当該クロスコールの発行要求の送信と、当該クロスコールに係る処理に関するデータの送信要求の送信とを制御する制御部と、当該演算処理部毎に設けられており、当該クロスコールの発行履歴を保持するための記憶領域として、当該クロスコールを識別する識別子の記憶領域と、当該発行要求を識別する識別子の記憶領域と、当該送信要求を識別する識別子の記憶領域とを共用している記憶部と、を有するというものである。

[0034] 本発明の更なる別の態様のひとつであるクロスコールの送信制御方法は、演算処理装置から他の演算処理装置へ宛てて発行されるクロスコールの送信を当該演算処理装置で制御する方法であって、信号を当該演算処理装置から外部へ導く信号線の使用権を調停する調停部に対して行われる、当該クロスコールの発行要求と、当該クロスコールに係る処理に関するデータの送信要求とを制御するステップと、当該クロスコールを識別する識別子の記憶領域と、当該発行要求を識別する識別子の記憶領域と、当該送信要求を識別する識別子の記憶領域とを有する記憶部において、当該クロスコールの発行履歴を保持するステップと、を有するというものである。

[0035] 本発明によれば、以上のようにすることにより、計算機システムのマルチコア化や処理のマルチスレッド化によるクロスコールの制御のために要する資源の増大が抑制されるという効果を奏する。

図面の簡単な説明

[0036] [図1]マルチCPUシステムの概略構成例を示す図である。

[図2]クロスコール送受信の流れを説明する図である。

[図3]ステータスレジスタの構成例を示す図である。

[図4]コマンドFIFOを示す図である。

[図5]本発明を実施するマルチCPUシステムの構成を示す図である。

[図6]図5に示されているCPUAの外部インタフェース部の構成を示す図である。

[図7]図6に示されているレジスタの構成を示す図である。

[図8]XCSCによるクロスコールの送信制御動作の流れを示す図である。

[図9]ID判定回路の回路例を示す図である。

[図10]ID記憶制御回路の回路例を示す図である。

[図11]発行要求切り替え回路の回路例を示す図である。

[図12]複数のCPUコアを有しているCPUで構成したマルチCPUシステムの構成例を示す図である。

[図13]図12に示したCPUAの外部インタフェース部の構成を示す図である。

発明を実施するための最良の形態

[0037] まず、本発明における実施の形態を説明する前に、図2の(1)から(4)にかけての矢印で示されているクロスコール送信時における、XCSC1121の内部動作について説明する。

[0038] CPUコア部1110から送られてきたクロスコールのデータがデータレジスタに書き込まれた後、BN番号の指定を伴ったBUSYビットへの書き込み要求がCPUコア部1110から送られてくる。この要求に応じ、ステータスレジスタにおける指定されているBN番号のBUSYビットが立てられるのと同時に、コマンドFIFOに当該BN番号が格納され、更にVLD(Valid)ビットがセットされる。このとき、XCSC1121よりXCALL_REQ(クロスコールリクエスト)の発行要求が調停部へと送信される。

[0039] 調停部は、CPUコア部1110とSC1300との間のバス(信号線)の使用の優先順位を調停し、コマンドの発行を効率的に行えるように、且つ仕様に則って行うように、制御するためのブロックであり、外部インタフェース部1120に設けられている(もちろん、調停部は、CPU1200の外部インタフェース部1220にも同様に設けられている)。この調停部においてバスの使用権が得られると、コマンドFIFO内の当該BN番号に対応するISD(Issued)ビットがセットされ、前述のXCALL__REQをSC1300へ発行する。

[0040] ここで、SC1300からNACKが返ってきた場合には、ステータスレジスタのBUSYビットとコマンドFIFOのVALIDビットとを落とし、代わってステータスレジスタのNACKビットをセットし、クロスコールの発行失敗を表示する。一方、SC1300からACKが返ってきた場合には、データレジスタに保持しておいたデータをSC1300へ発行し、併せて、コマンドFIFOのVLDビット及びISDビットと、ステータスレジスタのBUSYビットとを落とす。

[0041] XCSC1121内部では以上のような動作を行っていた。

このように、従来は、上述したXCSC1121の動作において、ACKをSC1300から受信した後のデータ送信は常に固定した動作サイクルの後に行われており、また、このデータ送信はACK受信後直ちに可能であったので、データ送信用のリクエスト信号は不要であった。

[0042] ところが、このACK受信後のデータ送信のタイミングが不定の場合には、クロスコールに係る処理に関するデータの送信の要求(Slave Write Cross Call Request、以下、「SWXC__REQ」と記す)の発行要求を調停部へ発行すると共に、当該データ送信の発行順を制御する必要が生じる。なお、ACK受信後のデータ送信タイミングが固定であるか否かは、バスの仕様に依存するものである。

[0043] 更に加えて、XCALL__REQの発行順にACKがSC1300から返ってくるかどうかもバスの仕様に依存している。従って、SC1300側で例えば待ち合わせ回路の削減等の事情により、XCALL__REQの発行順にACKがSC1300から返ってくることが保証されていない場合には、SWXC__REQ発行時にも返答の順番が入れ替わる可能性が生じる。

[0044] 従って、上述した従来のコマンドFIFOのエントリ構成のままでこの返答の順番の入れ替わりに対処するには、途中で順番が入れ替わる可能性があるため複雑な制御が必要となるが、エントリ毎に単純に制御回路を増やせば、クロスコールのエントリ数が多いため、非常に多くの資源を必要とすることとなる。

[0045] 次に、本発明の実施の形態を図面に基づいて説明する。

図5は、本発明を実施するマルチCPUシステムの構成を示している。

同図において、CPUA10、CPUB110、及びメモリ400がSC300に接続されている。ここで、CPUA10とCPUB110との各々のCPUコア部20、120は、外部インタフェース部30、130を各々介してSC300に接続されている。この外部インタフェース部30、130には、XCSC40、140とXCRC50、150とが各々備えられている。ここで、同図におけるCPU間クロスコールは、例えばCPUA10及びCPUB110との間において、SC300を介することにより、実行される。

[0046] 次に図6について説明する。同図は、本発明を実施するCPUA10の外部インタフェース部の構成を示している。なお、同図は図5におけるCPUA10の外部インタフェース部30の構成を示しているが、CPUB110の外部インタフェース部130も同様の構成を有している。

[0047] CPUA10のCPUコア部20は、外部インタフェース部30を介してSC300に接続されている。

クロスコールの制御は外部インタフェース部30によって行われる。外部インタフェース部30は、XCSC40、XCRC50、及び調停部70を有している。ここで、XCSC40はクロスコールの送信制御を行うものであり、XCRC50はクロスコールの受信制御を行うものである。また、調停部70は、CPUコア部20とSC300との間のバス(信号線)の使用の権限(優先順位)を調停し、コマンドの発行を効率的に行えるように、且つ仕様に則って行うように、制御するものである。

[0048] XCSC40はレジスタ41、ID判定回路42、ID記憶制御回路43、発行要求切り替え回路44、動作制御部45、及びデータレジスタ60を有している。

レジスタ41は、各クロスコールのBUSY及びNACKの状態並びにコマンドの発行内容をクロスコールの管理のために一括して記憶しておく記憶部として機能する。

[0049] ID判定回路42は、レジスタ41の所定の記憶領域に保持される識別子(ID)が何についてのものであるかを、XCSC40による制御動作の進捗状況を示すステータス情報に基づいて判定するものである。また、ID記憶制御回路43は、レジスタ41の当該所定の記憶領域で保持させる識別子を、XCSC40による制御動作の進捗状況を示すステータスに応じて選択するものである。

[0050] 発行要求切り替え回路44は、クロスコールの発行要求と当該クロスコールに係る処理に関するデータの送信要求とを、CPUコア部20とSC300との間のバスの使用状況に基づいて切り替えるものである。

[0051] 動作制御部45は、XCSC40の動作制御を行うものである。

データレジスタ60は、CPUコア部20から送られてきたクロスコールのデータを一時的に格納しておくものである。

[0052] 次に図7について説明する。同図は、図6に示したレジスタ41の構成を例示している。

図7に示すように、このレジスタ41は、クロスコールに係る処理の処理状況、すなわち、クロスコールのBUSY(クロスコール発行中)及びNACK(クロスコールの発行失敗)の状態を、クロスコールのエントリ毎、ここではBUSYとNACKとのペア番号(BN番号)毎に保持して管理する。加えて、このレジスタ41は、クロスコールの発行履歴の管理のため、コマンドの発行の状況を管理するための各種のデータ(図7では「etc」と表示)を保持すると共に、SC300へ発行するクロスコールの相手先であるCPU等を示す識別子であるターゲットID(TID)をBN番号毎に保持して管理する。更に、レジスタ41にはHOLD__IDなる記憶領域がBN番号毎に用意されている。この記憶領域には、XCALL__REQ__ID、SWXC__REQ__ID、及びREQIDのいずれかが記憶されて管理される。

[0053] ここで、XCALL__REQ__IDは、XCSC40が調停部70へ送付する、XCALL__REQ(クロスコール要求)の発行要求の管理のために、当該発行要求に対して個々に与えられる識別子である。

[0054] また、SWXC__REQ__IDは、XCSC40が調停部70へ送付する、SWXC__REQ(クロスコールに係る処理に関するデータの送信要求)の発行要求の管理のために、

当該発行要求に対して個々に与えられる識別子である。

[0055] なお、REQIDは、クロスコールを個々に識別するための識別子である。

このように、クロスコールに係る処理の処理状況と、当該クロスコールの発行履歴とを直接対応付けて当該クロスコールのエントリ毎にレジスタ41で保持するようにしたことにより、これらを対応付けるための情報を保持しておくための専用の記憶領域が不要となる。また、従来は、上述した各識別子を別々の記憶領域で記憶して管理していたが、このように同一の記憶領域を共用することにより、記憶領域の節約となる。

[0056] 但し、同一の記憶領域を共用してこれらの識別子の管理を行うためには、当該記憶領域に記憶されている識別子が上述したもののうちのどれであるかを判別できなければならない。以下、この判別の手法について説明する。

[0057] 図8について説明する。同図は、図6のXCSC40の動作制御部45によるクロスコールの送信制御動作の流れを示しており、併せて、当該制御動作の進捗状況を示すステータス情報である、XCALL__VLD、XCALL__ISD、SWXC__VLDの各ビットの遷移の様子を表している。

[0058] まず、S101は初期状態を示しており、これは、SC300に接続されている他のCPU(図5においてはCPUB110)へ宛てて発行されるCPUコア部20からのクロスコールをレジスタ41へ受け入れることが可能な状態である。

[0059] ここで、CPUコア部20からまずXCALL__REQ(クロスコールリクエスト)の発行要求と当該XCALL__REQに対応するBN番号とが送られてくる。すると、制御動作はS102へと進み、XCSC40はCPUコア部20から次に送られてくるクロスコールのデータをデータレジスタ60に書き込むと共に、その発行要求と共に送られてきたBN番号に対応するレジスタ41のエントリにおけるBUSYビットを立てる。そして、XCALL__REQの発行要求を調停部70へと送信すると共に、当該BN番号に対応するXCALL__VLDビットをセットして当該発行要求の送信完了を表示する。なお、当該発行要求の送信に併せて、この発行要求を個々に識別するための識別子であるXCALL__REQ__IDを生成してレジスタ41の当該エントリのHOLD__IDで保持する。

[0060] XCALL__REQの発行要求に対し調停部70においてバスの使用権が得られると、制御動作はS103へと進み、XCSC40は、XCALL__REQをSC300へ発行すると

共に、レジスタ41内の当該エントリのXCALL__VLDビットを落とし、その代わりに当該エントリのXCALL__ISDビットをセットしてXCALL__REQの発行完了を表示する。なお、XCSC40は、このXCALL__REQを個々に識別するための識別子であるREQIDを生成し、XCALL__REQと共にSC300へ送信する。レジスタ41の当該エントリのHOLD__IDでは、XCALL__REQ__IDに代えて、このREQIDを保持する。

[0061] このXCALL__REQの発行に対し、SC300からNACKが返ってきた場合には、制御動作はS104へと進み、レジスタ41の当該エントリのXCALL__ISDビットとを落とし、この代わりに当該エントリのNACKビットをセットしてクロスコールの発行失敗を表示し、CPUコア部20によるクロスコールリクエストの発行要求のリトライを待つこととなる。ここで、例えば所定時間経過後にCPUコア部20からのクロスコールリクエストの発行要求を改めて受けた場合には、制御動作はS102へと戻り、上述した制御動作が再度行われる。

[0062] 一方、XCALL__REQの発行に対し、SC300からACKが返ってきた場合には、制御動作はS105へと進み、XCSC40は、SWXC__REQの発行要求を調停部70へと送信すると共に、レジスタ41の当該エントリのXCALL__ISDビットを落とし、この代わりに当該エントリのSWXC__VLDビットをセットして当該発行要求の送信完了を表示する。このとき、当該発行要求の送信に併せて、この発行要求を個々に識別するための識別子であるSWXC__REQ__IDを生成し、レジスタ41の当該エントリのHOLD__IDで、REQIDに代えて、このSWXC__REQ__IDを保持する。

[0063] SWXC__REQの発行要求に対し調停部70においてバスの使用権が得られると、制御動作はS106へと進み、XCSC40は、レジスタ41の当該エントリのSWXC__VLDビットを落とし、データレジスタに保持しておいたデータを含めたSWXC__REQを調停部70へと送信し、当該データをSC300へと発行する。

[0064] 以上のようにしてクロスコールのデータの発行が完了したときには、XCSC40は、レジスタ41の当該エントリのBUSYビットを落とし、制御動作はS101へと戻り、上述した制御動作が再度行われる。

[0065] CPUコア部20からのクロスコールリクエストの発行要求において指定されているBN番号に対応するレジスタ41の各エントリの内容は、XCSC40におけるクロスコール

の送信制御動作の流れに応じ、上述したように遷移する。従って、当該エントリにおけるHOLD__IDに現在保持されている識別子が何であるかは、当該エントリのステータス、すなわち、XCALL__VALID、XCALL__ISD、及びSWXC__VLDの各ビットの状態により判別することができるのである。

[0066] 次に、ID判定回路42、ID記憶制御回路43、及び発行要求切り替え回路44について説明する。

まず図9について説明する。同図はID判定回路42の回路例を示している。ID判定回路42は、レジスタ41の各エントリのHOLD__IDに保持されている識別子が何についてのものであるかを、XCSC40による前述した制御動作の進捗状況を示すステータス情報に基づいて判定するものである。なお、このID判定回路42は、エントリ毎に別個に設けられる。

[0067] 図9において、一致回路81a、81b、81cは、2つの入力に各々入力された識別子(ID)が一致した場合にのみ、「H」レベルの出力を行うものである。また、AND回路82a、82b、82cは、2つの入力がどちらも「H」レベルのときにのみ、「H」レベルの出力を行うものである。ここで、AND回路82aの出力であるXCALL__ISD__ID__MCHは、レジスタ41の判定対象のエントリのHOLD__IDに保持していた識別子が、XCALL__REQ__IDであるときに「H」レベルとなる。また、AND回路82bの出力であるREQ__ISD__ID__MCHは、当該判定対象のエントリのHOLD__IDに保持していた識別子が、REQ__IDであるときに「H」レベルとなる。また、AND回路82cの出力であるSWXC__ISD__ID__MCHは、当該判定対象のエントリのHOLD__IDに保持していた識別子が、SWXC__REQ__IDであるときに「H」レベルとなる。

[0068] 図9において、HOLD__IDの入力には、レジスタ41において指定されているBN番号に対応するエントリのHOLD__IDに保持されている識別子が入力される。また、図9におけるXCALL__REQ__ID、REQID、SWXC__REQ__IDの各入力には、それぞれ、XCSC40で上記のようにして生成した同一名称の識別子が入力される。更に、図9におけるXCALL__VLD、XCALL__ISD、SWXC__VLDの各入力には、それぞれ、レジスタ41の判定対象であるエントリにおける同一名称の各ビットの状態が入力される。

[0069] 従って、図9の回路によれば、当該エントリのHOLD__IDに保持されている識別子が、XCSC40で生成したXCALL__REQ__ID、REQID、SWXC__REQ__IDのいずれかと一致した場合にのみ、同図の回路の3つの出力（XCALL__ISD__ID__MCH、REQ__ISD__ID__MCH、及びSWXC__ISD__ID__MCH）のうちのいずれかが「H」レベルとなる。つまり、判定対象であるエントリのXCALL__VLDフラグが立っていれば（すなわち、XCSC40が図8のS102までの制御動作を行っていたときには）、図9におけるXCALL__VALID時にXCALL__REQ__IDとHOLD__IDが一致していることを表すXCALL__ISD__ID__MCHの出力のみが「H」レベルとなり、当該エントリのHOLD__IDに保持していた識別子が、XCALL__REQ__IDであるとの判定結果が示される。また、この場合において、当該エントリのXCALL__ISDフラグが立っていれば（すなわち、XCSC40が図8のS103までの制御動作を行っていたときには）、図9におけるREQ__ISD__ID__MCHの出力のみが「H」レベルとなり、当該エントリのHOLD__IDに保持していた識別子が、REQIDであるとの判定結果が示される。更に、この場合において、当該エントリのSWXC__VLDフラグが立っていれば（すなわち、XCSC40が図8のS105までの制御動作を行っていたときには）、図9におけるSWXC__ISD__ID__MCHの出力のみが「H」レベルとなり、当該エントリのHOLD__IDに保持していた識別子が、SWXC__REQ__IDであるとの判定結果が示される。

[0070] 以上のように、XCALL__ISD__ID__MCH、REQ__ISD__ID__MCH、及びSWXC__ISD__ID__MCHの出力の状態を参照することにより、レジスタ41の判定対象であるエントリのHOLD__IDに保持していた識別子が何であるかを判定することができる。

[0071] 次に図10について説明する。同図はID記憶制御回路43の回路例を示している。ID記憶制御回路43は、ID判定回路42からの出力の一部を利用し、レジスタ41の各エントリのステータスに応じて当該エントリのHOLD__IDに保持させるIDを選択するものである。なお、このID記憶制御回路43も、レジスタ41のエントリ毎に別個に設けられる。

[0072] 図10において、AND回路91aは、2つの入力がどちらも「H」レベルのときにのみ、

すなわち、当該エントリのXCALL__ISDビットがセットされており、且つ、ID判定回路42から出力されるXCALL__ISD__ID__MCHが「H」レベルのときにのみ、「H」レベルの出力を行う。この出力は、XCSC40が図8のS103の制御動作を行ったことを示す。

[0073] また、AND回路91bは、2つの入力がどちらも「H」レベルのときにのみ、すなわち、SC300からACKが帰ってきており、且つ、ID判定回路42から出力されるXREQ__ISD__ID__MCHが「H」レベルのときにのみ、「H」レベルの出力を行う。この出力は、XCSC40が図8のS105の制御動作を行ったことを示す。

[0074] AND回路91cは、ID判定回路42から出力されるXCALL__ISD__ID__MCHが「H」レベルのとき、すなわち、レジスタ41の判定対象のエントリのHOLD__IDに保持していた識別子がXCALL__REQ__IDであったときに、XCSC40が図8のS103の制御動作を行ったことにより生成したREQIDをそのまま出力するものである。

[0075] AND回路91dは、ID判定回路42から出力されるREQ__ISD__ID__MCHが「H」レベルのとき、すなわち、レジスタ41の判定対象のエントリのHOLD__IDに保持していた識別子がREQIDであったときに、XCSC40が図8のS105の制御動作を行ったことにより生成したSWXC__REQ__IDをそのまま出力するものである。

[0076] OR回路92aは、その3つの入力である、当該エントリのXCALL__ISDビットとAND回路91a及び91bとのうちの少なくとも1つ以上が「H」レベルのときに、「H」レベルの出力を行うものである。ここで、当該エントリのXCALL__ISDビットが「H」レベルとなるのは、XCSC40が図8のS101の制御動作を行ったときである。従って、OR回路92aの出力が「H」レベルとなるのは、XCSC40が図8のS101、S103、S105のいずれかの制御動作を行ったときである。

[0077] OR回路92bは、その3つの入力に各々排他的に入力される識別子である、XCALL__REQ__ID、REQID、SWXC__REQ__IDのうちのいずれか1つのみをそのまま出力するものである。

[0078] 記憶領域93は、レジスタ41において指定されているBN番号に対応するエントリのHOLD__IDの領域を表している。ここで、図10には「EN」の表示があるが、この表示は、OR回路92aの出力が記憶領域93でのデータ記憶についてのイネーブル(EN

ABLE)として作用することを表している。つまり、OR回路92aの出力が「H」レベルとなったとき、すなわち、XCSC40が図8のS101、S103、S105のいずれかの制御動作を行ったときに、OR回路92bから出力されている識別子を保持するように記憶領域93は動作する。

[0079] なお、図10において、XCALL__REQ__IDの値は、XCALL__VLDビットが無効のときには「0」であるとする。

図10に示したID記憶制御回路43の動作について更に説明する。

[0080] XCSC40が図8のS102の制御動作を行うと、XCALL__REQ__IDが生成されると共に、XCALL__VLDビットがセットされる。従って、図10の回路では、このときに、CPUコア部20から送られてきたクロスコールリクエストの発行要求において指定されているBN番号に対応するレジスタ41のエントリにおけるHOLD__ID(記憶領域63)にはXCALL__REQ__IDが保持されることとなる。

[0081] また、XCSC40が図8のS103の制御動作を行うと、REQIDが生成されると共に、XCALL__VLDビットが落とされ、代わりにXCALL__ISDビットがセットされる。このとき、当該エントリにおけるHOLD__IDにはXCALL__REQ__IDが保持されているので、図9の回路におけるXCALL__ISD__ID__MCHの出力は「H」レベルとなっている。従って、このときにはOR回路92aが改めて「H」レベルとなるので、当該エントリにおけるHOLD__IDにはREQIDが保持されることとなる。

[0082] その後、XCSC40が図8のS105の制御動作を行うと、SWXC__REQ__IDが生成されると共に、XCALL__ISDビットが落とされる。このとき、SC300からACKが返ってきている。また、このときには、当該エントリにおけるHOLD__IDにはREQIDが保持されているので、図9の回路におけるREQ__ISD__ID__MCHの出力は「H」レベルとなっている。従って、このときにはOR回路92aが改めて「H」レベルとなるので、当該エントリにおけるHOLD__IDにはSWXC__REQ__IDが保持され、当該HOLD__IDの値が出力されることとなる。

[0083] このように、ID記憶制御回路43は、XCSC40の送信制御動作の流れに応じ、その時点でXCSC40の内部処理のために保持しておく必要のある識別子を、レジスタ41の各エントリのHOLD__IDに保持させる。

[0084] 以上のように、従来は別個に設けられていたステータスレジスタとコマンドFIFOとをレジスタ41として一体化したことにより、従来はコマンドFIFOに設けられていたBN番号の記憶領域が削減される。また、ID判定回路42及びID記憶制御回路43を設けたことにより、XCALL__REQ__ID、REQID、SWXC__REQ__IDを保持しておくための記憶領域の共用化を可能にし、記憶領域を従来から増加させることなく、クロスコール制御におけるハードウェア資源の増加を抑制することが可能となる。

[0085] このような、レジスタのエントリの制御変更によるハードウェア資源の増加抑制効果は、(エントリあたりの増加抑制効果)×(エントリ数)×(ストランド数)で概算することができる。ここで、ストランド数とは、物理的な1つのCPUコア当たりで構築される論理的なコアの数を示している。近年のCPUのマルチコア化の進展とマルチスレッド処理の採用により、エントリ数及びストランド数はどちらも増加する傾向にあるので、この増加抑制効果は非常に大きなものとなる。

[0086] 次に図11について説明する。同図は発行要求切り替え回路44の回路例を示している。

調停部70では、XCALL__REQの発行要求とSWXC__REQの発行要求とが競合しても選択されるのはどちらか一方のみであり、同時に両方が発行されることはないことは明らかである。また、バスを介してデータ送信を行っている間は、XCALL__REQのような、他の情報を伴わないコマンドを発行することは可能であるが、CPUコア部20から送られてきたクロスコールに関するデータを含むSWXC__REQのような、他の情報を含むコマンドを発行することはできない。

[0087] そこで、XCSC40を以下のように制御する。すなわち、CPUA10とSC300との間のバスの使用状況を示すBUSYフラグが立っている期間、すなわち、当該バスを介してデータ送信を行っている期間においてはSWXC__REQ発行要求を抑止する一方で、その期間においてもXCALL__REQ発行要求はXCSC40から調停部70へ送信するように制御する。これに対し、当該BUSYフラグが落ちている期間、すなわち、バスを介したデータ送信を行っていない期間においてはSWXC__REQ発行要求を優先して調停部70へ送信し、SWXC__REQ発行要求がないときにはXCALL__REQ発行要求を調停部70へ送信するように制御する。ここで、同一のBN番号に

対応するXCALL__REQの発行要求とSWXC__REQの発行要求とは排他的に生じるものであって同時に生じることはないので、このような制御を行ってもクロスコール動作が滞ることはない。

[0088] 発行要求切り替え回路44はこの制御を行う回路である。

図11において、OR回路101は、2つの入力のうちの少なくとも1つ以上が「H」レベルのとき、すなわち、2つのAND回路102a、102bの各々の出力のうちの少なくとも1つ以上が「H」レベルのときに、「H」レベルの出力を行う。

[0089] ここで、AND回路102aの出力が「H」レベルとなるのは、CPUコア部20とSC300との間のバスの使用状況を示すBUSYビット(DATA__BUSY)が立っている状態の下で、XCALL__REQ__PREビットが「H」レベルとなった場合のみである。ここで、XCALL__REQ__PREビットとは、図8に示したXCSC40の送信制御動作がS102へと進み、XCALL__REQ発行要求を発生させるためのトリガとしてXCSC40内部でセットされる(「H」レベルとされる)ビットである。つまり、CPUコア部20とSC300との間でバスを介してデータ送信を行っている状態の下で、XCALL__REQ発行要求が生じた場合に、AND回路102aは「H」レベルとなる。

[0090] また、AND回路102bの出力が「H」レベルとなるのは、当該BUSYビットが立っていない状態であって、且つ、SWXC__REQ__PREビットが「L」レベルの状態の下でXCALL__REQ__PREビットが「H」レベルとなった場合のみである。ここで、SWXC__REQ__PREは、図8に示したXCSC40の送信制御動作がS105へと進み、SWXC__REQ発行要求を発生させるためのトリガとしてXCSC40内部でセットされる(「H」レベルとされる)ビットである。つまり、バスを介したデータ送信を行っていない期間であって、且つ、SWXC__REQ発行要求がない期間において、XCALL__REQ発行要求が生じた場合に、AND回路102bは「H」レベルとなる。

[0091] OR回路71は、上記した2つの場合にのみ、XCALL__REQを「H」レベルとしてXCALL__REQ発行要求の調停部70への送信を許可する。

一方、AND回路102cは、当該BUSYビットが立っていない状態の下でSWXC__REQ__PREが「H」レベルとなった場合にのみ、つまり、バスを介したデータ送信を行っていない期間において、SWXC__REQ発行要求が生じた場合にのみ、SWXC

__REQを「H」レベルとしてSWXC__REQ発行要求の調停部70への送信を許可する。

[0092] 以上のように動作する回路をXCSC40に備えることにより、XCSC40から調停部70への配線が、XCALL__REQのためのものとSWXC__REQのためのものとで共用できるようになるので、これらの信号線を別個に調停部70へ配線する場合に比べ、CPUコア部20からの他のリクエストとの調停を取るために配線が密集する調停部70周辺の配線量が減少する。

[0093] 次に、本発明の他の実施形態について説明する。これより説明する実施形態は、複数のCPUコアを有しているCPUでマルチCPUシステムを構成するものである。このマルチCPUシステムの構成を図12に示す。

[0094] 同図において、CPUA510、CPUB610、及びメモリ400がSC300に接続されている。ここで、CPUA510はCPUコア部AA520とCPUコア部AB521とを有しており、CPUB610はCPUコア部BA620とCPUコア部BB621とを有している。CPUコア部AA520及びCPUコア部AB521は、どちらも外部インタフェース部530を介してSC300に接続されており、CPUコア部BA620及びCPUコア部BB621は、どちらも外部インタフェース部630を介してSC300に接続されている。外部インタフェース部530、630には、XCSC540、640とXCRC550、650とが各々備えられている。

[0095] 次に図13について説明する。同図は、図12に示したCPUA510の外部インタフェース部530の構成を示している。なお、図12に示したCPUB610の外部インタフェース部630も同様の構成を有している。

[0096] CPUA510のCPUコア部AA520及びCPUコア部AB521は、どちらも外部インタフェース部530を介してSC300に接続されている。

クロスコールの制御は外部インタフェース部530によって行われる。外部インタフェース部530は、XCSC540、XCRC550、及び調停部570を有している。ここで、XCSC540はクロスコールの送信制御を行うものであり、XCRC550はクロスコールの受信制御を行うものである。また、調停部570は、2つのCPUコア部520、521とSC300との間のバス(信号線)の使用の権限(優先順位)を調停し、コマンドの発行を効率的に行えるように、且つ仕様に則って行うように、制御するものである。

[0097] XCSC540の構成はレジスタ541、ID判定回路542、ID記憶制御回路543、発行要求切り替え回路544、動作制御部545、及びデータレジスタ560を有している。

[0098] レジスタ541は、各クロスコールのBUSY及びNACKの状態並びにコマンドの発行内容をクロスコールの管理のために一括して記憶しておく記憶部として機能する。なお、レジスタ541は、CPUコア部AA520用のレジスタ541－1と、CPUコア部AB521用のレジスタ541－2とを有している。なお、このレジスタ541－1及び541－2の構成は、どちらも図7に示したレジスタ41の構成と同一である。

[0099] ID判定回路542は、レジスタ541の所定の記憶領域に保持される識別子(ID)が何についてのものであるかを、XCSC540による制御動作の進捗状況を示すステータス情報に基づいて判定するものであり、図9に示したID判定回路42と同一構成のものである。また、ID記憶制御回路543は、レジスタ541の当該所定の記憶領域で保持させる識別子を、XCSC540による制御動作の進捗状況を示すステータスに応じて選択するものであり、図10に示したID記憶制御回路43と同一構成のものである。

[0100] 発行要求切り替え回路544は、クロスコールの発行要求と当該クロスコールに係る処理に関するデータの送信要求とを、2つのCPUコア部520、521とSC300との間のバスの使用状況に基づいて切り替えるものであり、図11に示した発行要求切り替え回路44と同一構成のものである。

[0101] 動作制御部545は、XCSC540の動作制御を行うものであり、動作制御部545によって行われるXCSC40のクロスコールの送信制御動作の流れは、図8に示したものと同一の流れによって行われる。

[0102] データレジスタ460は、2つのCPUコア部520、521から送られてきたクロスコールのデータを一時的に格納しておくものである。

このように、複数のCPUコアを有しているCPUにおいても、従来はCPUコア毎に別個に設けられていたステータスレジスタとコマンドFIFOとをレジスタ541－1及び541－2として一体化してCPUコア毎に設けたことにより、従来はコマンドFIFOに設けられていたBN番号の記憶領域が削減される。また、ID判定回路542及びID記憶制御回路543を設けることで、前述した実施例と同様、レジスタ541－1及び541－2に

おけるXCALL__REQ__ID、REQID、SWXC__REQ__IDを保持しておくための記憶領域の共用化を可能にしたことにより、記憶領域を従来から増加させることなく、クロスコール制御における仕様の変更への対処が可能となる。

[0103] このような、レジスタのエントリの制御変更によるハードウェア資源の増加抑制効果は、複数のCPUコアを有しているCPUにおいては、(エントリあたりの増加抑制効果)×(エントリ数)×(ストランド数)×(CPUコア数)で概算することができる。従って、前述した単一CPUコアを持つCPU同様、複数のCPUコアを持つCPUにおいても、ハードウェア増加の抑制効果は非常に大きなものとなる。

[0104] 以上、本発明の実施形態を説明したが、本発明は、上述した各実施形態に限定されることなく、本発明の要旨を逸脱しない範囲内で種々の改良・変更が可能である。

請求の範囲

[1] 他の演算処理装置へ宛てて発行されるクロスコールの送信を制御する制御部と、

前記クロスコールに係る処理の処理状況と、前記処理状況に対応する前記クロスコールの発行履歴とをクロスコールのエントリ毎に保持する記憶部と、

を有することを特徴とする演算処理装置。

[2] 前記制御部は、他の演算処理装置宛てのクロスコールの送信を制御すると共に、信号を外部へ導く信号線の使用権を調停する調停部に対して行われる、前記クロスコールの発行要求の送信と、前記クロスコールに係る処理に関するデータの送信要求の送信とを制御し、

前記記憶部は、前記クロスコールを識別する識別子を記憶する第一の記憶領域と、前記発行要求を識別する識別子を記憶する第二の記憶領域と、前記送信要求を識別する識別子を記憶する第三の記憶領域とを有する、

ことを特徴とする請求項1に記載の演算処理装置。

[3] 前記記憶部の前記記憶領域に保持されている識別子が何についてのものかを判定する判定部を更に有することを特徴とする請求項2に記載の演算処理装置。

[4] 前記判定部は、前記制御部による前記制御の進捗状況を示す情報に基づいて、前記判定を行うことを特徴とする請求項3に記載の演算処理装置。

[5] 前記発行要求と前記送信要求とを前記信号線の使用状況に基づいて切り替えて、前記制御部から前記調停部へ導く信号線へと出力する発行要求切り替え部を更に有することを特徴とする請求項2に記載の演算処理装置。

[6] 複数の演算処理装置を備えた情報処理装置であって、

前記演算処理装置が、

前記情報処理装置に備えられている他の演算処理装置へ宛てて発行されるクロスコールの送信を制御する制御部と、

前記クロスコールに係る処理の処理状況と、前記処理状況に対応する前記クロスコールの発行履歴とをクロスコールのエントリ毎に保持する記憶部と、

を有する

ことを特徴とする情報処理装置。

[7] 前記制御部は、他の演算処理装置宛てのクロスコールの送信を制御すると共に、信号を外部へ導く信号線の使用権を調停する調停部に対して行われる、前記クロスコールの発行要求の送信と、前記クロスコールに係る処理に関するデータの送信要求の送信とを制御し、

前記記憶部は、前記クロスコールを識別する識別子を記憶する第一の記憶領域と、前記発行要求を識別する識別子を記憶する第二の記憶領域と、前記送信要求を識別する識別子を記憶する第三の記憶領域とを有する、

ことを特徴とする請求項6に記載の情報処理装置。

[8] 前記記憶部の前記記憶領域に保持されている識別子が何についてのものかを判定する判定部を更に有することを特徴とする請求項7に記載の情報処理装置。

[9] 前記判定部は、前記制御部による前記制御の進捗状況を示す情報に基づいて、前記判定を行うことを特徴とする請求項8に記載の情報処理装置。

[10] 前記発行要求と前記送信要求とを前記信号線の使用状況に基づいて切り替えて、前記制御部から前記調停部へ導く信号線へと出力する発行要求切り替え部を更に有することを特徴とする請求項7に記載の情報処理装置。

[11] 複数の演算処理部を有する演算処理装置であって、

前記複数の演算処理部のいずれかから他の演算処理装置における演算処理部へ宛てて発行されるクロスコールの送信を制御する制御部と、

前記演算処理部毎に設けられており、前記クロスコールに係る処理の処理状況と、前記処理状況に対応する前記クロスコールの発行履歴とをクロスコールのエントリ毎に保持する記憶部と、

を有することを特徴とする演算処理装置。

[12] 前記制御部は、他の演算処理装置における演算処理部宛てのクロスコールの送信を制御すると共に、信号を外部へ導く信号線の使用権を調停する調停部に対して行われる、前記クロスコールの発行要求の送信と、前記クロスコールに係る処理に関するデータの送信要求の送信とを制御し、

前記記憶部は、前記クロスコールを識別する識別子を記憶する第一の記憶領域と、前記発行要求を識別する識別子を記憶する第二の記憶領域と、前記送信要求を

識別する識別子を記憶する第三の記憶領域とを有する、

ことを特徴とする請求項11に記載の演算処理装置。

[13] 前記記憶部の前記記憶領域に保持されている識別子が何についてのものかを判定する判定部を更に有することを特徴とする請求項12に記載の演算処理装置。

[14] 前記判定部は、前記制御部による前記制御の進捗状況を示す情報に基づいて、前記判定を行うことを特徴とする請求項13に記載の演算処理装置。

[15] 前記発行要求と前記送信要求とを前記信号線の使用状況に基づいて切り替えて、前記制御部から前記調停部へ導く信号線へと出力する発行要求切り替え部を更に有することを特徴とする請求項12に記載の演算処理装置。

[16] 演算処理装置から他の演算処理装置へ宛てて発行されるクロスコールの送信を前記演算処理装置で制御する方法であって、

前記クロスコールに係る処理の処理状況と、前記クロスコールの発行履歴とをクロスコールのエントリ毎に前記演算処理装置の記憶部で保持しておくステップ

を有することを特徴とするクロスコールの送信制御方法。

[17] 前記クロスコールに係る処理の処理状況と、当該クロスコールの発行履歴とをクロスコールのエントリ毎に前記演算処理装置の記憶部で保持しておくステップの後に、

前記記憶部の前記記憶領域に保持されている識別子が何についてのものかを前記演算処理装置で判定するステップをさらに有することを特徴とする請求項16に記載のクロスコールの送信制御方法。

[18] 前記記憶部の前記記憶領域に保持されている識別子が何についてのものかを前記演算処理装置で判定するステップの後に、

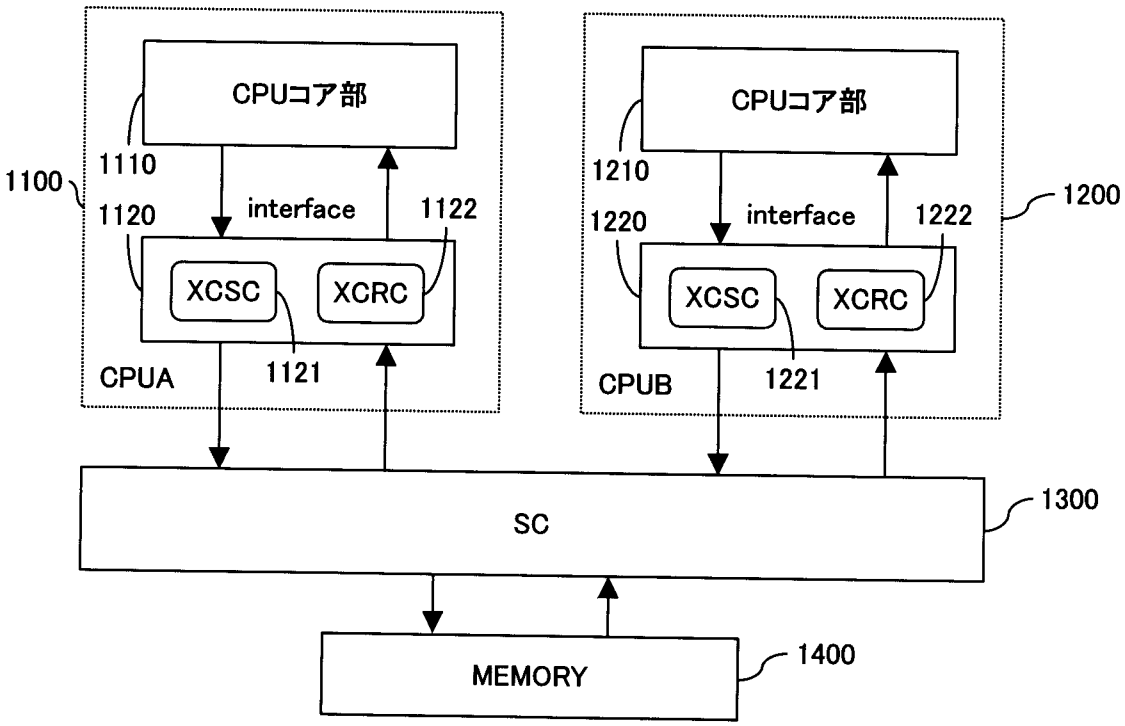
前記発行要求と前記送信要求とを前記信号線の使用状況に基づいて切り替えて、そのどちらか一方を前記調停部へ導く信号線へと出力するステップをさらに有することを特徴とする請求項16に記載のクロスコールの送信制御方法。

[19] 他の演算処理装置へ宛てて発行されるクロスコールの送信を制御すると共に、信号を外部へ導く信号線の使用権を調停する調停部に対して行われる、前記クロスコールの発行要求の送信と、前記クロスコールに係る処理に関するデータの送信要求の送信とを制御する制御部と、

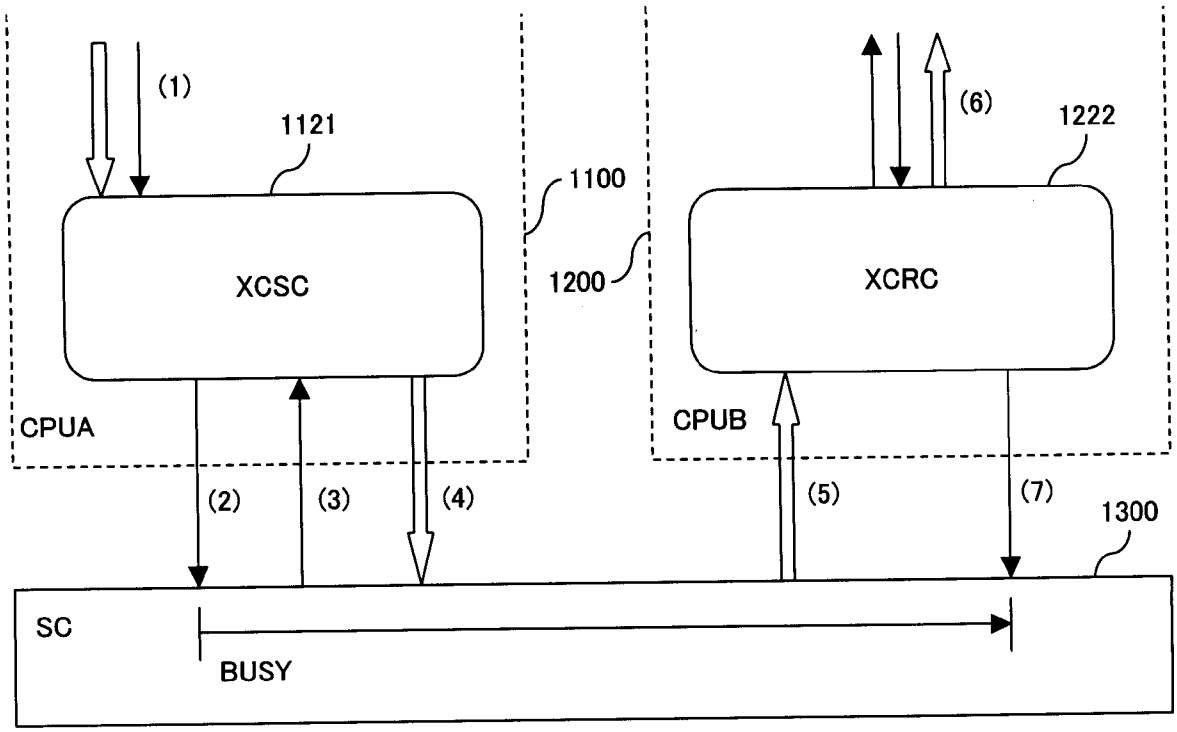
前記クロスコールの発行履歴を保持するための記憶領域として、当該クロスコールを個々に識別する識別子の記憶領域と、前記発行要求を個々に識別する識別子の記憶領域と、前記送信要求を個々に識別する識別子の記憶領域とを有する記憶部と、

を有することを特徴とする演算処理装置。

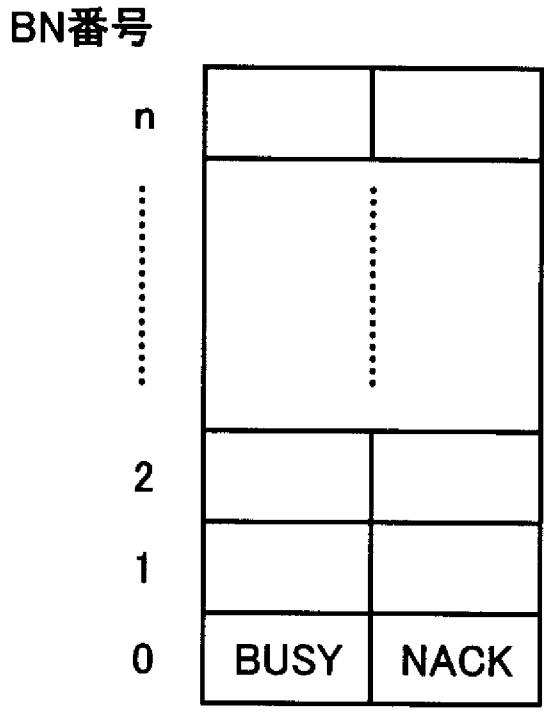
[図1]


CPUコア部
1110
1100
1120
interface
1122
XCSC
XCRC
CPUA
1121
CPUコア部
1210
1220
interface
1222
1200
XCSC
XCRC
CPUB
1221
SC
1300
MEMORY
1400

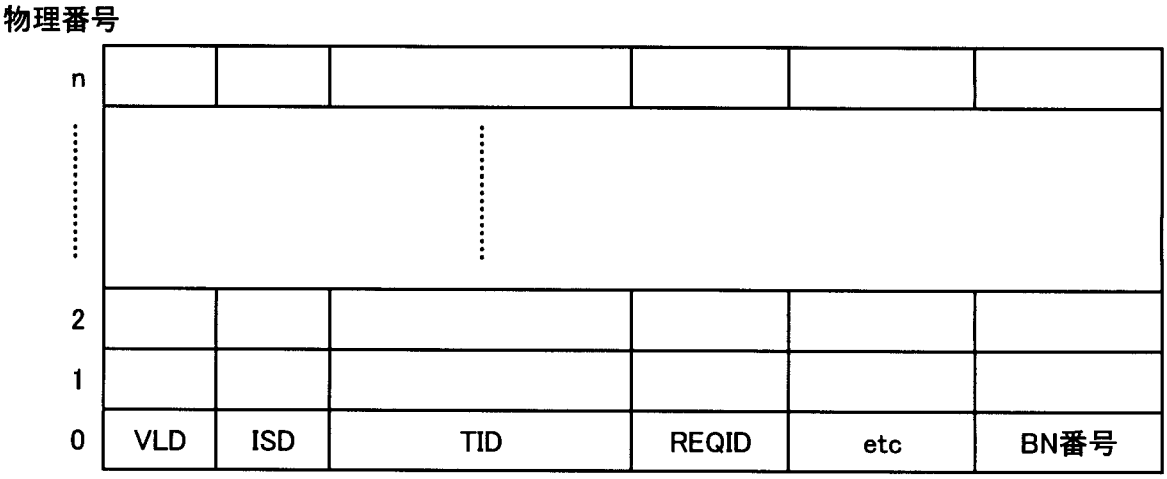
[図2]


(1)
1121
1100
XCSC
1200
CPUA
(2)
(3)
(4)
(6)
1222
XCRC
CPUB
(5)
(7)
1300
SC
BUSY

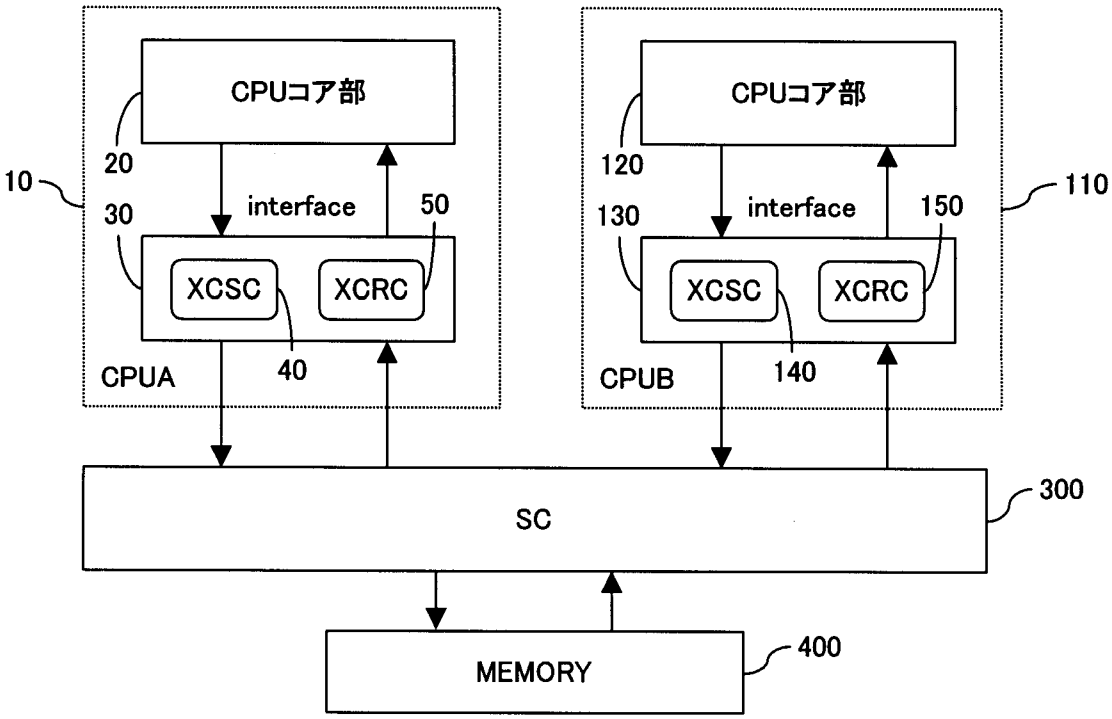
[図3]



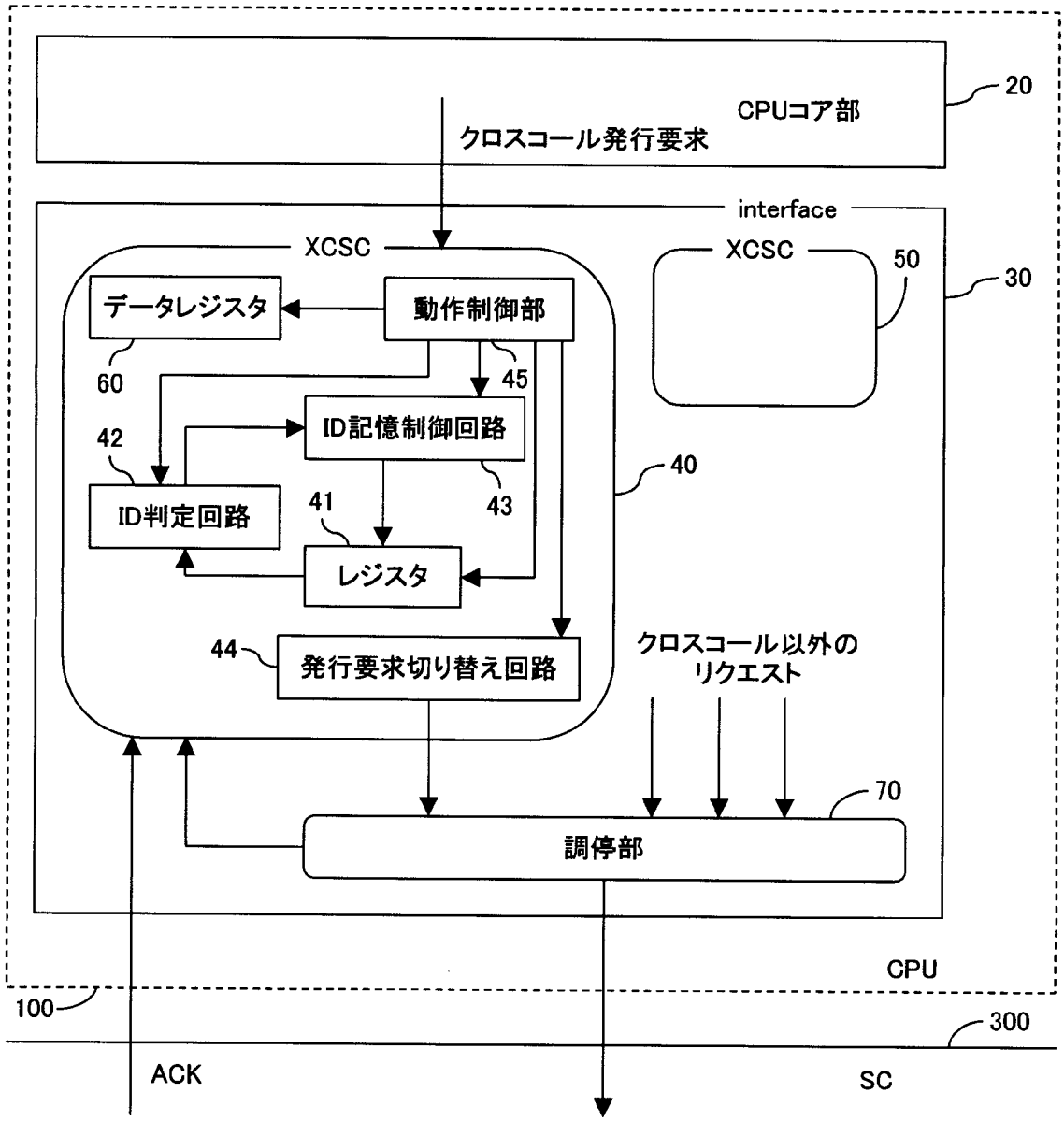
[図4]



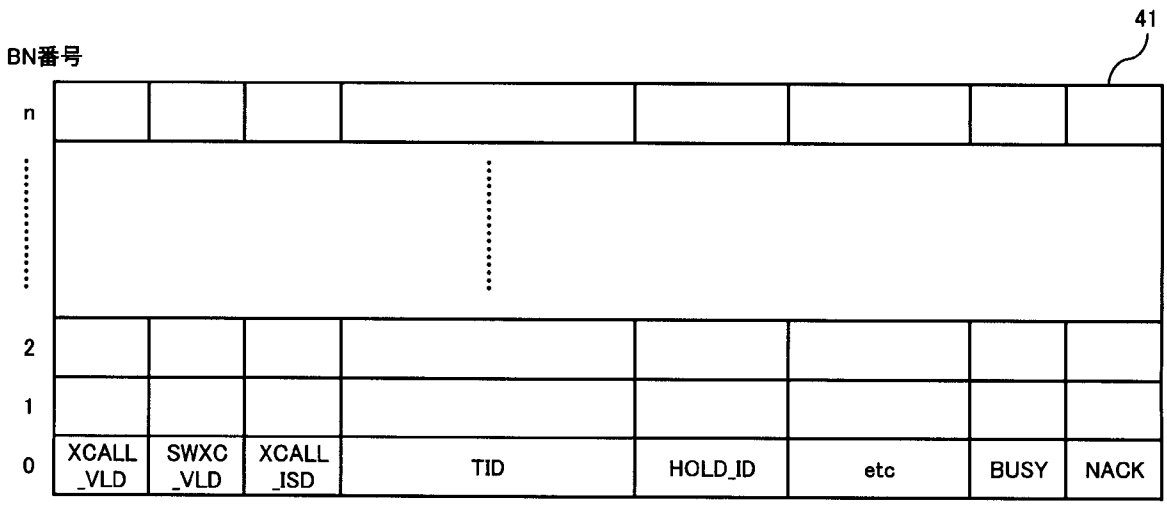
[図5]


CPUコア部
20
10
30
interface
50
XCSC
XCRC
40
CPUA
CPUコア部
120
130
interface
150
110
XCSC
XCRC
140
CPUB
SC
300
MEMORY
400

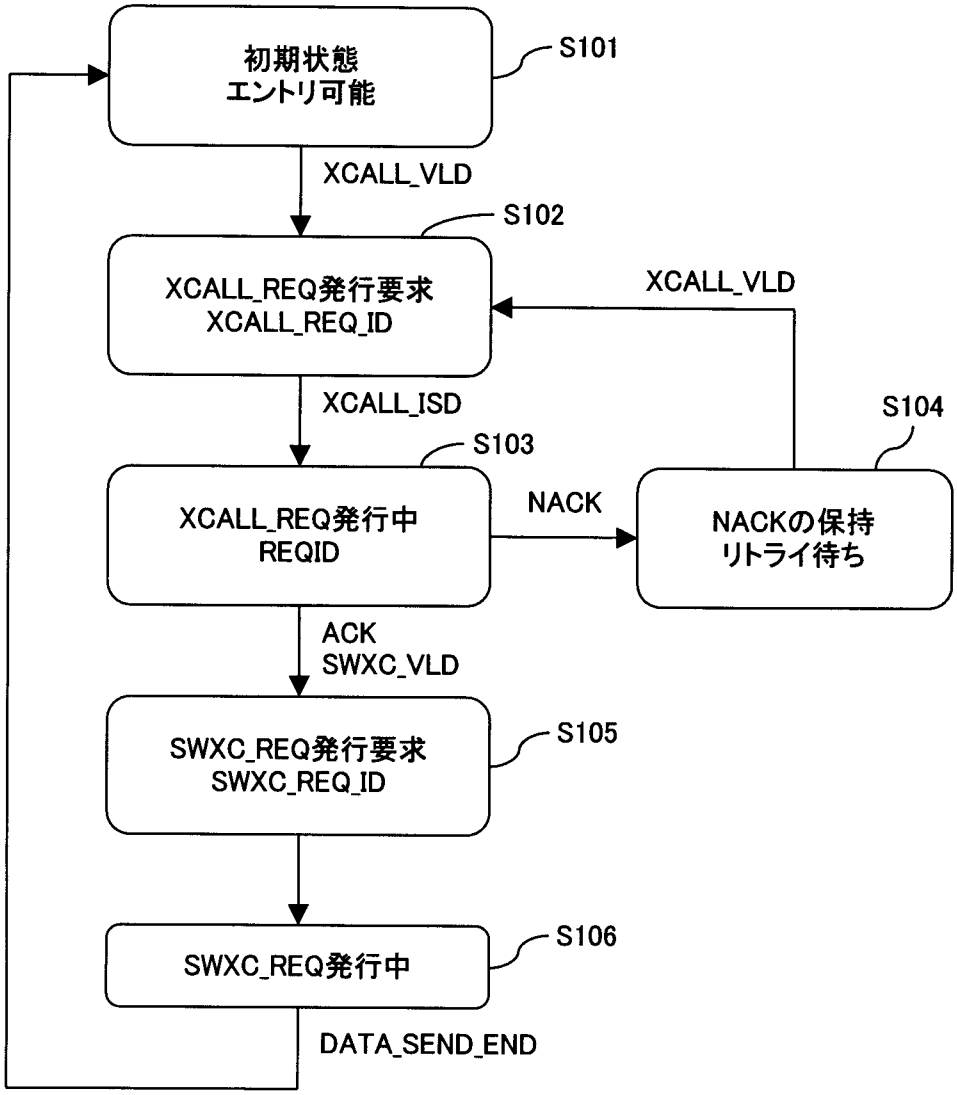
[図6]


CPUコア部
20
クロスコール発行要求
interface
XCSC
XCSC
50
30
データレジスタ
動作制御部
60
45
ID記憶制御回路
42
40
ID判定回路
41
43
レジスタ
44
発行要求切り替え回路
クロスコール以外の
リクエスト
70
調停部
CPU
100
300
ACK
SC

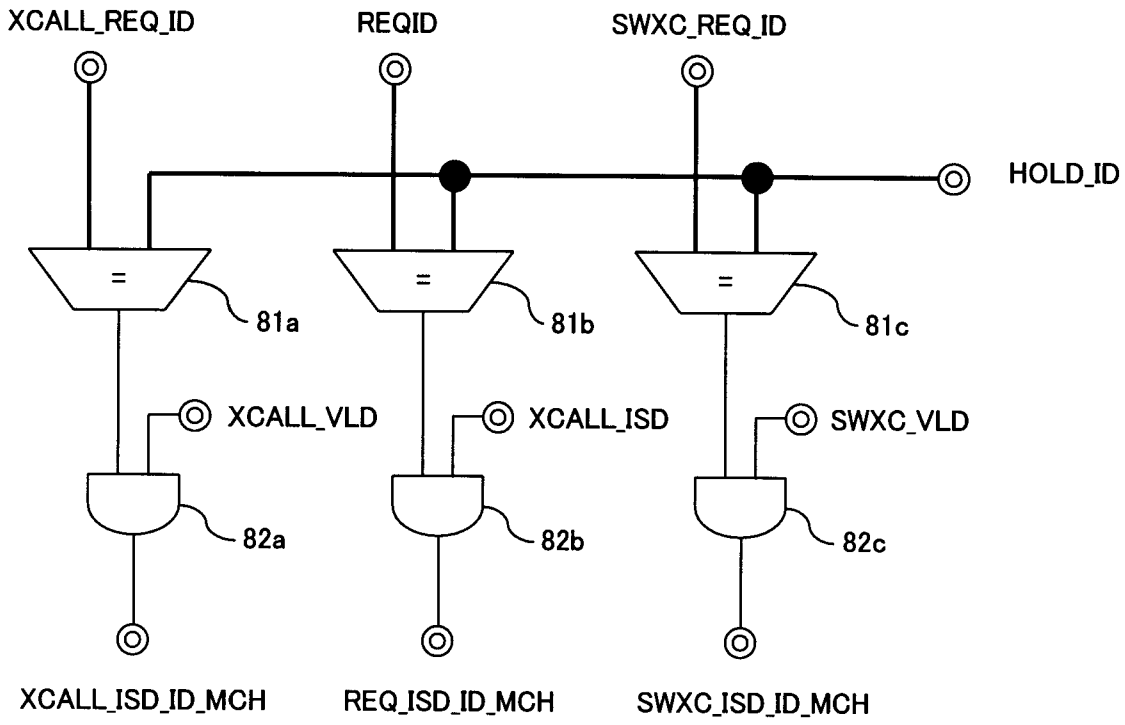
[図7]


41
BN番号
n
2
1
0
XCALL_VLD
SWXC_VLD
XCALL_ISD
TID
HOLD_ID
etc
BUSY
NACK

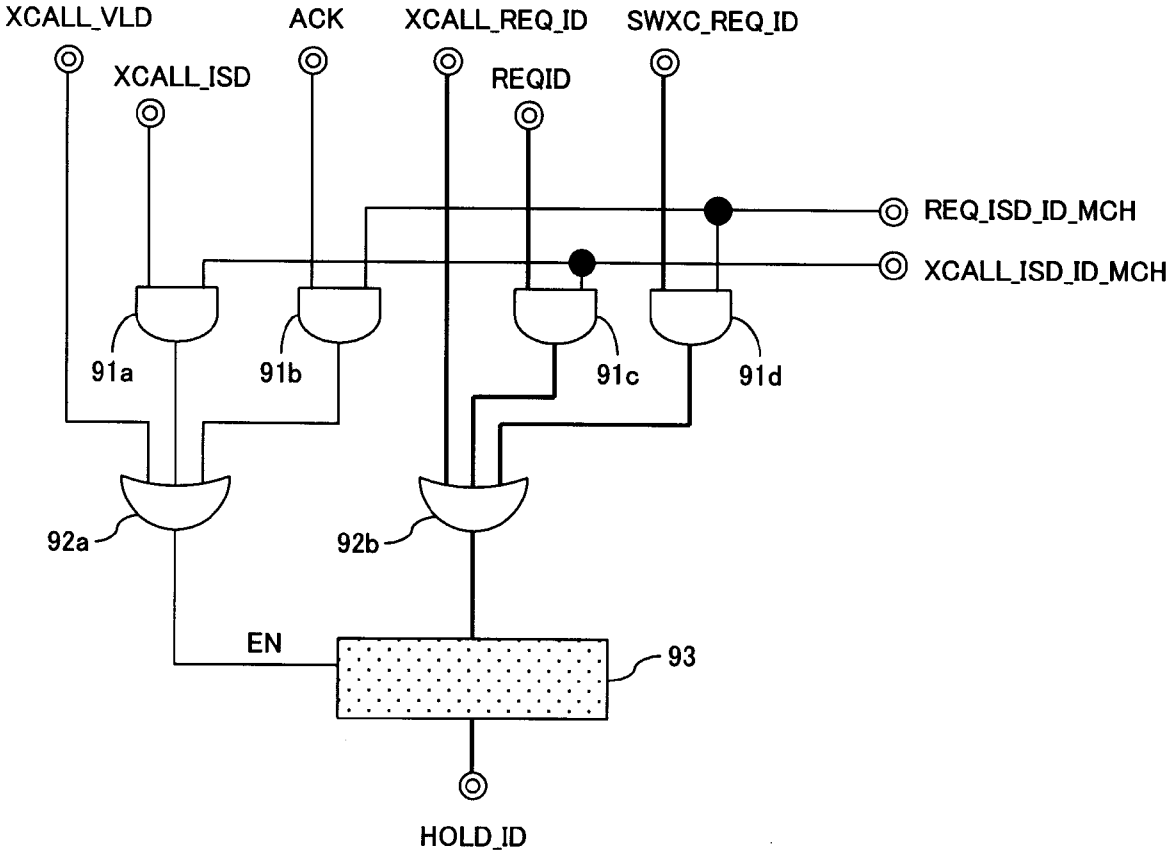
[図8]


初期状態
エントリ可能
S101
XCALL_VLD
S102
XCALL_REQ発行要求
XCALL_REQ_ID
XCALL_VLD
XCALL_ISD
S104
S103
XCALL_REQ発行中
REQID
NACK
NACKの保持
リトライ待ち
ACK
SWXC_VLD
SWXC_REQ発行要求
SWXC_REQ_ID
S105
SWXC_REQ発行中
S106
DATA_SEND_END

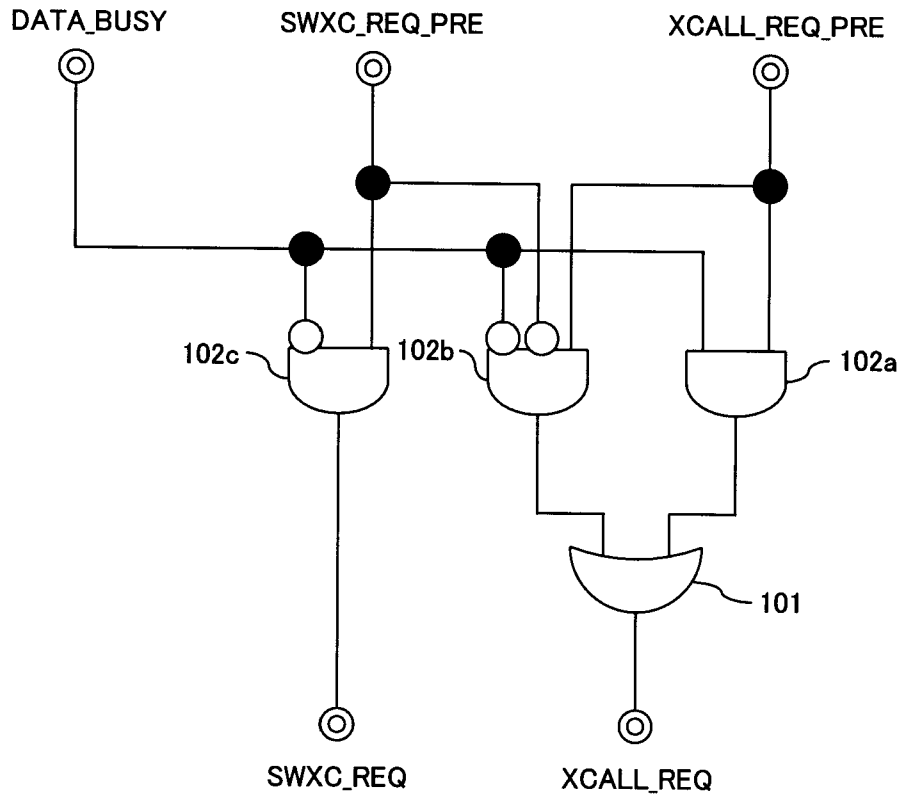
[図9]


XCALL_REQ_ID
REQID
SWXC_REQ_ID
HOLD_ID
=
=
=
81a
81b
81c
XCALL_VLD
XCALL_ISD
SWXC_VLD
82a
82b
82c
XCALL_ISD_ID_MCH
REQ_ISD_ID_MCH
SWXC_ISD_ID_MCH

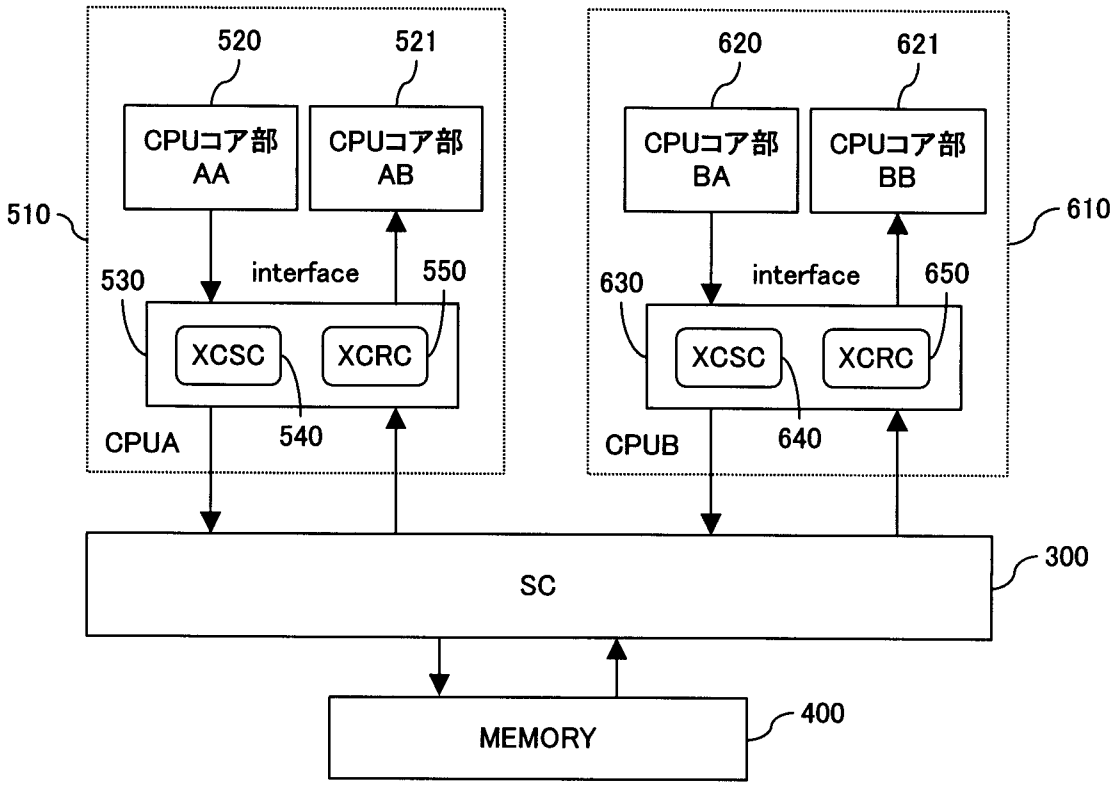
[図10]


XCALL_VLD
ACK
XCALL_REQ_ID
SWXC_REQ_ID
XCALL_ISD
REQID
REQ_ISD_ID_MCH
XCALL_ISD_ID_MCH
91a
91b
91c
91d
92a
92b
EN
93
HOLD_ID

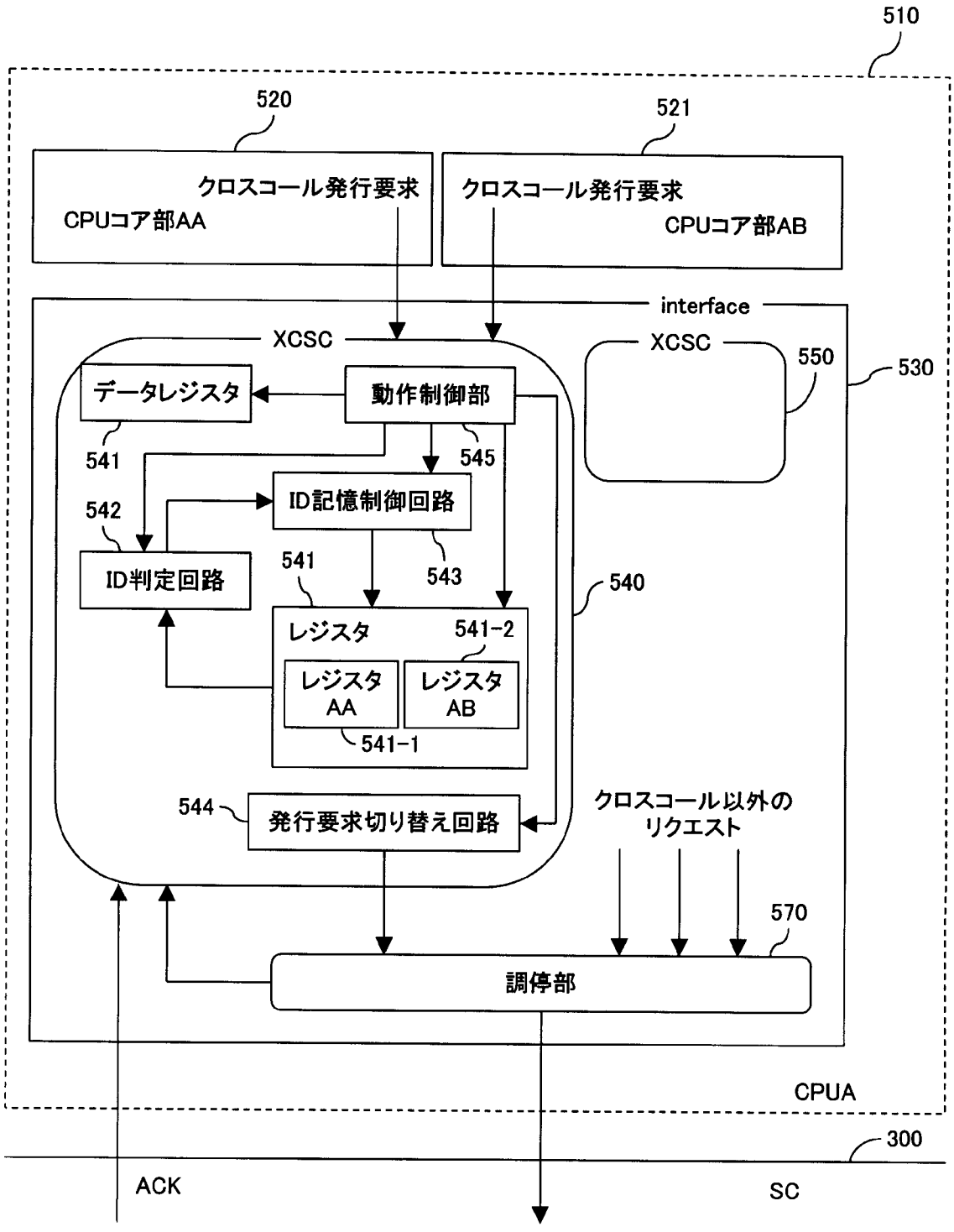
[図11]


DATA_BUSY
SWXC_REQ_PRE
XCALL_REQ_PRE
102c
102b
102a
101
SWXC_REQ
XCALL_REQ

[図12]


520
521
CPUコア部 AA
CPUコア部 AB
510
530
interface
550
XCSC
XCRC
CPUA
540
620
621
CPUコア部 BA
CPUコア部 BB
610
630
interface
650
XCSC
XCRC
CPUB
640
SC
300
MEMORY
400

[図13]


510
520
521
クロスコール発行要求
CPUコア部AA
クロスコール発行要求
CPUコア部AB
interface
XCSC
XCSC
550
530
データレジスタ
動作制御部
541
545
542
ID記憶制御回路
ID判定回路
541
543
540
レジスタ
541-2
レジスタ AA
レジスタ AB
541-1
544
発行要求切り替え回路
クロスコール以外の リクエスト
570
調停部
CPUA
300
ACK
SC

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/023251

A. CLASSIFICATION OF SUBJECT MATTER
G06F15/17(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F15/17(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 09-016542 A (Sun Micro Systems Inc.), 17 January, 1997 (17.01.97), Par. Nos. [0134] to [0171]; Fig. 10	1-19
Y	JP 2003-288284 A (Hewlett-Packard Co.), 10 October, 2003 (10.10.03), Full text; Fig. 3	1-19
Y	JP 11-282821 A (Digital Equipment Corp.), 15 October, 1999 (15.10.99), Full text; Fig. 10	1-19

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 23 March, 2006 (23.03.06)	Date of mailing of the international search report 04 April, 2006 (04.04.06)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2005/023251

JP 09-016542 A	1997.01.17	US 5689713 A	1997.11.18
		US 5907485 A	1999.05.25
		US 5892957 A	1999.04.06
		EP 738978 A1	1996.10.23
		EP 735476 A1	1996.10.02
JP 2003-288284 A	2003.10.10	US 2003/172335 A1	2003.09.11
JP 11-282821 A	1999.10.15	US 6154816 A	2000.11.28
		EP 911736 A1	1999.04.28

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００５／０２３２５１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　*G06F15/17*（2006.01）

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　*G06F15/17*（2006.01）

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００６年
日本国実用新案登録公報	１９９６－２００６年
日本国登録実用新案公報	１９９４－２００６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ	ＪＰ　０９－０１６５４２　Ａ（サン・マイクロシステムズ・インコーポレーテッド）　１９９７．０１．１７　段落【０１３４】～【０１７１】、図１０	１－１９
Ｙ	ＪＰ　２００３－２８８２８４　Ａ（ヒューレット・パッカード・カンパニー）　２００３．１０．１０　全文、図３	１－１９
Ｙ	ＪＰ　１１－２８２８２１　Ａ（ディジタル　イクイプメント　コーポレイション）　１９９９．１０．１５　全文、図１０	１－１９

☐　Ｃ欄の続きにも文献が列挙されている。

☑　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２３．０３．２００６	０４．０４．２００６

国際調査機関の名称及びあて先

日本国特許庁（ＩＳＡ／ＪＰ）

郵便番号１００－８９１５

東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｂ　３７８１

鳥居　稔

電話番号　０３－３５８１－１１０１　内線　３５４５

国際調査報告
パテントファミリーに関する情報

国際出願番号 ＰＣＴ／ＪＰ２００５／０２３２５１

ＪＰ　０９－０１６５４２　Ａ	１９９７．０１．１７	ＵＳ	５６８９７１３　Ａ	１９９７．１１．１８
		ＵＳ	５９０７４８５　Ａ	１９９９．０５．２５
		ＵＳ	５８９２９５７　Ａ	１９９９．０４．０６
		ＥＰ	７３８９７８　Ａ１	１９９６．１０．２３
		ＥＰ	７３５４７６　Ａ１	１９９６．１０．０２
ＪＰ　２００３－２８８２８４　Ａ	２００３．１０．１０	ＵＳ	２００３／１７２３３５　Ａ１	２００３．０９．１１
ＪＰ　１１－２８２８２１　Ａ	１９９９．１０．１５	ＵＳ	６１５４８１６　Ａ	２０００．１１．２８
		ＥＰ	９１１７３６　Ａ１	１９９９．０４．２８