(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 3 月 30 日 (30.03.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/045046 A1

(51) 国际专利分类号:
*H01L 29/78* (2006.01) *H01L 21/336* (2006.01)
*H01L 29/778* (2006.01) *H01L 21/335* (2006.01)
*H01L 29/45* (2006.01)

(21) 国际申请号: PCT/CN2021/129681

(22) 国际申请日: 2021 年 11 月 10 日 (10.11.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111136252.3 2021年9月27日 (27.09.2021) CN

(71) 申请人: 南方科技大学(SOUTHERN UNIVERSITY OF SCIENCE AND TECHNOLOGY) [CN/CN]; 中国广东省深圳市南山区学苑大道1088号, Guangdong 518055 (CN)。

(72) 发明人: 蒋洋(JIANG, Yang); 中国广东省深圳市南山区学苑大道1088号, Guangdong 518055 (CN)。 汪青(WANG, Qing); 中国广东省深圳市南山区学苑大道1088号, Guangdong 518055 (CN)。 于洪宇(YU, Hongyu); 中国广东省深圳市南山区学苑大道1088号, Guangdong 518055 (CN)。 郑韦志(CHENG, Wei-Chih); 中国广东省深圳市南山区学苑大道1088号, Guangdong 518055 (CN)。 杜方洲(DU, Fangzhou); 中国广东省深圳市南山区学苑大道1088号, Guangdong 518055 (CN)。

(74) 代理人: 北京超凡宏宇专利代理事务所（特殊普通合伙）(CHOFN INTELLECTUAL PROPERTY); 中国北京市海淀区北四环西路68号左岸工社1215-1218室, Beijing 100080 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) **Title:** GOLD-FREE OHMIC CONTACT ELECTRODE, SEMICONDUCTOR DEVICE, AND RADIO-FREQUENCY DEVICE AND MANUFACTURING METHOD THEREFOR

(54) **发明名称**: 无金欧姆接触电极、半导体器件和射频器件及其制法

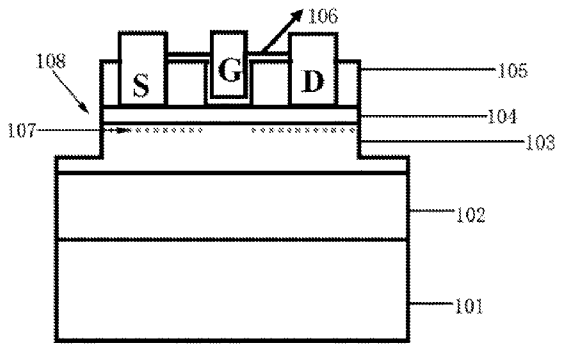



图 1

(57) **Abstract:** A gold-free ohmic contact electrode, a semiconductor device, and a radio-frequency device and a manufacturing method therefor, relating to the field of radio-frequency devices. The gold-free ohmic contact electrode formed on the epitaxial structure of a semiconductor device comprises: a contact layer stacked on the top surface of the epitaxial structure; and a metal cap layer stacked on the contact layer. The contact layer comprises an alloy structure, a silicon-containing structure, or a low-work-function metal-containing structure. The gold-free ohmic contact electrode has low ohmic contact resistance, so that when a radio-frequency device is manufactured on the basis of the gold-free ohmic contact electrode, on-resistance can be reduced, thereby helping to achieve the effect of improving output power.

(57) **摘要**: 一种无金欧姆接触电极、半导体器件和射频器件及其制法，属于射频器件领域。该形成于半导体器件的外延结构上的无金欧姆接触电极包括：接触层，堆叠于所述外延结构的顶表面；金属帽层，堆叠于所述接触层之上。其中，接触层包括合金结构、含硅结构或含低功函金属结构。该无金欧姆接触电极具有低的欧姆接触电阻，从而在基于其制作射频器件时，可以降低导通电阻，进而有助于获得输出功率的改善的效果。

WO 2023/045046 A1

[见续页]

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

**(84)** **指定国**(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

**本国际公布**:

— 包括国际检索报告(条约第21条(3))。

# 无金欧姆接触电极、半导体器件和射频器件及其制法

## 相关申请的交叉引用

本申请要求于2021年09月27日提交中国国家知识产权局的申请号为202111136252.3、名称为“无金欧姆接触电极、半导体器件和射频器件及其制法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

## 技术领域

本申请涉及射频器件领域，具体而言，涉及一种无金欧姆接触电极、半导体器件和射频器件及其制法。

## 背景技术

近年来，基于InAlN的射频器件已逐渐崭露头角。其在5G、雷达以及毫米波通信方面有非常广泛的应用。

但是，目前基于InAlN的射频器件普遍存在诸如导通电阻过高的问题。

## 发明内容

本申请提供了一种无金欧姆接触电极、半导体器件和射频器件及其制法。该方案能够部分或全部地改善、甚至解决InAlN的射频器件导通电阻过高的问题。

本申请是这样实现的：

在第一方面，本申请的示例提供了一种形成于半导体器件的外延结构上的无金欧姆接触电极。

无金欧姆接触电极包括：

接触层，堆叠于外延结构的顶表面；

金属帽层，堆叠于接触层之上；

其中，接触层包括合金结构、含硅结构或含低功函金属结构。

根据本申请的一些示例，金属帽层的材料包括TiN、Ti、Ta或W；和/或，接触层具有以下任意一项的限定：

第一限定、合金结构包括$Ti_xAl_{1-x}$、$Ta_xAl_{1-x}$、$Ti_xAlySi_{1-x-y}$或$Ta_xAlySi_{1-x-y}$；

第二限定、含硅结构包括从顶表面依次叠层布置的Si/Ti/Al、Si/Ta/Al、Si/$Ti_xAl_{1-x}$、Si/$Ta_xAl_{1-x}$或对顶表面进行硅掺杂形成的硅掺杂层；

第三限定、含低功函金属结构包括从顶表面依次叠层布置的Sc/Ti/Al、Sc/Ta/Al、Sc/$Ti_xAl_{1-x}$、Sc/$Ta_xAl_{1-x}$、$Ti_xAlySc_{1-x-y}$、$Ta_xAlySc_{1-x-y}$、La/Ti/Al、La/Ta/Al、La/$Ti_xAl_{1-x}$、La/$Ta_xAl_{1-x}$、$Ti_xAlyLa_{1-x-y}$或$Ta_xAlyLa_{1-x-y}$。

在第二方面，本申请示例提出了一种半导体器件，其具有外延结构和如上述的无金欧

姆接触电极。其中，无金欧姆接触电极形成于外延结构的顶表面。

根据本申请的一些示例，半导体器件是功率器件或射频器件；和/或，半导体器件包括绝缘栅型场效应晶体管、HEMT 器件、MIS-HEMT 器件、绝缘栅型 HEMT 器件。

根据本申请的一些示例，无金欧姆接触电极从顶表面凸出设置或者至少部分从顶表面嵌入至外延结构中；和/或，外延结构具有栅凹槽，且栅凹槽从顶表面凹陷，栅极形成于栅凹槽之上。

可选地，外延结构具有栅凹槽，且栅凹槽从顶表面凹陷，栅凹槽的表面具有栅介质层，栅极形成于栅介质层之上。

在第三方面，本申请示例提出了一种射频器件，其包括外延结构和上述的无金欧姆接触电极。

其中的外延结构具有依次叠层设置的衬底、缓冲层、沟道层、插入层以及势垒层；外延结构的势垒层分别形成有源极、栅极以及漏极。并且，源极和漏极分别独立地选自无金欧姆接触电极。

根据本申请的一些示例，射频器件具有以下的任意一项或两项之限定：

第四限定、栅极嵌入至势垒层中与插入层直接接触；或者，栅极嵌入至势垒层中并通过栅介质层与插入层间接接触。

可选地，栅介质层是由势垒层的局部和/或插入层的局部通过氧化形成的氧化物层；或者栅介质层是原位 $SiN_x$、沉积的 $Al_2O_3$、$HfO_2$ 或 $SiN_x$；或者栅介质层是 $HfO_2$、AlN 和 ZnO 中的任意一者与沉积的 $Al_2O_3$ 或势垒层的局部和/或插入层的局部通过氧化形成的 $Al_2O_3$ 构成的双层结构；或者栅介质层是原位 $SiN_x$ 或沉积的 $SiN_x$ 与 $HfO_2$、AlN 和 ZnO 中的任意一者构成的双层结构。

可选地双层结构的厚度为 3nm 至 10nm。

第五限定、源极和漏极分别嵌入至势垒层中与插入层直接接触；或者，势垒层具有未贯穿至插入层的凹槽，栅极和漏极分别嵌入至未贯穿至插入层的凹槽内。

第六限定、衬底包括高阻 Si、蓝宝石、单晶 GaN、SiC、金刚石、AlN、QST 衬底。

第七限定、缓冲层包括 AlGaN 或 GaN。

第八限定、沟道层包括 GaN。

第九限定、插入层包括 AlN；可选地，AlN 插入层的厚度为 1nm 至 3nm。

第十限定、势垒层包括单层的 InAlN，或从上至下依次叠层直至与插入层接触的 InAlN/AlGaN、原位 SiN/InAlN、原位 SiN/InAlN/AlGaN、GaN 帽层/InAlN 或 GaN 帽层/InAlN/AlGaN。

可选地，在势垒层中，原位 SiN 和 GaN 帽层的厚度分别为 1-3nm；或者 $In_cAl_{1-c}N$ 的厚

度为 1nm 至 10nm，其中 c 的取值范围为 0.1 至 0.2；或者，$Al_dGa_{1-d}N$ 的厚度为 1nm 至 5nm，其中 d 的取值范围为 0.3 至 0.5。

根据本申请的一些示例，沟道层、插入层以及势垒层构成异质结；和/或沟道层、插入层以及势垒层一并被刻蚀形成器件隔离槽。

在本申请的第四方面，本申请示例提出了一种制作前述射频器件的方法。该方法包括：提供外延结构；以任选的顺序制作源极、漏极和栅极，且源极和漏极中的一者或两者采取无金欧姆接触电极方式进行构造。

根据本申请的一些示例，当源极、漏极和栅极中的任意一者采用嵌入或穿透势垒层方式进行构造时，以插入层为刻蚀停止层对势垒层进行刻蚀以形成容纳任意一者的槽；

可选地，刻蚀的方法包括顺序执行的氧化以形成氧化层的氧化步骤和通过化学气体或化学等离子体腐蚀去除氧化层的去除步骤。

在以上实现过程中，本申请实施例提供的无金欧姆接触电极具有更低的欧姆接触电阻，从而可以降低基于其所制作的半导体器件的导通电阻。

## 附图说明

为了更清楚地说明本申请实施例或现有技术中的技术方案，以下将对实施例或现有技术描述中所需要使用的附图作简单地介绍。

图 1 为本申请示例中的一种射频器件的结构示意图；

图 2 示出了本申请示例中的外延结构的示意图；

图 3 示出了在图 1 外延结构的基础上形成了隔离槽的结构示意图；

图 4 示出了在图 3 结构的基础上形成了源极槽和漏极槽的结构示意图；

图 5 示出了在图 4 结构的基础上形成了源极和漏极的结构示意图；

图 6 示出了在图 5 结构的基础上形成了栅极槽的结构示意图；

图 7 示出了在图 6 结构的基础上形成了栅介质层的结构示意图；

图 8 示出了在图 7 结构的基础上形成了栅极的射频器件的结构示意图。

图标：101-衬底；102-缓冲层；103-沟道层；104-插入层；105-势垒层；106-栅介质层；107-二维电子气；108-隔离槽。

## 具体实施方式

就本申请发明人所知，在 InAlN 射频器件中，导通电阻(Ron)是直接影响器件性能的重要指标之一。例如，导通电阻过大会导致射频器件的输出功率密度降低，同时还会导致器件的发热量增大，进而会增加散热成本，甚至影响器件的可靠性和使用寿命。

一般地，在 InAlN 射频器件中，导通电阻的计算方法可以表述为 $R_{on}=2R_c+R_{sh}*L_{sd}$。该式中，$R_{on}$ 表示导通电阻；$R_c$ 表示欧姆接触电阻；$R_{sh}$ 表示沟道电阻；$L_{sd}$ 表示沟道长度。因此，针对前式中的各项进行调整，都可以降低器件的导通电阻。

目前研究的较多的一类 InAlN 射频器件，例如是 InAlN HEMT（High Electron Mobility Transistor/高电子迁移率晶体管）。

由于 InAlN/GaN 异质结材料具有界面带隙差大和自发极化强的特点，因此，只需几纳米厚的超薄势垒层（即 InAlN）就能使器件获得很高的载流子浓度和电子迁移率。而高的载流子浓度不仅可以有效地抑制由于器件尺寸等比例缩小所带来的短沟道效应，还能大幅降低寄生沟道电阻。

此外，当 In 组分含量为 17%时，InAlN 势垒层与 GaN 缓冲层晶格匹配，因此，无应力和压电极化的产生，从而可大幅抑制晶格失配和压电极化引起的晶格缺陷，进而有效防止高压下逆压电效应导致的器件失效。

这些特点使得 InAlN/GaN HEMT 成为 GaN 器件向更高频、更大功率应用的重要候选。

因此，有必要研究和降低这种基于 InAlN/GaN 异质结的器件的导通电阻。目前，发明人在研究中发现主要通过下述一些方式降低其导通电阻。例如，从器件的外延结构方面增加沟道的二维电子气（2DEG）浓度来降低外延材料的沟道电阻、在器件设计方面增加单位面积的栅长或者在器件工艺方面降低欧姆接触电极的接触电阻等。

在本申请的示例方案中，一个研究的重点之一就是改造欧姆接触电极。

就目前而言，欧姆接触电极通常都是基于金（Au）而实现的。

然而，金容易发生受热融化，还可能与欧姆接触电极中的其他元素反应导致起球，进而导致电极表面的粗糙化，并因此可能导致器件的诸如击穿特性下降等问题。并且，Au 容易造成污染，并且存在制造成本较高、与现有的 Si 的 COMS 工艺不兼容等缺陷，所以有必要进行欧姆接触电极的改造。

在本申请示例中，提出了一种基于降低欧姆接触电阻（$R_c$）的方式来降低器件导通电阻的方案。该方案主要通过对器件的欧姆接触电极结构进行改进，而达到降低欧姆接触电阻的效果。示例中，发明人实现了一种无金欧姆接触电极（未含金元素；既不含金单质，也不含其合金/即不含金合金等）。并且，无金欧姆接触电极可以被用于器件的源极电极，也可以是漏极电极，或者二者都采用（具体电极材料组成可以有所区别）。

大体上而言，示例中的无金欧姆接触电极可以适用于各种半导体器件。其中的半导体器件例如可以是本领域中的各种功率器件，也可以是射频器件。例如，该半导体器件包括但不限于绝缘栅型场效应晶体管、HEMT 器件、MIS-HEMT 器件、绝缘栅型 HEMT 器件等；或者半导体器件也可以是其他类型的场效应晶体管。

以下将就示例中的无金欧姆接触电极进行详述。示例中描述涉及的“和/或”，表示同时存在或独立存在。例如 A 和/或 B，表示单独存在 A，或单独存在 B，或同时存在 A、B。

示例中的无金欧姆接触电极包括接触层和金属帽层。

其中，接触层堆叠于外延结构的顶表面，而金属帽层则堆叠于接触层之上。需要指出的是，无金欧姆接触电极既可以是从外延结构的顶表面上以凸出的方式设置，也可以是从外延结构的顶表面的凹陷区域以层叠的方式设置。换言之，无金欧姆接触电极与外延结构的顶表面接触的区域可以是与顶表面的其他区域齐平；或者，该接触的区域也可以是相对于所述的顶表面的其他区域是凹陷的（即外延结构的顶表面进行了刻蚀，例如势垒层 recess）。

在电极中，接触层可以包括合金结构、含硅结构或含低功函金属结构三者中的任意一种结构。

示例性地，合金结构例如是钛铝合金($Ti_xAl_{1-x}$)、钽铝合金($Ta_xAl_{1-x}$)、钛铝硅合金($Ti_xAl_ySi_{1-x-y}$)或钽铝硅合金($Ta_xAl_ySi_{1-x-y}$)。该合金层与金属帽层可以构成双层合金结构的电极。

含硅结构例如可以是具有硅单质的多层结构，或者也可以是通过对外延结构的顶表面进行硅掺杂形成的硅掺杂层。其中的具有硅单质的多层结构例如是从外延结构的顶表面依次叠层布置的 Si/Ti/Al、Si/Ta/Al、Si/$Ti_xAl_{1-x}$ 或 Si/$Ta_xAl_{1-x}$。

含低功函金属薄层结构可以是合金材料层，其层数可以是一个或多个；或者，含低功函金属薄层结构也可以是金属单质材料层，其层数为多层且至少存在一层与其他层的材料不同；或者，含低功函金属薄层结构也可以由金属单质材料层和合金材料层组合的叠层结构。

示例性地，例如含低功函金属薄层结构可以是从外延结构的顶表面上依次叠层布置的 Sc/Ti/Al、Sc/Ta/Al、Sc/$Ti_xAl_{1-x}$、Sc/$Ta_xAl_{1-x}$、$Ti_xAl_ySc_{1-x-y}$、$Ta_xAl_ySc_{1-x-y}$、La/Ti/Al、La/Ta/Al、La/$Ti_xAl_{1-x}$、La/$Ta_xAl_{1-x}$、$Ti_xAl_yLa_{1-x-y}$ 或 $Ta_xAl_yLa_{1-x-y}$。上述以 A / B / C 的形式表示的结构中，A 层是嵌入到势垒层的凹槽内的一层，B 层则是叠置在其上的，C 层是叠置在 B 层上的。而帽层则叠置于 C 上。

金属功函数是指使一粒电子从金属表面中逸出，所必须提供的最小能量。因此，在以上的阐述中，本申请示例中所述的低功函金属例如是指功函低于 Ti、Ta 或者 Al 金属的功函数的一些金属材料。由于，在欧姆接触电极的制备工艺中，与势垒层接触的第一层电极通常是较关键的，所以本申请示例中的低功函数金属一般指定的是第一层金属，即前述 A / B / C 形式中的 A 层。例如，金的功函数为 5.1 eV，而铝的功函数为 4.28 eV，钛的功函数为 4.33 eV，钽 Ta 的功函数为 4.25eV。本申请示例中使用的 Sc 钪的功函数为 3.5eV、La 镧的功函数为 3.5eV。

而电极中的金属帽层例如可以是 TiN、Ti、Ta 或 W。

在半导体器件中，上述的无金欧姆接触电极作为源极和/或漏极被制作，并可以分布于栅极的两侧。其中的栅极可以是设置于外延结构的顶表面之上，也可以是嵌入到外延结构中。换言之，部分示例中，外延结构可以具有从顶表面下陷/凹陷形成的栅凹槽；相应地，栅极则形成于栅凹槽内。即栅极的一端接触到栅凹槽内，而另一端则可以选择伸出到栅凹槽之外。

进一步地，在其他的一些实例中，栅凹槽的表面上还可以具有栅介质层。栅介质层可以覆盖于栅凹槽的底表面，还可以覆盖于栅凹槽的侧表面。栅极通过该栅介质层与栅凹槽配合。即栅极与栅介质层接触，而栅介质层则与栅凹槽的表面接触。

通过上文的描述，发明人详细地阐述了本申请示例中的无金欧姆接触电极。作为该无金欧姆接触电极的一种应用实例，在本申请的示例中还提出了一种射频器件，其包括外延结构和无金欧姆接触电极。

射频器件的结构参阅图 1，其基于 InAlN/GaN（铟铝氮/氮化镓）异质结材料。由于 InAlN/GaN 异质结材料具有强的自发极化效应。在较薄的势垒层（由 InAlN 提供）的情况下，具有更高的电子迁移率、沟道饱和电流等。并且薄的势垒层更有利于降低射频器件中的短沟道效应。因此，除了使用上述的无金欧姆接触电极可以降低射频器件的欧姆接触电阻，从而降低导通电阻之外，还可以通过对射频器件的异质结材料的选择等方式来降低射频器件的导通电阻。

参阅图 1，射频器件的外延结构具有依次叠层设置的衬底 101、缓冲层 102、沟道层 103（能够形成 2DEG/二维电子气 107）、插入层 104 以及势垒层 105。另外，在图 1 的结构中，沟道层、插入层以及势垒层一并被刻蚀形成器件隔离槽 108，用于在器件之间形成隔离。换言之，在仅仅制作单个器件时，该器件隔离槽 108 并不是必须的。

在本申请的一些示例中，射频器件的外延结构例如具有如下的层状结构：Barrier Layer/AlN/GaN/Buffer Layer/Substrate。

在前述结构中，势垒层(Barrier Layer)既可以是单层，也可以是多层结构。进一步地，势垒层可以是由一种材料制作的单层或多层结构。或者，势垒层也可以是由不同材料制作的多层结构；对于由不同材料制作的多层结构，其中的每层的材料可以选择为不同。

例如，势垒层可以是单层的 InAlN 或多层的 InAlN 的堆叠结构。

例如，势垒层是不同材料制作的双层或三层结构。示例性地，InAlN/AlGaN、in-situ SiN/InAlN、in-situ SiN/InAlN/AlGaN、GaN cap/InAlN、GaN cap /InAlN/AlGaN。其中的 in-situ 表示原位生长、cap 表示帽层。此外，对于上述势垒层为多层且不同的材料制作的组合结构的上述示例，以插入层为基准，上述材料的撰写顺序表示的是相对于作为基准的插入层由

高至低的排布。例如，InAlN/AlGaN 表示势垒层的示例中，AlGaN 位于 InAlN 和插入层之间；而 GaN cap/InAlN/AlGaN 则表示，AlGaN 位于插入层上，InAlN 位于 AlGaN 之上，GaN cap 位于 InAlN 之上。

部分示例中，可以对外延结构的厚度进行控制，以便满足功能需求。

例如，在势垒层中，in-situ SiN 和 GaN 帽层的厚度例如可以为 1-3nm（或者是 2nm 等等，虽然通常选择整数值的厚度，但是也可以根据需要制作其他 1nm 至 3nm 之间的或其他需要的厚度）；或者 InAlN 的厚度为 1nm 至 10nm（1nm 或 2nm 或 3nm 或 4nm 或 6nm 或 8nm 或 10nm 等等，通常选择整数值的厚度，但是也可以根据需要制作其他 1nm 至 10nm 之间的或其他需要的厚度）；或者，AlGaN 的厚度为 1nm 至 5nm（2nm 或 3nm 或 4nm 或 5nm 等等）。

例如，插入层 AlN 的厚度则可以为 1-3nm。

另外，还可对外延结构中的各层的成分进行控制。例如，InAlN 中 In 的组分含量可以为 0.1-0.2，Al 的组分含量可以为 0.8-0.9。AlGaN 中 Al 的组分含量可以为 0.3-0.5（示例性可以是 0.3、0.4 或 0.5 等），Ga 的组分含量可以为 0.5-0.7（示例性可以是 0.5、0.6 或 0.7 等）。

由于外延结构是在衬底/基板上生长多层结构而实现。其中的衬底对外延结构的质量有重要的影响。因此有必要慎重地选择衬底材料。例如，Substrate 可以为高阻 Si、蓝宝石、GaN、金刚石、AlN、QST 衬底或 SiC。其中 QST 衬底是指 Qromis 公司提出的一种衬底技术，其能够很好地匹配热膨胀性，从而被用于生长高质量的 GaN 外延层。

或者，其中的 substrate/衬底可以选择为 GaN 单晶，其能够有效降低在其上外延生长的其他层的缺陷（GaN 上生长 InAlN 的位错密度在 $5\times10^{6}cm^{2}$，相比于 GaN 上生长 AlGaN 的位错密度为 $5\times10^{8}cm^{2}$ 要小），可以有效避免电流从外延缺陷中流出。并且在 GaN 单晶衬底方案的基础上，还可以在器件中增加 AlGaN 背势垒层来进一步降低器件漏电，提升器件击穿电压。

相比于传统 AlGaN/GaN 的异质结外延结构，通过采用本申请的上述形式的外延结构可以实现降低的沟道电阻（例如 200Ω/□），并且，且外延材料表面粗糙度较好。

在射频器件的外延结构的顶表面上分别形成有源极 S、栅极 G 以及漏极 D。其中，源极和漏极分别独立地选自上述的任意一种无金欧姆接触电极。进一步地，该栅极 G 还可通过栅介质层 106 而嵌入到势垒层 105 中。

在图 1 中，射频器件的源极 S、栅极 G 以及漏极 D 均嵌入到外延结构的势垒层 105 内（即嵌入到外延结构的顶表面内）。但是，三者也可以选择不嵌入到势垒层 105 内，而是从势垒层 105 的表面凸出地延伸布置。另外，其中的栅极 G 既可以通过势垒层 105 的凹槽与插入层 104 直接接触；或者也可以如图 1 所示，通过栅介质层 106 与插入层 104 间接接触。

特别地，发明人发现通过对栅介质的选择和调控，可以对栅极的漏电流起到抑制和降低的效果。并且这样的方案可以适用于 MIS-HEMT 器件。除了调控栅介质之外，其他一些方案也可以被用于控制栅极漏电流，例如，对外延结构的栅极区域进行表面预处理。其中的预处理可以是使用硫酸双氧水溶液、氨基溶液、臭氧与预溅射等表面预处理方法。

上述示例中，栅介质层主要被描述位于势垒层中；即，势垒层具有凹槽，且其表面覆盖栅介质。但是在其他的示例中，栅介质层也可以是位于势垒层和插入层中，即势垒层和插入层具有基本上对准或对齐的凹槽，且插入层的凹槽的底表面和侧表面以及缓冲层的凹槽的侧表面均覆盖栅介质。示例中，栅介质层还覆盖到势垒层的顶表面的位于源极和漏极的区域。

因此，一些情况下，栅介质层可以是通过将势垒层（如 InAlN）的局部通过氧化形成的氧化物层。或者，栅介质层也可以是将插入层的局部通过氧化形成的氧化物层。即在凹槽的底表面和侧表面通过氧化形成氧化物并将其作为栅介质。

或者，栅介质层也可以是在刻蚀形成凹槽之后，在凹槽中“生长”一层介质材料构成栅介质层。例如，在凹槽中生长的原位 $SiN_x$、沉积的 $Al_2O_3$、$HfO_2$ 或 $SiN_x$ 等单层材料；其厚度例如可以是 3nm 至 10nm。

或者栅介质层还可以是不同的材料组成的多层结构。例如栅介质层是由 $HfO_2$、AlN 和 ZnO 中的任意一者与沉积的 $Al_2O_3$ 构成的双层结构。或者，栅介质层是由 $HfO_2$、AlN 和 ZnO 中的任意一者与势垒层的局部和/或插入层的局部通过氧化形成的 $Al_2O_3$ 构成的双层结构。

或者栅介质层还可以是原位 $SiN_x$ 或沉积的 $SiN_x$，与 $HfO_2$、AlN 和 ZnO 中的任意一者构成的双层结构。这些多层结构的厚度例如可以为 3nm 至 10nm；示例性地，厚度也可以是 4nm、5nm、6nm、7nm 或 8nm 或 9nm 等等。

除此之外，需要指出的，在本申请示例的射频器件结构中，栅极通过至少在势垒层中配制凹槽而嵌入到势垒层中。因此，通过对刻蚀工艺的选择以达到精准刻蚀，从而可以实现获得常关型/增强型的射频器件。

示例中，该刻蚀方案是一种新型的可自停止的原子层刻蚀方案（如 ALE 刻蚀）。通过对外延结构的顶部的对应于需要制作栅极的区域进行刻蚀，精确地控制刻蚀的深度，从而获得更精确的深度的槽（recess），进而可以使栅极区域的二维电子气被耗尽而实现常关型器件。

该可自停止的原子层刻蚀方案例如可以通过下述方式实现：

对需要进行刻蚀的区域通过氧化的方式形成很薄（例如 0.1nm 至 0.3nm）的氧化层，然后将该氧化层去除。其中的氧化方法可以是使用氧气作为氧化剂进行氧化。当外延层的顶表面是 InAlN 势垒层时，则可以通过使用氧气（不使用氧等离子体，从而可以减少损伤）

进行氧化，然后再通过化学试剂（如 $BCl_3$ 或 $Cl_2$；以气体或等离子的方式使用）刻蚀，以去除表面的薄的氧化层，从而实现低速、低损伤和可控深度的刻蚀。

相比于传统的 ICP 刻蚀方案，本申请示例中的该刻蚀方案几乎不会引入等离子体损伤，从而可以降低刻蚀后的样品的表面的粗糙度，提高表面形貌。并且，该自停止刻蚀方案还能够实现在刻蚀达到插入层（AlN）时自停止，因此可以实现准确控制刻蚀深度。简言之，该刻蚀方案能够确保将势垒层刻蚀尽，同时也可以控制不对插入层进行刻蚀或进行轻微的刻蚀。并且，该刻蚀方案还具有不引入刻蚀损伤的优点。

该刻蚀方案不仅能够实现常关型器件的制备，还有助于降低器件栅极漏电、提高器件耐压和阈值电压、降低器件导通电阻等。另外，由于实现了常关型的器件，从而可以优化电路设计、降低能力损耗和保护电路。

需要指出的是，该刻蚀方案不仅适用于对外延结构的栅极区域进行刻蚀，还可以用来对源极区域和漏极区域进行刻蚀。换言之，当源极和漏极以插入到器件的顶部的势垒层如 InAlN 层中时，该势垒层的源极区域和漏极区域也可以采用前述方案进行刻蚀，从而形成源极槽和漏极槽。

此外，在使用该方案进行源极槽和漏极槽的刻蚀，并且在制作源极和漏极后，可以在较低温度（500-700℃）下进行退火，形成欧姆接触，实现低温欧姆接触工艺。由此，该工艺可以减少退火工艺中温度过高对外延结构产生的影响，从而避免影响器件的可靠性。进一步地，当源极和/或漏极使用无金欧姆接触电极时，可以更好地改善其性能。

综上所述，通过上述方案的实施，在本申请的示例中可以获得一种具有低的导通电阻、高饱和电流、低的漏电流的耗尽型/增强型器件，例如是射频器件。

为了使本领域技术人员能够更易于实施本申请的方案，示例中还提出了一种射频器件的制备方法。该制备方法包括：

提供外延结构，然后在外延结构上分别制作源极、漏极以及栅极。

作为该射频器件的其中一个通过对可选的结构的优化而实现的优点，其源极和漏极中的一者或两者采取无金欧姆接触电极方式进行构造。

其中，源极、漏极和栅极可以是以任意选择的顺序进行实施。即可以先制作栅极，然后再制作源极和漏极，或者先制作源极和漏极，再制作栅极等等。即任选的顺序制作源极、漏极和栅极。另外，制作源极、漏极以及栅极且需要进行刻蚀的示例中，可以先将三者都进行刻蚀，然后再制作对应的电极。

进一步地，在制作过程中，当源极、漏极和栅极中的任意一者采用嵌入或穿透外延结构中的势垒层的方式进行构造时，可以通过制槽，再于槽中制电极。其中的制槽方式例如是：以外延结构中的插入层为刻蚀停止层，对势垒层进行刻蚀以形成容纳上述任意电极的

槽。作为一种可选的方案，上述的刻蚀的方法包括顺序执行的氧化以形成氧化层的氧化步骤和通过化学气相腐蚀去除氧化层的去除步骤。

下面将结合实施例对本申请的实施方案进行详细描述，但是本领域技术人员将会理解，下列实施例仅用于说明本申请，而不应视为限制本申请的范围。实施例中未注明具体条件者，按照常规条件或制造商建议的条件进行。所用试剂或仪器未注明生产厂商者，均为可以通过市售购买获得的常规产品。

示例中，制备方法被阐述如下。

一种常关型的基于 InAlN 的 MIS-HEMT 器件的制备工艺包括以下顺序执行的步骤。

1.将基底依次经过丙酮超声清洗 5min，异丙醇超声清洗 10min，去离子水冲洗 10min，氮气吹干，去除样品表面杂质。然后进行外延结构的制作，其工艺可以是半导体制程中的各种既有和发明人所知晓的各种工艺，例如化学气相沉积、原子层沉积等等。

通过上述方式获得如下的外延结构，其包括从上至下依次堆叠的 InAlN/AlN/GaN/Buffer Layer/GaN 衬底（示例性地，10nm $In_{0.17}Al_{0.83}N$/ 1nmAlN/ 1000nm GaN/ 300nm Buffer Layer/GaN 衬底）；外延结构参阅图 2 所示。

2.在清洗好的外延结构样品上依次进行匀胶，前烘，光刻，显影，后烘等步骤，定义器件的隔离图形。

3.将步骤 2 处理好的样品放置于 ICP-RIE 刻蚀设备的传输腔中，在 $BCl_3/Cl_2$ 刻蚀气体中刻蚀掉隔离部分的 InAlN 缓冲层/插入层 AlN/GaN 层，刻蚀深度为 300-500nm；其结构可以参阅图 3。

4.将步骤 3 中刻蚀后的样品依次经过丙酮超声清洗 5min，异丙醇超声清洗 10min，去离子水冲洗 10min，氮气吹干。

5.在清洗好的样品上依次进行匀胶，前烘，光刻，显影，后烘等步骤，定义源极和漏极的欧姆接触图形。

6.将步骤 5 处理好的样品放置于 ICP-ALE 刻蚀设备中，进行源漏区域的 recess 刻蚀；其结构参阅图 4。

7.将步骤 6 处理好的样品浸没于稀释的盐酸溶液（HCl：$H_2O$=1：4）中 3min 去除样品表面的自然氧化层，然后用去离子水冲洗 15min，最后氮气吹干。

8.将步骤 7 处理好的样品立即放入磁控溅射蒸镀设备传输腔，避免样品进一步氧化，影响欧姆接触效果。镀膜工艺中，依次蒸镀 Z/Y 双叠层欧姆接触金属；其结构参阅图 5。

9.将步骤 8 蒸镀好欧姆金属的样品浸没于二甲基亚砜溶液中，通过 60-80℃的水浴加热方式实现金属剥离。剥离完成后，依次经过异丙醇冲洗 10min，去离子水冲洗 10min，氮气吹干。

10.对金属剥离后的样品在 $N_2$ 或 $H_2$ 氛围中进行热退火，退火温度可设置在 500-700℃之间，以便得到较好的欧姆接触效果。其中的退火方案，例如可以是激光退火、快速热退火、微波退火等。在前述步骤中是通过对势垒层进行刻蚀，在于刻蚀的槽中制作电极。在另一些示例中，也可以选择不对外延结构的顶表面的势垒层进行刻蚀的情况下，而是在顶表面之上制作无金欧姆接触电极，然后再结合退火实现低的欧姆接触电阻（如 0.1-0.3Ω·mm）。

11.将步骤 10 处理好的样品依次进行匀胶，前烘，光刻，显影，后烘等步骤，定义栅极刻蚀区域。

12.将步骤 11 处理好的样品放置于 ICP-ALE 刻蚀设备中，进行栅极区域的 recess 刻蚀；其结构参阅图 6。

13.将步骤 12 中刻蚀后样品依次经过丙酮超声清洗 5min，异丙醇超声清洗 10min，去离子水冲洗 10min，氮气吹干。

14.将步骤 13 中处理后样品放入原子层沉积设备（ALD）中进行栅介质的沉积；其结构如图 7 所示。

15.将步骤 14 处理好的样品依次进行匀胶，前烘，光刻，显影，后烘等步骤，定义栅极金属区域。

16.将步骤 15 处理好的样品放入电子束蒸镀设备中沉积栅极金属；其结构参阅图 8。

17.将步骤 16 蒸镀好栅极金属的样品浸没于二甲基亚砜溶液中，通过 60-80℃的水浴加热方式实现金属剥离。剥离完成后，依次经过异丙醇冲洗 10min，去离子水冲洗 10min，氮气吹干。

以上所述仅为本申请的优选实施例而已，并不用于限制本申请，对于本领域的技术人员来说，本申请可以有各种更改和变化。凡在本申请的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。

# 权利要求书

1. 一种无金欧姆接触电极，形成于半导体器件的外延结构上，其特征在于，所述无金欧姆接触电极包括：

接触层，堆叠于所述外延结构的顶表面；

金属帽层，堆叠于所述接触层之上；

其中，所述接触层包括合金结构、含硅结构或含低功函金属结构。

2. 根据权利要求 1 所述的无金欧姆接触电极，其特征在于，所述金属帽层的材料包括 TiN、Ti、Ta 或 W；

和/或，所述接触层具有以下任意一项的限定：

第一限定、所述合金结构包括 $Ti_xAl_{1-x}$、$Ta_xAl_{1-x}$、$Ti_xAl_ySi_{1-x-y}$ 或 $Ta_xAl_ySi_{1-x-y}$；

第二限定、所述含硅结构包括从所述顶表面依次叠层布置的 Si/Ti/Al、Si/Ta/Al、$Si/Ti_xAl_{1-x}$、$Si/Ta_xAl_{1-x}$ 或对所述顶表面进行硅掺杂形成的硅掺杂层；

第三限定、所述含低功函金属结构包括从所述顶表面依次叠层布置的 Sc/Ti/Al、Sc/Ta/Al、$Sc/Ti_xAl_{1-x}$、$Sc/Ta_xAl_{1-x}$、$Ti_xAl_ySc_{1-x-y}$、$Ta_xAl_ySc_{1-x-y}$、La/Ti/Al、La/Ta/Al、$La/Ti_xAl_{1-x}$、$La/Ta_xAl_{1-x}$、$Ti_xAl_yLa_{1-x-y}$ 或 $Ta_xAl_yLa_{1-x-y}$。

3. 一种半导体器件，其特征在于，具有外延结构、如权利要求 1 或 2 所述的无金欧姆接触电极，所述无金欧姆接触电极形成于所述外延结构的顶表面。

4. 根据权利要求 3 所述的半导体器件，其特征在于，所述半导体器件是功率器件或射频器件；

和/或，所述半导体器件包括绝缘栅型场效应晶体管、HEMT 器件、MIS-HEMT 器件或绝缘栅型 HEMT 器件。

5. 根据权利要求 3 或 4 所述的半导体器件，其特征在于，所述无金欧姆接触电极从所述顶表面凸出设置或者至少部分从所述顶表面嵌入至所述外延结构中；

和/或，所述外延结构具有栅凹槽，且所述栅凹槽从所述顶表面凹陷，栅极形成于所述栅凹槽之上；

可选地，所述外延结构具有栅凹槽，且所述栅凹槽从所述顶表面凹陷，所述栅凹槽的表面具有栅介质层，栅极形成于所述栅介质层之上。

6. 一种射频器件，其特征在于，包括外延结构和根据权利要求 1 或 2 所述的无金欧姆接触电极；

所述外延结构具有依次叠层设置的衬底、缓冲层、沟道层、插入层以及势垒层；所述外延结构的势垒层分别形成有源极、栅极以及漏极，其中，所述源极和所述漏极分别独立地选自所述无金欧姆接触电极。

7. 根据权利要求 6 所述的射频器件，其特征在于，所述射频器件具有以下的任意一项或两项之限定：

第四限定、所述栅极嵌入至所述势垒层中与所述插入层直接接触；或者，所述栅极嵌入至所述势垒层中并通过栅介质层与所述插入层间接接触；

可选地，所述栅介质层是由所述势垒层的局部和/或所述插入层的局部通过氧化形成的氧化物层；或者所述栅介质层是原位 $SiN_x$、沉积的 $Al_2O_3$、$HfO_2$ 或 $SiN_x$；或者所述栅介质层是 $HfO_2$、AlN 和 ZnO 中的任意一者与沉积的 $Al_2O_3$ 或所述势垒层的局部和/或所述插入层的局部通过氧化形成的 $Al_2O_3$ 构成的双层结构；或者所述栅介质层是原位 $SiN_x$ 或沉积的 $SiN_x$ 与 $HfO_2$、AlN 和 ZnO 中的任意一者构成的双层结构；

可选地所述双层结构的厚度为 3nm 至 10nm；

第五限定、所述源极和所述漏极分别嵌入至所述势垒层中与所述插入层直接接触；或者，所述势垒层具有未贯穿至所述插入层的凹槽，所述栅极和所述漏极分别嵌入至未贯穿至所述插入层的凹槽内；

第六限定、所述衬底包括高阻 Si、蓝宝石、单晶 GaN、SiC、金刚石、AlN、QST 衬底；

第七限定、所述缓冲层包括 AlGaN 或 GaN；

第八限定、所述沟道层包括 GaN；

第九限定、所述插入层包括 AlN，可选地，AlN 插入层的厚度为 1nm 至 3nm；

第十限定、所述势垒层包括单层的 InAlN，或从上至下依次叠层直至与所述插入层接触的 InAlN/AlGaN、原位 SiN/InAlN、原位 SiN/InAlN/AlGaN、GaN 帽层/InAlN 或 GaN 帽层/InAlN/AlGaN；

可选地，在所述势垒层中，原位 SiN 和 GaN 帽层的厚度分别为 1-3nm；或者 $In_cAl_{1-c}N$ 的厚度为 1nm 至 10nm，其中 c 的取值范围为 0.1 至 0.2；或者，$Al_dGa_{1-d}N$ 的厚度为 1nm 至 5nm，其中 d 的取值范围为 0.3 至 0.5。

8. 根据权利要求 6 或 7 所述的射频器件，其特征在于，所述沟道层、插入层以及势垒层构成异质结；和/或所述沟道层、插入层以及势垒层一并被刻蚀形成器件隔离槽。

9. 一种制作根据权利要求 6 或 7 或 8 所述的射频器件的方法，其特征在于，所述方法包括：提供所述外延结构；以任选的顺序制作源极、漏极和栅极，且所述源极和所述漏极中的一者或两者采取所述无金欧姆接触电极方式进行构造。

10. 根据权利要求 9 所述的方法，其特征在于，当所述源极、所述漏极和所述栅极中的任意一者采用嵌入或穿透所述势垒层方式进行构造时，以所述插入层为刻蚀停止层对所述势垒层进行刻蚀以形成容纳所述任意一者的槽；

可选地，所述刻蚀的方法包括顺序执行的氧化以形成氧化层的氧化步骤和通过化学气

体或化学等离子体腐蚀去除所述氧化层的去除步骤。

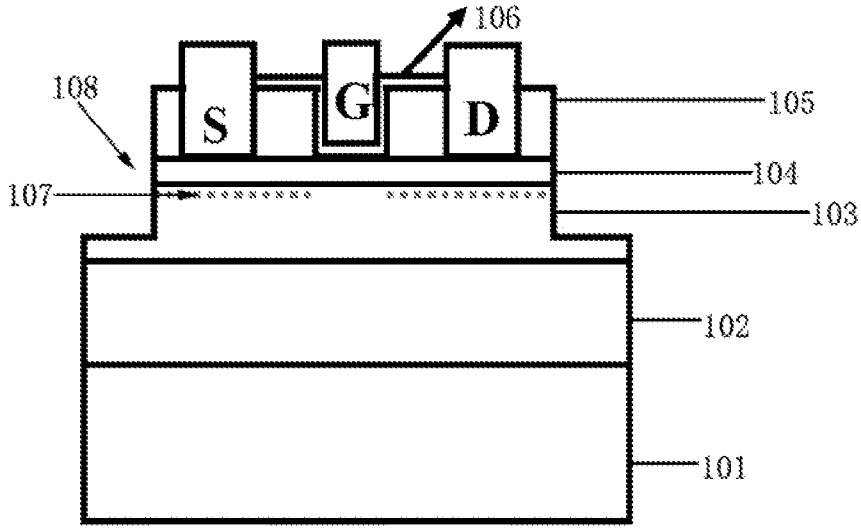

106
108
S
G
D
105
104
107
103
102
101

图 1

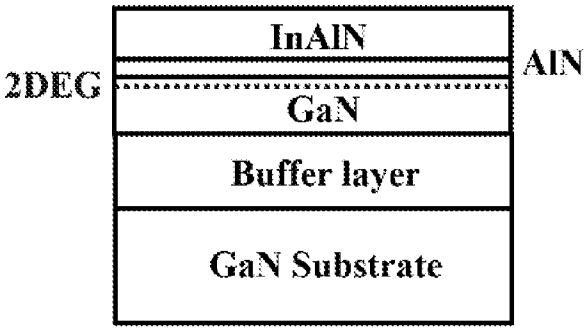

InAlN
AlN
2DEG
GaN
Buffer layer
GaN Substrate

图 2

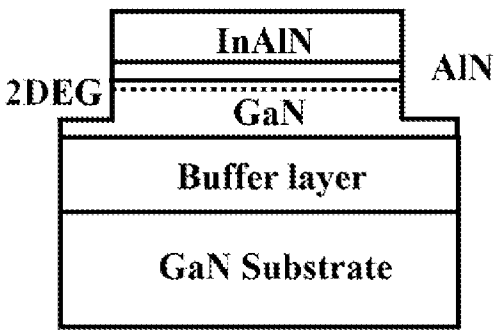

InAlN
AlN
2DEG
GaN
Buffer layer
GaN Substrate

图 3

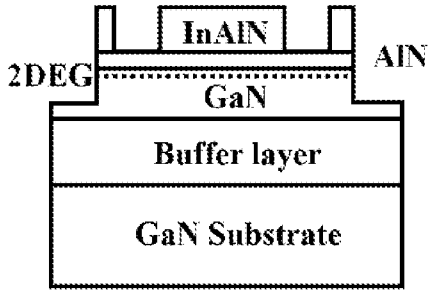

InAlN
AlN
2DEG
GaN
Buffer layer
GaN Substrate

图 4

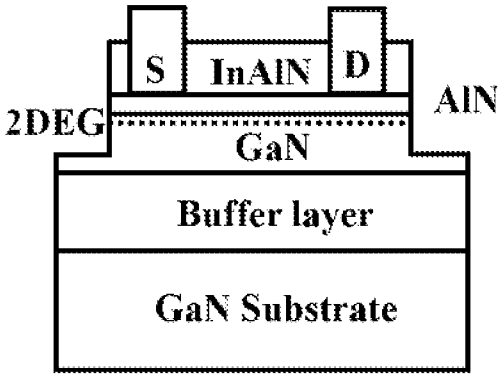

S
InAlN
D
AlN
2DEG
GaN
Buffer layer
GaN Substrate

图 5

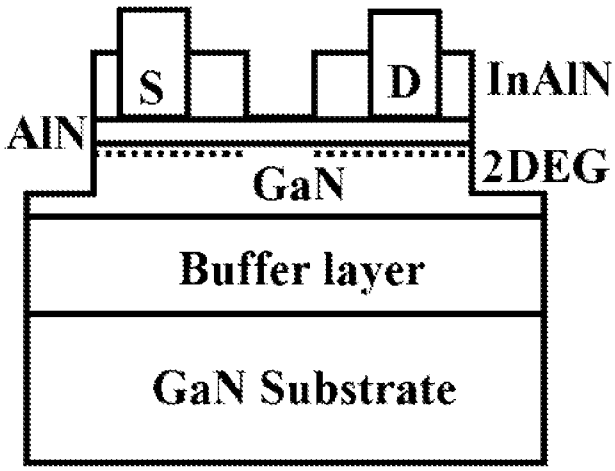

S
D
InAlN
AlN
2DEG
GaN
Buffer layer
GaN Substrate

图 6

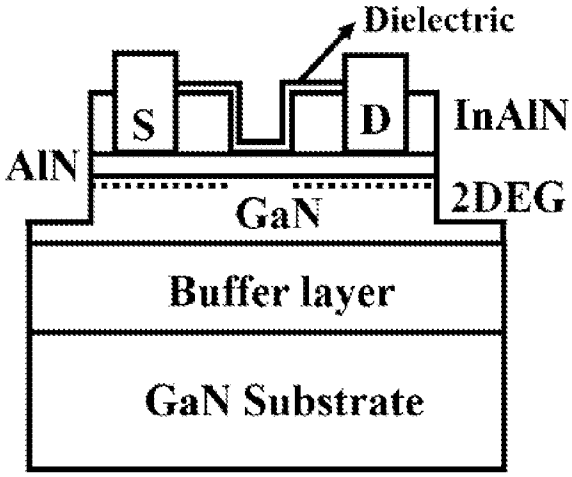

Dielectric
S
D
InAlN
AlN
2DEG
GaN
Buffer layer
GaN Substrate

图 7

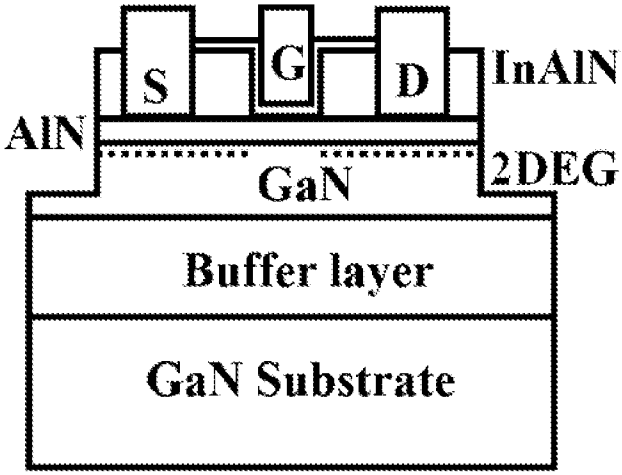

S
G
D
InAlN
AlN
2DEG
GaN
Buffer layer
GaN Substrate

图 8

# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/CN2021/129681**

## A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 29/778(2006.01)i; H01L 29/45(2006.01)i; H01L 21/336(2006.01)i; H01L 21/335(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, IEEE: 无金, 不含金, 无Au, 不含Au, 欧姆, 电极, 源, 漏, 低功函数, 镧, 钪, gold, Au, free, ohmic, electrode, source, drain, lanthanum, scandium

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X | CN 111640797 A (SOUTHERN UNIVERSITY OF SCIENCE AND TECHNOLOGY) 08 September 2020 (2020-09-08)<br>description, paragraphs [0056]-[0119], and figures 1-4D | 1-10 |
| X | US 2014346568 A1 (IMEC) 27 November 2014 (2014-11-27)<br>description, paragraphs [0018]-[0056], and figure 5 | 1-10 |
| X | CN 1802728 A (SHOWA DENKO K.K.) 12 July 2006 (2006-07-12)<br>description, page 4, the second-to-last paragraph to page 8, paragraph 3, and figure 6 | 1-10 |
| X | CN 112864242 A (SOUTHERN UNIVERSITY OF SCIENCE AND TECHNOLOGY) 28 May 2021 (2021-05-28)<br>description, paragraphs [0070]-[0207], and figures 1-15g | 1-10 |
| X | CN 112670337 A (ZHONGSHAN INSTITUTE OF MODERN INDUSTRIAL TECHNOLOGY, SOUTH CHINA UNIVERSITY OF TECHNOLOGY et al.) 16 April 2021 (2021-04-16)<br>description, paragraphs [0006]-[0064], and figures 1-3 | 1-10 |
| A | JP 2007081103 A (FUJITSU LIMITED) 29 March 2007 (2007-03-29)<br>entire document | 1-10 |

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| **17 April 2022** | **26 April 2022** |
| Name and mailing address of the ISA/CN<br>**China National Intellectual Property Administration (ISA/CN)**<br>**No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China**<br>Facsimile No. **(86-10)62019451** | Authorized officer<br><br>Telephone No. |

**INTERNATIONAL SEARCH REPORT**
**Information on patent family members**

International application No.
**PCT/CN2021/129681**

| Patent document cited in search report | | | Publication date (day/month/year) | Patent family member(s) | | | Publication date (day/month/year) |
|---|---|---|---|---|---|---|---|
| CN | 111640797 | A | 08 September 2020 | None | | | |
| US | 2014346568 | A1 | 27 November 2014 | EP | 2806463 | A1 | 26 November 2014 |
| | | | | US | 9634107 | B2 | 25 April 2017 |
| CN | 1802728 | A | 12 July 2006 | KR | 20060028692 | A | 31 March 2006 |
| | | | | WO | 2005008757 | A1 | 27 January 2005 |
| | | | | US | 2007108453 | A1 | 17 May 2007 |
| | | | | TW | 200509418 | A | 01 March 2005 |
| | | | | JP | 2005051235 | A | 24 February 2005 |
| | | | | KR | 736674 | B1 | 06 July 2007 |
| | | | | TW | I303109 | B | 11 November 2008 |
| | | | | CN | 100472721 | C | 25 March 2009 |
| | | | | US | 7598593 | B2 | 06 October 2009 |
| CN | 112864242 | A | 28 May 2021 | None | | | |
| CN | 112670337 | A | 16 April 2021 | None | | | |
| JP | 2007081103 | A | 29 March 2007 | JP | 4972896 | B2 | 11 July 2012 |

# 国际检索报告

国际申请号
PCT/CN2021/129681

A. 主题的分类

H01L 29/78(2006.01)i; H01L 29/778(2006.01)i; H01L 29/45(2006.01)i; H01L 21/336(2006.01)i; H01L 21/335(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNPAT,EPODOC,WPI,CNKI,IEEE：无金，不含金，无Au，不含Au，欧姆，电极，源，漏，低功函数，镧，钪，gold, Au, free, ohmic, electrode, source, drain, lanthanum, scandium

C. 相关文件

| 类 型* | 引用文件，必要时，指明相关段落 | 相关的权利要求 |
|---|---|---|
| X | CN 111640797 A (南方科技大学) 2020年9月8日 (2020-09-08)<br>说明书第[0056]-[0119]段，附图1-4D | 1-10 |
| X | US 2014346568 A1 (IMEC) 2014年11月27日 (2014-11-27)<br>说明书第[0018]-[0056]段，附图5 | 1-10 |
| X | CN 1802728 A (昭和电工株式会社) 2006年7月12日 (2006-07-12)<br>说明书第4页倒数第2段-第8页第3段，附图6 | 1-10 |
| X | CN 112864242 A (南方科技大学) 2021年5月28日 (2021-05-28)<br>说明书第[0070]-[0207]段，附图1-15g | 1-10 |
| X | CN 112670337 A (中山市华南理工大学现代产业技术研究院 等) 2021年4月16日 (2021-04-16)<br>说明书第[0006]-[0064]段，附图1-3 | 1-10 |
| A | JP 2007081103 A (FUJITSU LTD.) 2007年3月29日 (2007-03-29)<br>全文 | 1-10 |

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

| 国际检索实际完成的日期 | 国际检索报告邮寄日期 |
|---|---|
| 2022年4月17日 | 2022年4月26日 |
| ISA/CN的名称和邮寄地址<br>中国国家知识产权局(ISA/CN)<br>中国北京市海淀区蓟门桥西土城路6号 100088<br>传真号 (86-10)62019451 | 受权官员<br>杨燕<br>电话号码 86-(10)-53961450 |

# 国际检索报告
## 关于同族专利的信息

国际申请号
PCT/CN2021/129681

| 检索报告引用的专利文件 | | | 公布日<br>(年/月/日) | 同族专利 | | | 公布日<br>(年/月/日) |
|---|---|---|---|---|---|---|---|
| CN | 111640797 | A | 2020年9月8日 | 无 | | | |
| US | 2014346568 | A1 | 2014年11月27日 | EP | 2806463 | A1 | 2014年11月26日 |
| | | | | US | 9634107 | B2 | 2017年4月25日 |
| CN | 1802728 | A | 2006年7月12日 | KR | 20060028692 | A | 2006年3月31日 |
| | | | | WO | 2005008757 | A1 | 2005年1月27日 |
| | | | | US | 2007108453 | A1 | 2007年5月17日 |
| | | | | TW | 200509418 | A | 2005年3月1日 |
| | | | | JP | 2005051235 | A | 2005年2月24日 |
| | | | | KR | 736674 | B1 | 2007年7月6日 |
| | | | | TW | I303109 | B | 2008年11月11日 |
| | | | | CN | 100472721 | C | 2009年3月25日 |
| | | | | US | 7598593 | B2 | 2009年10月6日 |
| CN | 112864242 | A | 2021年5月28日 | 无 | | | |
| CN | 112670337 | A | 2021年4月16日 | 无 | | | |
| JP | 2007081103 | A | 2007年3月29日 | JP | 4972896 | B2 | 2012年7月11日 |