



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년01월16일
(11) 등록번호 10-2489216
(24) 등록일자 2023년01월12일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) H01L 21/02 (2006.01)
(52) CPC특허분류
H01L 21/76816 (2013.01)
H01L 21/0228 (2013.01)
(21) 출원번호 10-2019-7024007
(22) 출원일자(국제) 2019년01월19일
심사청구일자 2020년11월03일
(85) 번역문제출일자 2019년08월16일
(65) 공개번호 10-2019-0100975
(43) 공개일자 2019년08월29일
(86) 국제출원번호 PCT/US2018/014373
(87) 국제공개번호 WO 2018/136712
국제공개일자 2018년07월26일
(30) 우선권주장
62/448,788 2017년01월20일 미국(US)
(56) 선행기술조사문헌
US20060097397 A1*
KR1020120109902 A*
KR1020070089144 A*
US20130270703 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
도쿄엘렉트론가부시키가이샤
일본 도쿄도 미나토구 아카사카 5초메 3반 1고
(72) 발명자
채 수두
미국 뉴욕주 12203 올버니 스위트 214 풀러 로드 255
스미스 제프리
미국 뉴욕주 12065 클리프턴 파크 와일드 플라워웨이 12
(74) 대리인
(뒷면에 계속)
김태홍, 김진희

전체 청구항 수 : 총 20 항

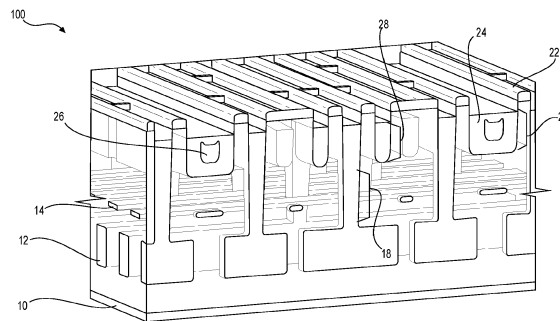
심사관 : 인치복

(54) 발명의 명칭 상호 접속 구조체 및 그 형성 방법

(57) 요약

반도체 디바이스가 제공된다. 반도체 디바이스는 유전체 재료 내에 형성된 복수의 상호 접속 개구를 포함할 수 있다. 본 명세서에 개시된 상호 접속 개구는 트렌치 개구, 비아 개구 또는 이중 다마신 개구를 가질 수 있다. 제 1 금속은 상호 접속 개구 내에 컨포멀하게 충전될 수 있고 유전체 재료와 직접 접촉할 수 있다. 반도체 디바이스는 또한 상호 접속 개구 내에 충전되는 제2 금속을 가질 수 있다. 제2 금속은 제1 금속 위에 형성되고 제1 금속에 의해 캡슐화되어 상호 접속 개구 내에 상호 접속 구조체를 형성할 수 있다. 반도체 디바이스는 유전체 재료 내에 형성된 복수의 도전성 층을 더 포함할 수 있고, 도전성 층은 상호 접속 구조체의 바닥에 있을 수 있고 상호 접속 구조체와 직접 접촉할 수 있다.

대표도 - 도1a



(52) CPC특허분류

H01L 21/02282 (2013.01)

H01L 21/0262 (2013.01)

H01L 21/76807 (2013.01)

H01L 21/76813 (2013.01)

H01L 21/7685 (2013.01)

H01L 21/76895 (2013.01)

(72) 발명자

외싱크 게리트 제이.

미국 뉴욕주 12148 렉스포드 페리 드라이브 10

클라크 로버트 디.

미국 뉴욕주 94551 리버모어 에텔바이스 웨이 5812

유 카이-홍

미국 뉴욕주 12189 워터블리트 하버드 로드 174

명세서

청구범위

청구항 1

반도체 디바이스에 있어서,

유전체 재료를 포함하는 기판;

상기 유전체 재료 내에 형성된 내로우형(narrow) 상호 접속 개구;

상기 유전체 재료 내에 형성된 와이드형(wide) 상호 접속 개구 - 상기 와이드형 상호 접속 개구는 상기 내로우형 상호 접속 개구의 피처 크기에 비해 더 큰 피처 크기를 가짐 -;

상기 내로우형 상호 접속 개구를 완전히 충전하여 제1 상호 접속 구조체를 형성하고, 상기 유전체 재료 내에 형성된 상기 와이드형 상호 접속 개구의 표면을 컨포멀하게(conformally) 피복하는 제1 금속; 및

상기 제1 금속 위에 형성되고 상기 제1 금속에 의해 캡슐화되어 상기 와이드형 상호 접속 개구 내에 제2 상호 접속 구조체를 형성하는 제2 금속

을 포함하고,

상기 제2 금속은 바닥부, 상단부, 및 측부를 갖고,

상기 제2 금속의 바닥부, 상단부, 및 측부는 상기 제1 금속과 직접 접촉하고,

상기 제2 금속의 상단부는 상기 제1 금속에 의해 피복되고, 상기 제1 상호 접속 구조체는 상기 유전체 재료에 의해 상기 제2 상호 접속 구조체로부터 이격되는 것인 반도체 디바이스.

청구항 2

제1항에 있어서, 상기 상호 접속 개구는 트렌치 개구, 비아 개구, 또는 이중 다마신 개구를 포함하는 것인 반도체 디바이스.

청구항 3

제1항에 있어서, 상기 제1 금속은 Ru, Cu, W, Al, 또는 Co를 포함하고, 상기 유전체 재료와 직접 접촉하며, 상기 제2 금속에 대한 장벽/라이너로서 작용하는 것인 반도체 디바이스.

청구항 4

제1항에 있어서, 상기 제2 금속은 Cu, Mn, Al, W, 및 Co의 그룹 중 적어도 하나를 포함하고, 상기 제2 금속은 상기 제1 금속보다 낮은 저항률(resistivity)을 갖는 것인 반도체 디바이스.

청구항 5

제1항에 있어서, 상기 유전체 재료 내에 형성된 복수의 도전성 층을 더 포함하고, 상기 복수의 도전성 층은 상기 제1 및 제2 상호 접속 구조체의 바닥에 있으며, 상기 복수의 도전성 층 중 적어도 하나는 상기 제1 및 제2 상호 접속 구조체 중 하나와 직접 접촉하는 것인 반도체 디바이스.

청구항 6

제5항에 있어서, 상기 도전성 층은 Ru, Cu, W, Al, 및 Co의 그룹 중 적어도 하나를 포함하는 것인 반도체 디바이스.

청구항 7

제1항에 있어서, 상기 유전체 재료는 층간 유전체(ILD, inter-layer dielectric) 층, 금속배선간 유전체(IMD, inter-metallization dielectric) 층, 및 로우-K 재료 층의 그룹 중 적어도 하나를 포함하는 것인 반도체 디바이스.

이스.

청구항 8

제1항에 있어서, 상기 제1 및 제2 상호 접속 구조체의 상부면은 상기 유전체 재료의 상부면보다 낮은 것인 반도체 디바이스.

청구항 9

제1항에 있어서, 상기 제1 금속은 상기 유전체 재료와 직접 접촉하고, 상기 제2 금속의 상부면은 상기 제1 금속의 상부면과 동등한 높이에 있는 것인 반도체 디바이스.

청구항 10

반도체 디바이스를 제조하는 방법에 있어서,

기판 상에 유전체 재료를 형성하는 단계;

상기 유전체 재료 내에 제1 상호 접속 개구 및 제2 상호 접속 개구를 형성하는 단계;

상기 제1 상호 접속 개구 및 상기 제2 상호 접속 개구 상에 제1 금속을 퇴적하는 단계 - 상기 제1 금속은 상기 제1 상호 접속 개구를 완전히 충전하여 제1 상호 접속 구조체를 형성하고, 상기 제2 상호 접속 개구의 표면을 진포밀하게 피복함 - ;

상기 제2 상호 접속 개구에서 상기 제1 금속 위에 제2 금속을 퇴적하는 단계;

상기 제2 상호 접속 개구 내의 상기 제2 금속을 리세싱하는 단계;

제2 상호 접속 구조체를 형성하도록 상기 제2 금속 위에 상기 제1 금속을 퇴적하여 상기 제2 상호 접속 개구를 충전하는 단계 - 상기 제2 금속은 상기 제2 상호 접속 구조체에서 상기 제1 금속에 의해 캡슐화됨 - ; 및

상기 유전체 재료의 상부면, 상기 제1 상호 접속 개구에서의 상기 제1 금속의 상부면 및 상기 제2 상호 접속 개구에서의 상기 제1 금속의 상부면이 동일 평면(co-planar)에 있도록 반도체 디바이스를 평탄화하는 단계

를 포함하고,

상기 제1 금속은 제1 재료로 이루어지고, 상기 제2 금속은 제2 재료로 이루어지는 것인 반도체 디바이스 제조 방법.

청구항 11

제10항에 있어서,

상기 반도체 디바이스를 평탄화하는 단계 이후에, 상기 제1 상호 접속 개구에서의 상기 제1 금속의 상부면과 상기 제2 상호 접속 개구에서의 상기 제1 금속의 상부면이 상기 유전체 재료의 상부면보다 낮아지도록 상기 제1 금속을 리세싱하는 단계를 더 포함하는 반도체 디바이스 제조 방법.

청구항 12

제10항에 있어서, 상기 유전체 재료를 형성하는 단계는 상기 유전체 재료 내에 복수의 도전성 층을 형성하는 단계를 포함하는 것인 반도체 디바이스 제조 방법.

청구항 13

제12항에 있어서, 상기 유전체 재료 내에 상기 도전성 층을 형성하는 단계는 상기 제1 상호 접속 개구의 바닥 및 상기 제2 상호 접속 개구의 바닥에 상기 도전성 층을 형성하는 단계를 포함하고, 상기 도전성 층 중 적어도 하나는 상기 제1 상호 접속 개구 내에 충전된 제1 금속 또는 상기 제2 상호 접속 개구 내에 충전된 제1 금속과 직접 접촉하는 것인 반도체 디바이스 제조 방법.

청구항 14

제10항에 있어서, 상기 제2 상호 접속 개구를 형성하는 단계는 상기 유전체 재료 내에 트렌치 개구 및 비아 개

구를 형성하는 단계를 포함하는 것인 반도체 디바이스 제조 방법.

청구항 15

제14항에 있어서, 상기 유전체 재료 내에 상기 제2 상호 접속 개구를 형성하는 단계는,

상기 유전체 재료 위에 하드 마스크 스택을 형성하는 단계;

상기 하드 마스크 스택을 에칭하여 상기 하드 마스크 스택을 패터닝하는 제1 에칭 프로세스를 수행하는 단계;

패터닝된 하드 마스크 스택 위에 스핀 온 카본(spin on carbon, SOC) 층을 코팅하고 상기 SOC 층을 패터닝하는 단계;

패터닝된 SOC 층을 마스크로서 사용하여 상기 유전체 재료 내로 하향 에칭하는 제2 에칭 프로세스를 수행하는 단계;

상기 SOC 층을 제거하는 단계; 및

상기 패터닝된 하드 마스크 스택을 마스크로서 사용함으로써 상기 유전체 재료 내로 하향 에칭하는 제3 에칭 프로세스를 수행하여, 상기 유전체 재료 내에 트렌치 개구 및 비아 개구를 갖는 상기 제2 상호 접속 개구의 형성을 완료하는 단계를 포함하는 것인 반도체 디바이스 제조 방법.

청구항 16

제15항에 있어서, 상기 제2 상호 접속 개구에서 상기 제1 금속 위에 제2 금속을 퇴적하는 것은, 상기 제1 금속 위에 제2 금속층을 형성하는 단계를 포함하며, 상기 제2 금속층은, 상기 유전체 재료의 상부면 위의 제1 부분, 상기 제2 상호 접속 개구의 트렌치 개구의 바닥 위의 제2 부분, 및 상기 제2 상호 접속 개구의 트렌치 개구의 측벽을 따르는 제3 부분을 포함하는 것인 반도체 디바이스 제조 방법.

청구항 17

제16항에 있어서, 상기 제2 금속을 리세싱하는 단계는, 상기 유전체 재료의 상부면 위의 상기 제2 금속층의 상기 제1 부분 및 상기 제2 상호 접속 개구의 트렌치 개구의 측벽을 따르는 상기 제2 금속층의 상기 제3 부분을 완전히 제거하는 단계, 및 상기 제2 상호 접속 개구의 트렌치 개구의 바닥 위의 상기 제2 금속층의 상기 제2 부분을 부분적으로 제거하는 단계를 포함하는 것인 반도체 디바이스 제조 방법.

청구항 18

제10항에 있어서, 상기 제1 금속은 루테튬(Ru), 구리(Cu), 텅스텐(W), 알루미늄(Al), 또는 코발트(Co) 중 적어도 하나를 포함하는 것인 반도체 디바이스 제조 방법.

청구항 19

제10항에 있어서, 상기 제2 상호 접속 개구는 상기 제1 상호 접속 개구의 피쳐 크기에 비해 더 큰 피쳐 크기를 갖는 것인 반도체 디바이스 제조 방법.

청구항 20

제10항에 있어서, 상기 제2 금속은 상기 제1 금속의 저항률보다 낮은 저항률을 갖는 것인 반도체 디바이스 제조 방법.

발명의 설명

기술 분야

[0001] <관련 출원에 대한 상호 참조>

[0002] 본 출원은 2017년 1월 20일자로 출원된 미국 가출원 제62/448,788호의 이익을 청구하며, 그 전체 내용은 본 명세서에 참조로 포함된다.

[0003] <발명의 분야>

[0004] 본 발명은 주어진 기판 또는 웨이퍼 상에 재료의 패터닝, 퇴적 및 제거를 위한 시스템 및 프로세스를 포함하는 반도체 미세 제조(semiconductor micro fabrication)에 관한 것이다.

배경 기술

[0005] 반도체 디바이스는 스마트 폰, 랩탑, 디지털 카메라 및 다른 장치와 같은 다양한 전자 장비에 널리 사용된다. 일반적으로, 통상적인 반도체 디바이스는 트랜지스터, 커패시터, 인덕터 및 다른 구성요소와 같은 능동 디바이스를 갖는 기판을 포함한다. 이들 능동 디바이스는 초기에는 서로 격리되어 있으며, 능동 디바이스 위에 상호 접속 구조체(interconnect structure)가 나중에 형성되어 기능 회로를 생성한다. 그러한 상호 접속 구조체는 금속 라인(배선)과 같은 측방향 상호 접속부, 및 도전성 비아 또는 접촉 플러그와 같은 수직 상호 접속부를 포함할 수도 있다.

[0006] 점점 더 복잡하고 정교한 많은 기능을 동시에 지원할 수 있는 보다 작고 빠른 반도체 디바이스에 대한 요구가 더욱 더 증가하고 있다. 이 축소 프로세스(scaling down process)는 일반적으로 제조 효율을 증가시키고 관련 비용을 낮춤으로써 이점을 제공한다. 그럼에도 불구하고, 그러한 축소는 또한 반도체 디바이스의 처리 및 제조의 복잡도를 증가시켰다. 첨단 기술 노드에서 반도체 디바이스의 치수가 보다 작은 서브-미크론 크기로 크기 조정됨에 따라, 상호 접속 구조체의 크기를 감소시키면서 상호 접속 구조체의 저항을 감소시키는 것은 점점 더 도전 과제가 되고 있다. 개선된 구조체 및 그 제조 방법이 요구된다.

발명의 내용

[0007] 일 양태에서, 반도체 디바이스는 유전체 재료 내에 형성된 상호 접속 개구를 포함할 수 있다. 본 명세서에 개시된 상호 접속 개구는 트렌치 개구, 비아 개구 또는 이중 다마신 개구를 가질 수 있다. 제1 금속은 상호 접속 개구의 표면을 컨포멀하게(conformally) 피복할 수 있고, 유전체 재료와 직접 접촉하거나, 또는 미리 퇴적된 얇은 라이너 또는 장벽 재료와 접촉할 수 있다. 반도체 디바이스는 또한 상호 접속 개구 내에 충전되는 제2 금속을 가질 수 있다. 제2 금속은 제1 금속 위에 형성되고 제1 금속에 의해 캡슐화되어 상호 접속 개구 내에 상호 접속 구조체를 형성할 수 있다. 일부 실시예에서, 제1 금속은 높은 종횡비를 갖는 상호 접속 개구 내에 컨포멀하게 퇴적되고 제2 금속에 대한 장벽/라이너로서 작용할 수 있다. 여기서, 종횡비는 상호 접속 개구에서 트렌치 개구의 폭 대 높이의 비율, 또는 비아 개구의 폭 대 높이의 비율을 의미한다. 실시예에서, 제1 금속은 높은 종횡비를 갖는 트렌치 개구 또는 비아 개구에서 컨포멀 적용 범위(conformal coverage)를 제공할 수 있는 루테튬(Ru)일 수 있다. 제2 금속은 제1 금속보다 낮은 저항률(resistivity)을 가질 수 있지만, 유전체로의 금속 확산 또는 일렉트로마이그레이션(electromigration)(EM) 우려와 같은 다수의 가능한 이유로 인해 단독으로 직접 퇴적에는 적절한 재료가 아니다. 이러한 경우, 제2 금속이 단독으로 사용되기 위해서는, 예를 들어 수 나노미터 두께의 비교적 두꺼운 라이너 및/또는 장벽 필름이 요구된다. 금속 스택에 두꺼운 라이너 및/또는 장벽을 통합하면, 그러한 적절한 라이너 및/또는 장벽 재료의 저항률이 사용될 벌크 금속의 저항률보다 1 자릿수 이상 크다는 점이 흔히 수반된다. 일부의 경우, 제1 및 제2 금속 충전재의 금속 선택은 제1 금속이 주변 유전체에 대해 임의의 장벽을 필요로 하지 않고 Ru와 같이 거의 무한의 수명을 가지며; Ru와 같은 제1 금속 그 자체는 제2 금속이 단독으로 사용되는 경우 일반적으로 주변 유전체로의 상당한 확산을 갖는 제2 금속에 대한 장벽 재료로서 작용할 수 있도록 행해질 수 있다. 실시예에서, 제2 금속은, 예를 들어 구리(Cu)일 수 있다. 따라서, 높은 저항률의 장벽 또는 라이너 필름의 사용을 필요로 하는 대신에, Ru와 같은 보다 낮은 저항률의 금속이 능동적으로 상호 접속 구조체의 일부인 장벽층으로서 사용될 수 있다. 본 명세서의 개시내용에서, 트렌치 개구 내에 충전된 금속은 상호 접속 구조체의 금속 라인이 되어 측방향 상호 접속부를 제공하고, 비아 개구 내에 충전된 금속은 도전성 비아가 되어 반도체 디바이스에서 수직 상호 접속부를 제공한다. 반도체 디바이스는 유전체 재료 내에 형성된 복수의 도전성 층을 더 포함할 수 있고, 도전성 층은 상호 접속 구조체의 바닥에 있을 수 있고 상호 접속 구조체와 직접 접촉할 수 있다. 실시예에서, 도전성 층은, 예를 들어, Ru와 같은 후공정(backend of line)(BEOL) 처리에서의 금속배선 층일 수 있다. 다른 실시예에서, 도전성 층은 게이트 전극 상에 형성된 도전성 층일 수 있거나, 또는 도핑된 기판 영역(예를 들어, 드레인 또는 소스 영역) 상에 형성된 도전성 층일 수 있다. 다양한 실시예에서, 도전성 층은 또한 반도체 디바이스의 임의의 도전성 구성요소일 수 있다. 반도체 디바이스는 또한 유전체 재료의 상부면보다 낮은 상호 접속 구조체의 상부면을 가질 수 있다.

[0008] 다른 양태에서, 반도체 디바이스를 제조하는 방법은 유전체 재료를 형성하는 단계, 및 유전체 재료 내에 복수의 상호 접속 개구를 형성하는 단계를 포함한다. 상호 접속 개구는 트렌치 개구, 비아 개구, 또는 이중 다마신 개구를 포함할 수 있다. 유전체 재료는 유전체 재료 내에 복수의 도전성 층을 포함할 수 있으며, 도전성 층은 상

호 접속 개구의 바닥에 형성되고 상호 접속 개구와 직접 접촉한다. 방법은 또한 제1 금속을 퇴적하여 상호 접속 개구를 충전하는 단계, 제1 금속 위에 제2 금속을 퇴적시켜 상호 접속 개구를 충전하는 단계, 및 제2 금속을 리세싱하는 단계를 포함할 수 있다. 일부 실시예에서, 제1 금속은, 예를 들어 Ru와 같이 높은 종횡비를 갖는 개구에서 컨포멀 적용 범위를 제공하는 특성을 가질 수 있고, 제2 금속은, 예를 들어 Cu와 같이 제1 금속보다 낮은 저항률을 가질 수 있다. 제1 금속은 낮은 금속 확산을 가질 수 있고, 제1 금속과 주변의 유전체 재료 사이에 미리 퇴적된 장벽/라이너를 도입하지 않고 퇴적될 수 있다. 제1 금속은 또한 제2 금속에 대한 장벽/라이너로서 작용할 수 있다. 방법은 제1 금속 및 제2 금속 위에 제3 금속을 퇴적시켜 상호 접속 개구를 완전히 충전시킴으로써 제2 금속에 대한 금속화된 낮은 저항률의 장벽 재료의 역할을 하도록 상호 접속 구조체 위에 금속 캡을 형성하는 단계를 더 포함할 수 있다. 이 캡은 제2 금속으로부터 상호 접속 구조체 위에 나중에 퇴적될 수 있는 유전체까지의 확산을 방지하는 금속 장벽의 기능을 제공하여 인접한 상부 금속층과 하부 금속층 사이의 절연을 제공하고, 추가적으로 제2 금속에 대해 보다 양호한 EIM 제어를 제공할 수 있다. 실시예에서, 제3 금속은, 예를 들어 Ru와 같은, 제1 금속과 동일한 것일 수 있다. 제2 금속은 제3 금속의 형성 후에 제1 금속과 제3 금속에 의해 캡슐화될 수 있다. 방법은 반도체 디바이스를 평탄화하는 단계를 포함할 수 있고, 이 단계에서 유전체 재료의 상부면은 상호 접속 개구 내에 충전된 금속의 상부면과 동등한 높이에 있다. 방법은 상호 접속 개구 내에 충전된 금속을 리세싱하는 단계를 더 포함할 수 있고, 이 단계에서 상호 접속 개구 내에 충전된 금속의 상부면은 유전체 재료의 상부면보다 낮을 수 있다.

[0009] 다른 양태에서, 반도체 디바이스는 유전체 재료 내에 형성된 복수의 상호 접속 개구를 가질 수 있다. 상호 접속 개구는 트렌치 개구, 비아 개구, 또는 이중 다마신 개구를 가질 수 있다. 제1 금속은 상호 접속 개구의 표면을 컨포멀하게 피복할 수 있고, 유전체 재료와 직접 접촉할 수 있다. 제1 금속보다 낮은 저항률을 갖는 제2 금속이 제1 금속 위에 형성되어 상호 접속 개구 내에 상호 접속 구조체를 형성할 수 있다. 본 개시내용에서, 제2 금속의 상부면은 제1 금속의 상부면과 동등한 높이에 있을 수 있다. 반도체 디바이스는 또한 상호 접속 구조체 아래의 유전체 재료 내에 형성된 복수의 도전성 층을 포함할 수 있고, 도전성 층들 중 적어도 하나는 상호 접속 구조체와 직접 접촉할 수 있다. 본 명세서의 개시내용에서, 상호 접속 구조체의 상부면은 유전체 재료의 상부면보다 낮을 수 있다.

도면의 간단한 설명

[0010] 본 개시내용의 양태는 첨부 도면과 함께 읽을 때에 다음의 상세한 설명으로부터 가장 잘 이해된다. 업계의 표준 관행에 따르면, 다양한 피쳐들이 실적으로 도시되지 않는다는 것을 유념해야 한다. 실제로, 다양한 피쳐들의 치수는 논의의 명료성을 위해 임의적으로 확대되거나 축소될 수도 있다.

도 1a는 일부 실시예에 따른 예시적인 반도체 디바이스의 개략적인 사시도를 도시하고 있다.

도 1b는 일부 실시예에 따른 예시적인 반도체 디바이스의 개략도를 도시하고 있다.

도 2 내지 도 13은 일부 실시예에 따른, 반도체 디바이스를 제조하는 다양한 중간 단계의 예시적인 개략도를 도시하고 있다.

도 14는 일부 실시예에 따른, 대안적인 반도체 디바이스의 예시적인 개략도를 도시하고 있다.

도 15는 일부 실시예에 따른, 반도체 디바이스를 제조하는 예시적인 프로세스 흐름도를 도시하고 있다.

도 16은 원자층 퇴적(atomic layer deposition)(ALD) 프로세스 또는 컨포멀 CVD 퇴적 프로세스에 의한 루테튬(Ru) 퇴적의 단면 주사 전자 현미경(scanning electron microscope)(SEM) 그래프를 도시하고 있다.

도 17은 컨포멀 CVD 퇴적 프로세스에 의한 유사한 Ru 퇴적의 단면 주사 투과 전자 현미경(scanning transmission electron microscope)(STEM) 그래프를 도시하고 있다.

발명을 실시하기 위한 구체적인 내용

[0011] 다음의 개시내용은 제공된 주제의 여러 피쳐를 구현하기 위한 많은 여러 실시예 또는 예를 제공한다. 본 개시를 단순화하기 위해 구성요소 및 배열의 특정 예가 아래에 설명된다. 이들은 물론 단지 예이며 제한이 되도록 의도하지 않는다. 예를 들어, 후속하는 설명에서 제2 피쳐 위의 제1 피쳐의 형성은 제1 피쳐 및 제2 피쳐가 직접 접촉하여 형성되는 실시예를 포함할 수 있으며, 추가 피쳐가 제1 및 제2 피쳐와 직접 접촉하지 않을 수 있다. 게다가, 본 개시내용은 다양한 예에서 참조 번호 및/또는 문자를 반복할 수도 있다. 이러한 반복은 단순화 및 명료성을 위한 것이고, 설명된 다양한 실시예들 및/또는 구성들 사이의 관계를 그 자체가 좌우하지 않는다. 또한,

"아래", "밑", "하부" "위" "상부" 등과 같은 공간적으로 상대적인 용어는 도면에 도시되어 있는 다른 요소(들) 또는 피처(들)에 대한 하나의 요소 또는 피처의 관계를 기술하는 설명을 용이하게 하도록 본 명세서에서 사용될 수도 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 배향에 추가하여 사용 또는 작동 시에 디바이스의 여러 배향을 포함하도록 의도된다. 장치는 달리 배향(90도 또는 다른 방향으로 회전)될 수도 있고, 이에 따라 본 명세서에 사용되는 공간적으로 상대적인 설명어가 마찬가지로 해석될 수도 있다.

[0012] 본 발명은 전반적으로 집적 회로 내의 상호 접속 구조체의 제조에 관한 것으로서, 보다 상세하게는 다수의 금속을 포함하는 상호 접속 구조체를 형성하도록 퇴적, 리세싱, 퇴적 프로세스를 사용하는 것에 관한 것이다. 본 명세서에 개시된 상호 접속 구조체는 낮은 저항 및 양호한 신뢰성을 가질 수 있다. 본 명세서의 기술은 반도체 디바이스의 제조를 위한 구조체 및 방법을 포함한다. 그러한 기술은, 예를 들어 금속 라인 및/또는 도전성 비아를 포함하는 상호 접속 구조체를 제조하기 위한 후공정(BEOL) 금속화 단계에 적용될 수 있다. 일 실시예는 루테튬 및 예를 들어 Cu와 같은 제2 금속 퇴적을 사용하여 금속 상호 접속 구조체를 제조하는 방법을 포함한다. 금속 라인은 Ru와 예를 들어 Cu와 같은 제2 금속으로 구성될 수 있다. Cu와 같은 제2 금속은 Ru 금속 라인 내에 완전히 캡슐화될 수 있고, Ru는 Cu와 같은 제2 금속에 대한 장벽층으로서 작용한다. 본 명세서에서의 기술의 한 가지 이점은 Metal-1/Via-1/Metal-2(M1/V1/M2) 계면들 사이에 장벽/라이너가 필요없다는 점이다. 다른 실시예에서, 장벽/라이너는 제2 금속의 선택에 따라 유용할 수 있다.

[0013] 일반적으로, 본 명세서에 설명되는 실시예는 유전체 재료 내에 형성된 복수의 상호 접속 개구를 갖는 반도체 디바이스를 제공한다. 상호 접속 개구는 트렌치 개구, 비아 개구, 또는 이중 다마신 개구를 가질 수 있다. 제1 금속은 상호 접속 개구의 표면을 컨포멀하게 피복할 수 있고, 유전체 재료와 직접 접촉할 수 있다. 제1 금속보다 낮은 저항률을 갖는 제2 금속이 제1 금속 위에 형성되고 제1 금속에 의해 캡슐화되어 상호 접속 개구 내에 상호 접속 구조체를 형성할 수 있다. 본 개시내용에서, 상호 접속 구조체의 상부면은 유전체 재료의 상부면보다 낮을 수 있다. 반도체 디바이스는 또한 유전체 재료 내에 형성된 복수의 도전성 층을 가질 수 있다. 도전성 층은 상호 접속 구조체의 바닥에 있을 수 있고, 도전성 층 중 적어도 하나는 상호 접속 구조체와 직접 접촉할 수 있다. 반도체 디바이스가 계속해서 축소됨에 따라, 반도체 디바이스의 상호 접속 구조체에서 도전성 요건 및 신뢰성 요구 사항을 충족시키는 것은 점점 더 어려워졌다. 본 명세서에 개시된 그러한 상호 접속 구조체는, 낮은 저항률 및 양호한 신뢰성을 여전히 유지하면서, 5 nm 노드 및 그 이상과 같은 첨단 기술 노드를 위해 축소될 수도 있다는 것이 관찰되었다. 제1 금속은 금속 라인(배선)과 같은 공극없는 측방향 상호 접속부 및 도전성 비아와 같은 공극없는 수직 상호 접속부를 형성하여 신뢰성을 향상시키기 위해 상호 접속 개구의 표면을 컨포멀하게 피복하는 특성을 가질 수 있다. 제1 금속보다 낮은 저항률을 갖는 제2 금속은 상호 접속 구조체의 저항을 감소시킬 수 있다. 관련 분야에서, 상호 접속 개구에 제1 금속 또는 제2 금속을 퇴적하기 전에 장벽/라이너 층이 요구될 수도 있다. 본 개시내용에서, 제1 금속 또는 제2 금속은 장벽/라이너 층을 도입하지 않고 형성될 수 있다. 제1 금속은 금속 마이그레이션이 낮기 때문에 미리 퇴적된 장벽/라이너를 도입하지 않고 유전체 재료와 직접 접촉할 수 있다. 제1 금속은 또한 제2 금속에 대한 장벽/라이너로서 작용할 수 있다. 본 명세서에 개시된 장벽/라이너 층이 없는 제조 프로세스는 제조 처리량을 증가시킬 수 있고, 제조 비용과, 제1 금속과 제2 금속 사이 및/또는 제1 금속과 도전성 층 사이의 계면 저항 모두를 감소시킬 수 있다.

[0014] 도 1a 및 도 1b는 반도체 디바이스(100)의 개략도를 도시하고 있는데, 도 1a는 디바이스의 내부 구조를 보기 위해 유전체 층(16)이 제거된 상태에서 예시적인 반도체 디바이스(100)의 사시도를 나타내며, 도 1b는 유전체 층(16)을 도시하고 있는 동일한 반도체 디바이스(100)의 개략도이다. 반도체 디바이스(100)는 유전체 층(10), 유전체 층(14), 유전체 층(16), 및 유전체 층(22)을 포함할 수 있는 유전체 재료를 포함한다. 유전체 층(10, 14 및 22)은 패시베이션 층 또는 에칭/연마 정지 층으로서 작용할 수 있다. 일부 실시예에서, 유전체 층(10, 14, 및 22)은, 예를 들어 20 Å 내지 300 Å 범위의 두께를 갖는 SiN, SiCN, SiC, AlO_x, SiON 등, 또는 그 조합일 수 있다. 일부 실시예에서, 유전체 층(16)은 층간 유전체(ILD, inter-layer dielectric), 금속배선간 유전체(TMD, inter-metallization dielectric) 층, 로우-K 재료 층 등, 또는 이들의 조합일 수 있다. 유전체 층(16)의 두께는 적용된 기술에 따라 달라지며, 예를 들어 1000 Å 내지 약 30000 Å의 범위일 수 있다. 도 1a 및 도 1b의 실시예에서, 유전체 층(10, 14 및 22)은 SiCN이고, 유전체 층(16)은 SiCOH를 함유하는 재료와 같은 울트라 로우-k 재료이다.

[0015] 반도체 디바이스는 유전체 재료 내에 형성된 복수의 도전성 층(12)을 더 포함할 수 있다. 실시예에서, 도전성 층(12)은, 예를 들어 루테튬(Ru) 또는 구리(Cu)와 같은 후공정(BEOL)에서의 금속배선 층일 수 있다. 다른 실시예에서, 도전성 층(12)은 게이트 전극 상에 형성된 도전성 층일 수 있거나, 또는 도핑된 기판 영역(예를 들어, 드레인 또는 소스 영역) 상에 형성된 도전성 층일 수 있다. 다양한 실시예에서, 도전성 층(12)은 또한 반도체

디바이스의 임의의 도전성 구성요소일 수 있다. 도 1a 및 도 1b에 도시되어 있는 실시예에서, 도전성 재료(12)는 Ru Metal-1 라인이다.

[0016] 본 개시내용의 유전체 재료는 임의의 수의 층을 포함할 수 있으며, 앞서 설명한 바와 같이, 유전체 재료는 패턴되어 복수의 상호 접속 개구를 형성할 수 있다. 도 1a 및 도 1b에 도시되어 있는 바와 같이, 상호 접속 개구는 이중 다마신 개구일 수 있고 도면 부호 20 또는 28과 같은 트렌치 개구, 및/또는 도면 부호 18과 같은 비아 개구를 포함할 수 있다. 트렌치 개구는 다양한 피처 크기를 가질 수 있고, 예를 들어 트렌치(20)의 피처 크기는 트렌치(28)의 피처 크기보다 크다는 점을 유념해야 한다.

[0017] 반도체 디바이스(100)는 제1 금속(24) 및 제2 금속(26)을 더 포함할 수 있다. 도 1a 및 도 1b에 도시되어 있는 바와 같이, 제1 금속(24)은 상호 접속 개구의 도면 부호 20 및 28과 같은 트렌치 개구, 및/또는 도면 부호 18과 같은 비아 개구 내에 컨포멀하게 퇴적될 수 있다. 제1 금속(24)은 금속 마이그레이션이 낮을 수 있기 때문에 미리 퇴적된 장벽/라이너를 도입하지 않고 유전체 재료와 직접 접촉할 수 있다. 여전히 도 1a 및 도 1b를 참조하면, 비아 개구(18) 및 트렌치 개구(28)는 제1 금속(24)에 의해 완전히 충전될 수 있다. 트렌치 개구(28)보다 큰 피처 크기를 갖는 트렌치 개구(20)에서, 제1 금속(24)은 트렌치 개구(20)의 바닥 및 측벽을 피복할 수 있고, 제2 금속(26)은 제1 금속(24) 위에 형성되어 제1 금속(24)에 의해 캡슐화될 수 있다. 제1 금속(24)은 제2 금속(26)에 대한 장벽/라이너로서 작용할 수 있다. 상호 접속 개구 내에 충전된 제1 금속(24) 및 제2 금속(26)은 함께 상호 접속 구조체를 형성하는데, 트렌치 개구 내에 충전된 금속은 상호 접속 구조체의 금속 라인을 형성하여 측방향 상호 접속부를 제공하고, 비아 개구 내에 충전된 금속은 상호 접속 구조체의 도전성 비아를 형성하여 수직 상호 접속부를 제공한다. 도 1a 및 도 1b에 도시되어 있는 실시예에서, 비아 개구(18) 내에 충전된 금속은 Via-1 구조체를 형성하고 트렌치 개구(20 및 28) 내에 충전된 금속은 Metal-2 라인을 형성한다.

[0018] 도 1a 및 도 1b에 도시되어 있는 바와 같이, 도전성 층(12)은 상호 접속 구조체의 바닥에 있고 비아 개구(18) 내의 금속을 통해 상호 접속 구조체와 직접 접촉할 수 있다. 제1 금속(24)은 비아(18) 또는 트렌치(28)와 같은 높은 종횡비의 피처를 컨포멀하게 피복하는 특성을 가질 수 있다. 앞서 설명한 바와 같이, 종횡비는 상호 접속 개구에서 트렌치 개구의 폭 대 높이의 비율, 또는 비아 개구의 폭 대 높이의 비율을 의미한다. 다양한 실시예에서, 제1 금속은 루테튬(Ru), 구리(Cu), 텅스텐(W), 알루미늄(Al), 또는 코발트(Co)일 수 있다. 도 1a 및 도 1b에 도시되어 있는 실시예에서, 제1 금속(24)은 높은 종횡비를 갖는 트렌치 개구 또는 비아 개구에서 컨포멀 적용 범위를 제공하는 Ru이다. 제2 금속(26)은 상호 접속 구조체의 저항을 감소시키도록 제1 금속(24)보다 낮은 저항률을 가질 수 있고, 제1 금속(24)은 제2 금속(26)에 대한 장벽/라이너로서 작용한다. 도 1a 및 도 1b에 도시되어 있는 실시예에서, 제2 금속(26)은 Cu이다. 일부 실시예에서, 제2 금속(26)은 또한 Cu, 구리 마그네슘(CuMn), Al, W 및 Co를 포함할 수 있다. 반도체 디바이스(100)는 또한 유전체 재료의 상부면(예를 들어, 유전체 층(22)의 상부면)보다 낮은 상호 접속 구조체의 상부면(예를 들어, 금속(24)의 상부면)을 가질 수 있다.

[0019] 5 nm 노드 및 그 이상과 같은 첨단 기술 노드에서 반도체 디바이스의 치수가 보다 작은 서브-미크론 크기로 크기 조정됨에 따라, 상호 접속 구조체의 크기를 감소시키면서 상호 접속 구조체의 저항을 감소시키는 것은 점점 더 도전 과제가 되고 있다. 상호 접속 구조체의 감소된 피처 크기는 또한 공극없는 상호 접속 구조체를 형성하는 어려움으로 인해 일렉트론마이그레이션(EM) 및 응력 마이그레이션(Stress Migration)(SM)과 같은 신뢰성에서 도전 과제를 야기한다. 개시된 반도체 디바이스(100)에서, 제1 금속(24)은 비아(18), 트렌치(20) 및 트렌치(28) 내에 컨포멀하게 퇴적되어 공극없는 금속배선 층을 형성할 수 있고, 제1 금속(24)보다 낮은 저항률을 갖는 제2 금속(26)은 제1 금속(24) 위에 형성되고 제1 금속(24)에 의해 캡슐화되어 상호 접속 구조체의 저항을 감소시킬 수 있다. 더욱이, 본 개시내용에서, 제1 금속은 제1 금속의 낮은 금속 마이그레이션으로 인해 제1 금속과 주변의 유전체 재료 사이에 장벽/라이너 층을 도입하지 않고 형성될 수 있다. 제2 금속은 제1 금속이 제2 금속에 대한 장벽/라이너로서 작용할 수 있기 때문에 제1 금속과 제2 금속 사이의 장벽/라이너 없이 도입될 수 있다. 본 명세서에 개시된 장벽/라이너 층이 없는 제조 프로세스는 제조 처리량을 증가시킬 수 있고, 제조 비용과, 제1 금속과 제2 금속 사이 및/또는 제1 금속과 도전성 층 사이의 계면 저항 모두를 감소시킬 수 있다.

[0020] 도 2 내지 도 13에서, 반도체 디바이스(100)를 제조하는 예시적인 기술이 제조의 중간 단계에서 반도체 디바이스의 예시적인 개략도를 참조하여 설명될 것이다. 도 2에서 시작하여, 유전체 재료가 형성될 수 있다. 유전체 재료는 유전체 층(10), 유전체 층(14), 유전체 층(16) 및 유전체 층(22)을 포함할 수 있다. 유전체 층(10, 14 및 22)은 패시베이션 층 또는 에칭/연마 정지 층으로서 기능할 수 있다. 일부 실시예에서, 유전체 층(10, 14 및 22)은, 예를 들어 20 Å 내지 300 Å 범위의 두께를 갖는 SiN, SiCN, SiC, AlO_x, SiON 등, 또는 그 조합일 수 있다. 단순화 및 명료성을 위해, 본 실시예에서, 유전체 층(10, 14 및 22)은 SiCN이다. 유전체 층(10, 14 및

22)은 화학 기상 증착(CVD), 물리 기상 증착(PVD), 원자층 퇴적(ALD), 전자빔 퇴적 등과 같은 다양한 기술 중 임의의 기술을 통해 퇴적될 수 있다. 유전체 층(10) 위에 또 다른 유전체 층(16)이 퇴적될 수 있다. 다양한 실시예에서, 유전체 층(16)은 제1 층간 유전체(ILD, inter-layer dielectric) 또는 금속배선간 유전체(IMD, inter-metallization dielectric)) 층일 수도 있다. 유전체 층(16)은, 예를 들어 약 4.0 미만 또는 심지어는 약 2.8 미만의 k 값을 갖는 로우- k 유전체 재료로 형성될 수도 있다. 유전체 층(16)은 포스포실리케이트 유리(PSG), 보로포스포실리케이트 유리(BPSG), FSG(SiOF 계열 재료), SiOxCy, 스피ن-온-글래스, 스피ن-온-폴리머, 실리콘 탄소 재료, 이들의 화합물 등일 수 있다. 유전체 층(16)은 원자층 퇴적(ALD), 물리 기상 증착(PVD), 액체 소스 미스트 화학적 증착(liquid source misted chemical deposition)(LSMCD), 스피닝, 화학 기상 증착(CVD), 코팅 또는 기판 위에 박막층을 형성하도록 된 임의의 다른 프로세스와 같은 임의의 적절한 방법에 의해 퇴적될 수 있다. 유전체 층(16)의 두께는 적용된 기술에 따라 달라지며, 예를 들어 1000 Å 내지 약 30000 Å의 범위일 수 있다. 단순화 및 명료성을 위해, 본 명세서에 개시된 유전체 층(16)은 SiCOH를 함유하는 울트라 로우- k 유전체 재료이다. 유전체 재료는 기술 요건에 따라 격리층, 접착제층, 버퍼층 등과 같은 임의의 수의 층을 포함할 수 있다는 것을 이해해야 한다.

[0021] 계속 도 2를 참조하면, 유전체 재료는 유전체 재료 내에 형성된 복수의 도전성 층(12)을 더 포함할 수 있다. 실시예에서, 도전성 층(12)은, 예를 들어 루테튬(Ru) 또는 구리(Cu)와 같은 후공정(BEOL)에서의 금속배선 층일 수 있다. 다른 실시예에서, 도전성 층(12)은 게이트 전극 상에 형성된 도전성 층일 수 있거나, 또는 도핑된 기판 영역(예를 들어, 드레인 또는 소스 영역) 상에 형성된 도전성 층일 수 있다. 다양한 실시예에서, 도전성 층(12)은 또한 반도체 디바이스의 임의의 도전성 구성요소일 수 있다. 도 2의 실시예에서, 도전성 층(12)은 BEOL에 도포된 Ru Metal-1 라인이다. Ru는 비스(시클로펜타디에닐)루테튬(RuCp₂) 및 산소를 전구체로서 사용하여 275°C 내지 400°C의 온도에서 수행될 수 있는 원자층 퇴적(ALD) 프로세스, 또는 Ru₃(CO)₁₂ 전구체 증기 및 CO 가스를 함유하는 프로세스 가스를 적용할 수 있는 열적 화학 기상 증착(TCVD) 프로세스와 같은 임의의 적절한 방법에 의해 퇴적될 수 있다. 도 2의 실시예에서, Ru는 ALD 프로세스를 통해 퇴적된다.

[0022] 도 3에 도시되어 있는 바와 같이, 하드 마스크 스택이 유전체 재료 위에 형성될 수 있다. 도시되어 있는 실시예에서, 하드 마스크 스택은 SiOx 층(30), TiN 층(32), 다른 SiOx 층(34), 및 포토레지스트 층(36)을 포함하지만, 다른 재료가 사용될 수도 있다. SiOx 층(30)은 약 100 Å 내지 약 200 Å 범위의 두께를 가질 수 있다. TiN 층(32)은 200 Å 내지 400 Å의 두께를 가질 수 있다. SiOx 층(34)은 기술 요건에 따라 약 300 Å 내지 약 500 Å의 두께를 가질 수 있다. 본 명세서에 개시된 SiOx 및 TiN 층은 화학 기상 증착(CVD), 물리 기상 증착(PVD), 원자층 퇴적(ALD), 전자빔 퇴적, 또는 이들의 임의의 조합과 같은 적절한 퇴적 프로세스에 의해 퇴적될 수 있다. 포토레지스트 층(36)은, 포토레지스트 코팅(예를 들어, 스피ن-온 코팅), 소프트 베이킹, 마스크 정렬, 노광, 노광 후 베이킹, 포토레지스트 현상, 행굼, 건조(예를 들어, 스피ن-건조 및/또는 하드 베이킹) 등을 더 포함할 수 있는 리소그래피 프로세스(예를 들어, 포토리소그래피 또는 전자빔 리소그래피)와 같은 임의의 적절한 기술에 따라 패터닝될 수 있다. 일부 실시예에서, 포토레지스트(36)는 마스크(본 명세서에서는 미도시)로부터 밑에 있는 기판으로 패턴을 전사하는 데에 사용되는 감광성 폴리머의 층일 수 있다. 일부 실시예에서, 포토레지스트 층(36)은 하부층, 하드 마스크, 바닥 반사 방지 코팅(bottom anti-reflective coating)(BARC), 및 기술 요건에 따른 다른 적절한 재료와 같은 다수의 층을 포함할 수 있다.

[0023] 도 4에서, 패터닝된 포토레지스트 층(36)을 마스크로서 사용함으로써 하드 마스크 스택을 에칭하여 하드 마스크 패턴을 형성하도록 제1 에칭 프로세스가 수행될 수 있다. 제1 에칭 프로세스를 통해, 건식 에칭 플라즈마 또는 습식 에칭 화학 물질 하에 노출되는 하드마스크 스택(층(30, 32 및 34)을 포함함)의 일부가 제거될 수 있고, 포토레지스트(36)에 의해 보호되는 하드 마스크 스택의 일부가 잔존할 수 있다. 제1 에칭 프로세스는 유전체 층(22)을 통해 선택적으로 에칭하고 유전체 층(16)에서 정지할 수 있다는 것을 유념해야 한다. 제1 에칭이 완료되면, 잔존 포토레지스트(36)는, 예를 들어 플라즈마 애싱 및/또는 습식 세정 프로세스에 의해 제거될 수 있고, 포토레지스트 층(36)에서 생성된 패턴은 하드 마스크 스택(층(30, 32 및 34)을 포함함) 뿐만 아니라 유전체 층(22)으로 전사되어 다양한 크기의 트렌치를 갖는 하드 마스크 패턴을 형성할 수 있다. 형성된 하드 마스크 패턴은 후속 제조 단계에서 상호 접속 개구의 트렌치 개구를 형성하는 데에 사용될 수 있다. 도 4에 도시되어 있는 바와 같이, 다양한 피쳐 크기를 갖는 트렌치는 임계 치수(CD)에 의해 식별될 수 있다. 예를 들어, 트렌치(44)는 T1의 CD를 가질 수 있고, 트렌치(46)는 T2의 CD를 가질 수 있는데, T1은 T2보다 크다. 유전체 재료 및 유전체 층(22)을 에칭하기 위해 임의의 적절한 기술이 사용될 수 있다는 것을 유념해야 한다. 예를 들어, 일부 실시예에서, 에칭 프로세스는 건식 에칭(예를 들어, RIE 또는 ICP 에칭), 습식 에칭, 및/또는 다른 에칭 방법을 포함할 수 있다.

- [0024] 도 5에서, 형성된 하드 마스크 패턴 위에 스핀 온 카본(SOC) 층(38)과 같은 다른 마스크 층이 코팅되고 패터닝될 수 있다. SOC는 화학적 기상 증착(CVD) 프로세스에 의해 제조된 비정질 탄소 필름과 유사한 탄소 하드 마스크를 형성하도록 스핀 코팅되고 350℃와 같은 고온에서 베이킹될 수 있는 유기 폴리머 용액이다. 종래의 CVD 프로세스와 비교하면, 스핀-온 프로세스는 더 낮은 소유 비용, 더 적은 결함 및 보다 양호한 정렬 정확도를 제공한다. 게다가, SOC는 SOC 형태 및 점도에 따라 엄밀한 토폴로지에 대해 우수한 간극 충전 및 평탄화 성능을 제공할 수 있다. SOC 층(38)은, 포토레지스트 코팅(예를 들어, 스핀-온 코팅), 소프트 베이킹, 마스크 정렬, 노광, 노광 후 베이킹, 포토레지스트 현상, 행균, 건조(예를 들어, 스핀-건조 및/또는 하드 베이킹) 등을 더 포함할 수 있는 리소그래피 프로세스(예를 들어, 포토리소그래피 또는 전자빔 리소그래피)와 같은 임의의 적절한 기술에 따라 패터닝될 수 있다. 도 5에 도시되어 있는 바와 같이, 패터닝된 SOC 층은 후속 제조 단계에서 상호 접속 구조체의 비아 개구를 형성하는 데에 사용될 수 있는 복수의 콘택 홀(40)을 포함한다.
- [0025] 도 6은 패터닝된 SOC 층을 마스크로서 사용함으로써 유전체 층(16) 내로 (예를 들어, 유전체 층(10)을 향하여) 에칭하는 제2 에칭 프로세스를 도시하고 있다. 제2 에칭이 완료된 후에, SOC 마스크 층에서 생성된 패턴(예를 들어, 콘택 홀(40))은 유전체 층(16)으로 전사되어 복수의 콘택 홀(42)을 생성할 수 있다. 콘택 홀(42)은 또한 후속 제조 단계에서 도전성 층(12) 상에 랜딩하도록 연장되어 상호 접속 구조체의 완전한 비아 개구가 될 수 있다. 임의의 적절한 기술이 도 6에 도시되어 있는 유전체 층(16)을 에칭하는 데에 사용될 수 있다. 예를 들어, 일부 실시예에서, 에칭 프로세스는 건식 에칭(예를 들어, RIE 또는 ICP 에칭), 습식 에칭, 및/또는 다른 에칭 방법을 포함할 수 있다.
- [0026] 도 7에 도시되어 있는 바와 같이, 제2 에칭 프로세스 후에 잔존 SOC 층을 제거하기 위해 후속 플라즈마 애싱 및/또는 습식 세정 프로세스가 수행될 수 있다. 잔존 SOC 층의 제거는 제2 에칭 프로세스 동안 형성된 패턴을 변화시키지 않을 것이다. 도 7에 도시되어 있는 바와 같이, 다양한 피쳐 크기를 갖는 복수의 트렌치 뿐만 아니라 복수의 콘택 홀(42)이 유전체 재료에 잔존한다. 도 8에서, 패터닝된 하드 마스크 스택을 마스크로서 사용하여 제3 에칭 프로세스가 수행되어 트렌치 개구, 비아 개구 또는 이중 다마신 개구를 갖는 상호 접속 개구의 형성을 완료할 수 있다. 제3 에칭 프로세스 동안, 노출 유전체 층(16)은 에칭 프로세스에 따라 부분적으로 제거될 수 있고 하드 마스크 스택(층(30, 32 및 34)을 포함함)에 의해 피복된 유전체 층(16)의 일부가 잔존할 수 있다. 제3 에칭 프로세스가 완료되면, 도 7에 도시되어 있는 바와 같이 생성된 패턴이 유전체 층(16)으로 전사될 수 있다. 예를 들어, 도 7에 형성된 트렌치 패턴(44, 46)은 유전체 층(16)으로 전사되고 이에 따라 트렌치 개구(20 및 28)가 될 수 있다. 패턴의 전사 동안, 임계 치수(CD)가 변화될 수 있다는 것을 유념해야 한다. 예를 들어, 트렌치 패턴(44)은 T1의 CD를 갖고, 전사된 트렌치 개구(20)는 T3의 CD를 가질 수 있다. T1은 에칭 프로세스에 따라 T3보다 크거나 작을 수 있다. 도 7에 형성된 콘택 홀(42)은 도전성 층(12) 상에 랜딩하도록 더 아래로 (예를 들어, 유전체 층(10)을 향하여) 연장되어 상호 접속 개구의 비아 개구가 될 수 있다. 제3 에칭 프로세스 후에 형성된 비아 개구는, 예를 들어 도면 부호 18로 식별될 수 있다. 제3 에칭 프로세스 동안, 하드 마스크 적층체도 부분적으로 에칭될 수 있고 유전체 층(32 및 34)은 완전히 소비될 수 있다는 것을 유념해야 한다. 제3 에칭 프로세스 후에, 유전체 층(22 및 30)만이 잔존한다. 임의의 적절한 기술이 도 8에 도시되어 있는 유전체 층(16)을 에칭하는 데에 사용될 수 있다. 예를 들어, 일부 실시예에서, 에칭 프로세스는 건식 에칭(예를 들어, RIE 또는 ICP 에칭), 습식 에칭, 및/또는 다른 에칭 방법을 포함할 수 있다.
- [0027] 도 9에서, 제1 금속(24)은 형성된 상호 접속 개구를 충전하도록 퇴적될 수 있다. 제1 금속(24)은 개구, 특히 높은 종횡비를 갖는 개구를 컨포멀하게 피복하는 특성을 가질 수 있다. 다양한 실시예에서, 제1 금속은 루테튬(Ru), 구리(Cu), 텅스텐(W), 알루미늄(Al), 또는 코발트(Co)일 수 있다. 도 9의 실시예에서, 제1 금속(24)은 높은 종횡비를 갖는 트렌치 개구 또는 비아 개구에서 컨포멀 적용 범위를 제공하는 Ru이다. 낮은 금속 마이그레이션으로 인해, 제1 금속(24)은 제1 금속(24)과 주변의 유전체 재료 사이에 장벽/라이너를 도입하지 않고 퇴적될 수 있다. 도 9에 도시되어 있는 바와 같이, 제1 금속(24)의 퇴적 후에, 도 8에 도시되어 있는 비아 개구(18)는 완전히 충전될 수 있고 비아 개구(18) 내에 충전된 금속은 상호 접속 구조체의 도전성 비아가 되어 수직 상호 접속부를 제공할 수 있다. 트렌치 개구에 대해서는 두가지 시나리오가 있을 수 있다. 트렌치 개구(28)와 같은 작은 피쳐 크기를 갖는 트렌치 개구는 제1 금속에 의해 완전히 충전될 수 있다. 트렌치 개구(28) 내에 충전된 금속은 상호 접속 구조체의 금속 라인이 되어 측방향 상호 접속부를 제공한다. 그러나, 트렌치 개구(20)와 같은 더 큰 피쳐 크기를 갖는 트렌치 개구는 제1 금속(24)에 의해 완전히 충전될 수 없다. 도 9에 도시되어 있는 바와 같이, 제1 금속(24)은 트렌치 개구(20)의 바닥 및 측벽을 컨포멀하게 피복하고 트렌치 개구(20)의 중간 부분에 간극(20')을 남길 수 있다. 도 9에 도시되어 있는 바와 같이, 제1 금속(24)을 퇴적한 후에, 유전체 층(30)의 상부면이 또한 제1 금속(24)에 의해 균일하게 피복될 수 있다는 것을 유념해야 한다. 제1 금속(24)은 화학 기상

증착(CVD), 물리 기상 증착(PVD), 원자층 퇴적(ALD), 전자빔 퇴적, 또는 이들의 임의의 조합과 같은 적절한 퇴적 프로세스에 의해 퇴적될 수 있다. 예를 들어, $\text{Ru}_3(\text{CO})_{12}$ 전구체 증기 및 CO 가스를 함유하는 프로세스 가스를 적용하는 열적 화학 기상 증착(TCVD) 프로세스가 본 개시내용에서 Ru를 퇴적시키는 데에 사용될 수 있다. 도 9의 실시예에서, 제1 금속(24)은 ALD 프로세스에 의해 퇴적된다. 본 명세서에 개시된 ALD 프로세스는 금속 마이그레이션을 감소시켜, 미리 퇴적된 장벽/라이너를 도입하지 않고 상호 접속 개구 내로 제1 금속을 퇴적시키는 것을 가능하게 할 수 있다. ALD 프로세스는 또한 제1 금속이 상호 접속 개구를 컨포멀하게 피복하도록 할 수 있다.

[0028] 도 10에서, 제2 금속(26)이 제1 금속(24) 위에 직접 퇴적되어 상호 접속 개구를 충전할 수 있다. 앞서 설명한 바와 같이, 본 개시내용에서, 제1 금속(24)은 제2 금속(26)에 대한 장벽/라이너로서 작용할 수 있다. 따라서, 제1 금속(24)과 제2 금속(26) 사이에 장벽/라이너가 요구되지 않는다. 일부 실시예에서, 제2 금속(26)은 상호 접속 구조체의 도전성을 개선시키도록 제1 금속(24)보다 낮은 저항률을 가질 수 있다. 도 10에 도시되어 있는 바와 같이, 형성 후에, 제2 금속(26)은 트렌치 개구(20)의 바닥 및 측벽을 피복할 뿐만 아니라 유전체 재료의 상부면을 피복할 수 있다. 일부 실시예에서, 제2 금속(26)은 Cu, 구리 마그네슘(CuMn), Al, W 및 Co를 포함할 수 있다. 단순화 및 명료성을 위해, 제2 금속(26)은 상호 접속 구조체의 저항을 감소시키도록 본 개시내용에서 Cu일 수 있고, 전기 화학적 도금, 화학 기상 증착(CVD), 물리 기상 증착 PVD), 원자층 퇴적(ALD), 전자빔 퇴적, 또는 이들의 임의의 조합과 같은 임의의 적절한 퇴적 프로세스를 통해 형성될 수 있다.

[0029] 도 11에서, 제1 리세싱 프로세스가 수행될 수 있는데, 제2 금속(26)은 선택적 건식 에칭 프로세스 또는 선택적 습식 에칭 프로세스에 의해 리세싱될 수 있다. 선택적 에칭 프로세스는 에칭 프로세스가 주로 제2 금속(26)을 에칭하고 제1 금속(24)을 매우 가볍게 공격한다는 것을 의미한다. 예를 들어, Cl_2 및 NF_3 의 에칭 가스를 적용하는 건식 에칭 프로세스가 텅스텐(W)으로 이루어진 제2 금속을 에칭하는 데에 사용될 수 있다. 도 11에 도시되어 있는 바와 같이, 리세싱 프로세스 후에, 유전체 재료의 상부면 위의 제2 금속의 부분 및 트렌치 개구(20)와 같은 트렌치 개구의 측벽을 따른 부분은 완전히 제거될 수 있고, 트렌치 개구의 바닥 위의 부분은 부분적으로 제거될 수 있다. 리세싱 프로세스 후에, 트렌치 개구(20) 내에 간극(20")과 같은 복수의 간극이 트렌치 개구의 중간 부분에 형성될 수 있다.

[0030] 도 12에서, 제3 금속이 제1 금속과 제2 금속 위에 퇴적되어 도 11에 도시되어 있는 간극(20")과 같은 잔존 간극을 충전할 수 있다. 제1 금속 및 제2 금속 위의 제3 금속은 상호 접속 구조체 위에 금속 캡을 형성하도록 상호 접속 개구를 완전히 충전하여 제2 금속에 대해 금속화된 낮은 저항률의 장벽 재료의 역할을 한다. 이 캡은 제2 금속으로부터 상호 접속 구조체 위에 나중에 퇴적될 수 있는 유전체까지의 확산을 방지하는 금속 장벽의 기능을 제공하여 인접한 상부 금속층과 하부 금속층 사이의 절연을 제공하고, 추가적으로 제2 금속에 대해 보다 양호한 EM 제어를 제공할 수 있다. 일부 실시예에서, 제3 금속은 제1 금속과 상이하거나 제2 금속과 상이할 수 있다. 다른 실시예에서, 제3 금속은 제1 금속과 동일할 수 있다. 도 12의 실시예에서, 제3 금속은 제1 금속(24)과 동일하며, 도 11에 도시되어 있는 잔존 간극(20")을 완전히 충전하도록 컨포멀하게 퇴적될 수 있다. 제3 금속의 형성 후에, 도 11의 트렌치 개구(20)는 완전히 충전될 수 있고 유전체 재료의 상부면은 제3 금속에 의해 균일하게 피복될 수 있다. 이어서, 유전체 재료의 상부면 위에 있는 임의의 과도한 금속을 제거하도록 표면 평탄화 프로세스가 수행될 수 있다. 도 12에 도시되어 있는 바와 같이, 표면 평탄화 프로세스는 패시베이션 뿐만 아니라 에칭/연마 정지 층으로서 작용할 수 있는 유전체 층(22)에서 종료된다. 표면 평탄화 프로세스 동안, 유전체 층(30) 및 유전체 재료의 상부면 위의 임의의 과도한 금속은 완전히 제거될 수 있고, 유전체 재료의 상부면은 도 12에 도시되어 있는 금속(24)의 상부면과 같은 트렌치 개구 내의 금속의 상부면과 동등한 높이에 있을 수 있다. 일부 실시예에서, 화학 기계적 연마(CMP) 프로세스가 적용되어 유전체 재료의 상부면 위의 임의의 과도한 금속을 제거할 수 있다. 다른 실시예에서, 에칭 백(etching back) 프로세스가 적용되어 유전체 재료 위의 임의의 과도한 금속을 제거할 수도 있다.

[0031] 도 13에 도시되어 있는 바와 같이, 기술 요건에 따라 표면 평탄화 프로세스 후에 제3 금속의 상부를 리세싱하도록 제2 리세싱 프로세스가 수행될 수 있다. 리세싱 프로세스는 건식 에칭 프로세스 또는 습식 에칭 프로세스를 통해 수행될 수 있다. 도 13에 도시되어 있는 바와 같이, 금속 리세싱 후에, 금속(24)의 상부가 제거될 수 있고, 이에 따라 금속(24)의 상부면은 유전체 재료의 상부면(예를 들어, 유전체 층(22)의 상부면)보다 낮게 될 수 있다. 일부 실시예에서, 본 명세서에 개시된 금속 리세싱은 트렌치 개구 내에 충전된 2개의 금속 라인들 사이의 기생 커패시턴스를 감소시킬 수 있다. 다른 실시예에서, 금속 리세싱은 기술 요구에 따라 다른 층을 형성하기 위한 공간을 제공할 수 있다. 금속 리세싱 후에, 완전한 반도체 디바이스(100)가 형성될 수 있다. 반도체(100)는 유전체 재료 내에 형성된 복수의 상호 접속 개구를 포함할 수 있다. 상호 접속 개구는 트렌치(20 및

28)와 같은 트렌치 개구, 비아(18)와 같은 비아 개구, 또는 이중 다마신 개구를 가질 수 있다. 제1 금속(24)은 상호 접속 개구의 표면을 컨포멀하게 피복할 수 있고, 유전체 재료와 직접 접촉할 수 있다. 제1 금속보다 낮은 저항률을 갖는 제2 금속(26)이 제1 금속 위에 형성되고 제1 금속에 의해 캡슐화되어 상호 접속 개구 내에 상호 접속 구조체를 형성할 수 있다. 트렌치 개구 내에 충전된 금속은 상호 접속 구조체의 금속 라인이되어 측방향 상호 접속부를 제공하고, 비아 개구 내에 충전된 금속은 도전성 비아가 되어 반도체 디바이스(100)에서 수직 상호 접속부를 제공한다. 복수의 도전성 층(12)이 유전체 재료 내에 형성될 수 있다. 도전성 층(12)은 상호 접속 구조체의 바닥에 있을 수 있고, 비아 개구(18) 내에 충전된 금속을 통해 상호 접속 구조체와 직접 접촉할 수 있다.

[0032] 관련 분야에서, 상호 접속 개구를 충전하기 위해 금속을 퇴적하기 전에 장벽/라이너 층이 요구될 수도 있다. 본 개시내용에서, 제1 금속 또는 제2 금속과 같은 금속은, 제1 금속이 낮은 금속 마이그레이션을 가지며 제1 금속이 제2 금속에 대한 장벽/라이너로서 작용할 수 있기 때문에, 장벽/라이너를 도입하지 않고 퇴적될 수 있다. 장벽/라이너 층이 없는 금속 퇴적은 제조 처리량을 개선시키고, 제조 비용을 감소시킬 뿐만 아니라 상호 접속 구조체에서 계면 저항을 감소시킬 수 있다. 장벽/라이너는 기술 요건에 따라 제1 금속의 퇴적 전에, 또는 제2 금속 또는 제3 금속의 퇴적 전에 선택적으로 퇴적되거나, 또는 제2 금속의 상부에 퇴적될 수 있다는 것을 언급해야 한다. 일부 실시예에서, 장벽/라이너는 TiN, Ti, Ta, TaN, MnN, MnSiO, SiN 등, 또는 이들의 조합을 포함할 수 있다.

[0033] 이제, 도 14를 참조하면, 대안적인 반도체 디바이스(100')가 설명된다. 도 1b에 도시되어 있는 반도체 디바이스(100)와 비교하면, 차이점은, 반도체 디바이스(100')에서, 제1 금속(24) 위에 형성된 제2 금속(26)은 제1 금속(24)에 의해 캡슐화되는 제2 금속(26)이 아니라 제1 금속(24)의 상부면과 동등한 높이에 있는 상부면을 가질 수 있다는 점이다. 반도체 디바이스(100')를 형성하기 위해, 도 13에 도시되어 있는 제2 리세싱 프로세스는 제2 금속(26)의 상부면을 노출시켜 제2 금속(26)의 상부면이 금속(24)의 상부면과 동등한 높이에 있게 하도록 조절될 수 있다.

[0034] 도 15는 일부 실시예에 따라 반도체 디바이스(100)를 형성하는 예시적인 프로세스 흐름도(200)를 도시하고 있다. 프로세스는 유전체 재료가 형성될 수 있는 단계 202에서 시작된다. 유전체 재료는 유전체 층(10), 유전체 층(14), 유전체 층(16) 및 유전체 층(22)을 포함할 수 있다. 유전체 층(10, 14 및 22)은 패시베이션 층 또는 에칭/연마 정지 층으로서 기능할 수 있고, SiN, SiCN, SiC, AlO_x, SiON 등, 또는 이들의 조합일 수도 있다. 유전체 층(16)은 제1 중간 유전체(ILD) 또는 금속배선간 유전체(IMD) 층일 수도 있다. 유전체 층(16)은, 예를 들어 약 4.0 미만 또는 심지어는 약 2.8 미만의 k 값을 갖는 로우-k 유전체 재료로 형성될 수도 있다. 단순화 및 명료성을 위해, 본 명세서에 개시된 유전체 층(16)은 SiCOH를 함유하는 로우-k 유전체 재료일 수 있다. 유전체 재료는 유전체 재료 내에 형성된 복수의 도전성 층(12)을 더 포함할 수 있고, 도전성 층(12)은 BEOL의 Ru로 이루어진 금속배선 층일 수 있다. 단계 202는 도 2에 예시될 수 있다.

[0035] 다음에, 단계 204에서, 하드 마스크 스택이 유전체 재료 위에 형성될 수 있다. 도 3에 도시되어 있는 바와 같이, 하드 마스크 스택은 SiO_x 층(30), TiN 층(32), 다른 SiO_x 층(34), 및 포토레지스트 층(36)을 포함할 수 있다. 포토레지스트 층(36)은 리소그래피 프로세스에 따라 패터닝될 수 있다.

[0036] 이어서, 프로세스 흐름도(200)는, 패터닝된 포토레지스트 층(36)을 마스크로서 사용함으로써 하드 마스크 스택을 에칭하여 하드 마스크 패턴을 형성하는 제1 에칭 프로세스가 수행될 수 있는 단계 206으로 진행될 수 있다. 도 4에 도시되어 있는 바와 같이, 건식 에칭과 같은 제1 에칭 프로세스를 통해, 건식 에칭 플라즈마 또는 습식 에칭 화학 물질 하에 노출되는 하드마스크 스택(층(30, 32 및 34)을 포함함)의 일부가 제거될 수 있고, 포토레지스트(36)에 의해 보호되는 하드 마스크 스택의 일부가 잔존할 수 있다. 제1 에칭은 또한 유전체 층(22)을 통해 선택적으로 에칭하고 유전체 층(16)에서 정지할 수 있다. 제1 에칭 프로세스의 완료 후에, 다양한 크기의 트렌치를 갖는 하드 마스크 패턴이 형성될 수 있다. 형성된 하드 마스크 패턴은 후속 제조 단계에서 상호 접속 개구의 트렌치 개구를 형성하는 데에 사용될 수 있다.

[0037] 다음에, 프로세스 흐름도(200)는, 스핀 온 카본(SOC) 하드 마스크 층이 하드 마스크 스택 위에 코팅되고 패터닝될 수 있는 단계 208로 진행된다. SOC 층(38)은 리소그래피 프로세스와 같은 임의의 적절한 기술에 따라 패터닝될 수 있다. 도 5에 도시되어 있는 바와 같이, 패터닝된 SOC 층은 후속 제조 단계에서 상호 접속 개구의 비아 개구를 형성하는 데에 사용될 수 있는 복수의 콘택 홀(40)을 포함한다.

[0038] 단계 210에서, 패터닝된 SOC 층을 마스크로서 사용함으로써 유전체 층(16) 내로 (예를 들어, 유전체 층(10)을 향하여) 에칭하도록 제2 에칭 프로세스가 수행될 수 있다. 제2 에칭이 완료된 후에, SOC 마스크 층에서 생성된

패턴(예를 들어, 콘택 홀(40))은 유전체 층(16)으로 전사되어 복수의 콘택 홀(42)을 생성할 수 있다. 콘택 홀(42)은 또한 차후의 제조 단계에서 도전성 층(12) 상에 랜딩하도록 연장되어 상호 접속 개구의 완전한 비아 개구가 될 수 있다. 210의 단계는 도 6에 예시될 수 있다.

[0039] 이어서, 프로세스 흐름도(200)는, 제2 에칭 프로세스 후에 잔존 SOC 층을 제거하기 위해 후속 플라즈마 애싱 및/또는 습식 세정 프로세스가 수행될 수 있는 단계 212로 진행된다. 잔존 SOC 층의 제거는 제2 에칭 프로세스 동안 형성된 패턴을 변화시키지 않을 것이다. 도 7에 도시되어 있는 바와 같이, 다양한 피처 크기를 갖는 복수의 트렌치 뿐만 아니라 복수의 콘택 홀(42)이 유전체 재료에 잔존한다.

[0040] 단계 214에서, 패턴닝된 하드 마스크 스택을 마스크로서 사용하여 제3 에칭 프로세스가 수행되어 트렌치 개구, 비아 개구 또는 이중 다마신 개구를 갖는 상호 접속 개구의 형성을 완료할 수 있다. 단계 214는 도 8에 예시될 수 있다. 제3 에칭 프로세스 동안, 노출 유전체 층(16)은 에칭 프로세스에 따라 부분적으로 제거될 수 있고 하드 마스크 스택(층(30, 32 및 34)을 포함함)에 의해 피복된 유전체 층(16)의 일부가 잔존할 수 있다. 제3 에칭 프로세스가 완료되면, 단계 210에서 생성된 패턴(도 7에 도시됨)이 유전체 층(16)으로 전사될 수 있다. 예를 들어, 단계 212에서 형성된 트렌치 패턴(44, 46)(도 7에 도시됨)은 유전체 층(16)으로 전사되고 이에 따라 트렌치 개구(20 및 28)가 될 수 있다. 단계 212에서 형성된 콘택 홀(42)(도 7에 도시됨)은 도전성 층(12) 상에 랜딩하도록 더 아래로 (예를 들어, 유전체 층(10)을 향하여) 연장되어 상호 접속 개구의 비아 개구가 될 수 있다.

[0041] 이어서, 프로세스 흐름도(200)는 제1 금속(24)이 형성된 상호 접속 개구를 충전하도록 충전될 수 있는 단계 216로 진행된다. 제1 금속(24)은 개구, 특히 높은 종횡비를 갖는 개구를 컨포멀하게 피복하는 특성을 가질 수 있다. 이어서, 제2 금속(26)이 제1 금속(24) 위에 퇴적될 수 있다. 제1 금속 및 제2 금속 양자는, 제1 금속이 낮은 금속 마이그레이션을 가지며 제1 금속이 제2 금속에 대한 장벽/라이너로서 작용할 수 있기 때문에, 장벽/라이너를 도입하지 않고 퇴적될 수 있다. 일부 실시예에서, 제2 금속(26)은 상호 접속 구조체의 도전성을 개선시키도록 제1 금속(24)보다 낮은 저항률을 가질 수 있다. 단계 216은 도 9 및 도 10에 예시될 수 있다.

[0042] 단계 218에서, 제2 금속(26)이 선택적 건식 에칭 프로세스 또는 선택적 습식 에칭 프로세스에 의해 리세싱될 수 있는 제1 리세싱 프로세스가 수행될 수 있다. 도 11에 도시되어 있는 바와 같이, 리세싱 프로세스 후에, 유전체 재료의 상부면 위의 제2 금속의 부분 및 트렌치 개구(20)와 같은 트렌치 개구의 측벽을 따른 부분은 완전히 제거될 수 있고, 트렌치 개구의 바닥 위의 부분은 부분적으로 제거될 수 있다.

[0043] 이어서, 프로세스 흐름도(200)는, 제3 금속이 제1 금속 및 제2 금속 위에 퇴적되어 트렌치 개구 내의 잔존 간극을 충전할 수 있는 단계 220으로 진행된다. 본 개시내용에서, 제3 금속은 제1 금속과 동일할 수 있고 트렌치 개구를 완전히 충전하도록 컨포멀하게 퇴적될 수 있다. 제3 금속의 형성 후에, 트렌치 개구는 어떠한 간극 없이 완전히 충전될 수 있고 유전체 재료의 상부면은 제3 금속에 의해 균일하게 피복될 수 있다. 이어서, 유전체 재료의 상부면 위에 있는 임의의 과도한 금속을 제거하도록 표면 평탄화 프로세스가 수행될 수 있다. 단계 220은 도 12에 예시될 수 있다.

[0044] 이어서, 프로세스 흐름도(200)는, 기술 요건에 따라 표면 평탄화 프로세스 후에 제3 금속의 상부를 리세싱하도록 제2 리세싱 프로세스가 수행될 수 있는 마지막 단계 222로 진행된다. 리세싱 프로세스는 건식 에칭 프로세스 또는 습식 에칭 프로세스를 통해 수행될 수 있다. 도 13에 도시되어 있는 바와 같이, 금속 리세싱 후에, 트렌치 개구 내에 충전된 금속의 상부가 제거될 수 있고, 이에 따라 트렌치 개구 내에 충전된 금속의 상부면은 유전체 재료의 상부면보다 낮을 수 있다. 제2 금속 리세싱 후에, 완전한 반도체 디바이스(100)가 형성될 수 있다.

[0045] 대안적인 반도체 디바이스(100')를 제조하기 위해 동일한 프로세스 흐름도(200)가 적용될 수 있다는 것을 언급해야 한다. 반도체 디바이스(100')를 형성하기 위해, 마지막 단계 222에서의 제2 리세싱 프로세스는 제2 금속(26)의 상부면을 노출시켜 제2 금속(26)의 상부면이 금속(24)의 상부면과 동등한 높이에 있게 하도록 조절될 수 있다.

[0046] 추가적인 단계가 예시적인 방법(200) 이전, 도중, 및 이후에 제공될 수 있으며, 설명된 단계 중 일부는 방법(200)의 추가적인 실시예를 위해 대체, 제거 또는 이동될 수 있다는 것을 유념해야 한다. 후속 프로세스 단계에서, 유전체 층(22) 위에 다양한 추가적인 상호 접속 구조체(예를 들어, 도전성 라인 및/또는 비아를 갖는 금속 배선 층)가 형성될 수 있다. 그러한 상호 접속 구조체는 반도체 디바이스(100)를 다른 콘택 구조체 및/또는 능동 디바이스와 전기적으로 연결하여 기능 회로를 형성한다. 패시베이션 층, 입력/출력 구조체 등과 같은 추가적인 디바이스 피처가 또한 형성될 수 있다.

[0047] 도 16은 본 개시내용의 실시예에 따른, 원자층 퇴적(ALD) 프로세스 또는 컨포멀 화학 기상 증착(CVD) 프로세스

에 의한 루테늄(Ru) 퇴적의 단면 주사 전자 현미경(SEM) 그래프를 도시하고 있다. 도 16에서, 상부는 15 밀리토르의 압력으로 행해지는 컨포멀 CVD 프로세스를 통한 Ru의 형성을 나타내고, 하부는 10 밀리토르의 압력으로 행해지는 컨포멀 CVD 프로세스를 통한 Ru 형성을 나타낸다. 양쪽 조건에서, Ru는 큰 피쳐 크기를 갖는 트렌치 개구, 예를 들어 좌측 단부에 위치된 트렌치 개구의 표면을 컨포멀하게 피복할 수 있고, 작은 피쳐 크기를 갖는 트렌치 개구, 예를 들어 우측 단부에 위치된 트렌치 개구를 완전히 충전할 수 있다. 유사한 프로세스가 도 9에 도시되어 있는 본 개시내용에 적용될 수 있다.

[0048] 도 17은 컨포멀 CVD 프로세스에 의한 유사한 Ru 퇴적의 단면 주사 투과 전자 현미경(STEM) 그래프를 도시하고 있다. 도 17에서, 소위 "상향식(bottom up)" 퇴적 프로세스가 도시되어 있다. 좌측의 그래프에 도시되어 있는 바와 같이, 먼저 30 Å의 Ru가 CVD 프로세스를 통해 비아 개구 내에 퇴적되고, STEM 이미지는 퇴적된 Ru가 비아 개구의 측벽과 바닥을 컨포멀하게 피복하는 것을 나타낸다. 중간에 그래프에 도시되어 있는 바와 같이, 퇴적이 계속되고 100 Å의 Ru가 이제 비아 개구 내에 퇴적된다. STEM 이미지는 비아 개구의 대부분이 이제 Ru에 의해 충전된 것을 나타낸다. 우측의 그래프에 도시되어 있는 바와 같이, 퇴적은 비아 개구 내에 150 Å의 Ru를 코팅하는 것으로 종료되고, 비아 개구는 임의의 공극 또는 결함 없이 완전히 충전된다. 게다가, 형성된 Ru는 비아 개구가 내부에 형성되는 유전체 재료의 상부면을 피복한다. 에너지 분산형 X-선 분석기(Energy Dispersive X-Ray Spectroscopy)(EDX)를 통한 이후의 원소 분석(도시되지 않음)에 따르면, Ru가 임의의 공극 또는 결함 없이 비아 개구를 완전히 충전한다는 것이 확인된다. ALD 프로세스를 통해 퇴적된 TaN 장벽층이 도 17에 도시되어 있는 실험에 적용된다는 것을 언급해야 한다. 앞서 설명한 바와 같이, 장벽/라이너는 기술 요구에 따라 스킵되거나 적용될 수 있다.

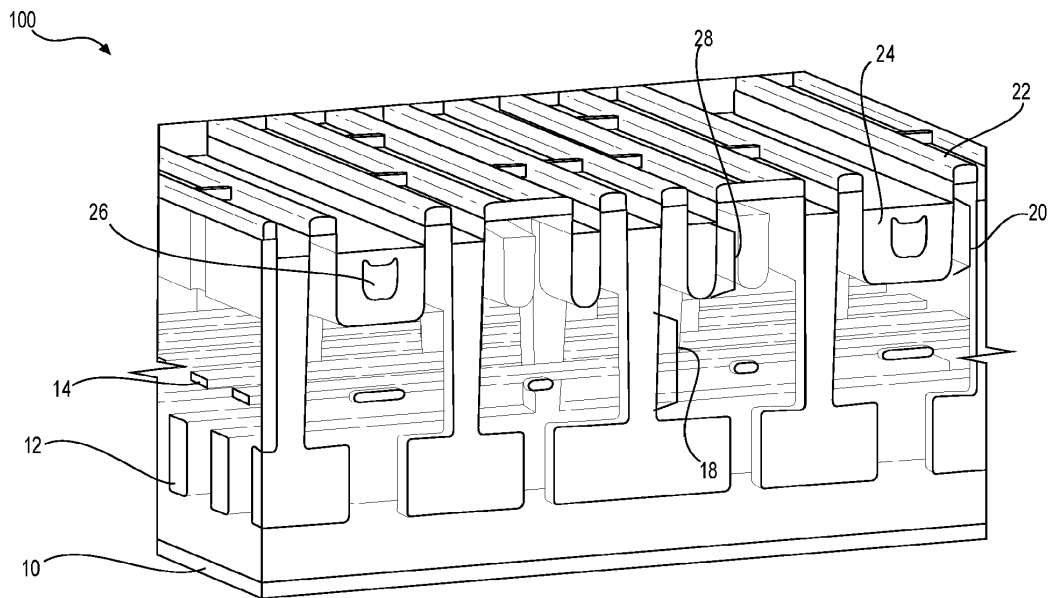
[0049] 도 16 및 도 17은 본 개시내용에서 이용될 수 있는 컨포멀 CVD 기술을 통한 컨포멀 Ru 퇴적 프로세스를 도시하고 있다. 본 명세서에 개시된 Ru 퇴적 프로세스는 높은 중형비를 갖는 개구 피쳐에서 컨포멀 적용 범위를 제공할 수 있다. 본 명세서에 개시된 Ru 퇴적은 또한 금속 마이그레이션을 감소시켜, 제조 동안 장벽/라이너가 스킵되게 할 수 있다.

[0050] 본 명세서에 제공된 설명과 관련하여, 본 개시내용은 반도체 디바이스가 5 nm 노드 및 그 이상과 같은 첨단 기술 노드로 축소됨에 따라 여러 이점을 제공하는 반도체 디바이스를 형성하기 위한 방법 및 구조체를 제공한다. 본 개시내용의 반도체 디바이스는 첨단 기술 노드에서 도전성 및 신뢰성 요건을 모두 만족시킬 수 있다. 본 개시내용의 실시예는 유리하게는 유전체 재료 내에 형성된 복수의 상호 접속 개구를 갖는 반도체 디바이스를 제공한다. 본 명세서에 개시된 상호 접속 구조체에서, 제1 금속층은 상호 접속 개구의 표면을 컨포멀하게 피복할 수 있고, 낮은 금속 마이그레이션으로 인해 유전체 재료와 직접 접촉할 수 있다. 게다가, 제1 금속은 제2 금속에 대한 장벽/라이너로서 작용할 수 있다. 제1 금속보다 낮은 저항률을 갖는 제2 금속층은 제1 금속 위에 직접 형성되고 제1 금속에 의해 캡슐화되어 상호 접속 개구 내에 상호 접속 구조체를 형성할 수 있다. 트렌치 개구 내에 충전된 금속은 상호 접속 구조체의 금속 라인일 수 있고, 비아 개구 내에 충전된 금속은 상호 접속 구조체의 도전성 비아일 수 있다. 제1 금속은 금속 라인(배선)과 같은 공극없는 측방향 상호 접속부 및 도전성 비아와 같은 공극없는 수직 상호 접속부를 형성하여 신뢰성을 향상시키기 위해, 높은 중형비를 갖는 상호 접속 개구를 컨포멀하게 피복하는 특성을 가질 수 있다. 제1 금속보다 낮은 저항률을 갖는 제2 금속은 상호 접속 구조체의 저항률을 감소시킬 수 있다. 관련 분야에서, 상호 접속 구조체에 제1 금속 또는 제2 금속을 퇴적하기 전에 장벽/라이너 층이 요구될 수도 있다. 본 개시내용에서, 제1 금속 또는 제2 금속은 장벽/라이너 층을 도입하지 않고 형성될 수 있다. 본 명세서에 개시된 장벽/라이너 층이 없는 제조 프로세스는 제조 처리량을 향상시킬 수 있고, 제조 비용과, 제1 금속과 제2 금속 사이 및/또는 제1 금속과 도전성 층 사이의 계면 저항 모두를 감소시킬 수 있다.

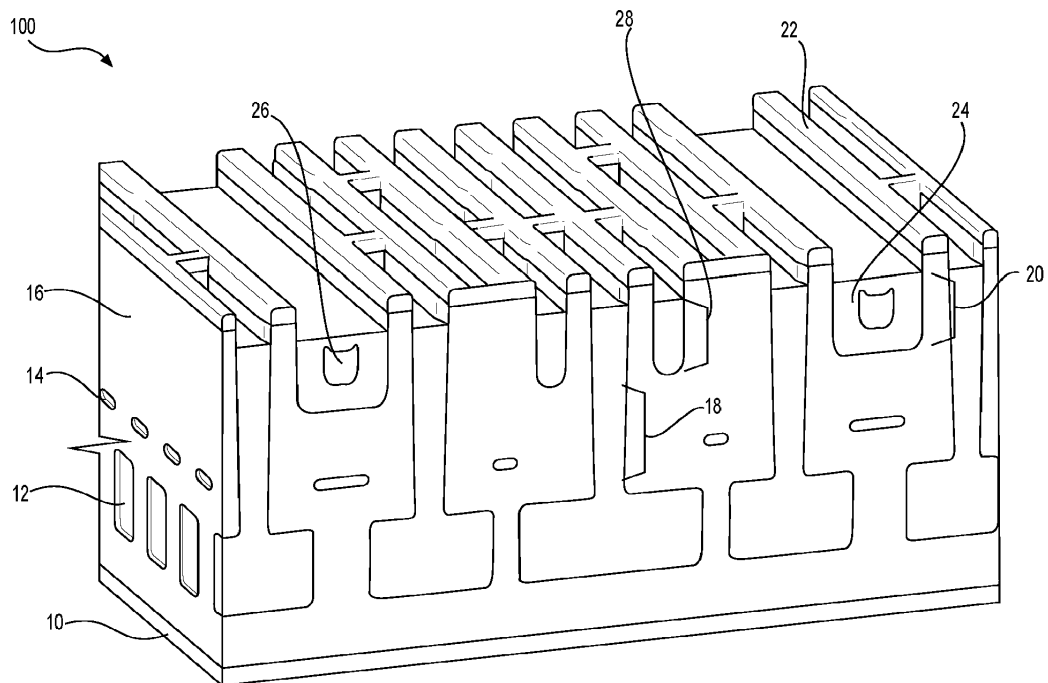
[0051] 앞서 설명한 내용은 본 기술 분야의 숙련자가 본 개시내용의 양태를 더 잘 이해할 수 있도록 여러 실시예의 피쳐의 개요를 설명한다. 본 기술 분야의 숙련자라면, 본 명세서에서 소개된 실시예와 동일한 목적을 수행하고 및/또는 동일한 이점을 달성하기 위해 다른 프로세스 및 구조를 설계 또는 변경하기 위한 기초로서 본 개시내용을 용이하게 사용할 수 있다는 것을 알아야 한다. 또한, 본 기술 분야의 숙련자라면, 그러한 동등한 구성이 본 개시내용의 사상 및 범위에서 벗어나지 않고, 본 개시내용의 사상 및 범위에서 벗어나지 않으면서 본 명세서에 다양한 변경, 대체 및 변형을 행할 수 있다는 것을 알아야 한다.

도면

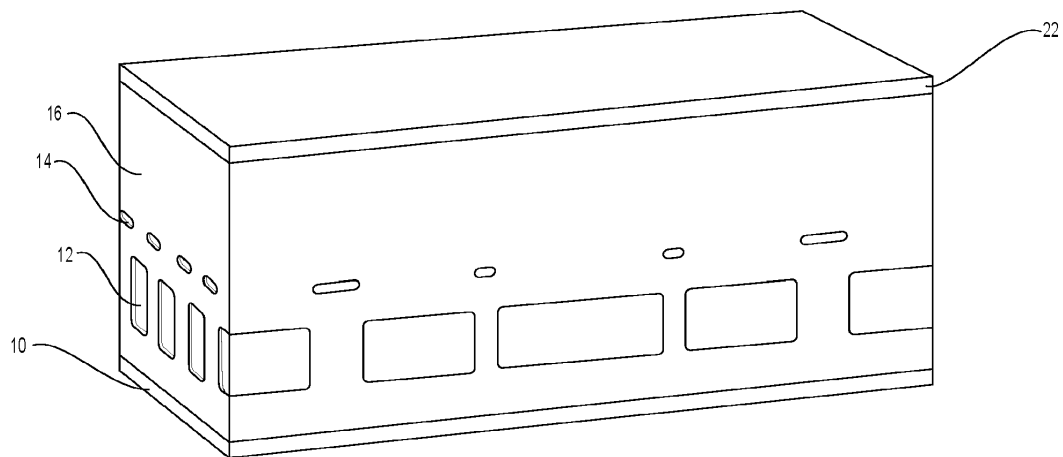
도면1a



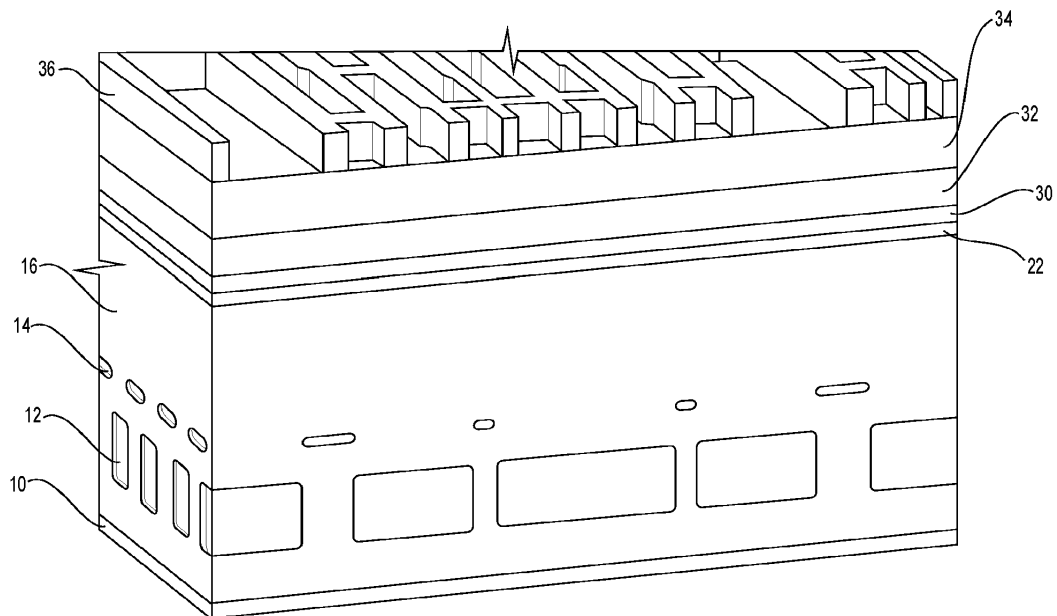
도면1b



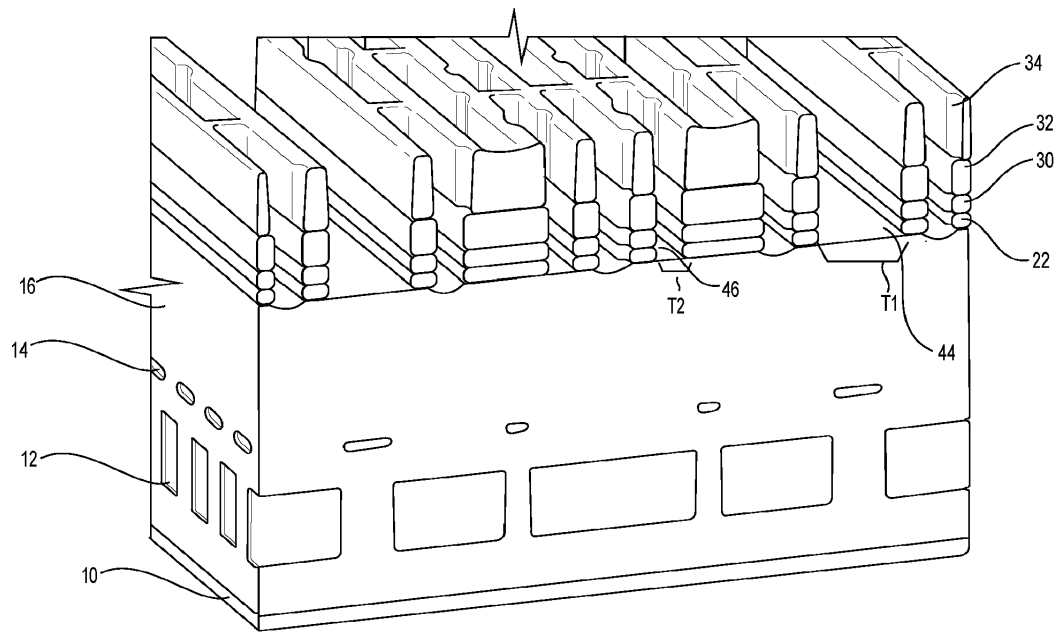
도면2



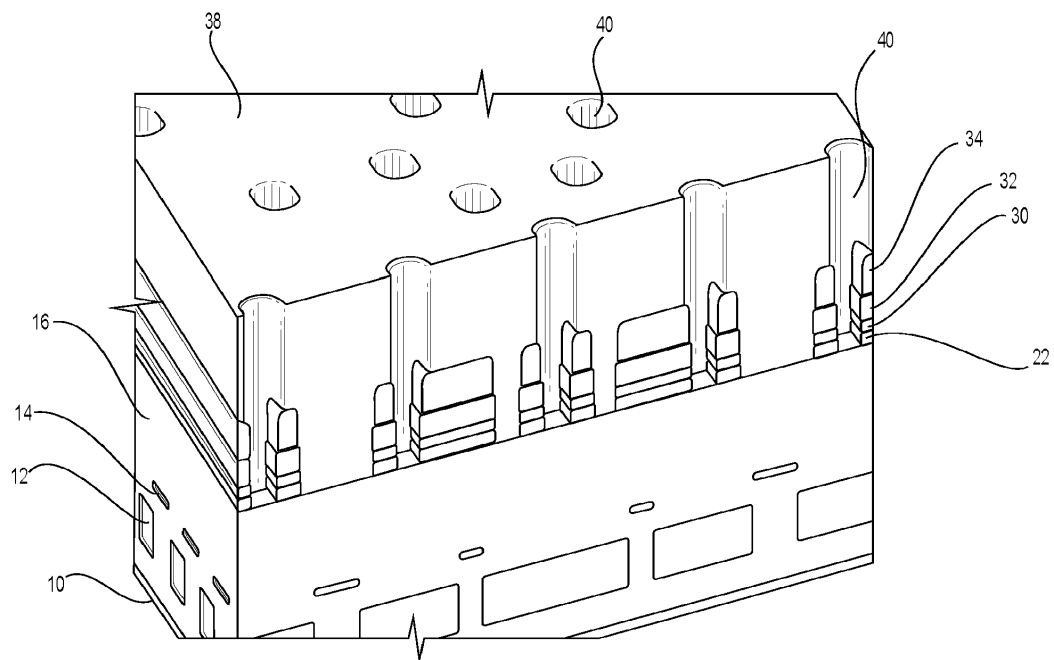
도면3



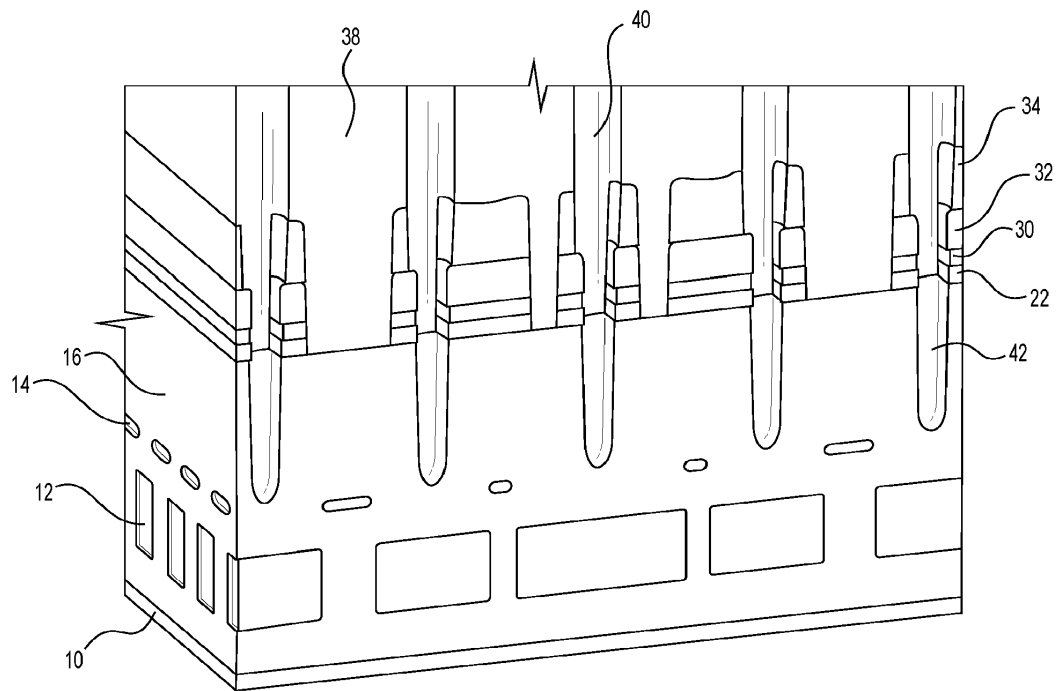
도면4



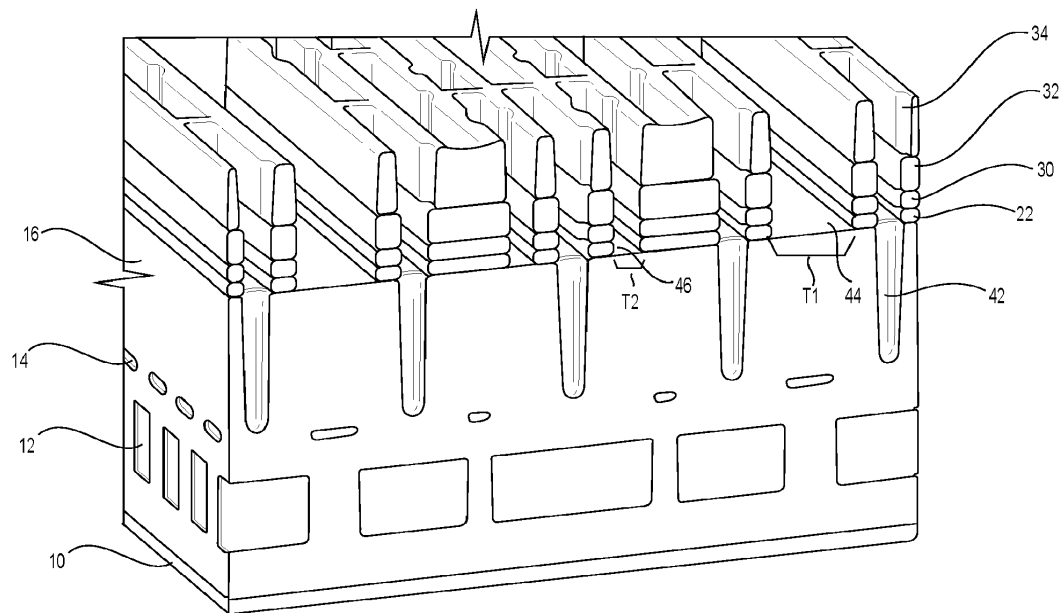
도면5



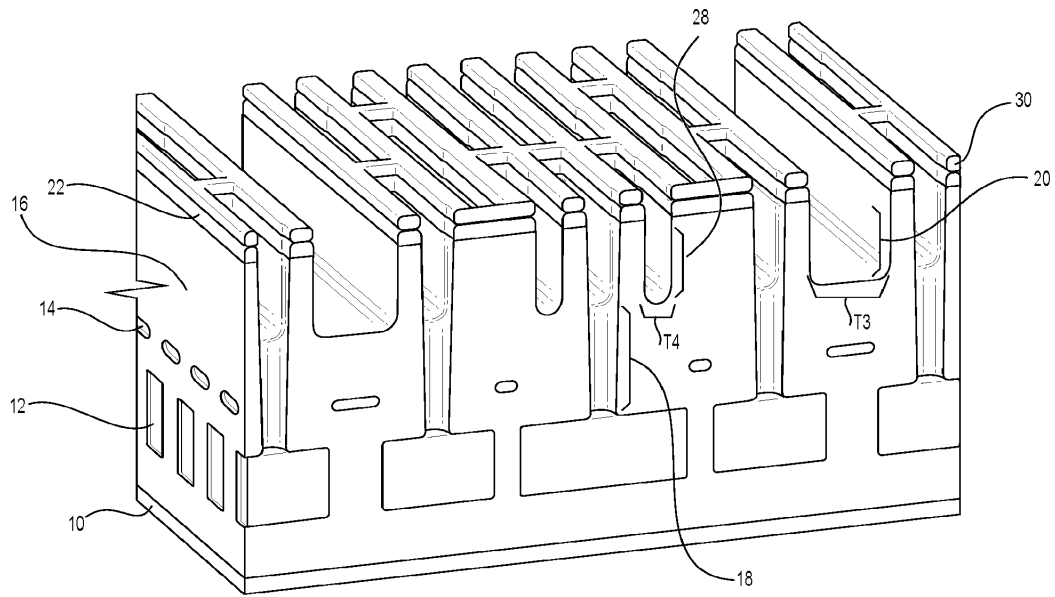
도면6



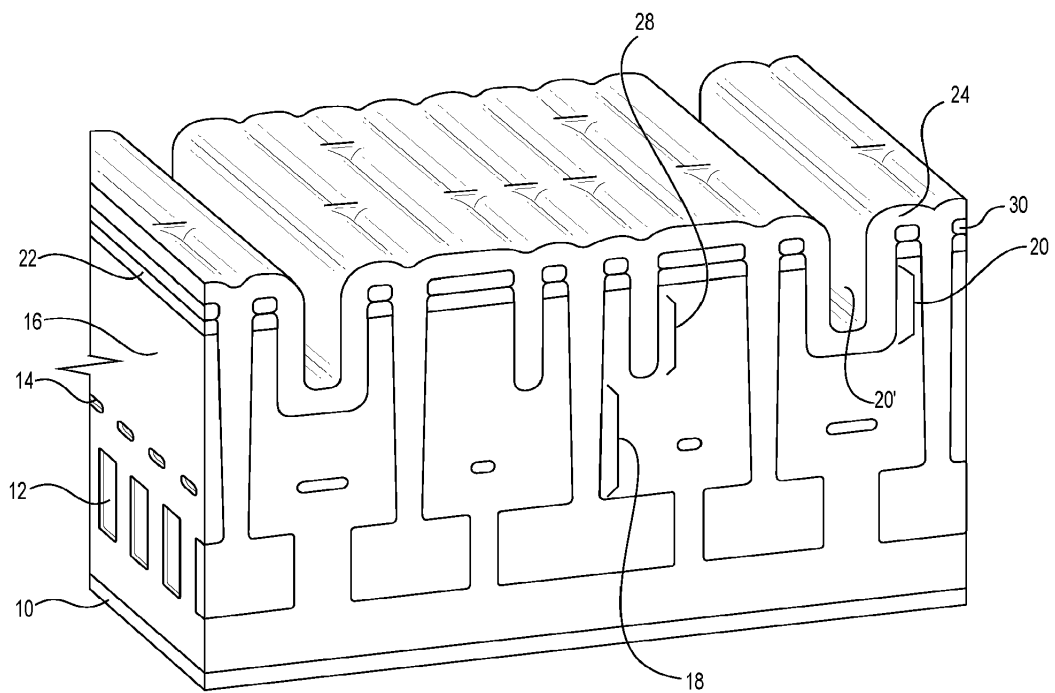
도면7



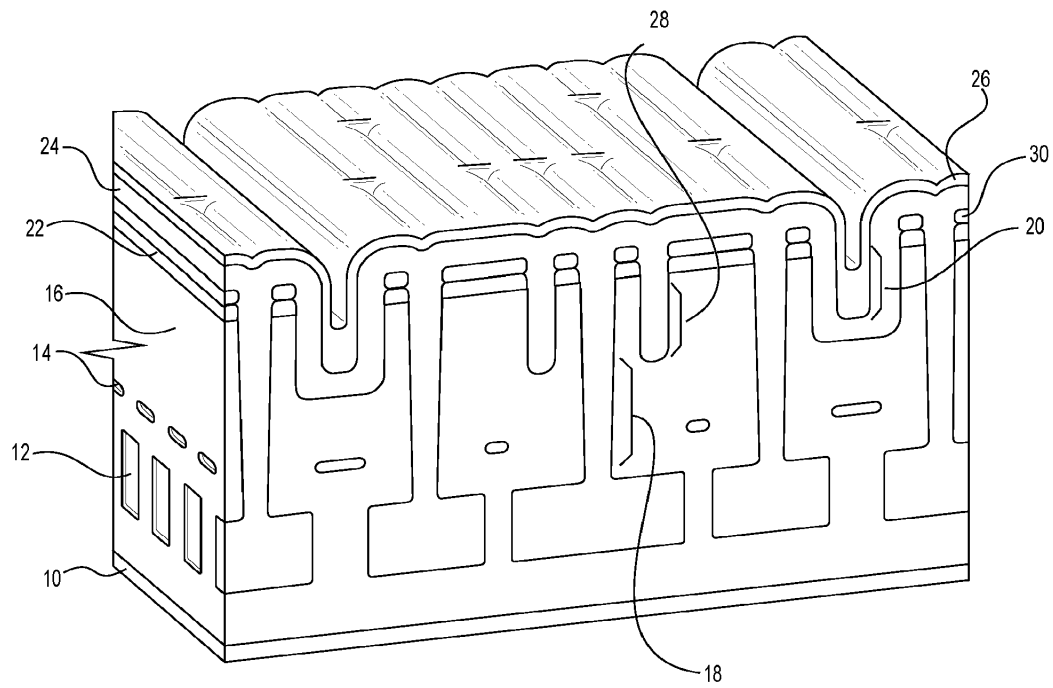
도면8



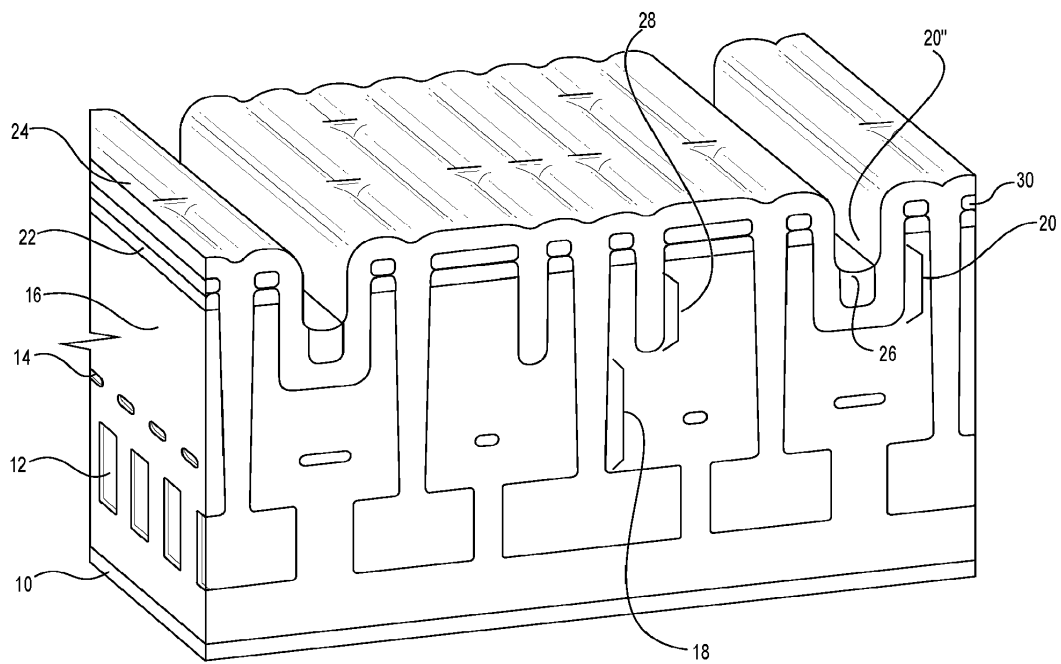
도면9



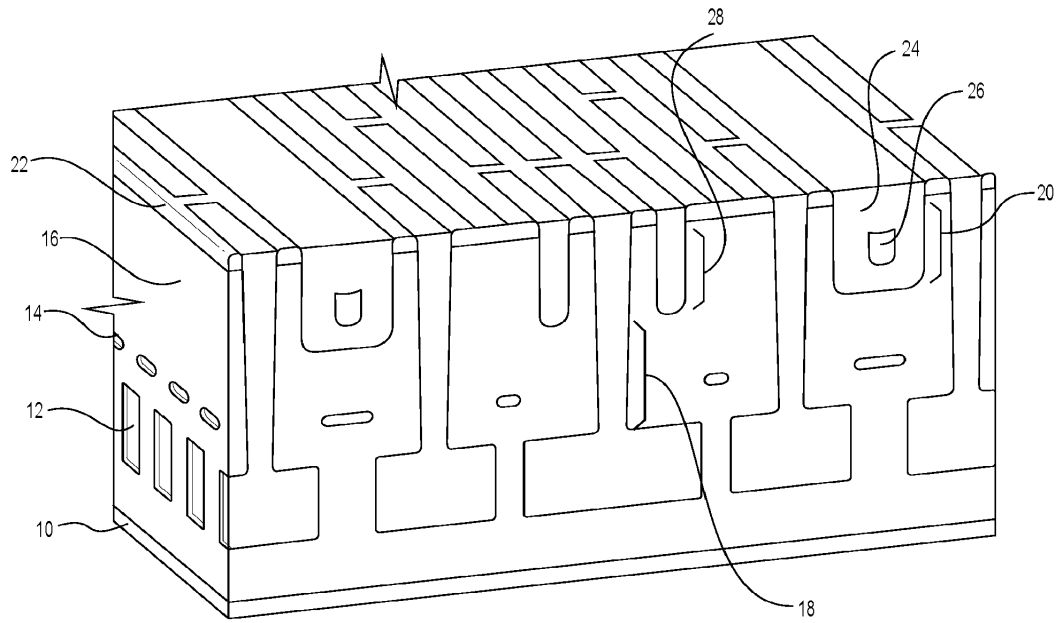
도면10



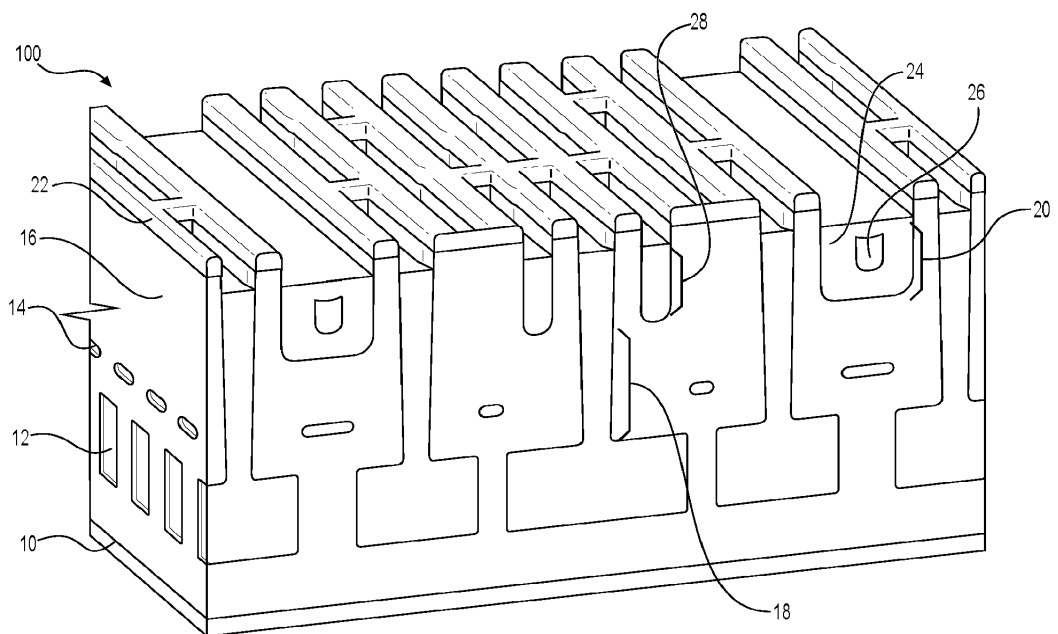
도면11



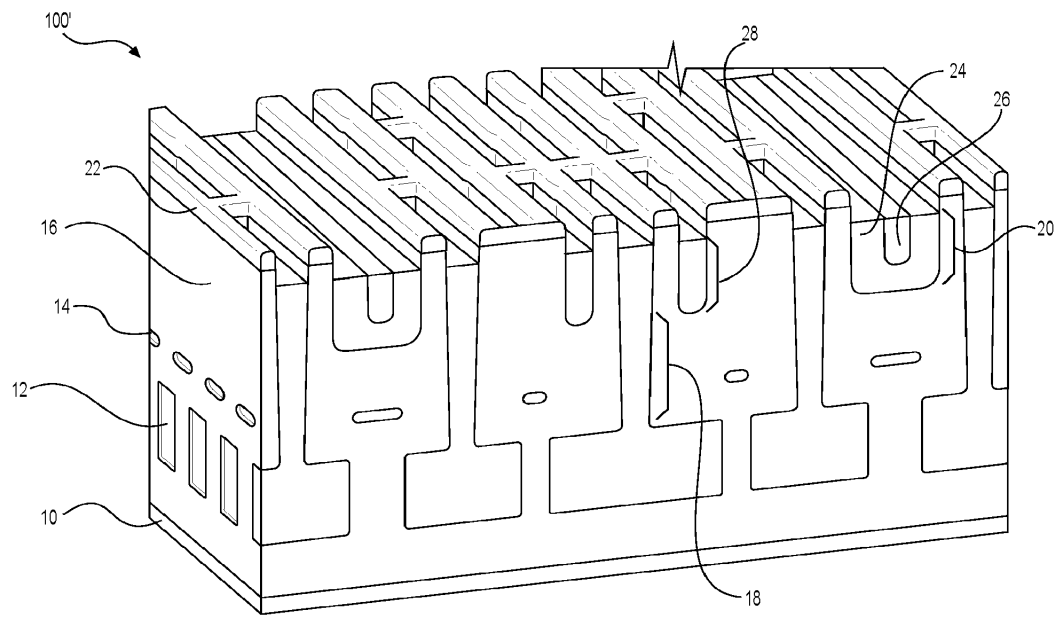
도면12



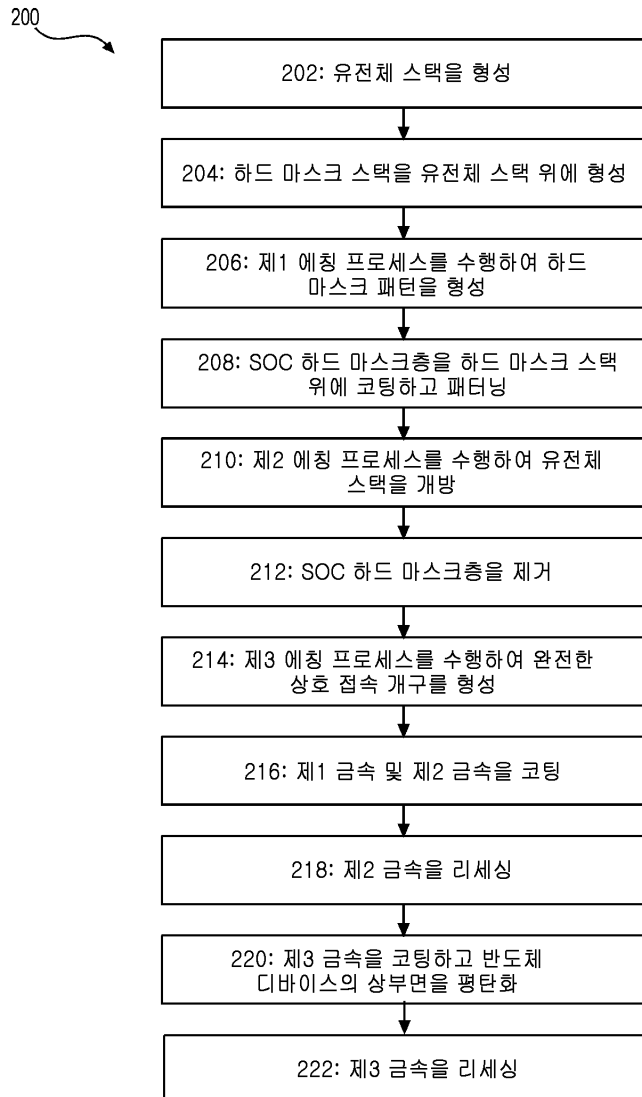
도면13



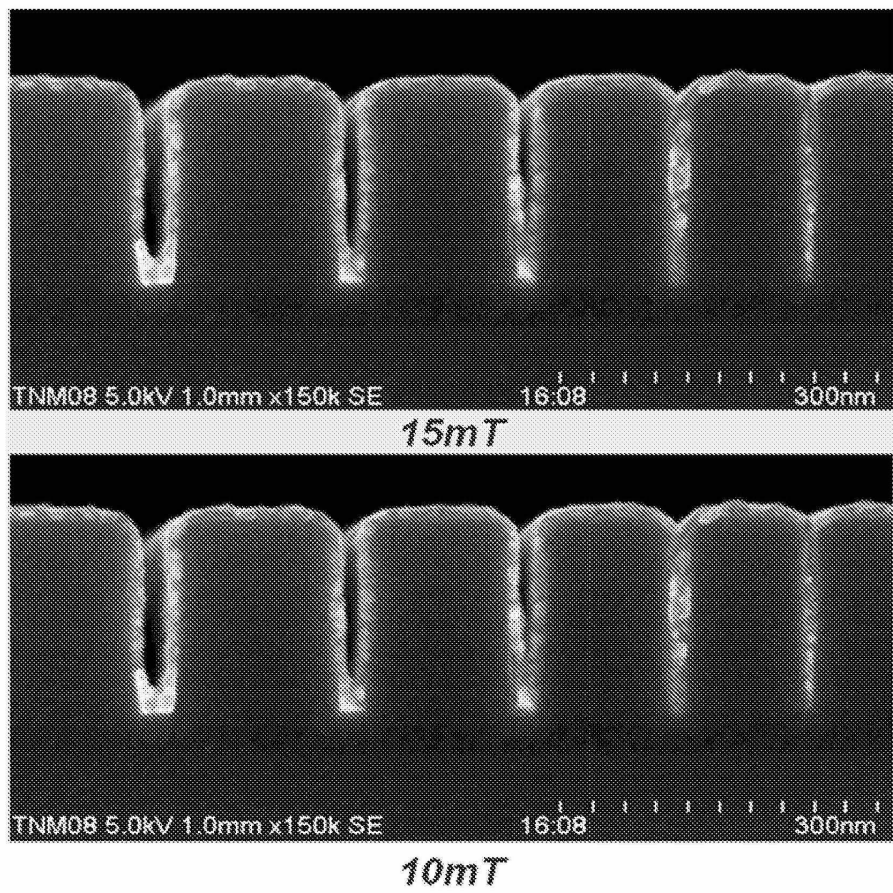
도면14



도면15



도면16



도면17

