

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成30年3月22日(2018.3.22)

【公表番号】特表2017-511044(P2017-511044A)

【公表日】平成29年4月13日(2017.4.13)

【年通号数】公開・登録公報2017-015

【出願番号】特願2016-554356(P2016-554356)

【国際特許分類】

H 04 L 1/00 (2006.01)

H 03 M 13/09 (2006.01)

【F I】

H 04 L 1/00 A

H 03 M 13/09

【手続補正書】

【提出日】平成30年2月8日(2018.2.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

制御データバスに結合されたプロセッサであって、前記プロセッサが、前記制御データバスを介したマスタデバイスとスレーブデバイスとの間のワードの符号化通信を容易にするように構成され、前記符号化通信が、エラー検出定数を最大化することを容易にするために、前記符号化通信の複数の最下位ビットを割り振るプロトコルに従って符号化され、前記プロトコルが、前記ワードのデータ部分の少なくとも1つの追加のエラー検出ビットまたは少なくとも第1の最上位ビットを含めるために、前記複数の最下位ビットを割り振る、プロセッサと、

ビット割振り方式に従ってビットを割り振るように構成されたビット割振り回路であって、前記ビット割振り方式が、前記符号化通信の前記複数の最下位ビットを割り振る、ビット割振り回路と、

ワードの符号化を容易にするように構成されたエンコーダ回路であって、

前記プロトコルに関連付けられた前記ワードのワードフォーマットを決定するように構成されたプロトコルサブ回路と、

前記符号化通信を生成するために、前記ワードフォーマットと前記ビット割振り方式とに従って、ワードを符号化するように構成された符号化サブ回路であって、前記符号化サブ回路が、符号化された3進数として、ワードを符号化するように構成され、前記3進数の各桁が、遷移番号を表し、各遷移番号は、2つの連続する順次シンボルが同じ値を有することがないように、順次シンボルに変換される、符号化サブ回路と

を備えるエンコーダ回路と、

前記制御データバスを介して前記符号化通信を送信するように構成された通信回路とを備える、デバイス。

【請求項2】

前記制御データバスが2ラインバスである、請求項1に記載のデバイス。

【請求項3】

前記プロトコルがカメラ制御インターフェース拡張(CCIe)プロトコルである、請求項1に記載のデバイス。

**【請求項 4】**

前記エンコーダ回路が、前記ワードフォーマットと前記ビット割振り方式とを介して実施するための最適化を確認するように構成された最適化サブ回路をさらに備える、請求項1に記載のデバイス。

**【請求項 5】**

前記最適化サブ回路が、第1のビット割振り方式を有するエラー検出最適化に従うワードの符号化と、第2のビット割振り方式を有するデータ最適化に従うワードの符号化との間で切り替えることを容易にするように構成される、請求項4に記載のデバイス。

**【請求項 6】**

前記符号化サブ回路が、前記複数の最下位ビットが固定数の3ビットを備えるデータ最適化に従って、ワードを符号化するように構成され、前記ビット割振り回路が、最下位ビットをエラー検出のために、第2の最下位ビットを前記ワードの前記データ部分の前記第1の最上位ビットのために、および第3の最下位ビットを前記ワードの前記データ部分の第2の最上位ビットのために割り振ることによって、前記データ最適化を容易にするように構成される、請求項4に記載のデバイス。

**【請求項 7】**

前記符号化サブ回路が、前記複数の最下位ビットが固定数の3ビットを備えるエラー検出最適化に従って、ワードを符号化するように構成され、前記ビット割振り回路が、最下位ビット、第2の最下位ビット、および第3の最下位ビットの各々をエラー検出のために割り振ることによって、前記エラー検出最適化を容易にするように構成される、請求項4に記載のデバイス。

**【請求項 8】**

前記制御データバスを介して前記符号化通信を受信するように構成された通信回路と、前記符号化通信の復号を容易にするように構成されたデコーダ回路とをさらに備える、請求項1に記載のデバイス。

**【請求項 9】**

前記デコーダ回路が、前記プロトコルに関連付けられた前記ワードのワードフォーマットを検出するように構成されたプロトコルサブ回路と、

前記符号化通信の最適化と、前記最適化に対応するビット割振り方式とを確認するように構成された最適化サブ回路と、

前記ワードフォーマットと前記ビット割振り方式とに従って、前記符号化通信を復号するように構成された復号サブ回路とを備える、請求項8に記載のデバイス。

**【請求項 10】**

マスタデバイスをスレーブデバイスに結合するステップと、

制御データバスを介した前記マスタデバイスと前記スレーブデバイスとの間のワードの符号化通信を容易にするステップであって、前記符号化通信が、エラー検出定数を最大化することを容易にするために、前記符号化通信の複数の最下位ビットを割り振るプロトコルに従って符号化され、前記プロトコルが、前記ワードのデータ部分の少なくとも1つの追加のエラー検出ビットまたは少なくとも第1の最上位ビットを含めるために、前記複数の最下位ビットを割り振る、ステップと、

前記プロトコルに関連付けられた前記ワードのワードフォーマットを決定するステップと、

ビット割振り方式に従ってビットを割り振るステップであって、前記ビット割振り方式が、前記符号化通信の前記複数の最下位ビットを割り振るステップと、

前記符号化通信を生成するために、前記ワードフォーマットと前記ビット割振り方式とに従って、前記ワードを符号化するステップであって、前記符号化するステップが、符号化された3進数として、ワードを符号化するステップを含み、前記3進数の各桁が、遷移番号を表し、各遷移番号は、2つの連続する順次シンボルが同じ値を有することがないよう

に、順次シンボルに変換される、ステップと、

前記制御データバスを介して前記符号化通信を送信するステップと  
を含む、方法。

【請求項 1 1】

前記ワードフォーマットと前記ピット割振り方式とを介して実施するための最適化を確認するステップをさらに備え、

第1のピット割振り方式を有するエラー検出最適化に従うワードの符号化と、第2のピット割振り方式を有するデータ最適化に従うワードの符号化との間で切り替えるステップをさらに含み、および/または、

前記符号化するステップが、前記複数の最下位ビットが固定数の3ビットを備えるデータ最適化に従って、ワードを符号化するステップを含み、前記割り振るステップが、最下位ビットをエラー検出のために、第2の最下位ビットを前記ワードの前記データ部分の前記第1の最上位ビットのために、および第3の最下位ビットを前記ワードの前記データ部分の第2の最上位ビットのために割り振ることによって、前記データ最適化を容易にするステップを含む、請求項10に記載の方法。

【請求項 1 2】

前記符号化するステップが、前記複数の最下位ビットが固定数の3ビットを備えるエラー検出最適化に従って、ワードを符号化するステップを含み、前記割り振るステップが、最下位ビット、第2の最下位ビット、および第3の最下位ビットの各々をエラー検出のために割り振ることによって、前記エラー検出最適化を容易にするステップを含む、請求項11に記載の方法。

【請求項 1 3】

前記制御データバスを介して前記符号化通信を受信するステップと、  
前記符号化通信を復号するステップと  
をさらに含む、請求項10に記載の方法。

【請求項 1 4】

前記プロトコルに関連付けられた前記ワードのワードフォーマットを検出するステップと、

前記符号化通信の最適化と、前記最適化に対応するピット割振り方式とを確認するステップと、

前記ワードフォーマットと前記ピット割振り方式とに従って、前記符号化通信を復号するステップと

をさらに含む、請求項13に記載の方法。

【請求項 1 5】

1つまたは複数の命令を記憶している非一時的機械可読記憶媒体であって、前記1つまたは複数の命令が、少なくとも1つのプロセッサによって実行されたときに、前記少なくとも1つのプロセッサに、請求項10から14のいずれか一項に記載の方法のステップを行わせる、非一時的機械可読記憶媒体。