

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年9月15日(15.09.2016)



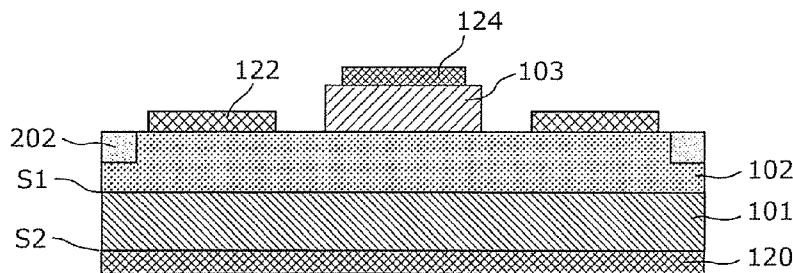
(10) 国際公開番号
WO 2016/143265 A1

- (51) 国際特許分類:
H01L 21/337 (2006.01) H01L 29/808 (2006.01)
H01L 21/338 (2006.01) H01L 29/812 (2006.01)
H01L 29/778 (2006.01)
 - (21) 国際出願番号: PCT/JP2016/000802
 - (22) 国際出願日: 2016年2月17日(17.02.2016)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2015-048694 2015年3月11日(11.03.2015) JP
 - (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者: 梶谷 亮 (KAJITANI, Ryo). 柴田 大輔 (SHIBATA, Daisuke). 田中 健一郎 (TANAKA, Kenichiro). 石田 昌宏 (ISHIDA, Masahiro). 上田 哲三 (UEDA, Tetsuzo).
 - (74) 代理人: 徳田 佳昭, 外 (TOKUDA, Yoshiaki et al.); 〒5718501 大阪府門真市大字門真1006番地 パナソニック株式会社内 Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: NITRIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 窒化物半導体装置

[図2]



(57) Abstract: A nitride semiconductor device (100) is provided with: a substrate (101), which is a first conductivity-type substrate, and which has a first surface (S1) and a second surface (S2) on the reverse side of the first surface (S1); a first conductivity-type first nitride semiconductor layer (102), which is disposed on the first surface (S1) of the substrate (101), and which contains an acceptor impurity; a second conductivity-type second nitride semiconductor layer (103), which is disposed on the first nitride semiconductor layer (102), and which is of a conductivity type opposite to the first conductivity type; a first electrode (120) disposed on the second surface (S2) of the substrate (101); a second electrode (122) disposed on the first nitride semiconductor layer (102); and a gate electrode (124) disposed on the second nitride semiconductor layer (103).

(57) 要約: 窒化物半導体装置 (100) は、第1導電型の基板であって、第1面 (S1) と、第1面 (S1) と対向する第2面 (S2) とを有する基板 (101) と、基板 (101) の第1面 (S1) 上に配置され、アクセプタ不純物を含む、第1導電型の第1窒化物半導体層 (102) と、第1窒化物半導体層 (102) の上に配置され、第1導電型と逆導電型の第2導電型の第2窒化物半導体層 (103) と、基板 (101) の第2面 (S2) 上に配置された第1電極 (120) と、第1窒化物半導体層 (102) の上に配置された第2電極 (122) と、第2窒化物半導体層 (103) の上に配置されたゲート電極 (124) とを備える。



WO 2016/143265 A1

明 細 書

発明の名称：窒化物半導体装置

技術分野

[0001] 本開示は、半導体装置、特に窒化物半導体装置に関する。

背景技術

[0002] 三族窒化物半導体は、シリコン（Si）などの従来の半導体よりもバンドギャップ及び絶縁破壊電界が大きいため、高耐圧トランジスタの材料として有望である。三族窒化物半導体トランジスタの構造においては、三族窒化物半導体のヘテロ接合界面に生じる2次元電子ガスをチャンネルとして用いる横型トランジスタが一般的である。しかしながら、横型トランジスタはそれぞれの電極が表面に平面的に並ぶ構造であるため、ドレイン電極端面に電界集中が発生して耐圧が低下しやすい。一方、ソース電極を表面側に、ドレイン電極を基板側に設置する縦型トランジスタならば、ドレイン電極に均一に電界がかかるため、高耐圧が期待できる（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2007-142243号公報

発明の概要

発明が解決しようとする課題

[0004] 三族窒化物半導体縦型トランジスタは、高耐圧かつ低オン抵抗であるとともに、デバイス動作時の安全性の点からノーマリオフであることが要請される。三族窒化物半導体縦型トランジスタのチャンネルには、一般的に、ドナーとして、例えば、Siをドーピングしたn型GaN層を用いる。このとき、オン抵抗を低くするためにSiドーピング濃度を高くしすぎると、多量の結晶欠陥が形成されるため、耐圧が著しく低下する。また、ソース電極とドレイン電極との間に電流が流れやすくなるため、該縦型トランジスタは、ノーマリオンとなる。一方、ノーマリオフや高耐圧化のためにSiドーピング濃

度を低くすると、オン抵抗が高くなる。従って、従来の三族窒化物半導体縦型トランジスタにおいて、ノーマリオフ、低オン抵抗かつ高耐圧を両立することが非常に困難であった。

[0005] 上記課題に鑑み、本発明は、ノーマリオフ、高耐圧かつ低オン抵抗の三族窒化物半導体縦型トランジスタを実現することができる窒化物半導体装置を提供することを目的とする。

課題を解決するための手段

[0006] 上述した課題を達成するため、本発明の一態様にかかる窒化物半導体装置は、第1導電型の基板であって、第1面と、前記第1面と対向する第2面とを有する基板と、前記基板の前記第1面上に配置され、アクセプタ不純物を含む、前記第1導電型の第1窒化物半導体層と、前記第1窒化物半導体層の上に配置され、前記第1導電型と逆導電型の第2導電型の第2窒化物半導体層と、前記基板の前記第2面上に配置された第1電極と、前記第1窒化物半導体層の上に配置された第2電極と、前記第2窒化物半導体層の上に配置されたゲート電極とを備える。

発明の効果

[0007] 本開示によれば、ノーマリオフ、高耐圧かつ低オン抵抗の三族窒化物半導体縦型トランジスタを実現することができる。

図面の簡単な説明

[0008] [図1]図1は、実施の形態1に係る半導体装置の平面図である。

[図2]図2は、図1のA-A'線における実施の形態1に係る半導体装置の断面図である。

[図3]図3は、実施の形態1の変形例1に係る半導体装置の平面図である。

[図4]図4は、図3で示されたB-B'線における、実施の形態1の変形例1に係る半導体装置の断面図である。

[図5]図5は、実施の形態1の変形例2に係る半導体装置の平面図である。

[図6]図6は、図5で示されたC-C'線における、実施の形態1の変形例2に係る半導体装置の断面図である。

[図7]図7は、実施の形態1の変形例3に係る半導体装置の平面図である。

[図8]図8は、図7で示されたD-D'線における、実施の形態1の変形例3に係る半導体装置の断面図である。

[図9]図9は、実施の形態1の変形例4に係る半導体装置の平面図である。

[図10]図10は、図9で示されたE-E'線における、実施の形態1の変形例4に係る半導体装置の断面図である。

[図11]図11は、実施の形態2に係る半導体装置の平面図である。

[図12]図12は、図11のF-F'線における実施の形態2に係る半導体装置の断面図である。

[図13]図13は、実施の形態3に係る半導体装置の平面図である。

[図14]図14は、図13のG-G'線における実施の形態3に係る半導体装置の断面図である。

[図15]図15は、実施の形態3の変形例に係る半導体装置の断面図である。

[図16]図16は、実施の形態4に係る半導体装置の平面図である。

[図17]図17は、図16のH-H'線における実施の形態4に係る半導体装置の断面図である。

[図18]図18は、実施の形態4の変形例1に係る半導体装置の平面図である。
。

[図19]図19は、図18のI-I'線における実施の形態4の変形例1に係る半導体装置の断面図である。

[図20]図20は、実施の形態4の変形例2に係る半導体装置の平面図である。
。

[図21]図21は、図20のJ-J'線における実施の形態4の変形例2に係る半導体装置の断面図である。

[図22]図22は、実施の形態4の変形例3に係る半導体装置の平面図である。
。

[図23]図23は、図22のK-K'線における実施の形態4の変形例3に係る半導体装置の断面図である。

発明を実施するための形態

[0009] 以下、本開示に係る窒化物半導体装置の形態について、図面を参照しながら具体的に説明する。実質的に同一の構成に対して同一の符号を付し、説明を省略する場合がある。また、以下の実施の形態において、製造方法が実質的に同一であるときは、説明を省略する場合がある。

[0010] 本開示は、以下の実施の形態に限定されない。本開示の実施の形態及び変形例同士を組合せることも可能である。以下で説明する実施の形態は、いずれも一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態等は、一例であり、本発明を限定する主旨ではない。以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、本発明の課題を達成するのに必ずしも必要ではないが、より好ましい形態を構成するものとして説明される。

[0011] 以下の実施の形態にかかる半導体装置において、第1導電型がN型であり、第2導電型がP型である。また、実施の形態にかかる半導体装置の構成の理解を容易にするために、平面図には、断面図に対応するハッチングを付している。

[0012] (実施の形態1)

以下、本開示における窒化物半導体装置の一態様として、実施の形態1にかかる半導体装置100について説明する。

[0013] [1. 半導体装置の構造]

図1は、実施の形態1に係る半導体装置100の平面図である。図2は、図1のA-A'線における実施の形態1に係る半導体装置100の断面図である。本開示において、「平面視」とは、基板101の主面の法線方向から見ることを意味する。また、本実施の形態にかかる半導体装置の構成の理解を容易にするために、平面図には、断面図と同様の模様を付している。

[0014] 実施の形態1に係る半導体装置100は、第1面S1と、第1面S1と対向する第2面S2とを有する基板101と、基板101の第1面S1上に配

置された第1窒化物半導体層102と、第1窒化物半導体層102の上に配置された第2窒化物半導体層とを備える。基板101及び第1窒化物半導体層102は、第1導電型である。第2窒化物半導体層103は、第2導電型である。

[0015] ここで、半導体装置100は、本発明の窒化物半導体装置に相当する。

[0016] 実施の形態1に係る半導体装置100は、基板101の第2面S2上に配置された第1電極120と、第1窒化物半導体層102の上に配置された第2電極122と、第2窒化物半導体層103の上に配置されたゲート電極124とを備える。

[0017] 基板101は、第1導電型であって、例えば、Ga_{1-x-y}N_yから構成される。第1窒化物半導体層102は、第1導電型であって、例えば、In_xAl_yGa_{1-x-y}N_{1-y} (0 ≤ x ≤ 1, 0 ≤ y ≤ 1, 0 ≤ x + y ≤ 1) から構成される。第2窒化物半導体層103は、第2導電型であって、例えば、In_xAl_yGa_{1-x-y}N_{1-y} (0 ≤ x ≤ 1, 0 ≤ y ≤ 1, 0 ≤ x + y ≤ 1) から構成される。

[0018] 第1窒化物半導体層102は、アクセプタ不純物を含む。アクセプタとは、正孔を供給する原子のことをいう。本開示では、半導体層に注入されるアクセプタ原子をアクセプタ不純物と呼んでいる。アクセプタ不純物としては、例えば、炭素や遷移金属を用いることができる。第1窒化物半導体層102が炭素を含む場合、炭素濃度は、 $1 \times 10^{16} / \text{cm}^2$ から $1 \times 10^{19} / \text{cm}^2$ であることが好ましい。

[0019] 一般的に、窒化物半導体層を結晶成長する場合、結晶欠陥や残留不純物がドナーとして働くことによって、自然にn型となる。第1窒化物半導体層102に含まれるアクセプタ不純物が、これらのドナーを部分的に補償することによって、第1窒化物半導体層102は、高絶縁性となる。

[0020] 第1窒化物半導体層102及び第2窒化物半導体層103のAl組成（すなわち、In_xAl_yGa_{1-x-y}Nにおけるyの値）は、基板101との格子不整合歪みによる悪影響が出ない範囲において、高くすることが好ましい。この構成によって、各層のバンドギャップが増大するため、半導体装置の耐

圧が向上する。

[0021] 第2窒化物半導体層103は、例えば、マグネシウムを含む。第2窒化物半導体層103のマグネシウム濃度は、 $5 \times 10^{17} / \text{cm}^2$ から $5 \times 10^{20} / \text{cm}^2$ であることが好ましい。

[0022] 実施の形態1に係る半導体装置では、一例として、基板101は第1導電型のGaN基板、第1窒化物半導体層102は第1導電型のGaN層、第2窒化物半導体層103は第2導電型のGaN層であるとする。

[0023] [2. 半導体装置の動作]

[2-1. パターン1]

ここでは、第1電極120がソース電極であり、第2電極122がドレイン電極である場合の半導体装置100の動作について説明する。ソース電極は、オーミック電極である。ドレイン電極は、オーミック電極であっても良いし、ショットキー電極であっても良い。以下、理解を容易にするために、第1電極120をソース電極120と呼び、第2電極122をドレイン電極122と呼ぶ。

[0024] 実施の形態1に係る半導体装置100において、例えば、ゲート電極124に0V、ソース電極120に0V、ドレイン電極122に+1000Vの電圧が印加されているとする。ここで、ゲート電極124とドレイン電極122とは横（基板の主面に平行な方向）に並ぶこととなるため、ドレイン電極122端面への電界集中による破壊が生じないように、ゲート電極124とドレイン電極122との間の距離は、 $20 \mu\text{m}$ 程度とする。ソース電極120とドレイン電極122の間には高絶縁性の第1窒化物半導体層102が形成されているため、高耐圧かつノーマリオフが実現される。

[0025] 次に、ゲート電極124に+3.4V以上の電圧を印加すると、第2窒化物半導体層103から第1窒化物半導体層102に正孔が流入する。基板101はn型GaN層であり、第1電極120はソース電極であるため、基板101から第1窒化物半導体層102に電子が流入する。

[0026] 第1窒化物半導体層102には、電子と正孔とが注入されるため、互いに

再結合して発光する。発せられた光のエネルギーが、第1窒化物半導体層102を構成する材料のバンドギャップと同等以上であれば、第1窒化物半導体層102に直ちに吸収され、電子と正孔との対が形成される。ソース電極120とドレイン電極122との間において、第1窒化物半導体層102には、高電界が印加されているため、これらの電子と正孔との対が再結合する前に、正孔はソース電極120側に、電子はドレイン電極122側に乖離する。乖離した電子-正孔流が電流となる。

[0027] ゲート電極124に電圧が印加されている限り発光は継続するため、電流が流れ続ける。ゲート電極124の電圧を0Vとすると、発光が止まり、ソース電極120とドレイン電極との122間に流れる電流はゼロとなる。

[0028] 上記の過程により、本来は電流が実質流れないはずの高絶縁性かつ高耐压の第1窒化物半導体層102には、ゲート電圧印加に伴う光注入により電流が流れる。以上の構成から、高耐压で低オン抵抗かつノーマリオフでのスイッチングが可能となる。

[0029] [2-2. パターン2]

ここでは、第1電極120がドレイン電極、第2電極122がソース電極である場合の半導体装置100の動作について説明する。ソース電極は、オーミック電極である。ドレイン電極は、オーミック電極であっても良いし、ショットキー電極であっても良い。以下、理解を容易にするために、第1電極120をドレイン電極120と呼び、第2電極122をソース電極122と呼ぶ。

[0030] 例えば、ゲート電極124に0V、ソース電極122に0V、ドレイン電極120に+1000Vの電圧が印加されているとする。ソース電極122とドレイン電極120の間には高絶縁性の第1窒化物半導体層102が形成されているため、高耐压かつノーマリオフが実現される。

[0031] 次に、ゲート電極124に+3.4V以上の電圧を印加する。すると、第2窒化物半導体層103から第1窒化物半導体層102に正孔が流入する。第1窒化物半導体層102は高絶縁性ではあるものの、アクセプタ不純物に

より補償しきれていない残留ドナーが存在する。この残留ドナーによって生じた電子と、正孔とが再結合することによって発光が生じる。

[0032] このような構成により、パターン1と同様に、半導体装置100では、第1窒化物半導体層102に光が吸収され、電子と正孔との対となる。該電子と正孔との対がソース電極122とドレイン電極120との間の電界によって乖離し、電流となる。ゲート電極124の電圧を0Vとすると発光が止まり、ソース電極122とドレイン電極120との間の電流はゼロとなる。

[0033] また、パターン1と同様に、上記の過程により、本来は電流が実質流れないはずの高絶縁かつ高耐圧の第1窒化物半導体層102には、ゲート電圧印加に伴う光注入により電流が流れる。以上の構成から、高耐圧で低オン抵抗かつノーマリオフでのスイッチングが可能となる。

[0034] [3. 半導体装置の製造方法]

実施の形態1に係る半導体装置の製造方法を説明する。なお、製造方法の順序は、一例であり、下記の順序には限定されず、当業者が適宜改変することが可能である。

[0035] まず、Ga₂Nからなる基板101の主面上に、MOCVD (Metal Organic Chemical Vapor Deposition) 法により、例えば、炭素濃度が $3 \times 10^{16} / \text{cm}^2$ のGa₂Nからなり、膜厚が $1.2 \mu\text{m}$ の第1窒化物半導体層102を形成する。

[0036] 次に、第1窒化物半導体層102上に、MOCVD法により、例えば、マグネシウム濃度が $1 \times 10^{19} / \text{cm}^2$ のp型Ga₂Nからなり、膜厚が 500nm の第2窒化物半導体層103を成長する。

[0037] 次に、第2窒化物半導体層103の上方にレジストを塗布し、パターンニングを行う。レジストをパターンニングした後に、第2窒化物半導体層103をドライエッチングする。

[0038] 次に、例えば、ボロンイオンを第1窒化物半導体層102に注入することによって、素子分離部202を形成する。

[0039] 次に、第2窒化物半導体層103をドライエッチングすることにより露出

した第1窒化物半導体層102上に、例えば、膜厚が20nmのTi層上に膜厚が200nmのAl層を配置した第2電極122を形成する。

[0040] 次に、基板101の第2面S2上に、例えば、膜厚が20nmのTi層上に、膜厚が200nmのAl層を配置した第1電極120を形成する。

[0041] 次に、第2窒化物半導体層103上に、例えば、膜厚が100nmのNi層上に、膜厚が500nmのAu層を配置したゲート電極124を形成する。

[0042] [4. 効果]

以上、本実施の形態にかかる半導体装置100によると、電流が実質流れないはずの高絶縁かつ高耐圧の第1窒化物半導体層102に、ゲート電圧印加に伴う光注入により電流が流れる。これにより、ノーマリオフ、高耐圧かつ低オン抵抗の三族窒化物半導体縦型トランジスタを実現することができる。

[0043] (実施の形態1の変形例1)

次に、実施の形態1の変形例1に係る半導体装置100aについて説明する。

[0044] 図3は、実施の形態1の変形例1に係る半導体装置100aの平面図である。図4は、図3で示されたB-B'線における半導体装置100aの断面図である。

[0045] 図3に示すように、本変形例にかかる半導体装置100aは、平面視において、円形状の第2窒化物半導体層103が複数、第1窒化物半導体層102の上に配置されている。複数の第2窒化物半導体層103のそれぞれの上には、図4に示すように、ゲート電極124が配置されている。そして、複数の第2窒化物半導体層103の間には、第2電極122が配置されている。複数のゲート電極124は、互いに電氣的に接続されていてもよい。

[0046] なお、各第2窒化物半導体層103の平面視における形状は、円形状に限らず、四角形等の多角形状であってもよい。また、複数の第2窒化物半導体層103の配置の仕方は、装置が正常に動作する限り、特に制限はない。

[0047] 本変形例にかかる半導体装置100aでは、平面視において、第2電極122が占める面積を、ゲート電極124が占める面積よりも大きくすることによって、第1電極120と第2電極122との間、つまり、ソース電極とドレイン電極との間のチャンネル領域を広くすることができるため、オン抵抗をさらに抑えることができる。

[0048] (実施の形態1の変形例2)

次に、実施の形態1の変形例2に係る半導体装置100bについて説明する。

[0049] 図5は、実施の形態1の変形例2に係る半導体装置100bの平面図である。図6は、図5で示されたC-C'線における、実施の形態1の変形例2に係る半導体装置100bの断面図である。

[0050] 図5に示すように、本変形例にかかる半導体装置100bは、平面視において、円形状の第2電極122が複数、第1窒化物半導体層102の上に配置されている。そして、複数の第2電極122の間には、第2窒化物半導体層103が配置されている。複数の第2窒化物半導体層103のそれぞれの上には、図6に示すように、ゲート電極124が配置されている。複数の第2電極122は、互いに電氣的に接続されていてもよい。

[0051] なお、各第2電極122の平面視における形状は、円形状に限らず、四角形等の多角形状であってもよい。また、複数の第2電極122の配置の仕方は、装置が正常に動作する限り、特に制限はない。

[0052] 本変形例にかかる半導体装置100bでは、平面視において、ゲート電極124が占める面積を、第2電極122が占める面積よりも大きくすることができる。したがって、注入される正孔の濃度が高くなるため、より高確率で電子と正孔とを再結合させることが可能となる。

[0053] (実施の形態1の変形例3)

次に、実施の形態1の変形例3に係る半導体装置100cについて説明する。

[0054] 図7は、実施の形態1の変形例3に係る半導体装置100cの平面図であ

る。図8は、図7で示されたD-D'線における、実施の形態1の変形例3に係る半導体装置100cの断面図である。

[0055] 図7に示すように、本変形例にかかる半導体装置100cは、平面視において、直線状の第2窒化物半導体層103が複数、第1窒化物半導体層102上に配置されている。複数の第2窒化物半導体層103のそれぞれの上には、図8に示すように、ゲート電極124が配置されている。そして、複数の第2窒化物半導体層103の間には、第2電極122が配置されている。複数のゲート電極124は、互いに電氣的に接続されていてもよい。

[0056] 本変形例にかかる半導体装置100cでは、平面視において、第2電極122が占める面積を、ゲート電極124が占める面積よりも大きくすることによって、第1電極120と第2電極122との間、つまり、ソース電極とドレイン電極との間のチャネル領域を広くすることができるため、オン抵抗をさらに抑えることができる。

[0057] (実施の形態1の変形例4)

次に、実施の形態1の変形例4に係る半導体装置100dについて説明する。

[0058] 図9は、実施の形態1の変形例4に係る半導体装置100dの平面図である。図10は、図9で示されたE-E'線における、実施の形態1の変形例4に係る半導体装置100dの断面図である。

[0059] 図9に示すように、本変形例にかかる半導体装置100dは、平面視において、直線状の第2電極122が複数、第1窒化物半導体層102上に配置されている。そして、複数の第2電極122の間には、第2窒化物半導体層103が配置されている。複数の第2窒化物半導体層103のそれぞれの上には、図10に示すように、ゲート電極124が配置されている。複数の第2電極122は、互いに電氣的に接続されていてもよい。

[0060] 本変形例にかかる半導体装置100dでは、平面視において、ゲート電極124が占める面積を、第2電極122が占める面積よりも大きくすることによって、ゲート電極124下での発光強度が弱くなる場合でも、発光領域

を広くすることができる。したがって、半導体装置100dでは、注入される正孔の濃度が高くなるため、より高確率で電子と正孔とを再結合させて有効に電流を流すことが可能となる。なお、発光強度が弱くなる場合とは、例えば、高耐圧化のために第1窒化物半導体層102や第2窒化物半導体層103のA1組成を高くした場合などが想定される。

[0061] (実施の形態2)

次に、実施の形態2に係る半導体装置200について説明する。

[0062] 図11は、実施の形態2に係る半導体装置200の平面図である。図12は、図11のF-F'線における実施の形態2に係る半導体装置200の断面図である。

[0063] 図11に示すように、実施の形態2に係る半導体装置200は、第1窒化物半導体層102と第2窒化物半導体層103との間に配置され、図12に示すように、シリコン等のドナー不純物を含む第3窒化物半導体層104をさらに備えている。第3窒化物半導体層104の材料としては、例えば、GaNを用いればよい。シリコン濃度は、例えば、 $1 \times 10^{17} / \text{cm}^2$ 以上であればよい。第3窒化物半導体層104の膜厚は、例えば、100nmであればよい。

[0064] 半導体装置200において、第1電極120がドレイン電極であり、第2電極122がソース電極であってもよい。また、第1電極120がソース電極であり、第2電極122がドレイン電極であってもよい。

[0065] 半導体装置200の製造方法に関しては、第1窒化物半導体層102の形成後、第2窒化物半導体層103の形成前に、例えば、MOCVD法により、第3窒化物半導体層104を形成すればよい。

[0066] また、第3窒化物半導体層104内には、ドナー不純物により高密度の電子が存在するため、電子と正孔とが再結合する確率が上昇する。

[0067] 従って、実施の形態2に係る半導体装置200においては、実施の形態1に係る半導体装置100よりも高効率で発光させることができるため、実施の形態1にかかる半導体装置100よりもオン抵抗を下げるができる。

[0068] (実施の形態3)

次に、実施の形態3に係る半導体装置300について説明する。

[0069] 図13は、実施の形態3に係る半導体装置300の平面図であり、図14は、図13のG-G'線における実施の形態3に係る半導体装置300の断面図である。

[0070] 図13に示すように、実施の形態3に係る半導体装置300は、第1窒化物半導体層102と第2窒化物半導体層103の間に配置され、第1窒化物半導体層102よりもバンドギャップが大きい第4窒化物半導体層105を備えている。第1窒化物半導体層102がGa_{0.3}Nからなる場合は、第4窒化物半導体層105の材料は、例えば、Al_{0.3}Ga_{0.7}Nを用いれば良い。Al_{0.3}Ga_{0.7}Nの膜厚は、例えば約20nmであればよい。

[0071] 半導体装置300において、第1電極120がドレイン電極であり、第2電極122がソース電極であってもよい。また、第1電極120がソース電極であり、第2電極122がドレイン電極であってもよい。

[0072] 半導体装置300の製造方法に関しては、第1窒化物半導体層102の形成後、第2窒化物半導体層103の形成前に、例えば、MOCVD法により第4窒化物半導体層105を形成すればよい。

[0073] また、図14に示すように、第1窒化物半導体層102と第4窒化物半導体層105との間には、自発分極と圧電分極により高密度の2次元電子ガス126が形成される。そのため、ゲート電極124に電圧を印加すると、2次元電子ガス126に正孔が注入されることによって、高密度の電子と正孔を再結合させることができる。

[0074] 従って、実施の形態3に係る半導体装置300においては、実施の形態1に係る半導体装置100よりも高効率で発光させることができるため、実施の形態1よりもオン抵抗を下げることができる。

[0075] なお、本実施の形態と実施の形態2との組み合わせも可能である。つまり、実施の形態2に示した第3窒化物半導体層104を、第2窒化物半導体層103と第4窒化物半導体層105との間、又は、第1窒化物半導体層10

2と第4窒化物半導体層105との間の、いずれに配置してもよい。

[0076] (実施の形態3の変形例)

次に、実施の形態3の変形例に係る半導体装置300aについて説明する。

[0077] 図15は、実施の形態3の変形例に係る半導体装置300aの断面図を示す。半導体装置300aの平面図は省略するが、図13に示した半導体装置300と実質同じ構成である。

[0078] 本変形例に係る半導体装置300aは、図13に示すように、第4窒化物半導体層105を貫通し、少なくとも第1窒化物半導体層102に到達する第1リセス128が設けられている。第1リセス128内には、第2電極122が配置されている。第2電極122は、2次元電子ガス126と接触させることが好ましい。この構成により、第1窒化物半導体層102と第2電極122とのコンタクト抵抗を低くすることができるため、オン抵抗をさらに下げることができる。

[0079] 半導体装置300aの製造方法に関しては、例えば、第2窒化物半導体層103のドライエッチング後、第4窒化物半導体層105に対してレジストを塗布し、パターニングを行う。レジストをパターニングした後、第4窒化物半導体層105、及び、第1窒化物半導体層102をドライエッチングして、第1リセス128を形成すればよい。

[0080] (実施の形態4)

次に、実施の形態4に係る半導体装置400について説明する。

[0081] 図16は、実施の形態4に係る半導体装置400の平面図である。図17は、図16のH-H'線における実施の形態4に係る半導体装置400の断面図である。

[0082] 実施の形態4に係る半導体装置400は、図16および図17に示すように、第1窒化物半導体層102と第2窒化物半導体層103との間に、第1窒化物半導体層102側から順に、第5窒化物半導体層106、第6窒化物半導体層107、第7窒化物半導体層108が積層されている。

- [0083] 第5窒化物半導体層106のバンドギャップは、第1窒化物半導体層102のバンドギャップ以上である。第6窒化物半導体層107のバンドギャップは、第5窒化物半導体層106のバンドギャップよりも小さい。第7窒化物半導体層108のバンドギャップは、第1窒化物半導体層102のバンドギャップ以上であり、かつ、第6窒化物半導体層106のバンドギャップよりも大きい。なお、第5窒化物半導体層106と第7窒化物半導体層108とは、同じ材料で構成されていてもよい。
- [0084] 半導体装置400において、第1の電極120がドレイン電極であり、第2の電極122がソース電極であってもよい。また、第1の電極120がソース電極であり、第2の電極122がドレイン電極であってもよい。
- [0085] この構成により、第6窒化物半導体層107には、第5窒化物半導体層106及び第7窒化物半導体層108の電子および正孔の閉じ込め効果によって量子準位が形成される。この量子準位に電子および正孔が閉じ込められることによって、電子と正孔とが再結合する確率が向上する。
- [0086] 従って、実施の形態4に係る半導体装置400においては、実施の形態1に係る半導体装置100よりも高効率で発光させることができるため、実施の形態1に係る半導体装置100よりもオン抵抗を下げるができる。
- [0087] なお、第5窒化物半導体層106、第6窒化物半導体層107、第7窒化物半導体層108は、順次繰り返し形成された多重量子井戸（MQW：Multiple Quantum Well）構造であってもよく、三周期、つまり、量子準位が形成される第6窒化物半導体層107が3層存在することが望ましい。
- [0088] また、第5窒化物半導体層106及び第7窒化物半導体層108は、例えば、膜厚10nmの $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ から構成されている。第6窒化物半導体層107は、例えば、膜厚3nmのGa₂Nから構成されている。
- [0089] 半導体装置400の製造方法に関しては、第1窒化物半導体層102の形成後、第2窒化物半導体層103の形成前に、例えば、MOCVD法により第5窒化物半導体層106、第6窒化物半導体層107、第7窒化物半導体

層108を順次形成すればよい。そして、第2窒化物半導体層103の形成後、第2窒化物半導体層103の上方にレジストを塗布し、パターニングを行う。レジストのパターニング後、第2窒化物半導体層103、第5窒化物半導体層106、第6窒化物半導体層107、第7窒化物半導体層108をドライエッチングすることによって、第1窒化物半導体層102を露出させる。

[0090] この構成により、実施の形態4に係る半導体装置400は、高効率で発光させることができるため、実施の形態1に係る半導体装置100よりもオン抵抗を下げるができる。

[0091] (実施の形態4の変形例1)

次に、実施の形態4の変形例1に係る半導体装置400aについて説明する。

[0092] 図18は、実施の形態4の変形例1に係る半導体装置400aの平面図である。図19は、図18のI-I'線における実施の形態4の変形例1に係る半導体装置400の断面図である。

[0093] 本変形例に係る半導体装置400aでは、図18および図19に示すように、第2電極122が、第1窒化物半導体層102に形成された第2リセス129内に形成され、かつ、第5窒化物半導体層106、第6窒化物半導体層107、第7窒化物半導体層108の側面に接している。第5窒化物半導体層106と第1窒化物半導体層102との界面に形成された2次元電子ガス(図示せず)と、第2電極122とが接することにより、第1窒化物半導体層102と第2電極122とのコンタクト抵抗を低くすることができる。これにより、半導体装置400aのオン抵抗をさらに下げることができる。

[0094] (実施の形態4の変形例2)

次に、実施の形態4の変形例2に係る半導体装置400bについて説明する。

[0095] 図20は、実施の形態4の変形例2に係る半導体装置400bの平面図である。図21は、図20のJ-J'線における実施の形態4の変形例2に係

る半導体装置400bの断面図である。

[0096] 本変形例に係る半導体装置400bでは、図20および図21に示すように、第1窒化物半導体層102と第5窒化物半導体層106との間に、シリコン等のドナー不純物を含む第3窒化物半導体層104が形成されていてもよい。この構成により、第3窒化物半導体層104から第6窒化物半導体層107へ、より高密度の電子が流入する。その結果、第6窒化物半導体層107の量子準位において、電子と正孔とが再結合する確率がさらに向上する。したがって、半導体装置400bは、より高効率で発光させることによってさらにオン抵抗を下げることができる。

[0097] (実施の形態4の変形例3)

次に、実施の形態4の変形例3に係る半導体装置400cについて説明する。

[0098] 図22は、実施の形態4の変形例3に係る半導体装置400cの平面図である。図23は、図22のK-K'線における実施の形態4の変形例3に係る半導体装置400cの断面図である。

[0099] 本変形例に係る半導体装置400cと変形例2に係る半導体装置400bとの差異は、図22および図23に示すように、第3窒化物半導体層104の側面が、第5窒化物半導体層106、第6窒化物半導体層107、第7窒化物半導体層108、第2窒化物半導体層103の側面と略同一平面上に形成されている点である。ここで、「略同一」とは、製造上の誤差を含む意味である。

[0100] この構成により、半導体装置400cは、変形例2に係る半導体装置400bと比較して、ソース電極とドレイン電極の距離を近くすると共に、第3窒化物半導体層104から第6窒化物半導体層107へ、より高密度の電子を流入することができる。その結果、第6窒化物半導体層107の量子準位において、電子と正孔とが再結合する確率がさらに向上する。したがって、半導体装置400cは、より高効率で発光させることによってさらにオン抵抗を下げることができる。

- [0101] 以上、本開示の実施の形態に係る半導体装置について説明したが、本発明は、この実施の形態に限定されるものではない。
- [0102] 例えば、上述した実施の形態では、半導体基板の導電型について、第1導電型をN型、第2導電型をP型としたが、第1導電型をP型、第2導電型をN型としてもよい。
- [0103] また、各窒化物半導体層の平面視における形状は、円形状に限らず、四角形等の多角形状であってもよい。また、複数の各窒化物半導体層の配置の仕方は、装置が正常に動作する限り、特に制限はない。
- [0104] また、本開示は、上述した実施の形態に限定されるものではなく、本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもののや、異なる実施の形態における構成要素を組み合わせる構築される形態も、一つまたは複数の態様の範囲内に含まれてもよい。

産業上の利用可能性

- [0105] 本発明にかかる窒化物半導体装置は、民生機器の電源回路等で用いられる高出力高耐圧トランジスタとして利用することがきる。

符号の説明

- [0106] 100、100a、100b、100c、100d、200、300、300a、400、400a、400b、400c 半導体装置（窒化物半導体装置）

- 101 基板
- 102 第1窒化物半導体層
- 103 第2窒化物半導体層
- 104 第3窒化物半導体層
- 105 第4窒化物半導体層
- 106 第5窒化物半導体層
- 107 第6窒化物半導体層
- 108 第7窒化物半導体層
- 120 第1電極

- 1 2 2 第2電極
- 1 2 4 ゲート電極
- 1 2 6 2次元電子ガス
- 1 2 8 第1のリセス
- 1 2 9 第2のリセス
- 2 0 2 素子分離部

請求の範囲

- [請求項1] 第1導電型の基板であって、第1面と、前記第1面と対向する第2面とを有する基板と、
前記基板の前記第1面上に配置され、アクセプタ不純物を含む、前記第1導電型の第1窒化物半導体層と、
前記第1窒化物半導体層の上に配置され、前記第1導電型と逆導電型の第2導電型の第2窒化物半導体層と、
前記基板の前記第2面上に配置された第1電極と、
前記第1窒化物半導体層の上に配置された第2電極と、
前記第2窒化物半導体層の上に配置されたゲート電極とを備える窒化物半導体装置。
- [請求項2] 前記窒化物半導体装置は、さらに、
前記第1窒化物半導体層と前記第2窒化物半導体層との間に配置され、ドナー不純物を含む、前記第1導電型の第3窒化物半導体層を備える
請求項1に記載の窒化物半導体装置。
- [請求項3] 前記ドナー不純物は、シリコンである
請求項2に記載の窒化物半導体装置。
- [請求項4] 前記窒化物半導体装置は、さらに、
前記第1窒化物半導体層と前記第2窒化物半導体層との間に配置され、前記第1窒化物半導体層よりもバンドギャップが大きい、前記第1導電型の第4窒化物半導体層を備える
請求項1～3のいずれか1項に記載の窒化物半導体装置。
- [請求項5] 前記窒化物半導体装置は、さらに、
前記第4窒化物半導体層を貫通し、少なくとも前記第1窒化物半導体層に到達する第1リセスを備え、
前記第2電極は、前記第1リセス内に配置されている
請求項4に記載の窒化物半導体装置。

- [請求項6] 前記第1窒化物半導体層と前記第4窒化物半導体層との界面には、
2次元電子ガスが形成され、
前記第2電極は、前記2次元電子ガスと接触している
請求項5に記載の窒化物半導体装置。
- [請求項7] 前記窒化物半導体装置は、さらに、
前記第1窒化物半導体層と前記第2窒化物半導体層との間に、前記
第1窒化物半導体層側から順に、第5窒化物半導体層、第6窒化物半
導体層、第7窒化物半導体層が積層されており、
前記第5窒化物半導体層のバンドギャップは、前記第1窒化物半導
体層のバンドギャップ以上であり、
前記第6窒化物半導体層のバンドギャップは、前記第5窒化物半導
体層の前記バンドギャップよりも小さく、
前記第7窒化物半導体層のバンドギャップは、前記第1窒化物半導
体層の前記バンドギャップ以上であり、かつ、前記第6窒化物半導
体層の前記バンドギャップよりも大きい
請求項1～3のいずれか1項に記載の窒化物半導体装置。
- [請求項8] 前記第5窒化物半導体層と、前記第7窒化物半導体層とは同じ材料
で構成されている
請求項7に記載の窒化物半導体装置。
- [請求項9] 前記窒化物半導体装置は、さらに、
前記第1窒化物半導体層に形成された第2リセスを備え、
前記第2電極は、前記第2リセス内に形成され、かつ、前記第5窒
化物半導体層、前記第6窒化物半導体層、前記第7窒化物半導体層の
側面に接している
請求項8に記載の窒化物半導体装置。
- [請求項10] 前記第1窒化物半導体層と前記第5窒化物半導体層との界面には、
2次元電子ガスが形成され、
前記第2電極は、前記2次元電子ガスと接触している

請求項 9 に記載の窒化物半導体装置。

[請求項11] 前記アクセプタ不純物は、炭素又は遷移金属である
請求項 1 ～ 1 0 のいずれか 1 項に記載の窒化物半導体装置。

[請求項12] 前記ゲート電極が複数配置され、
前記複数のゲート電極の間には、前記第 2 電極が配置されている
請求項 1 ～ 1 1 のいずれか 1 項に記載の窒化物半導体装置。

[請求項13] 平面視において、前記ゲート電極は、円形状、多角形状、スリット
状のいずれかである
請求項 1 2 に記載の窒化物半導体装置。

[請求項14] 前記第 2 電極が複数配置され、
前記複数の第 2 電極の間には、前記ゲート電極が配置されている
請求項 1 ～ 1 1 のいずれか 1 項に記載の窒化物半導体装置。

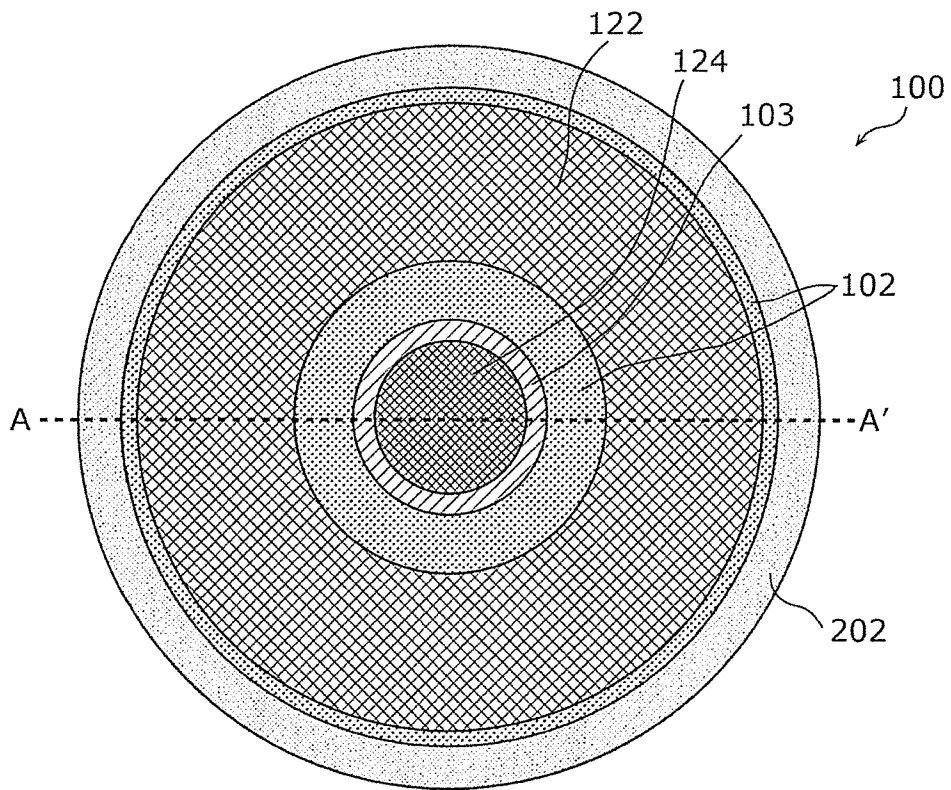
[請求項15] 平面視において、前記第 2 電極は、円形状、多角形状、スリット状
のいずれかである
請求項 1 4 に記載の窒化物半導体装置。

[請求項16] 前記第 1 電極がドレイン電極であり、前記第 2 電極がソース電極で
ある
請求項 1 ～ 1 5 のいずれか 1 項に記載の窒化物半導体装置。

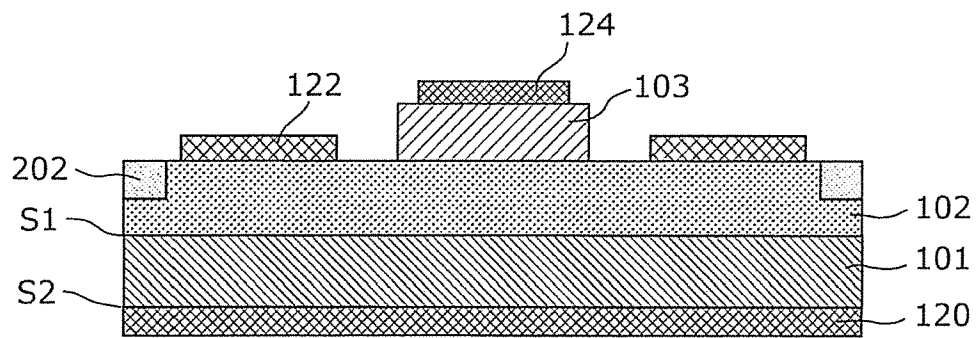
[請求項17] 前記第 1 電極がソース電極であり、前記第 2 電極がドレイン電極で
ある
請求項 1 ～ 1 5 のいずれか 1 項に記載の窒化物半導体装置。

[請求項18] 前記ドレイン電極が、ショットキー電極である
請求項 1 6 または 1 7 に記載の窒化物半導体装置。

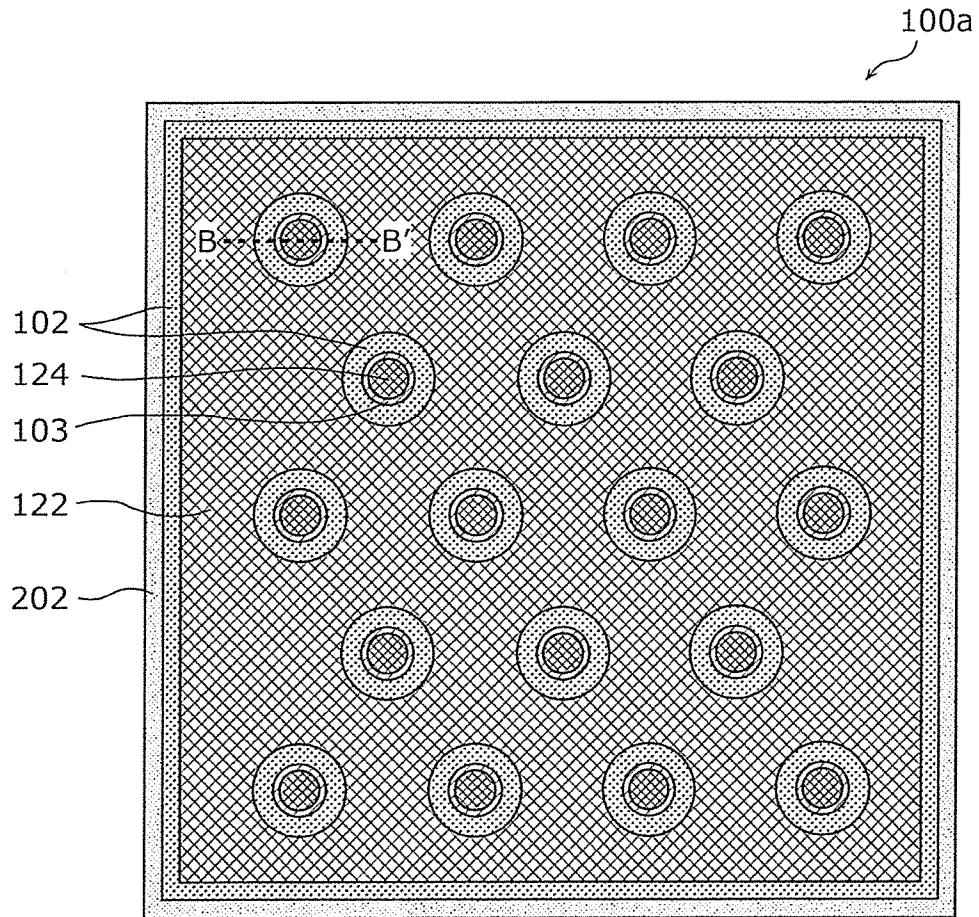
[図1]



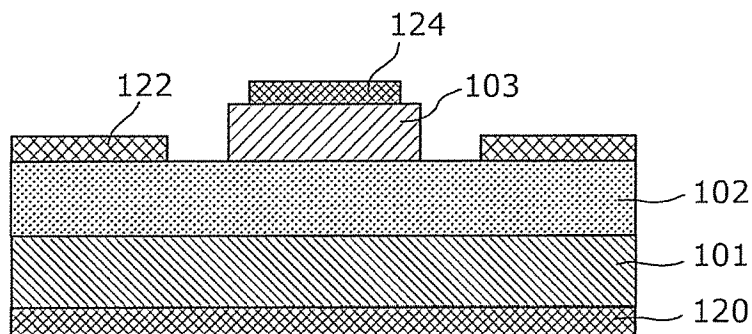
[図2]



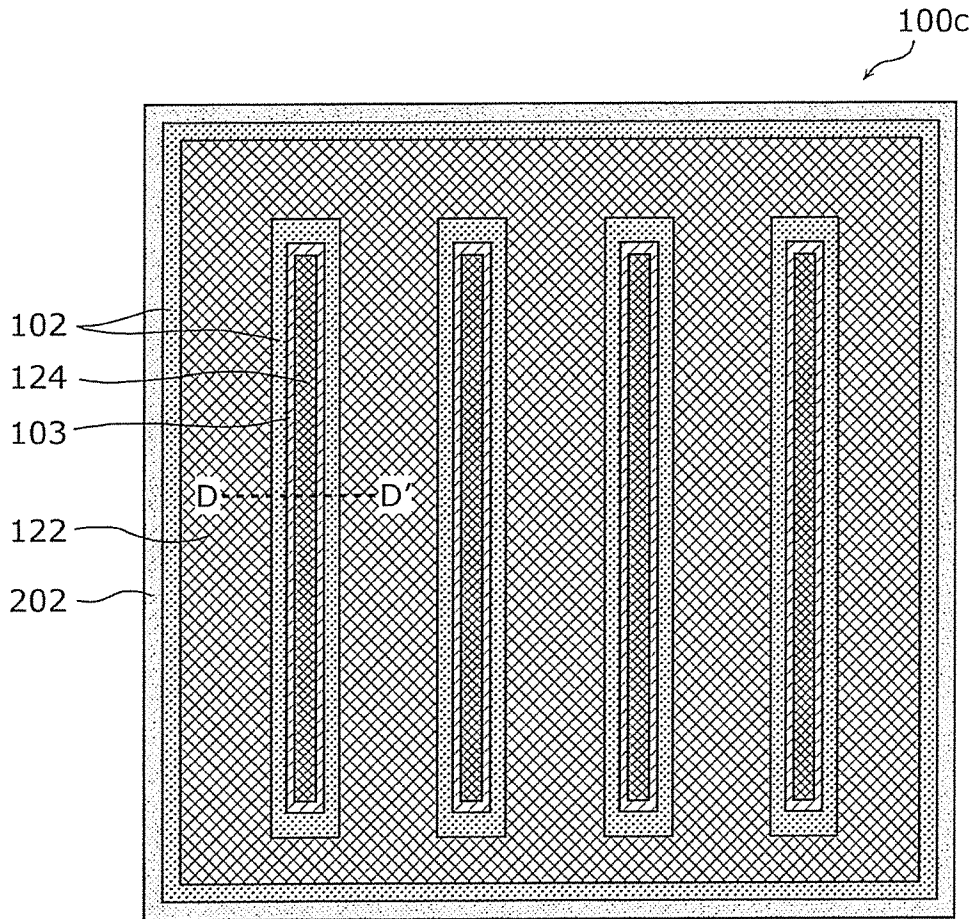
[図3]



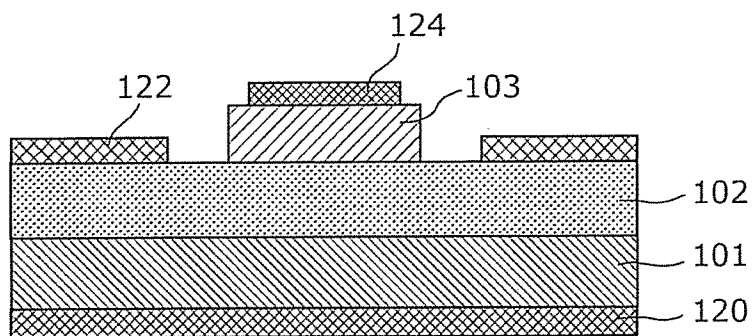
[図4]



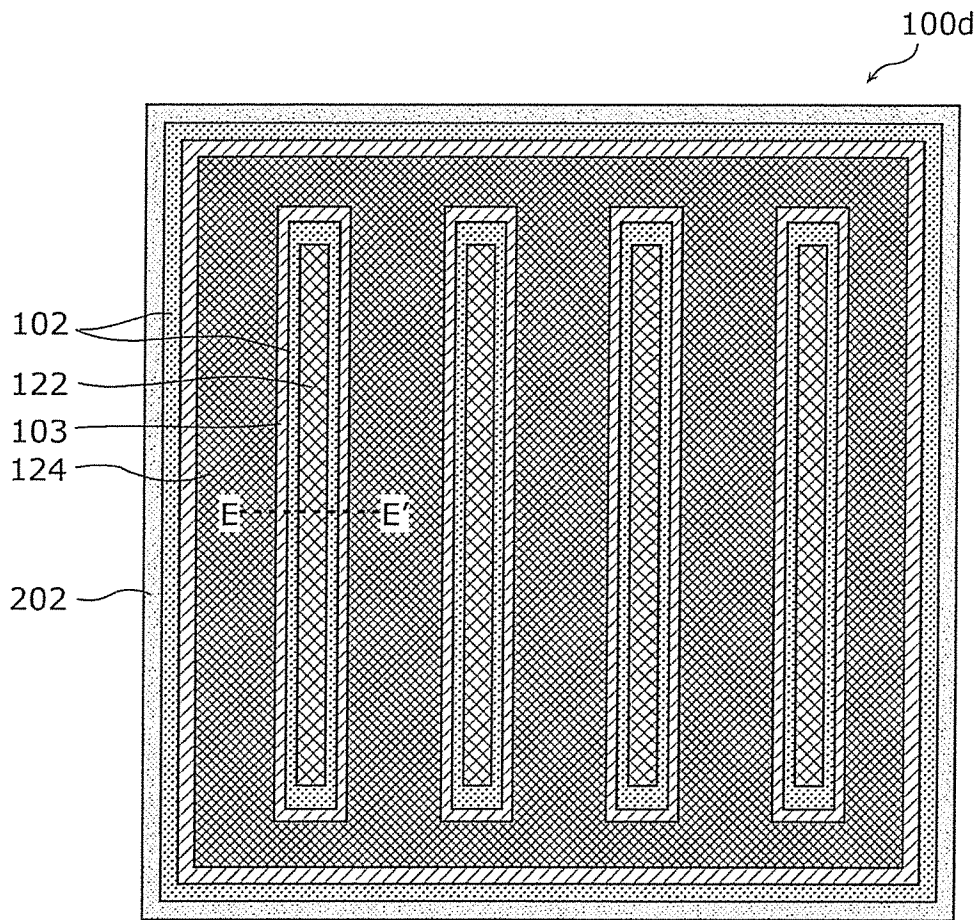
[図7]



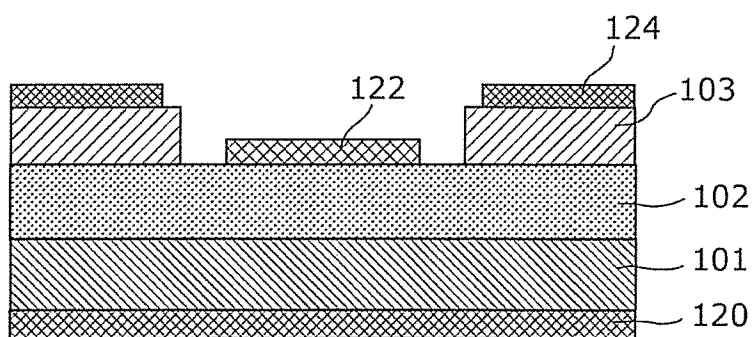
[図8]



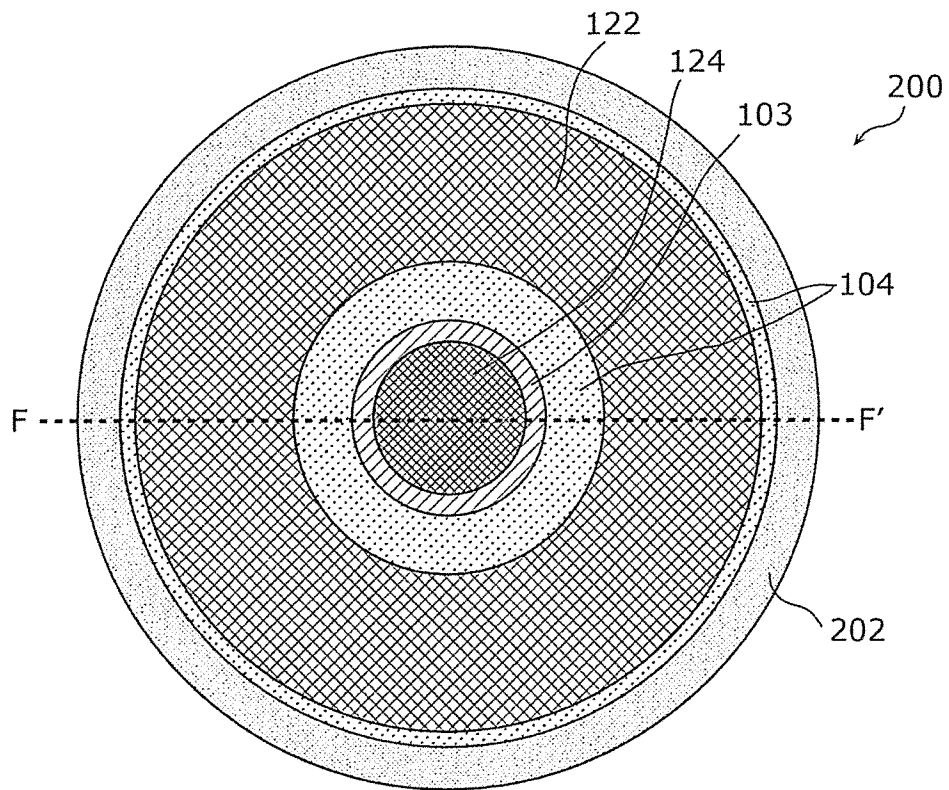
[図9]



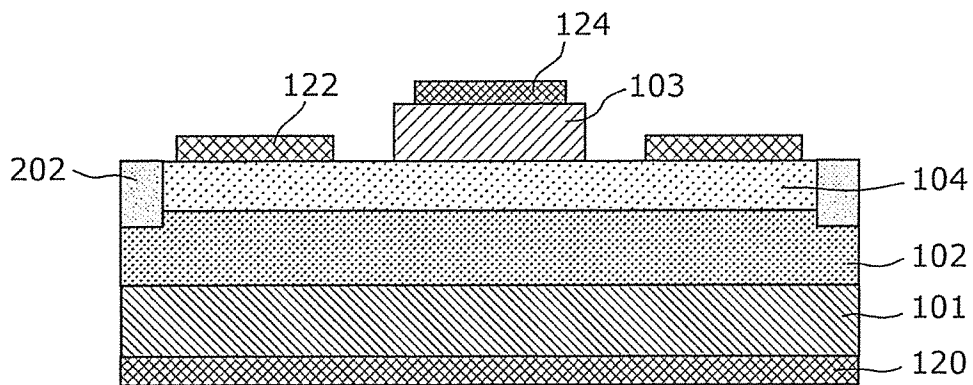
[図10]



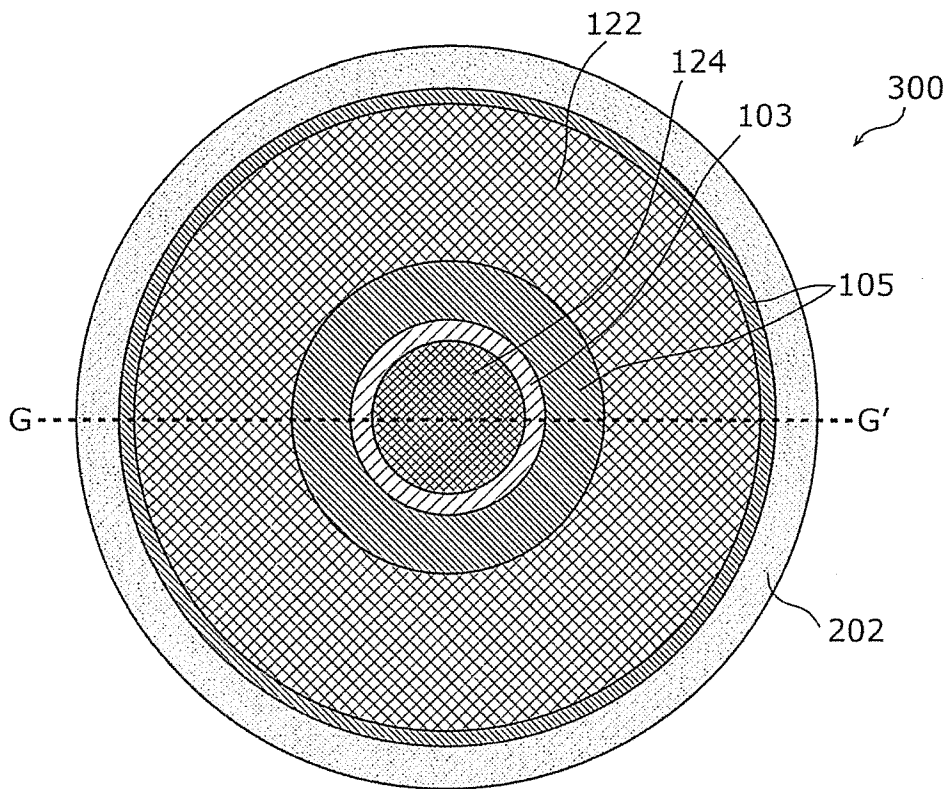
[図11]



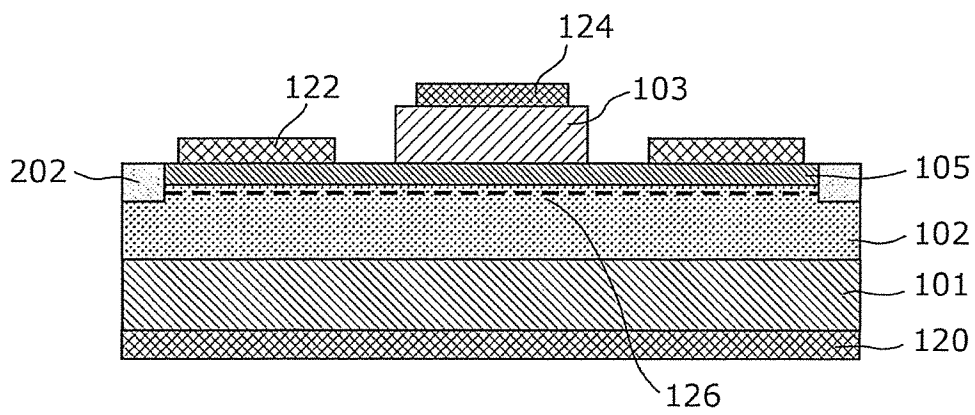
[図12]



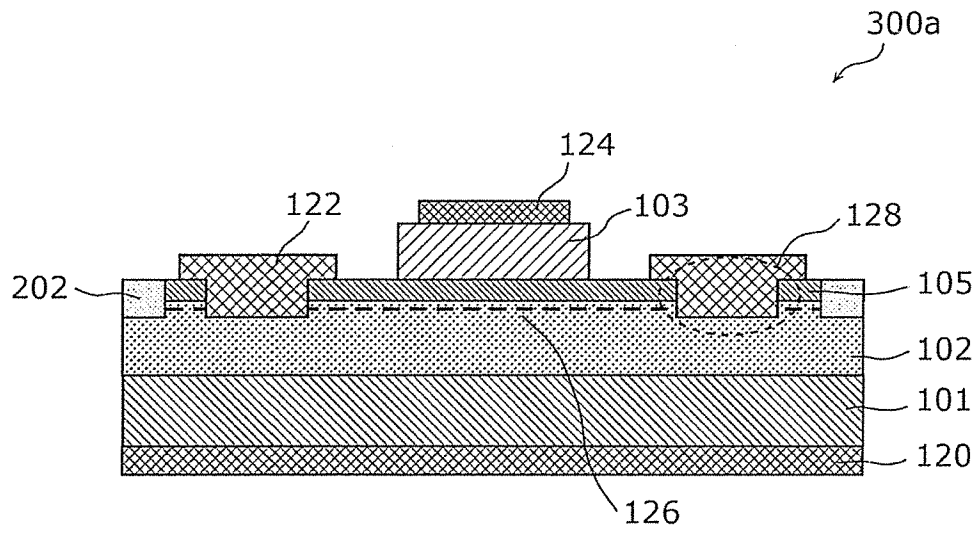
[図13]



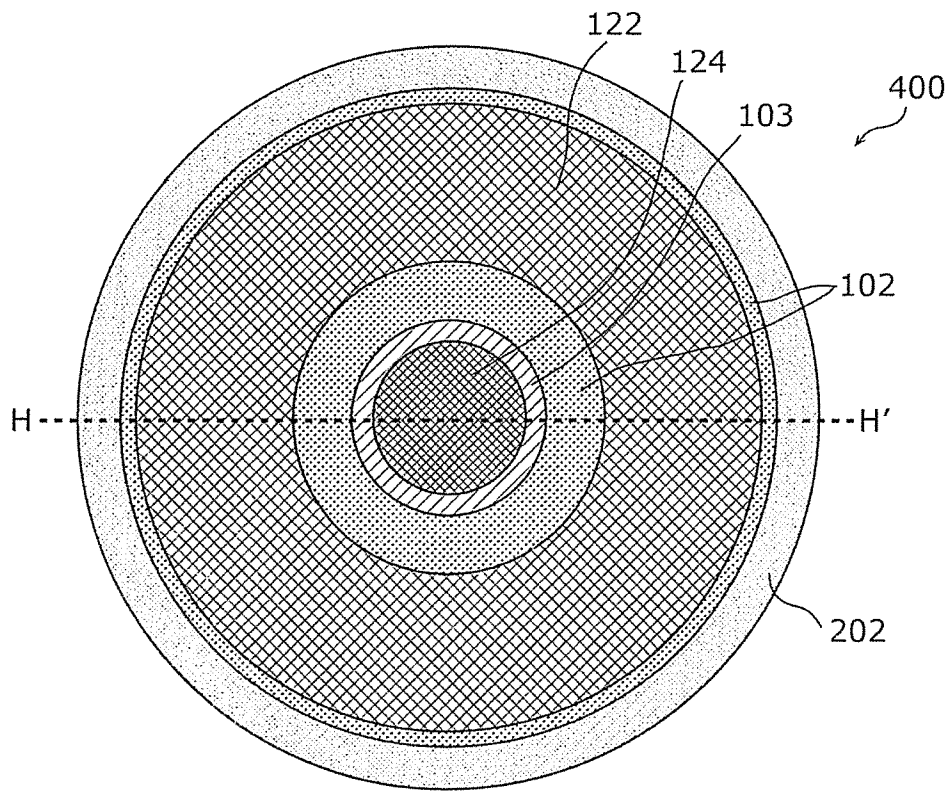
[図14]



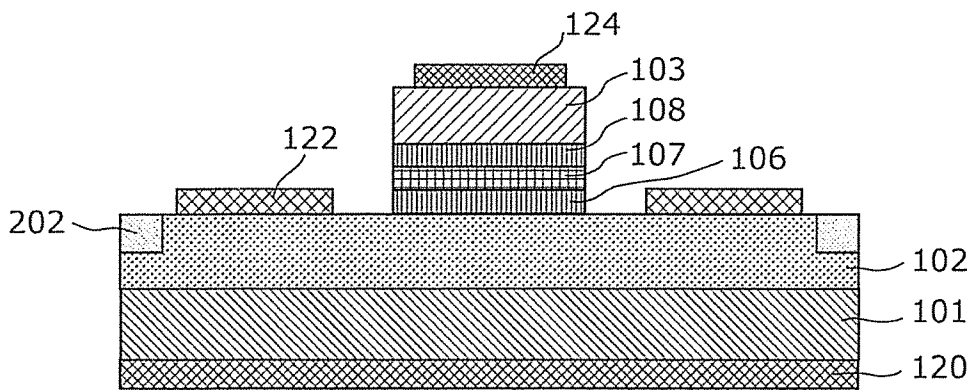
[図15]



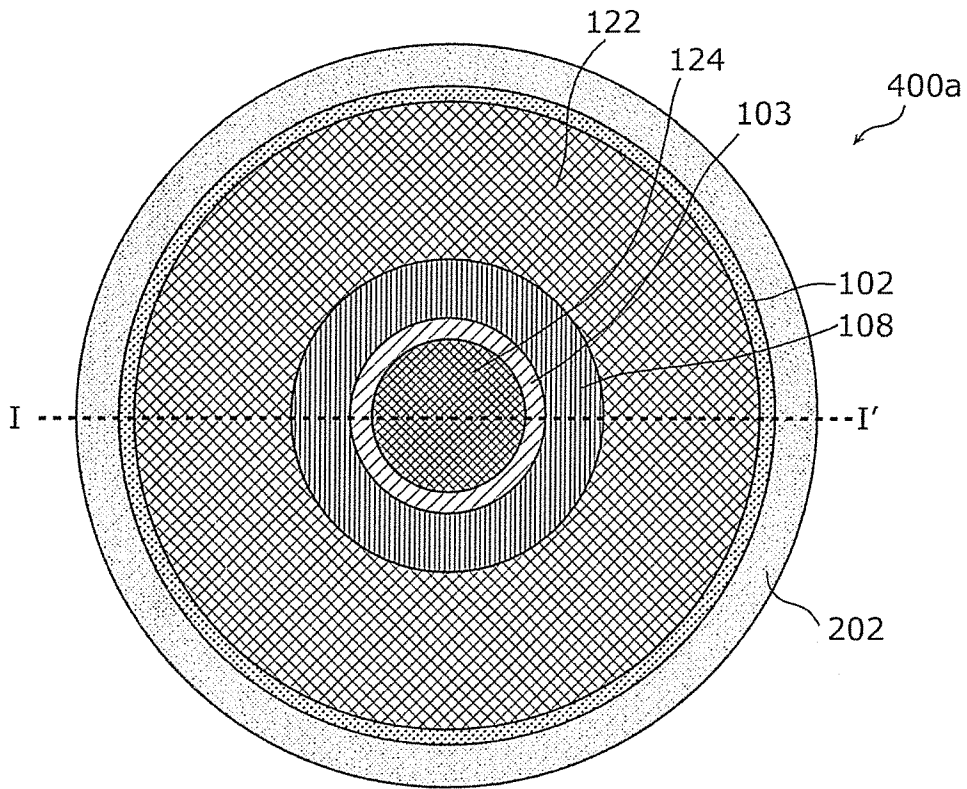
[図16]



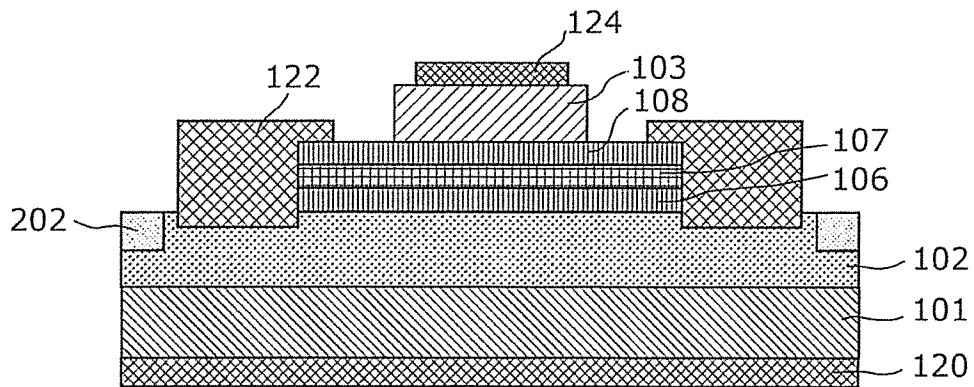
[図17]



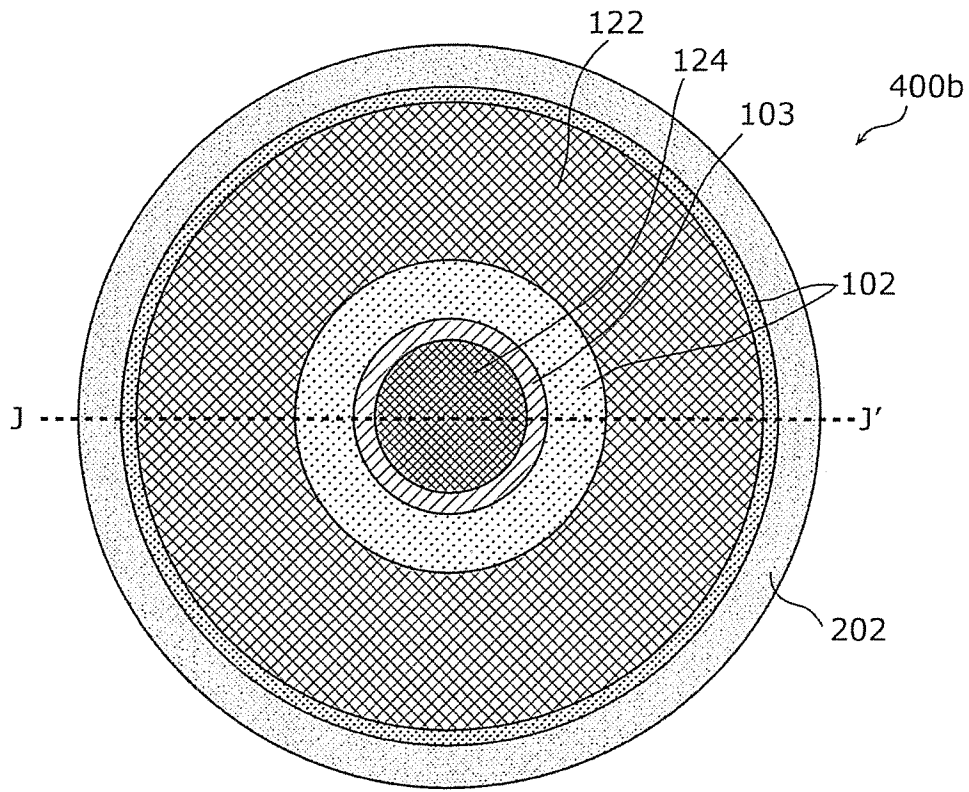
[図18]



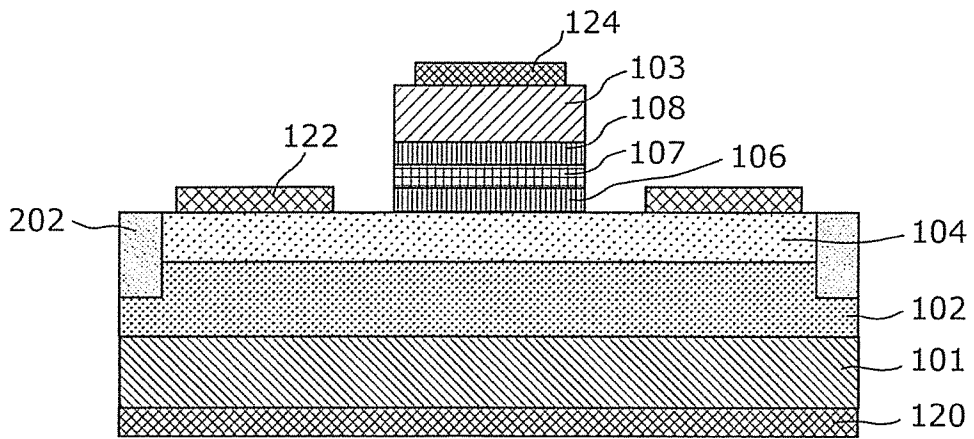
[図19]



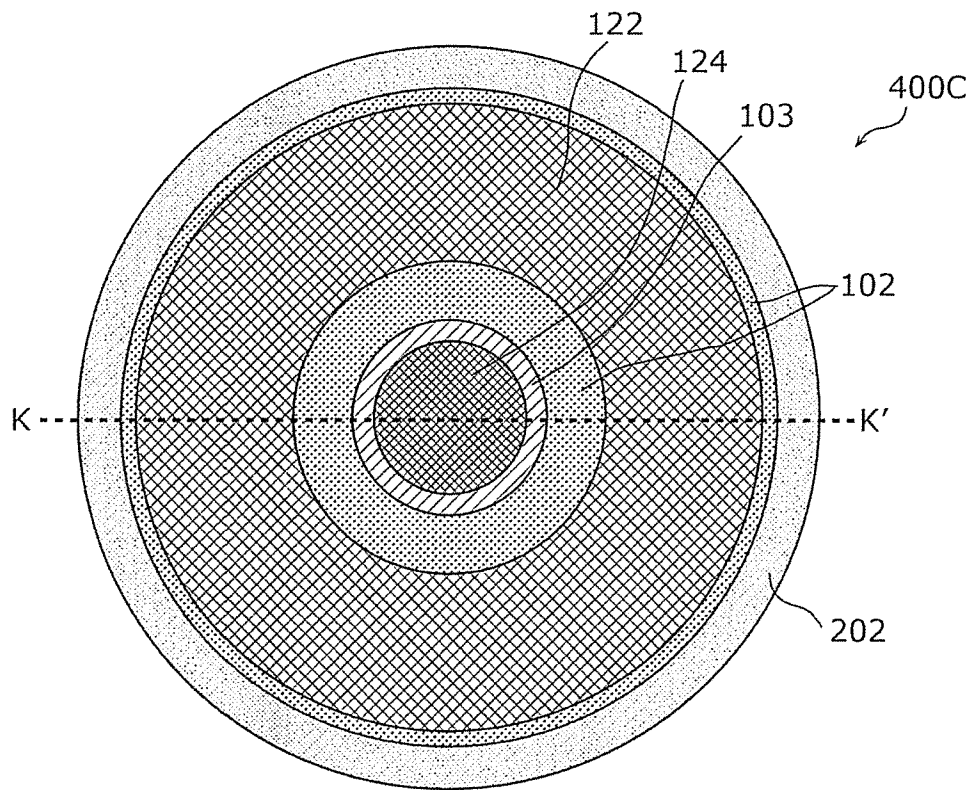
[図20]



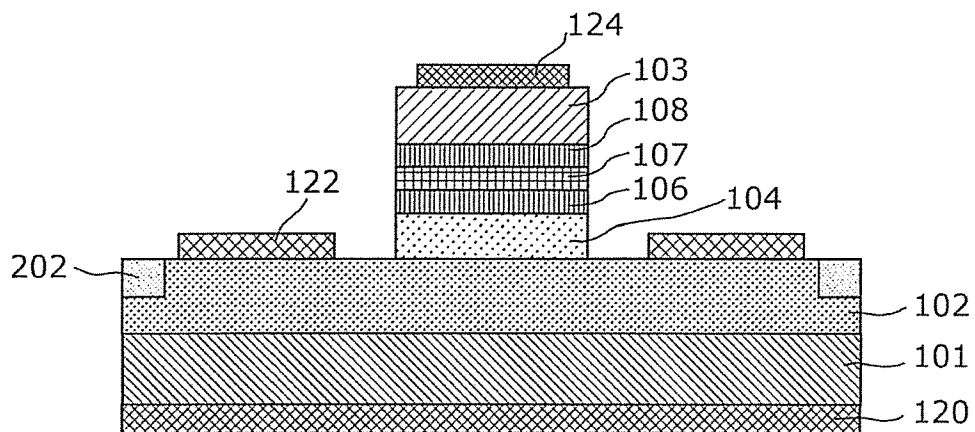
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/000802

A. CLASSIFICATION OF SUBJECT MATTER
 H01L21/337(2006.01)i, H01L21/338(2006.01)i, H01L29/778(2006.01)i,
 H01L29/808(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H01L21/337, H01L21/338, H01L29/778, H01L29/808, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-267881 A (Panasonic Corp.), 25 November 2010 (25.11.2010), paragraphs [0059] to [0068]; fig. 5 (Family: none)	1, 11-18 2-10
Y	JP 2006-186336 A (Matsushita Electric Industrial Co., Ltd.), 13 July 2006 (13.07.2006), paragraphs [0012] to [0016], [0037] to [0057], [0075]; fig. 1 & US 2006/0157804 A1 paragraphs [0014] to [0018], [0039] to [0059], [0091]; fig. 1	1, 11-18

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 11 April 2016 (11.04.16)	Date of mailing of the international search report 19 April 2016 (19.04.16)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/000802

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-006723 A (Toshiba Corp.), 08 January 2004 (08.01.2004), paragraphs [0024] to [0063]; fig. 1 to 3 & US 2003/0178672 A1 paragraphs [0060] to [0101]; fig. 1 to 3	14-18
Y	JP 2010-165896 A (NEC Corp.), 29 July 2010 (29.07.2010), paragraphs [0007] to [0008], [0014] to [0030]; fig. 1 (Family: none)	18

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/337(2006.01)i, H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/808(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/337, H01L21/338, H01L29/778, H01L29/808, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-267881 A（パナソニック株式会社）2010.11.25, 段落 0059-0068, 図5（ファミリーなし）	1, 11-18 2-10
Y	JP 2006-186336 A（松下電器産業株式会社）2006.07.13, 段落 0012-0016, 0037-0057, 0075, 図1 & US 2006/0157804 A1, 段落 0014-0018, 0039-0059, 0091, 図1	1, 11-18

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- | | |
|---|---|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献 | 「&」 同一パテントファミリー文献 |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 | |

国際調査を完了した日

11.04.2016

国際調査報告の発送日

19.04.2016

国際調査機関の名称及びあて先
 日本国特許庁（ISA/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

綿引 隆

5 F

2934

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-006723 A (株式会社東芝) 2004. 01. 08, 段落 0024-0063, 図 1-3 & US 2003/0178672 A1, 段落 0060-0101, 図 1-3	14-18
Y	JP 2010-165896 A (日本電気株式会社) 2010. 07. 29, 段落 0007-0008, 0014-0030, 図 1 (ファミリーなし)	18