

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-138823

(P2017-138823A)

(43) 公開日 平成29年8月10日 (2017.8.10)

(51) Int.Cl. F 1 テーマコード (参考)
G 0 6 F 1 2 / 1 0 (2016.01) G 0 6 F 1 2 / 1 0 5 0 5 B 5 B 0 0 5
 5 B 2 0 5

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願2016-19643 (P2016-19643)
 (22) 出願日 平成28年2月4日 (2016.2.4)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100109380
 弁理士 小西 恵
 (74) 代理人 100109036
 弁理士 永岡 重幸
 (72) 発明者 土屋 有賢
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 Fターム(参考) 5B005 JJ11 MM01 RR05
 5B205 JJ11 MM01 RR05

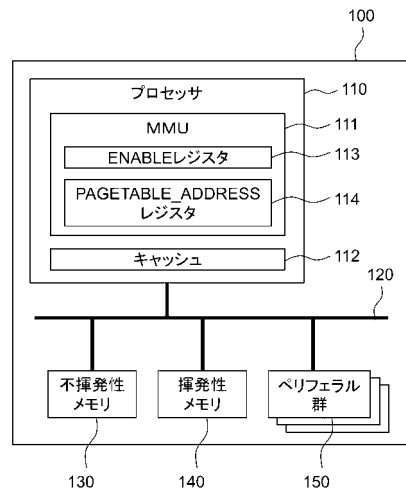
(54) 【発明の名称】 情報処理装置、情報処理方法および撮像装置

(57) 【要約】 (修正有)

【課題】メモリ管理ユニットの有効化に要する処理を削減し、起動時間を短縮する情報処理装置を提供する。

【解決手段】情報処理装置(組み込みコンピュータ)100は、仮想アドレスと物理アドレスとを対応付けるページテーブルが配置された不揮発性メモリ130を備える。また、情報処理装置100は、メモリアクセス要求を受けたメモリ管理ユニット(MMU)111が不揮発性メモリ130に配置されたページテーブルを参照するように、MMU111を設定する設定手段を備える。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

仮想アドレスと物理アドレスとを対応付けるページテーブルが配置された不揮発性メモリと、

メモリアクセス要求を受けたメモリ管理ユニットが前記不揮発性メモリに配置された前記ページテーブルを参照するように、前記メモリ管理ユニットを設定する設定手段と、を備えることを特徴とする情報処理装置。

【請求項 2】

組み込み機器の一部として機能することを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】

前記不揮発性メモリは、NOR型フラッシュメモリであることを特徴とする請求項 1 または 2 に記載の情報処理装置。

【請求項 4】

揮発性メモリと、

前記不揮発性メモリに配置された前記ページテーブルが多段のページテーブルである場合、当該ページテーブルをもとに、前記揮発性メモリにページテーブルを作成する作成手段と、

メモリアクセス要求を受けた前記メモリ管理ユニットが前記揮発性メモリに作成された前記ページテーブルを参照するように、前記設定手段による前記メモリ管理ユニットの設定を変更する変更手段と、をさらに備えることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の情報処理装置。

【請求項 5】

撮像手段と、

請求項 1 から 4 のいずれか 1 項に記載の情報処理装置と、を備えることを特徴とする撮像装置。

【請求項 6】

メモリアクセス要求を受けたメモリ管理ユニットが不揮発性メモリに配置された仮想アドレスと物理アドレスとを対応付けるページテーブルを参照するように、前記メモリ管理ユニットを設定するステップと、

前記メモリ管理ユニットが、前記メモリアクセス要求を受けて、設定された前記ページテーブルを参照するステップと、を含むことを特徴とする情報処理方法。

【請求項 7】

コンピュータを、請求項 1 から 4 のいずれか 1 項に記載の情報処理装置の各手段として機能させるためのプログラム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、情報処理装置、情報処理方法および撮像装置に関する。

【背景技術】**【0002】**

近年、仮想記憶を採用しない組み込みシステム（組み込みコンピュータ）においても、プロセッサの演算性能への要求から、MMU（Memory Management Unit：メモリ管理ユニット）を搭載した高性能プロセッサが用いられている。

MMUは、仮想アドレスから物理アドレスへの変換だけでなく、アクセス権制御、キャッシュ制御などをも担う。そのため、MMUを搭載した組み込みコンピュータでは、たとえ仮想記憶を採用せずとも、アプリケーションプログラムの動作前にMMUを有効化し、メモリアクセス属性を適切に設定する必要がある。しかしながら、MMUを有効化するためには、メモリ上に仮想アドレスと物理アドレスとを対応付けるページテーブルを作成する処理が必要であり、それだけ起動時間が長くなってしまふ。

そこで、起動時間を短縮することを目的として、特許文献 1 には、電源オフ時に揮発性

10

20

30

40

50

メモリ上のページテーブルを不揮発性メモリに保存し、次回の電源オン時に、不揮発性メモリに保存されたページテーブルを揮発性メモリにコピーする技術が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-277160号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ページテーブルをコピーする処理は、ページテーブルを作成する処理と比べて短時間で完了することができる。そのため、上記特許文献1に記載の技術では、システム起動時にページテーブルを作成してMMUを有効化する場合と比較して、起動時間の短縮が見込まれる。しかしながら、ページテーブルのコピーに要する時間は削減することができず、起動時間の短縮には限界がある。

そこで、本発明は、MMUの有効化に要する処理を削減し、起動時間を短縮することを目的とする。

【課題を解決するための手段】

【0005】

上記課題を解決するために、本発明に係る情報処理装置の一態様は、仮想アドレスと物理アドレスとを対応付けるページテーブルが配置された不揮発性メモリと、メモリアクセス要求を受けたメモリ管理ユニットが前記不揮発性メモリに配置された前記ページテーブルを参照するように、前記メモリ管理ユニットを設定する設定手段と、を備える。

【発明の効果】

【0006】

本発明によれば、MMUの有効化に要する処理を削減し、起動時間を短縮することができる。

【図面の簡単な説明】

【0007】

【図1】本実施形態における情報処理装置のハードウェア構成図である。

【図2】物理アドレスのメモリマップである。

【図3】MMUの動作を説明する図である。

【図4】情報処理装置の動作を説明するフローチャートである。

【図5】ページテーブルの具体的な内容を説明する図である。

【図6】多段のページテーブルの一例である。

【発明を実施するための形態】

【0008】

以下、添付図面を参照して、本発明を実施するための形態について詳細に説明する。なお、以下に説明する実施の形態は、本発明の実現手段としての一例であり、本発明が適用される装置の構成や各種条件によって適宜修正または変更されるべきものであり、本発明は以下の実施の形態に限定されるものではない。

図1は、本実施形態における情報処理装置100のハードウェア構成図である。本実施形態において、情報処理装置100は、組み込み機器の一部として機能する組み込みコンピュータである。組み込み機器としては、デジタルカメラ等の撮像装置がある。情報処理装置100が撮像装置の一部として機能する場合、撮像装置は、CMOSやCCDといった撮像素子を含んで構成される撮像部と、情報処理装置100とを少なくとも備える。

情報処理装置100は、プロセッサ110を備える。プロセッサ110は、バス120を介して不揮発性メモリ130、揮発性メモリ140およびペリフェラル群150と接続されている。

【0009】

不揮発性メモリ130は、例えばNOR型フラッシュメモリにより構成することができ

10

20

30

40

50

る。なお、不揮発性メモリ130は、不揮発性で且つバイト単位でのアクセスが可能であればよい。つまり、不揮発性メモリ130は、バイト単位でのアクセスを可能とするコントローラ等を設ければ、NAND型フラッシュメモリを用いることもできる。また、不揮発性メモリ130は、FeRAM (Ferroelectric RAM) やMRAM (Magnetoresistive RAM) といった不揮発性RAMであってもよい。揮発性メモリ140は、例えばSRAMやDRAMにより構成することができる。

【0010】

プロセッサ110は、MMU111およびキャッシュ112を備える。また、MMU111は、ENABLEレジスタ(以下、「第一のレジスタ」という。)113と、PAGE TABLE__ADDRESSレジスタ(以下、「第二のレジスタ」という。)114と、を備える。第一のレジスタ113は、MMU111の有効/無効を設定する設定レジスタである。例えば、第一のレジスタ113は、MMU111が有効である場合には「1」、無効である場合には「0」を格納する。第二のレジスタ114は、MMU111が参照するデータ構造(ページテーブル)が配置された物理アドレスを設定する設定レジスタである。

プロセッサ110の仮想アドレス空間およびバス120の物理アドレス空間は、共に4GB(4096MB)とする。MMU111は、プロセッサ110からのメモリアクセス要求を受けて、1MB単位で仮想アドレスから物理アドレスへの変換を行うと共に、その物理アドレスに応じてアクセス属性を決定する。アクセス属性は、物理アドレスへのREADアクセスの可否、WRITEアクセスの可否、命令実行の可否、キャッシュの可否に関する情報を含む。

【0011】

MMU111が無効である場合、仮想アドレスは、変換されずにそのまま物理アドレスとして扱われる。また、プロセッサ110からバス120へのアクセス属性は、READ可、WRITE可、実行可、キャッシュ不可に設定される。一方、MMU111が有効である場合、MMU111は、第二のレジスタ114によって設定されたページテーブルを参照し、参照したページテーブルの内容に基づいて、仮想アドレスから物理アドレスへの変換を行うと共にアクセス属性を決定する。

図2は、プロセッサ110からみたバス120のメモリマップ、すなわち物理アドレスのメモリマップである。物理アドレス「0x0000__0000」から「0x3FFF__FFFF」までの1GB空間に不揮発性メモリ130が、物理アドレス「0x4000__0000」から「0x7FFF__FFFF」までの1GB空間に揮発性メモリ140がマップされている。さらに、物理アドレス「0x8000__0000」から「0xBFFF__FFFF」までの1GB空間にペリフェラル群150がマップされている。

【0012】

また、不揮発性メモリ130の先頭にはブートプログラム131が配置されており、続いてページテーブル132、アプリケーションプログラム133が配置されている。本実施形態では、ページテーブル132は、物理アドレス「0x0000__4000」から「0x0000__7FFF」までの空間に配置されている。したがって、第二のレジスタ114に物理アドレス「0x0000__4000」が設定されていれば、MMU111は、不揮発性メモリ130上のページテーブル132を参照することができる。

図3は、MMU111の動作を説明する図である。ページテーブル132は、仮想アドレスと物理アドレスとを対応付けるものである。上述したように、4GB(4096MB)のアドレス空間が1MBごとのセクションに分割される場合、ページテーブル132は、4096個のページテーブルエントリ(PTE)132aの配列からなる。各PTE132aは、それぞれページフレームの物理アドレスとアクセス属性とを保持する。

【0013】

仮想アドレス0番地を先頭とする1MBの仮想アドレス空間(0x0000__0000~0x000F__FFFF)へのアクセスでは、MMU111は、0番目のPTE(エントリ0)を参照する。エントリ0に保持された物理アドレスが「0x0000__0000

10

20

30

40

50

」である場合、仮想アドレス「 $0 \times 0000_0000$ 」は、そのまま物理アドレス「 $0 \times 0000_0000$ 」に変換される。また、仮想アドレス「 $0 \times 0000_1234$ 」は、そのまま物理アドレス「 $0 \times 0000_1234$ 」に変換される。

また、これらの仮想アドレス0番地を先頭とする1MBの仮想アドレス空間（ $0 \times 0000_0000 \sim 0 \times 000F_FFFF$ ）へのアクセスのアクセス属性は、エントリ0に保持されたアクセス属性（RWXC）に従い決定される。つまり、図3に示す例では、READ可、WRITE可、命令実行可、キャッシュ可となる。

【0014】

同様に、仮想アドレス1MB番地を先頭とする1MBの仮想アドレス空間（ $0 \times 0010_0000 \sim 0 \times 001F_FFFF$ ）へのアクセスでは、1番目のページPTE（エントリ1）が参照される。そして、仮想アドレス4095MB番地を先頭とする1MBの仮想アドレス空間（ $0 \times FFF0_0000 \sim 0 \times FFFF_FFFF$ ）へのアクセスでは、4095番目のPTE（エントリ4095）が参照される。

10

なお、本実施形態では、ページテーブル132は、全てのPTE132aにおいて、仮想アドレスと物理アドレスとを一致させている。しかしながら、例えばエントリ0に保持された物理アドレスが「 $0 \times 0010_0000$ 」である場合には、仮想アドレス「 $0 \times 0000_0000$ 」は物理アドレス「 $0 \times 0010_0000$ 」に変換される。また、仮想アドレス「 $0 \times 0000_1234$ 」は物理アドレス「 $0 \times 0000_1234$ 」に変換される。このように、仮想アドレスのうち、上位はMMU111により変換され、下位は無変換となる。

20

【0015】

次に、情報処理装置100においてアプリケーションプログラム133が実行されるまでの処理の流れについて、図4を参照しながら説明する。情報処理装置100は、プロセッサ110が必要なプログラムを読み出して実行することにより、図4に示す各処理を実現することができる。この図4の処理は、システム起動時、つまり情報処理装置100の電源投入時に実行が開始される。

まずS1において、プロセッサ110は、不揮発性メモリ130に配置されたブートプログラム131を読み出し、実行を開始する。この時点では、MMU111の第一のレジスタ113は「0」、すなわちMMU111は無効となっている。この状態で、プロセッサ110は、MMU111の第二のレジスタ114にページテーブル132の物理アドレスである「 $0 \times 0000_4000$ 」を設定する。

30

【0016】

次にS2において、プロセッサ110は、MMU111の第一のレジスタ113に「1」を設定する。つまり、MMU111を有効とする。そして、S3では、プロセッサ110は、アプリケーションプログラム133の先頭アドレスである「 $0 \times 0000_8000$ 」にジャンプすることでアプリケーションプログラム133の実行を開始する。S2においてMMU111が有効となっているため、MMU111は、メモリアクセス要求を受けて、第二のレジスタ114に設定されたページテーブル132を参照することができ、アプリケーションプログラム133を適切に実行することができる。また、アプリケーションプログラム113の実行においては、MMU111は、ページテーブル132の内容に基づき仮想アドレスから物理アドレスへの変換やアクセス権制御が可能となる。

40

図5は、ページテーブル132の具体的な内容を示す図である。本実施形態では、ページテーブル132は、上述したように、全てのPTE132aにおいて仮想アドレスと物理アドレスを一致させている。

【0017】

そして、0番目から1023番目のPTE（仮想アドレス＝物理アドレス「 $0 \times 0000_0000$ 」～「 $0 \times 3FFF_FFFF$ 」、不揮発性メモリ130に対応）のアクセス属性は、READ、WRITE、命令実行、キャッシュ全て可である。また、1024番目から2047番目のPTE（仮想アドレス＝物理アドレス「 $0 \times 4000_0000$ 」～「 $0 \times 7FFF_FFFF$ 」、揮発性メモリ140に対応）のアクセス属性は、RE

50

A D可、W R I T E可、命令実行不可、キャッシュ可である。

また、2048番目から3071番目のP T E（仮想アドレス = 物理アドレス「0 x 8000__0000」～「0 x B F F F__F F F F」、ペリフェラル群150に対応）のアクセス属性は、R E A D可、W R I T E可、命令実行不可、キャッシュ不可である。さらに、3072番目から4095番目のP T E（仮想アドレス = 物理アドレス「0 x C 0 0 0__0000」～「0 x F F F F__F F F F」、未使用領域に対応）のアクセス属性は、R E A D、W R I T E、命令実行、キャッシュ全て不可である。

この図5に示すページテーブル132により、不揮発性メモリ130および揮発性メモリ140へのアクセスはキャッシュ可、ペリフェラル群150へのアクセスはキャッシュ不可となる。また、未使用領域へのアクセスは不可となる。このように、アプリケーションプログラム133の実行に適したアクセス属性を設定することができる。

10

【0018】

次に、ページテーブル132の作成方法について説明する。

ページテーブル132は、図5に示すように多数のP T E 132 aからなるデータ構造を有するため、コンピュータがプログラムを実行することで作成される。また、本実施形態では、ページテーブル132は、情報処理装置100の不揮発性メモリ130に配置される。これは、予めPC等の汎用コンピュータが、プログラムを実行することでページテーブルを作成し、作成したページテーブルを情報処理装置100の不揮発性メモリ130に配置することで実現され得る。以下、ページテーブル132を作成するためのプログラム（以下、「ページテーブル作成プログラム」という。）の手順について説明する。

20

【0019】

汎用コンピュータは、以下の(1)～(7)の手順を、エントリ番号に対応するカウント値*i* = 0から*i* = 4095について繰り返し実行する。

(1) 汎用コンピュータは、エントリ*i*に対応する仮想アドレス空間の先頭アドレスV A *i*を算出する。具体的には、V A *i* = *i* * 0 x 0010__0000である。

(2) 汎用コンピュータは、エントリ*i*の物理アドレスに、手順(1)において算出したアドレスV A *i*を格納する。

(3) 汎用コンピュータは、アドレスV A *i*が、「0 x 0000__0000」以上「0 x 4000__0000」未満の範囲A内であるか否かを判定する。ここで、範囲Aとは、図3に示すように、不揮発性メモリ130がマップされた空間である。そして、汎用コンピュータは、アドレスV A *i*が範囲A内であると判定すると、エントリ*i*のアクセス属性に「R W X C (R E A D、W R I T E、命令実行、キャッシュ全て可)」を格納し、手順(7)に進む。一方、汎用コンピュータは、アドレスV A *i*が範囲A内ではないと判定すると、手順(4)に進む。

30

【0020】

(4) 汎用コンピュータは、アドレスV A *i*が、「0 x 4000__0000」以上「0 x 8000__0000」未満の範囲B内であるか否かを判定する。ここで、範囲Bとは、図3に示すように、揮発性メモリ140がマップされた空間である。そして、汎用コンピュータは、アドレスV A *i*が範囲B内であると判定すると、エントリ*i*のアクセス属性に「R W - C (R E A D可、W R I T E可、命令実行不可、キャッシュ可)」を格納し、手順(7)に進む。一方、汎用コンピュータは、アドレスV A *i*が範囲B内ではないと判定すると、手順(5)に進む。

40

(5) 汎用コンピュータは、アドレスV A *i*が、「0 x 8000__0000」以上「0 x C 0 0 0__0000」未満の範囲C内であるか否かを判定する。ここで、範囲Cとは、図3に示すように、ペリフェラル群150がマップされた空間である。そして、汎用コンピュータは、アドレスV A *i*が範囲C内であると判定すると、エントリ*i*のアクセス属性に「R W - - (R E A D可、W R I T E可、命令実行不可、キャッシュ不可)」を格納し、手順(7)に進む。一方、汎用コンピュータは、アドレスV A *i*が範囲C内ではないと判定すると、手順(6)に進む

【0021】

50

(6) 汎用コンピュータは、エントリ i のアクセス属性に「 - - - - (R E A D、 W R I T E、命令実行、キャッシュ全て不可) 」を格納し、手順(7)に進む。

(7) 汎用コンピュータは、エントリ i の設定を完了する。

汎用コンピュータは、エントリ 0 からエントリ 4 0 9 5 までの設定を完了すると、4 0 9 6 個の P T E 1 3 2 a からなるページテーブル 1 3 2 を、情報処理装置 1 0 0 の不揮発性メモリ 1 3 0 に配置し、ページテーブル作成処理を終了する。

以上のように、MMUは、プロセッサが発行するメモリアクセス要求を処理するハードウェアであり、仮想アドレスから物理アドレスへの変換、アクセス権制御、キャッシュ制御などの機能を持つ。また、MMUは、メモリ上に配置されたページテーブルを参照して上記の動作を実現する。

10

【0022】

MMUの代表的な利用方法に仮想記憶がある。仮想記憶は、ソフトウェアによるメモリ管理の一手法であり、ページテーブルの内容を適切に変更することで、不連続な物理メモリ領域を連続な仮想メモリ領域として扱うことを可能とする。Windows(登録商標)やLinux(登録商標)といった汎用コンピュータ向けオペレーティングシステム(OS)の多くが仮想記憶を採用しており、これらのOSはMMUを搭載したプロセッサと合わせて用いられる。近年では、組み込みコンピュータに汎用コンピュータ向けOSを搭載する事例も多く、組み込みコンピュータ向けプロセッサでも、特に高性能なプロセッサを中心に、MMUを搭載することが一般的になっている。

MMUは、仮想アドレスから物理アドレスへの変換だけでなく、アクセス権制御、キャッシュ制御などをも担うため、たとえ仮想記憶を採用せずとも、MMUを適切な設定で有効化する必要がある。しかしながら、MMUを有効化するためには、メモリ上にページテーブルを作成する処理と、作成されたページテーブルを参照するようMMUを設定する処理とが必要である。

20

【0023】

不揮発性メモリ130にページテーブル132を配置しない従来手法では、ページテーブル作成プログラムは、ブートプログラム131に組み込まれて実行されることになる。具体的には、ブートプログラム131の動作を説明した図4のフローチャートにおいて、S1の前にページテーブル作成プログラムが実行され、揮発性メモリ140上にページテーブルが作成されることになる。そして、揮発性メモリ140上にページテーブルが作成された後、S1に相当する処理として、第二のレジスタ114に揮発性メモリ140上のページテーブルの物理アドレスを設定することになる。

30

このように、MMUを有効化するまでの間にページテーブルを作成する処理が必要となると、それだけ起動時間が長くなってしまう。

【0024】

これに対して、本実施形態では、情報処理装置100は、仮想アドレスと物理アドレスとを対応付けるページテーブル132が配置された不揮発性メモリ130を備える。そして、情報処理装置100は、システム起動時に、MMU111がメモリアクセス要求を受けて不揮発性メモリ130に配置されたページテーブル132を参照するように、MMU111を設定する。具体的には、情報処理装置100は、第二のレジスタ114に不揮発性メモリ130上のページテーブル132の物理アドレスを設定することで、MMU111が不揮発性メモリ130に配置されたページテーブル132を参照するようにする。

40

このように、情報処理装置100は、システム起動時にレジスタ設定するだけで、MMU111を有効化することができる。つまり、情報処理装置100は、メモリ上にページテーブルを作成する処理を実施することなくMMU111を有効化することができる。したがって、上記従来手法と比較して、アプリケーションプログラム133の開始までに要する時間を短縮することができる。本実施形態における情報処理装置100は、組み込み機器の一部として機能することができるため、上記組み込み機器が撮像装置である場合、電源投入から撮像開始までの時間を短縮し、起動の早い撮像装置を実現することができる。

50

【 0 0 2 5 】

また、不揮発性メモリ 1 3 0 は、N O R 型フラッシュメモリにより構成することができる。この場合、別途コントローラ等を設けることなくバイト単位でのアクセスを高速で行うことが可能であるため、容易且つ適切に M M U 1 1 1 を動作させることができる。

さらに、情報処理装置 1 0 0 は、揮発性メモリ 1 4 0 を備えており、M M U 1 1 1 を有効化した後、不揮発性メモリ 1 3 0 に配置されたページテーブル 1 3 2 をもとに、揮発性メモリ 1 4 0 にページテーブルを作成してもよい。このとき、情報処理装置 1 0 0 は、M M U 1 1 1 が揮発性メモリ 1 4 0 に配置されたページテーブルを参照するように、M M U 1 1 1 の設定を変更する。つまり、情報処理装置 1 0 0 は、M M U 1 1 1 を有効化した後、不揮発性メモリ 1 3 0 に配置したページテーブル 1 3 2 を揮発性メモリ 1 4 0 にコピーし、第二のレジスタ 1 1 4 に、揮発性メモリ 1 4 0 上のページテーブルの物理アドレスを設定する。このように、揮発性メモリ 1 4 0 にページテーブルが配置されることにより、ページテーブルの内容の書き換えを高速で行うことが可能となり、M M U 1 1 1 をより適切に動作させることができるようになる。

10

【 0 0 2 6 】

ところで、ページテーブルは、図 5 に示すような 1 段のページテーブルであるとメモリ容量が大きくなるため、多段のページテーブルが用いられることがある。図 6 に 2 段のページテーブルの例を示す。

図 6 (a) に示すように、ページテーブル 1 3 2 が、複数のページディレクトリエントリ (P D E) の配列からなるページディレクトリテーブル 1 3 2 D と、複数の P T E の配列からなるページテーブル 1 3 2 E とによって構成されているものとする。この場合、システム起動時、第二のレジスタ 1 1 4 には、不揮発性メモリ 1 3 0 上のページディレクトリテーブル 1 3 2 D の物理アドレスが設定される。ここで、ページディレクトリテーブル 1 3 2 D の物理アドレスは「 A D D R 1 」とする。また、ページディレクトリテーブル 1 3 2 D の P D E には、ページテーブル 1 3 2 E の物理アドレスが格納されている。ここで、ページテーブル 1 3 2 E の物理アドレスは「 A D D R 2 」とする。

20

【 0 0 2 7 】

情報処理装置 1 0 0 は、M M U 1 1 1 を有効化した後、図 6 (a) に示すような多段のページテーブル 1 3 2 をもとに揮発性メモリ 1 4 0 上にページテーブルを作成する場合、以下の処理を行う。

30

まず、情報処理装置 1 0 0 は、不揮発性メモリ 1 3 0 上のページテーブル 1 3 2 を、図 6 (b) に示すように、揮発性メモリ 1 4 0 上のページテーブル 1 4 2 としてコピーする。このとき、ページディレクトリテーブル 1 3 2 D はページディレクトリテーブル 1 4 2 D、ページテーブル 1 3 2 E はページテーブル 1 4 2 E としてコピーされる。

次に、情報処理装置 1 0 0 は、ページディレクトリテーブル 1 4 2 D の P D E に格納されている物理アドレスを、不揮発性メモリ 1 3 0 上の物理アドレス「 A D D R 2 」から揮発性メモリ 1 4 0 上の物理アドレスへ書き換える。図 6 (b) において、揮発性メモリ 1 4 0 上のページテーブル 1 4 2 E の物理アドレスは「 A D D R 4 」としている。このようにして、情報処理装置 1 0 0 は、不揮発性メモリ 1 3 0 上のページテーブル 1 3 2 をもとに、揮発性メモリ 1 4 0 上にページテーブル 1 4 2 を作成する。

40

【 0 0 2 8 】

また、情報処理装置 1 0 0 は、第二のレジスタ 1 1 4 に設定されている不揮発性メモリ 1 3 0 上のページディレクトリテーブル 1 3 2 D の物理アドレス「 A D D R 1 」を、揮発性メモリ 1 4 0 上のページディレクトリテーブル 1 4 2 D の物理アドレスへ変更する。図 6 (b) において、揮発性メモリ 1 4 0 上のページディレクトリテーブル 1 4 2 D の物理アドレスは「 A D D R 3 」としている。このようにして、情報処理装置 1 0 0 は、M M U 1 1 1 がメモリアクセス要求を受けて揮発性メモリ 1 4 0 に配置されたページテーブル 1 4 2 を参照するように、M M U 1 1 1 の設定を変更する。

このように、ページテーブル 1 3 2 が多段のページテーブルである場合、整合をとりつつページテーブル 1 3 2 を揮発性メモリ 1 4 0 にコピーする。これにより、M M U 1 1 1

50

は、揮発性メモリ 140 上のページテーブル 142 を参照して適切に動作することができるようになる。なお、揮発性メモリ 140 上へのページテーブルの作成タイミングは、MMU 111 が有効化した後、ページテーブルの内容の書き換えが必要となったタイミングであってもよいし、システム起動後、予め設定した所定時間が経過したタイミングであってもよい。

【0029】

(その他の実施形態)

本発明は、上述の実施形態の1以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける1つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1以上の機能を実現する回路(例えば、ASIC)によっても実現可能である。

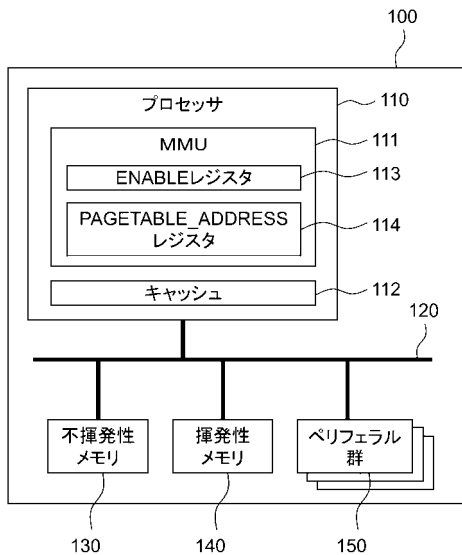
10

【符号の説明】

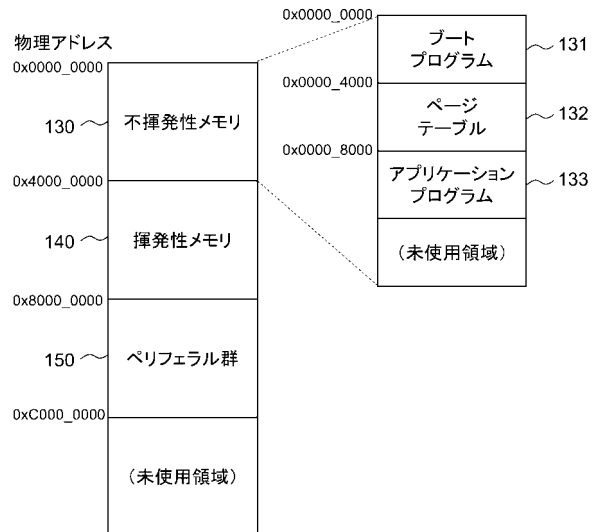
【0030】

100... 情報処理装置(組み込みコンピュータ)、110... プロセッサ、111... MMU、112... キャッシュ、113... ENABLEレジスタ(第一のレジスタ)、114... PAGETABLE_ADDRESSレジスタ(第二のレジスタ)、130... 不揮発性メモリ、140... 揮発性メモリ

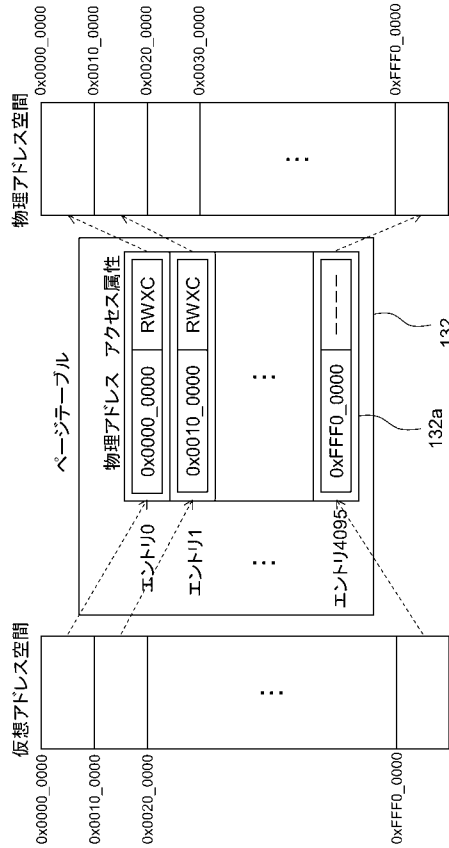
【図1】



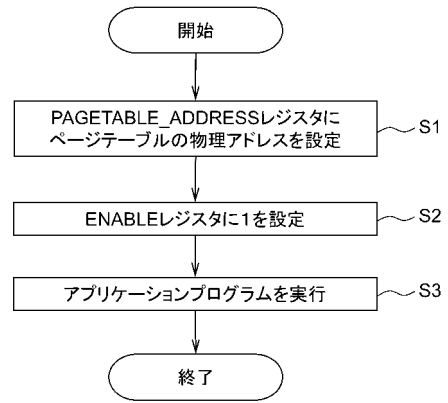
【図2】



【 図 3 】



【 図 4 】



【 図 5 】

	物理アドレス	アクセス属性
エントリ0	0x0000_0000	RWXC
⋮	⋮	⋮
エントリ1023	0x3FF0_0000	RWXC
エントリ1024	0x4000_0000	RW-C
⋮	⋮	⋮
エントリ2047	0x7FF0_0000	RW-C
エントリ2048	0x8000_0000	RW--
⋮	⋮	⋮
エントリ3071	0xBFF0_0000	RW--
エントリ3072	0xC000_0000	----
⋮	⋮	⋮
エントリ4095	0xFFFF_0000	----

【 図 6 】

