

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6115394号
(P6115394)

(45) 発行日 平成29年4月19日 (2017. 4. 19)

(24) 登録日 平成29年3月31日 (2017. 3. 31)

(51) Int. Cl.

F I

G 0 6 F 9/38 (2006. 01)

G 0 6 F 9/52 (2006. 01)

G 0 6 F 9/38 3 1 0 F

G 0 6 F 9/46 4 7 5 A

G 0 6 F 9/38 3 8 0 X

G 0 6 F 9/38 3 5 0 A

請求項の数 4 (全 9 頁)

(21) 出願番号 特願2013-168216 (P2013-168216)
 (22) 出願日 平成25年8月13日 (2013. 8. 13)
 (65) 公開番号 特開2015-36889 (P2015-36889A)
 (43) 公開日 平成27年2月23日 (2015. 2. 23)
 審査請求日 平成28年5月10日 (2016. 5. 10)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 木村 啓昭
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 清木 泰

最終頁に続く

(54) 【発明の名称】 演算処理装置及び演算処理装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

デコードされたメモリアクセス命令をアウトオブオーダーで実行する命令制御部と、
 データを保持するキャッシュメモリ部と、

前記命令制御部の命令実行により前記キャッシュメモリ部へのアクセスが完了したメモリアクセス命令が、前記キャッシュメモリ部に対するアクセスの順序変更ができないシリアルライズ命令である場合、前記シリアルライズ命令に後続する後続メモリアクセス命令による前記キャッシュメモリ部へのアクセス処理が既に完了しているかを判定し、前記後続メモリアクセス命令による前記キャッシュメモリ部へのアクセス処理が既に完了しているとき、前記後続メモリアクセス命令の再実行を前記命令制御部に要求する判定部と

10

【請求項 2】

前記判定部は、

前記命令制御部の命令実行により前記キャッシュメモリ部へのアクセスが完了したメモリアクセス命令がストア命令である場合、前記ストア命令に後続する後続メモリアクセス命令により前記キャッシュメモリ部へのアクセス処理が既に完了しているかを判定し、前記後続メモリアクセス命令による前記キャッシュメモリ部へのアクセス処理が既に完了しており、かつ、前記ストア命令のアクセス対象アドレスと前記後続メモリアクセス命令のアクセス対象アドレスとが一致している場合、前記後続メモリアクセス命令の再実行を前記命令制御部に要求することを特徴とする請求項 1 記載の演算処理装置。

20

【請求項 3】

前記シリアルライズ命令は、

プログラムにおいて自命令に先行する全ての命令の実行完了後、プログラム順で後続するメモリアクセス命令の実行を行うためのメモリバリア命令、又は、前記キャッシュメモリ部に保持されたデータのロード、データ変更及びストアを一命令で実行するためのアトミック命令であることを特徴とする請求項 1 又は 2 記載の演算処理装置。

【請求項 4】

デコードされたメモリアクセス命令をアウトオブオーダーで実行する命令制御部と、データを保持するキャッシュメモリ部とを有する演算処理装置の制御方法において、

前記演算処理装置が有する判定部が、前記命令制御部の命令実行により前記キャッシュメモリ部へのアクセスが完了したメモリアクセス命令が、前記キャッシュメモリ部に対するアクセスの順序変更ができないシリアルライズ命令である場合、前記シリアルライズ命令に後続する後続メモリアクセス命令による前記キャッシュメモリ部へのアクセス処理が既に完了しているかを判定し、

前記後続メモリアクセス命令による前記キャッシュメモリ部へのアクセス処理が既に完了しているとき、前記判定部が、前記後続メモリアクセス命令の再実行を前記命令制御部に要求することを特徴とする演算処理装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、演算処理装置及び演算処理装置の制御方法に関する。

【背景技術】

【0002】

一連の命令の実行単位であるスレッドを制御する命令制御部と、キャッシュメモリを有するキャッシュ制御部とを備え、メモリアクセスを行うストア命令とロード命令とをプログラムに記載された順序に関らず、実行可能な命令から実行を行うアウトオブオーダーにより実行し、スレッドを複数同時に実行する機能を持つ情報処理装置が知られている（例えば、特許文献 1 参照）。判定回路は、あるスレッドによりキャッシュメモリへのストア命令の処理が実行された場合に、先行するロード命令と後続のロード命令とを有する他のスレッドによって、ストア命令の対象アドレスのデータに対する後続のロード命令が先行するロード命令の処理より先に実行され、その後続のロード命令の対象データがストア命令の処理より先に命令制御部に返されたか否かを判定する。命令再実行要求回路は、判定回路により対象データがストア命令の処理より先に命令制御部に返された場合、先行するロード命令を処理するとき、先行するロード命令の次の命令から後続のロード命令までの命令の再実行を命令制御部に要求する。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】国際公開第 2008 / 155829 号

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来技術においては、ストア命令の対象アドレスのデータに対する後続のロード命令が先行するロード命令の処理より先に実行され、その後続のロード命令の対象データがストア命令の処理より先に返された場合に、再実行を要求する。しかし、その他の命令の実行順序変更による不整合を解消できないという課題がある。

【0005】

1 つの側面では、本発明の目的は、アウトオブオーダー実行であっても、メモリへのアクセス順序を保証することができる演算処理装置及び演算処理装置の制御方法を提供することである。

【課題を解決するための手段】

【0006】

演算処理装置は、デコードされたメモリアクセス命令をアウトオブオーダーで実行する命令制御部と、データを保持するキャッシュメモリ部と、前記命令制御部の命令実行により前記キャッシュメモリ部へのアクセスが完了したメモリアクセス命令が、前記キャッシュメモリ部に対するアクセスの順序変更ができないシリアライズ命令である場合、前記シリアライズ命令に後続する後続メモリアクセス命令による前記キャッシュメモリ部へのアクセス処理が既に完了しているかを判定し、前記後続メモリアクセス命令による前記キャッシュメモリ部へのアクセス処理が既に完了しているとき、前記後続メモリアクセス命令の再実行を前記命令制御部に要求する判定部とを有する。

10

【発明の効果】

【0007】

再実行を要求することにより、アウトオブオーダー実行であっても、メモリへのアクセス順序を保証することができる。

【図面の簡単な説明】

【0008】

【図1】図1は、本実施形態による演算処理装置の構成例を示す図である。

【図2】図2は、図1の演算処理装置の制御方法を示すフローチャートである。

【図3】図3は、図1の再実行要求判定回路の構成例を示す図である。

【発明を実施するための形態】

20

【0009】

図1は、本実施形態による演算処理装置の構成例を示す図である。演算処理装置は、命令制御部100及びキャッシュ制御部110を有する。命令制御部100は、命令デコーダ101、リザベーションステーション(RS)102、アドレス生成演算器103及び演算器104を有する。キャッシュ制御部110は、フェッチポートFP、ストアポートSP、セクタ111~113、キャッシュメモリ114、メモリアクセス完了判定回路115及び再実行要求判定回路116を有する。キャッシュメモリ114は、命令及びデータを記憶(保持)する。フェッチポートFPは、フェッチポート番号毎に、有効フラグ、命令の種類、アドレス及び完了フラグを記憶する。ストアポートSPは、ストアポート番号毎に、有効フラグ、アドレス及びストアデータを記憶する。例えば、フェッチポートFPは、数~数十エントリのフェッチポート番号を有する。キャッシュ制御部110は、最古のフェッチポート番号を保持している。

30

【0010】

図2は、図1の演算処理装置の制御方法を示すフローチャートである。まず、ステップS201では、命令制御部100は、キャッシュメモリ114内の命令をフェッチし、フェッチした命令を命令デコーダ101に入力する。次に、ステップS202では、命令制御部100は、命令デコーダ101により、入力された命令をデコードする。次に、ステップS203では、命令制御部100は、リザベーションステーション102、フェッチポートFP及び/又はストアポートSPに空きがあるか否かをチェックする。空きがなければ空きができるまで待機し、空きがあればステップS204に進む。なお、ストアポートSPは、デコードされた命令がストア命令の場合にのみ使用されるポートである。

40

【0011】

ステップS204では、命令制御部100は、リザベーションステーション102、フェッチポートFP及び/又はストアポートSPの割り当てを行い、命令発行する。命令制御部100は、命令発行した命令をリザベーションステーション102に格納する。リザベーションステーション102には、キャッシュメモリ114へのアクセスを行うための命令(ロード命令及びストア命令等)が格納される。その他の命令は、他のリザベーションステーションに格納される。

【0012】

次に、ステップS205では、命令制御部100は、リザベーションステーション10

50

2 に格納されている命令のうちで、実行可能な命令が、プログラム順序で先頭の命令か否かをチェックする。先頭の命令でない場合にはステップ S 2 0 6 へ進み、先頭の命令である場合にはステップ S 2 0 7 へ進む。

【 0 0 1 3 】

ステップ S 2 0 6 では、命令制御部 1 0 0 は、リザーベーションステーション 1 0 2 に格納されている命令のうちで、実行可能な命令に対してプログラム順で前の命令にシリアライズ命令が存在するか否かをチェックする。シリアライズ命令は、キャッシュメモリ 1 1 4 に対するアクセスの順序変更ができない命令であり、メモリバリア命令及びアトミック命令を含む。メモリバリア命令は、プログラムにおいてメモリバリア命令（自己の命令）に先行する全ての命令の実行完了後、プログラム順で後続するメモリアクセス命令の実行を行う命令である。アトミック命令は、キャッシュメモリ 1 1 4 に保持されたデータのロード、データ変更、及びストアを一命令で実行し、アトミック命令内のロード、データ変更、及びストアの処理中には処理途中の状態にアクセスすることができない命令である。

10

【 0 0 1 4 】

ステップ S 2 0 6 において、命令制御部 1 0 0 は、シリアライズ命令が存在する場合には、シリアライズ命令の実行が完了するまで待機し、実行可能な命令に対してプログラム順で前の命令にシリアライズ命令が存在しなくなったら、ステップ S 2 0 7 へ進む。

【 0 0 1 5 】

ステップ S 2 0 7 では、命令制御部 1 0 0 は、上記の実行可能な命令の実行によりキャッシュメモリ 1 1 4 にアクセスするため、アドレス生成演算器 1 0 3 により、キャッシュメモリ 1 1 4 にアクセスするアドレスを生成する。演算器 1 0 4 は、上記の実行可能な命令の実行による演算を行う。命令制御部 1 0 0 は、実行可能な命令を実行することにより、アウトオブオーダー実行を行うことができる。これにより、命令の実行順序は、命令のプログラム順序と異ならせることができ、処理速度を高速化することができる。

20

【 0 0 1 6 】

次に、ステップ S 2 0 8 では、命令制御部 1 0 0 は、キャッシュ制御部 1 1 0 に対して、命令の種類、アドレス及び / 又はストアデータを含むメモリアクセス要求を出力する。なお、ストアデータは、ストア命令の場合にのみ出力される。

【 0 0 1 7 】

次に、ステップ S 2 0 9 では、キャッシュ制御部 1 1 0 は、フェッチポート F P の割り当てられたフェッチポート番号に、命令の種類及びアドレスを書き込み、有効フラグを有効にし、完了フラグを未完了にする。命令の種類がストア命令の場合には、キャッシュ制御部 1 1 0 は、さらに、ストアポート S P の割り当てられたストアポート番号に、アドレス及びストアデータを書き込み、有効フラグを有効にする。

30

【 0 0 1 8 】

次に、ステップ S 2 1 0 では、キャッシュ制御部 1 1 0 は、上記の命令に応じて、キャッシュメモリ 1 1 4 にアクセスする。例えば、上記の命令がロード命令の場合には、セクタ 1 1 1 は、フェッチポート F P の割り当てられたフェッチポート番号の命令の種類及びアドレスを選択して出力する。セクタ 1 1 3 は、セクタ 1 1 1 が出力するアドレスを選択して出力する。キャッシュメモリ 1 1 4 は、セクタ 1 1 3 が出力するアドレスのデータをロードし、命令制御部 1 0 0 に出力する。

40

【 0 0 1 9 】

また、上記の命令がストア命令の場合には、セクタ 1 1 2 は、ストアポート S P の割り当てられたストアポート番号のアドレス及びストアデータを選択して出力する。セクタ 1 1 3 は、セクタ 1 1 2 が出力するアドレスを選択して出力する。キャッシュメモリ 1 1 4 は、セクタ 1 1 3 が出力するアドレスに対して、セクタ 1 1 2 が出力するストアデータをストアする。

【 0 0 2 0 】

次に、ステップ S 2 1 1 では、再実行要求判定回路 1 1 6 は、上記のキャッシュメモリ 1 1 4 へのアクセス処理が完了した命令がストア命令か否かをチェックする。ストア命令

50

である場合にはステップS 2 1 2に進み、ストア命令でない場合にはステップS 2 1 4に進む。

【0021】

ステップS 2 1 2では、再実行要求判定回路116は、上記のストア命令の後続命令によるキャッシュメモリ114へのアクセス処理が既に完了しているか否かをチェックする。上記の後続命令は、フェッチポートFP内において、上記のストア命令に対して、プログラム順で後に位置するすべての命令である。完了している場合にはステップS 2 1 3に進み、完了していない場合にはステップS 2 1 7に進む。

【0022】

ステップS 2 1 3では、再実行要求判定回路116は、上記のストア命令のアクセス対象アドレスと上記の後続命令のアクセス対象アドレスが一致しているか否かをチェックする。アドレスが一致している場合には、キャッシュメモリ114へのアクセス順序を修正するために、ステップS 2 1 6に進む。すなわち、ストア命令の実行が完了する前に、後続命令が同じアドレスにアクセスすると、正しい結果が得られないので、修正が必要になる。これに対し、アドレスが一致していない場合には、ステップS 2 1 7に進む。

【0023】

ステップS 2 1 4では、再実行要求判定回路116は、上記のキャッシュメモリ114へのアクセス処理が完了した命令がシリアルイズ命令か否かをチェックする。シリアルイズ命令である場合にはステップS 2 1 5に進み、シリアルイズ命令でない場合にはステップS 2 1 7に進む。上記のステップS 2 0 6の処理により、シリアルイズ命令の順序制御が行われているので、通常、ステップS 2 1 4において、完了した命令がシリアルイズ命令であると判定されることはない。ただし、演算処理装置の故障等の場合には、ステップS 2 1 4において、完了した命令がシリアルイズ命令であると判定されることがある。

【0024】

ステップS 2 1 5では、再実行要求判定回路116は、上記のシリアルイズ命令の後続命令によるキャッシュメモリ114へのアクセス処理が完了しているか否かをチェックする。上記の後続命令は、フェッチポートFP内において、上記のシリアルイズ命令に対して、プログラム順で後に位置するすべての命令である。アクセス処理が完了している場合には、キャッシュメモリ114へのアクセス順序を修正するために、ステップS 2 1 6に進む。すなわち、シリアルイズ命令の実行が完了する前に、後続命令がアクセスすると、正しい結果が得られないので、修正が必要になる。これに対し、アクセス処理が完了していない場合には、ステップS 2 1 7に進む。

【0025】

ステップS 2 1 6では、再実行要求判定回路116は、上記の後続命令の再実行要求を命令制御部100に出力する。命令制御部100は、再実行要求を入力すると、上記ストア命令又はシリアルイズ命令の完了後に、上記のストア命令又は上記のシリアルイズ命令に対して、プログラム順で後のすべての命令を再実行する。これにより、キャッシュメモリ114に対するアクセス順序を正しい順序にすることができる。その後、ステップS 2 1 7に進む。

【0026】

ステップS 2 1 7では、メモリアクセス完了判定回路115は、メモリアクセス完了報告を命令制御部100に出力し、メモリアクセス完了報告に対応するフェッチポートFPのフェッチポート番号の完了フラグを完了にする。

【0027】

図3は、図1の再実行要求判定回路116の構成例を示す図である。判定回路301は、処理中の命令がストア命令であり(ステップS 2 1 1)、かつフェッチポート番号FPnの有効フラグが1(有効)であり、かつフェッチポート番号FPnの命令がロード命令であり、かつフェッチポート番号FPnの完了フラグが1(完了)である場合(S 2 1 2)に「1」を出力し、それ以外の場合に「0」を出力する。

10

20

30

40

50

【 0 0 2 8 】

アドレス比較回路 3 0 2 は、処理中のアドレス及びフェッチポート番号 F P n のアドレスを比較し（ステップ S 2 1 3 ）、両者が一致している場合には「 1 」を出力し、両者が一致していない場合には「 0 」を出力する。

【 0 0 2 9 】

論理積（AND）回路 3 0 4 は、判定回路 3 0 1 の出力値とアドレス比較回路 3 0 2 の出力値との論理積を出力する。論理積回路 3 0 4 が「 1 」を出力する場合には、図 2 のステップ S 2 1 3 からステップ S 2 1 6 へ進むことを意味する。

【 0 0 3 0 】

判定回路 3 0 3 は、処理中の命令がシリアライズ命令であり（ステップ S 2 1 4 ）、かつフェッチポート番号 F P n の有効フラグが 1（有効）であり、フェッチポート番号 F P n の完了フラグが 1（完了）である場合（ステップ S 2 1 5）には「 1 」を出力し、それ以外の場合には「 0 」を出力する。判定回路 3 0 3 が「 1 」を出力する場合には、図 2 のステップ S 2 1 5 からステップ S 2 1 6 へ進むことを意味する。

【 0 0 3 1 】

論理和（OR）回路 3 0 5 は、論理積回路 3 0 4 の出力値と判定回路 3 0 3 の出力値との論理和を出力する。セクタ 3 0 6 は、論理和回路 3 0 5 の出力値が「 1 」の場合、処理中のフェッチポート番号及び最古のフェッチポート番号を基に、処理中のストア命令又はシリアライズ命令に対してプログラム順で後に位置するすべてのフェッチポート番号を選択し、選択したフェッチポート番号の情報を出力する。論理和回路 3 0 7 は、セクタ 3 0 6 により出力されたすべてのフェッチポート番号の命令の再実行要求を出力する。すなわち、処理中のストア命令又はシリアライズ命令に対してプログラム順で後に位置する複数の命令のうちの 1 つでもアクセス（ロード）処理が完了している場合には、上記の後に位置するすべての命令の再実行要求を出力する。

【 0 0 3 2 】

なお、再実行要求判定回路 1 1 6 は、上記の処理中の命令（の種類）及び処理中のアドレスを図 1 のセクタ 1 1 1 から入力し、上記のフェッチポート番号 F P n の情報を図 1 のフェッチポート F P から入力する。

【 0 0 3 3 】

以上のように、命令制御部 1 0 0 は、命令をデコードし、デコードされた命令をリザベーションステーション 1 0 2 に格納し、リザベーションステーション 1 0 2 に格納された命令をアウトオブオーダーで実行する。ステップ S 2 1 4 では、判定回路 1 1 6 は、命令制御部 1 0 0 の命令実行によりキャッシュメモリ 1 1 4 へのアクセス処理が完了した命令がシリアライズ命令であるか否かをチェックする。シリアライズ命令である場合には、ステップ S 2 1 5 で、判定回路 1 1 6 は、上記のシリアライズ命令の後続命令によるキャッシュメモリ 1 1 4 へのアクセス処理が完了しているか否かをチェックする。アクセス処理が完了している場合には、ステップ S 2 1 6 で、判定回路 1 1 6 は、上記の後続命令の再実行を命令制御部 1 0 0 に要求する。これにより、シリアライズ命令をアウトオブオーダー実行する場合にも、キャッシュメモリ 1 1 4 へのアクセス順序を保証することができる。

【 0 0 3 4 】

また、ステップ S 2 1 1 では、判定回路 1 1 6 は、命令制御部 1 0 0 の命令実行によりキャッシュメモリ 1 1 4 へのアクセス処理が完了した命令がストア命令であるか否かをチェックする。ストア命令である場合には、ステップ S 2 1 2 で、判定回路 1 1 6 は、上記のストア命令の後続命令によるキャッシュメモリ 1 1 4 へのアクセス処理が完了しているか否かをチェックする。完了している場合には、ステップ S 2 1 3 で、判定回路 1 1 6 は、上記のストア命令及び上記の後続命令のキャッシュメモリ 1 1 4 へのアクセスのアドレスが一致しているか否かをチェックする。一致している場合には、ステップ S 2 1 6 で、判定回路 1 1 6 は、上記の後続命令の再実行を命令制御部 1 0 0 に要求する。これにより、ストア命令をアウトオブオーダー実行する場合にも、キャッシュメモリ 1 1 4 へのアク

10

20

30

40

50

セス順序を保証することができる。

【 0 0 3 5 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

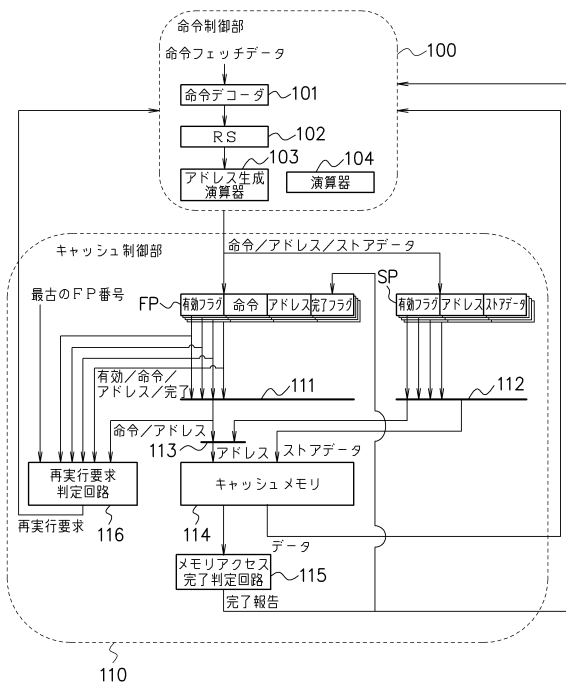
【 符号の説明 】

【 0 0 3 6 】

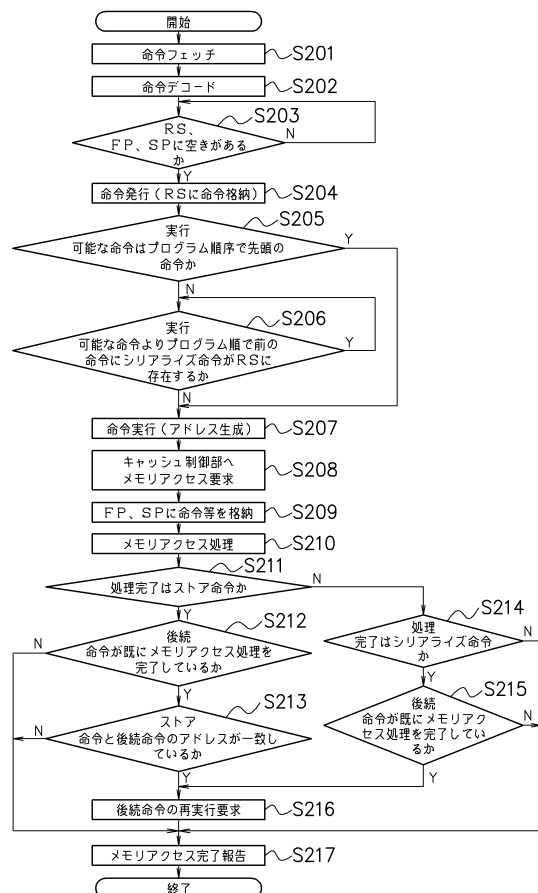
- 1 0 0 命令制御部
- 1 0 1 命令デコーダ
- 1 0 2 リザーベーションステーション
- 1 0 3 アドレス生成演算器
- 1 0 4 演算器
- 1 1 0 キャッシュ制御部
- 1 1 1 ~ 1 1 3 セレクタ
- 1 1 4 キャッシュメモリ
- 1 1 5 メモリアクセス完了判定回路
- 1 1 6 再実行要求判定回路

10

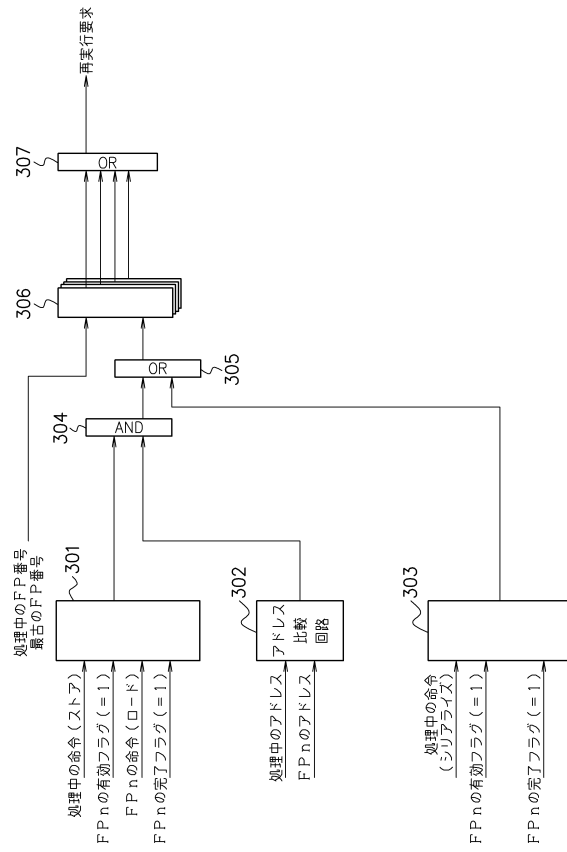
【 図 1 】



【 図 2 】



【図 3】



フロントページの続き

(56)参考文献 国際公開第2008/155829(WO, A1)

米国特許第05764942(US, A)

特開平06-242952(JP, A)

松尾治幸, 中島浩, 大野和彦, 同期操作に対する投機的メモリ・アクセス機構specMEMの改良,
情報処理学会研究報告, 日本, 社団法人情報処理学会, 2000年 8月 5日, 第2000巻, 第
74号, (2000-ARC-139), Pages:13~18

(58)調査した分野(Int.Cl., DB名)

G06F 9/30 - 9/42

G06F 9/46 - 9/54

G06F12/08 - 12/128

G06F12/00 - 12/06

G06F13/16 - 13/18