

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3927953号
(P3927953)

(45) 発行日 平成19年6月13日(2007.6.13)

(24) 登録日 平成19年3月9日(2007.3.9)

(51) Int. Cl.

F I

H03K 19/0185 (2006.01)
G09G 3/20 (2006.01)
G09G 3/36 (2006.01)
H03K 17/687 (2006.01)
H04N 5/66 (2006.01)

H03K 19/00 1 O 1 C
 G09G 3/20 6 2 1 L
 G09G 3/36
 H03K 17/687 A
 H04N 5/66 1 O 2 B

請求項の数 17 (全 22 頁)

(21) 出願番号 特願2003-572178 (P2003-572178)
 (86) (22) 出願日 平成14年2月26日(2002.2.26)
 (86) 国際出願番号 PCT/JP2002/001760
 (87) 国際公開番号 W02003/073617
 (87) 国際公開日 平成15年9月4日(2003.9.4)
 審査請求日 平成17年1月25日(2005.1.25)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 振幅変換回路

(57) 【特許請求の範囲】

【請求項1】

その振幅が第1の電圧である第1の信号を、その振幅が前記第1の電圧よりも高い第2の電圧である第2の信号に変換する振幅変換回路であって、

それらの第1の電極がともに前記第2の電圧を受け、それらの第2の電極が前記第2の信号およびその相補信号を出力するための第1および第2の出力ノードにそれぞれ接続され、それらの入力電極がそれぞれ前記第2および第1の出力ノードに接続された第1の導電形式の第1および第2のトランジスタ、

それらの第1の電極がそれぞれ前記第1および第2の出力ノードに接続された第2の導電形式の第3および第4のトランジスタ、および

前記第1の信号およびその相補信号によって駆動され、前記第1の信号の前縁にตอบสนองして前記第1の電圧よりも高い第3の電圧を前記第3のトランジスタの入力電極および第2の電極間に与えて前記第3のトランジスタを導通させ、前記第1の信号の後縁にตอบสนองして前記第3の電圧を前記第4のトランジスタの入力電極および第2の電極間に与えて前記第4のトランジスタを導通させる駆動回路を備え、

前記駆動回路は、

前記第3のトランジスタの入力電極および第2の電極間に接続された第1の抵抗素子、
 その一方電極が前記第1の信号の相補信号を受け、その他方電極が前記第3のトランジスタの入力電極に接続された第1のキャパシタ、

前記第4のトランジスタの入力電極および第2の電極間に接続された第2の抵抗素子、

10

20

および

その一方電極が前記第 1 の信号を受け、その他方電極が前記第 4 のトランジスタの入力電極に接続された第 2 のキャパシタを含み、

前記第 1 の信号およびその相補信号をそれぞれ前記第 3 および第 4 のトランジスタの第 2 の電極に与える、振幅変換回路。

【請求項 2】

前記第 1 の抵抗素子は、前記第 3 のトランジスタの入力電極および第 2 の電極間に接続され、その入力電極が第 4 の電圧を受ける第 5 のトランジスタを含み、

前記第 2 の抵抗素子は、前記第 4 のトランジスタの入力電極および第 2 の電極間に接続され、その入力電極が前記第 4 の電圧を受ける第 6 のトランジスタを含む、請求項 1 に記載の振幅変換回路。

10

【請求項 3】

前記第 5 および第 6 のトランジスタは第 2 の導電形式であり、

前記第 4 の電圧は前記第 2 の電圧に等しい、請求項 2 に記載の振幅変換回路。

【請求項 4】

前記第 1 の抵抗素子は、前記第 3 のトランジスタの入力電極および第 2 の電極間に接続された第 5 のトランジスタを含み、

前記第 2 の抵抗素子は、前記第 4 のトランジスタの入力電極および第 2 の電極間に接続された第 6 のトランジスタを含み、

前記駆動回路は、さらに、前記第 1 の信号の前縁に応答して前記第 5 のトランジスタの抵抗値をパルスのように高くし、前記第 1 の信号の後縁に応答して前記第 6 のトランジスタの抵抗値をパルスのように高くするためのパルス発生回路を含む、請求項 1 に記載の振幅変換回路。

20

【請求項 5】

前記第 5 および第 6 のトランジスタは第 2 の導電形式であり、

前記パルス発生回路は、

前記第 2 の電圧と同極性の第 4 の電圧のノードと前記第 5 のトランジスタの入力電極との間に接続された第 3 の抵抗素子、

その一方電極が前記第 1 の信号を受け、その他方電極が前記第 5 のトランジスタの入力電極に接続された第 3 のキャパシタ、

30

前記第 4 の電圧のノードと前記第 6 のトランジスタの入力電極との間に接続された第 4 の抵抗素子、および

その一方電極が前記第 1 の信号の相補信号を受け、その他方電極が前記第 6 のトランジスタの入力電極に接続された第 4 のキャパシタを含む、請求項 4 に記載の振幅変換回路。

【請求項 6】

前記第 4 の電圧は前記第 2 の電圧に等しい、請求項 5 に記載の振幅変換回路。

【請求項 7】

前記第 5 および第 6 のトランジスタは第 1 の導電形式であり、

前記パルス発生回路は、

前記第 2 の電圧と逆極性の第 4 の電圧のノードと前記第 5 のトランジスタの入力電極との間に接続された第 3 の抵抗素子、

40

その一方電極が前記第 1 の信号の相補信号を受け、その他方電極が前記第 5 のトランジスタの入力電極に接続された第 3 のキャパシタ、

前記第 4 の電圧のノードと前記第 6 のトランジスタの入力電極との間に接続された第 4 の抵抗素子、および

その一方電極が前記第 1 の信号を受け、その他方電極が前記第 6 のトランジスタの入力電極に接続された第 4 のキャパシタを含む、請求項 4 に記載の振幅変換回路。

【請求項 8】

前記駆動回路は、

さらに、前記第 3 のトランジスタの第 2 の電極および入力電極間に接続された第 1 のダ

50

イオード素子、および

前記第 4 のトランジスタの第 2 の電極および入力電極間に接続された第 2 のダイオード素子を含む、請求項 1 に記載の振幅変換回路。

【請求項 9】

その振幅が第 1 の電圧である第 1 の信号を、その振幅が前記第 1 の電圧よりも高い第 2 の電圧である第 2 の信号に変換する振幅変換回路であって、

それらの第 1 の電極がともに前記第 2 の電圧を受け、それらの第 2 の電極が前記第 2 の信号およびその相補信号を出力するための第 1 および第 2 の出力ノードにそれぞれ接続され、それらの入力電極がそれぞれ前記第 2 および第 1 の出力ノードに接続された第 1 の導電形式の第 1 および第 2 のトランジスタ、

それらの第 1 の電極がそれぞれ前記第 1 および第 2 の出力ノードに接続された第 2 の導電形式の第 3 および第 4 のトランジスタ、および

前記第 1 の信号およびその相補信号によって駆動され、前記第 1 の信号の前縁に 응답して前記第 1 の電圧よりも高い第 3 の電圧を前記第 3 のトランジスタの入力電極および第 2 の電極間に与えて前記第 3 のトランジスタを導通させ、前記第 1 の信号の後縁に 응답して前記第 3 の電圧を前記第 4 のトランジスタの入力電極および第 2 の電極間に与えて前記第 4 のトランジスタを導通させる駆動回路を備え、

前記駆動回路は、

前記第 3 のトランジスタの第 2 の電極と基準電圧のノードとの間に接続された第 1 の抵抗素子、

その一方電極が前記第 1 の信号を受け、その他方電極が前記第 3 のトランジスタの第 2 の電極に接続された第 1 のキャパシタ、

前記第 4 のトランジスタの第 2 の電極と前記基準電圧のノードとの間に接続された第 2 の抵抗素子、および

その一方電極が前記第 1 の信号の相補信号を受け、その他方電極が前記第 4 のトランジスタの第 2 の電極に接続された第 2 のキャパシタを含み、

前記第 1 の信号およびその相補信号をそれぞれ前記第 4 および第 3 のトランジスタの入力電極に与える、振幅変換回路。

【請求項 10】

前記第 1 の抵抗素子は、前記第 3 のトランジスタの第 2 の電極と前記基準電圧のノードとの間に接続された第 5 のトランジスタを含み、

前記第 2 の抵抗素子は、前記第 4 のトランジスタの第 2 の電極と前記基準電圧のノードとの間に接続された第 6 のトランジスタを含み、

前記駆動回路は、さらに、前記第 1 の信号の前縁に 응답して前記第 5 のトランジスタの抵抗値をパルスのように高くし、前記第 1 の信号の後縁に 응답して前記第 6 のトランジスタの抵抗値をパルスのように高くするためのパルス発生回路を含む、請求項 9 に記載の振幅変換回路。

【請求項 11】

前記第 5 および第 6 のトランジスタは第 2 の導電形式であり、

前記パルス発生回路は、

前記第 2 の電圧と同極性の第 4 の電圧のノードと前記第 5 のトランジスタの入力電極との間に接続された第 3 の抵抗素子、

その一方電極が前記第 1 の信号を受け、その他方電極が前記第 5 のトランジスタの入力電極に接続された第 3 のキャパシタ、

前記第 4 の電圧のノードと前記第 6 のトランジスタの入力電極との間に接続された第 4 の抵抗素子、および

その一方電極が前記第 1 の信号の相補信号を受け、その他方電極が前記第 6 のトランジスタの入力電極に接続された第 4 のキャパシタを含む、請求項 10 に記載の振幅変換回路。

【請求項 12】

前記第 4 の電圧は前記第 2 の電圧に等しい、請求項 1 1 に記載の振幅変換回路。

【請求項 1 3】

さらに、前記第 1 および第 2 の出力ノードの電位をラッチするためのラッチ回路を備える、請求項 1 または請求項 9 に記載の振幅変換回路。

【請求項 1 4】

前記ラッチ回路は、それらの第 1 の電極がそれぞれ前記第 1 および第 2 の出力ノードに接続され、それらの第 2 の電極がそれぞれ前記第 1 の信号およびその相補信号を受け、それらの入力電極がそれぞれ前記第 2 および第 1 の出力ノードに接続された第 2 の導電形式の第 5 および第 6 のトランジスタを含む、請求項 1 3 に記載の振幅変換回路。

【請求項 1 5】

前記ラッチ回路は、それぞれ前記第 1 および第 2 の出力ノードと基準電圧のノードとの間に接続され、それらの入力電極がそれぞれ前記第 2 および第 1 の出力ノードに接続された第 2 の導電形式の第 5 および第 6 のトランジスタを含む、請求項 1 3 に記載の振幅変換回路。

【請求項 1 6】

さらに、前記第 1 のトランジスタの第 2 の電極と前記第 1 の出力ノードとの間に介挿され、その入力電極が前記第 3 のトランジスタの入力電極に接続された第 1 の導電形式の第 5 のトランジスタ、および

前記第 2 のトランジスタの第 2 の電極と前記第 2 の出力ノードとの間に介挿され、その入力電極が前記第 4 のトランジスタの入力電極に接続された第 1 の導電形式の第 6 のトランジスタを備える、請求項 1 または請求項 9 に記載の振幅変換回路。

【請求項 1 7】

前記第 1 ～ 第 4 のトランジスタは薄膜トランジスタである、請求項 1 または請求項 9 に記載の振幅変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は振幅変換回路に関し、特に、信号の振幅を変換するための振幅変換回路に関する。

【0002】

【従来の技術】

図 1 7 は、従来の携帯電話機の画像表示に関連する部分の構成を示すブロック図である。

【0003】

図 1 7 において、この携帯電話機は、M O S T (M O S トランジスタ) 型集積回路である制御用 L S I 5 1 と、M O S T 型集積回路であるレベルシフタ 5 2 と、T F T (薄膜トランジスタ) 型集積回路である液晶表示装置 5 3 とを備える。

【0004】

制御用 L S I 5 1 は、液晶表示装置 5 3 用の制御信号を生成する。この制御信号の「H」レベルは 3 V であり、その「L」レベルは 0 V である。制御信号は実際には多数生成されるが、ここでは説明の簡単化のため制御信号は 1 つとする。レベルシフタ 5 2 は、制御用 L S I 5 1 からの制御信号の論理レベルを変換して内部制御信号を生成する。この内部制御信号の「H」レベルは 7 . 5 V であり、その「L」レベルは 0 V である。液晶表示装置 5 3 は、レベルシフタ 5 2 からの内部制御信号に従って画像を表示する。

【0005】

図 1 8 は、レベルシフタ 5 2 の構成を示す回路図である。図 1 8 において、このレベルシフタ 5 2 は、P チャネル M O S トランジスタ 5 4 , 5 5 および N チャネル M O S トランジスタ 5 6 , 5 7 を含む。P チャネル M O S トランジスタ 5 4 , 5 5 は、それぞれ電源電位 V C C (7 . 5 V) のノード N 5 1 と出力ノード N 5 4 , N 5 5 との間に接続され、それらのゲートはそれぞれ出力ノード N 5 5 , N 5 4 に接続される。N チャネル M O S トラ

10

20

30

40

50

ンジスタ56, 57は、それぞれ出力ノードN54, N55と接地電位GNDのノードとの間に接続され、それらのゲートはそれぞれ入力信号VI, /VIを受ける。

【0006】

今、入力信号VI, /VIがそれぞれ「L」レベル(0V)および「H」レベル(3V)にされ、出力信号VO, /VOがそれぞれ「H」レベル(7.5V)および「L」レベル(0V)にされているものとする。このとき、MOSトランジスタ54, 57が導通し、MOSトランジスタ55, 56が非導通になっている。

【0007】

この状態で、入力信号VIが「L」レベル(0V)から「H」レベル(3V)に立上げられるとともに入力信号/VIが「H」レベル(3V)から「L」レベル(0V)に立下げられると、まずNチャンネルMOSトランジスタ56が導通して出力ノードN54の電位が低下する。出力ノードN54の電位が、電源電位VCCからPチャンネルMOSトランジスタ55のしきい値電圧の絶対値を減算した電位よりも低くなると、PチャンネルMOSトランジスタ55が導通し始め、出力ノードN55の電位が上昇し始める。出力ノードN55の電位が上昇し始めると、PチャンネルMOSトランジスタ54のソース-ゲート間の電圧が小さくなってPチャンネルMOSトランジスタ54の導通抵抗値が高くなり、出力ノードN54の電位がさらに低下する。したがって、回路は正帰還的に動作し、出力ノードVO, /VOがそれぞれ「L」レベル(0V)および「H」レベル(7.5V)になってレベル変換動作が完了する。

【0008】

図19は、従来の他のレベルシフタ60の構成を示す回路図である。図19を参照して、このレベルシフタ60が図18のレベルシフタ52と異なる点は、PチャンネルMOSトランジスタ61, 62が追加されている点である。PチャンネルMOSトランジスタ61は、PチャンネルMOSトランジスタ54のドレインと出力ノードN54との間に介挿され、そのゲートは入力信号VIを受ける。PチャンネルMOSトランジスタ62は、PチャンネルMOSトランジスタ55のドレインと出力ノードN55との間に介挿され、そのゲートは入力信号/VIを受ける。

【0009】

このレベルシフタ60では、入力信号VIが「L」レベル(0V)から「H」レベル(3V)に立上げられると、PチャンネルMOSトランジスタ61が導通状態から非導通状態になり、電源電位VCCのノードN51から出力ノードN54に流れる電流が低減されるので、出力ノードN54の電位が低下しやすくなる。この結果、PチャンネルMOSトランジスタ55が導通して出力ノードN55の電位が上昇しやすくなるので、図18のレベルシフタ52よりも動作マージンが大きくなる。

【0010】

このように、従来のレベルシフタ52, 60では、入力信号VIが「L」レベル(0V)から「H」レベル(3V)に立上げられたことに応じてNチャンネルMOSトランジスタ56が導通することが動作の前提となる。NチャンネルMOSトランジスタ56が導通するためには、NチャンネルMOSトランジスタ56のしきい値電位が入力信号VIの「H」レベル(3V)以下である必要がある。

【0011】

一般的な半導体LSIではトランジスタのしきい値電圧を3V以下にすることは容易であるが、液晶表示装置に含まれている低温ポリシリコンTFTはしきい値電圧のばらつきが大きく、TFTのしきい値電圧を3V以下にすることは困難である。このため、図17で示したように、高耐圧のMOSトランジスタで構成されたレベルシフタ52または60を制御用LSI51と液晶表示装置53との間に設けて信号の論理レベルの変換を行っている。

【0012】

【発明が解決しようとする課題】

しかし、このようなレベルシフタ52, 60を設けると、レベルシフタ52, 60のコ

10

20

30

40

50

ストがシステムコストに加算されることになり、システムコストの上昇を招く。

【 0 0 1 3 】

それゆえに、この発明の主たる目的は、入力トランジスタのしきい値電圧よりも入力信号の振幅電圧が低い場合でも正常に動作する振幅変換回路を提供することである。

【 0 0 1 4 】

【課題を解決するための手段および効果】

この発明に係る振幅変換回路は、その振幅が第1の電圧である第1の信号を、その振幅が第1の電圧よりも高い第2の電圧である第2の信号に変換するものである。この振幅変換回路では、それらの第1の電極がともに第2の電圧を受け、それらの第2の電極が第2の信号およびその相補信号を出力するための第1および第2の出力ノードにそれぞれ接続され、それらの入力電極がそれぞれ第2および第1の出力ノードに接続された第1の導電形式の第1および第2のトランジスタと、それらの第1の電極がそれぞれ第1および第2の出力ノードに接続された第2の導電形式の第3および第4のトランジスタと、第1の信号およびその相補信号によって駆動され、第1の信号の前縁に 응답して第1の電圧よりも高い第3の電圧を第3のトランジスタの入力電極および第2の電極間に与えて第3のトランジスタを導通させ、第1の信号の後縁に 응답して第3の電圧を第4のトランジスタの入力電極および第2の電極間に与えて第4のトランジスタを導通させる駆動回路とが設けられる。

【 0 0 1 5 】

この駆動回路は、第3のトランジスタの入力電極および第2の電極間に接続された第1の抵抗素子と、その一方電極が第1の信号の相補信号を受け、その他方電極が第3のトランジスタの入力電極に接続された第1のキャパシタと、第4のトランジスタの入力電極および第2の電極間に接続された第2の抵抗素子と、その一方電極が第1の信号を受け、その他方電極が第4のトランジスタの入力電極に接続された第2のキャパシタとを含み、第1の信号およびその相補信号をそれぞれ第3および第4のトランジスタの第2の電極に与える。したがって、第1の信号の前縁または後縁に 응답して第1の信号の振幅電圧である第1の電圧よりも高い第3の電圧を第3または第4のトランジスタの入力電極および第2の電極間に与えるので、第1の信号の振幅電圧が第3および第4のトランジスタのしきい値電圧よりも低い場合でも動作する。

【 0 0 1 6 】

また好ましくは、第1の抵抗素子は、第3のトランジスタの入力電極および第2の電極間に接続され、その入力電極が第4の電圧を受ける第5のトランジスタを含む。第2の抵抗素子は、第4のトランジスタの入力電極および第2の電極間に接続され、その入力電極が第4の電圧を受ける第6のトランジスタを含む。この場合は、第1および第2の抵抗素子の占有面積が小さくて済む。

【 0 0 1 7 】

また好ましくは、第5および第6のトランジスタは第2の導電形式であり、第4の電圧は第2の電圧に等しい。この場合は、電圧源の数が少なく済む。

【 0 0 1 8 】

また好ましくは、第1の抵抗素子は、第3のトランジスタの入力電極および第2の電極間に接続された第5のトランジスタを含む。第2の抵抗素子は、第4のトランジスタの入力電極および第2の電極間に接続された第6のトランジスタを含む。駆動回路は、さらに、第1の信号の前縁に 응답して第5のトランジスタの抵抗値をパルス的に高くし、第1の信号の後縁に 응답して第6のトランジスタの抵抗値をパルス的に高くするためのパルス発生回路を含む。この場合は、第3および第4のトランジスタの入力電極の電位低下を緩やかにすることができる。

【 0 0 1 9 】

また好ましくは、第5および第6のトランジスタは第2の導電形式である。パルス発生回路は、第2の電圧と同極性の第4の電圧のノードと第5のトランジスタの入力電極との間に接続された第3の抵抗素子と、その一方電極が第1の信号を受け、その他方電極が第

10

20

30

40

50

5のトランジスタの入力電極に接続された第3のキャパシタと、第4の電圧のノードと第6のトランジスタの入力電極との間に接続された第4の抵抗素子と、その一方電極が第1の信号の相補信号を受け、その他方電極が第6のトランジスタの入力電極に接続された第4のキャパシタとを含む。この場合は、第3または第4の抵抗素子を介して第4の電圧に充電された第5または第6のトランジスタの入力電極が第3または第4のキャパシタを介して第1の電圧分だけ降圧される。

【0020】

また好ましくは、第4の電圧は第2の電圧に等しい。この場合は、電圧源の数が少なくて済む。

【0021】

また好ましくは、第5および第6のトランジスタは第1の導電形式である。パルス発生回路は、第2の電圧と逆極性の第4の電圧のノードと第5のトランジスタの入力電極との間に接続された第3の抵抗素子と、その一方電極が第1の信号の相補信号を受け、その他方電極が第5のトランジスタの入力電極に接続された第3のキャパシタと、第4の電圧のノードと第6のトランジスタの入力電極との間に接続された第4の抵抗素子と、その一方電極が第1の信号を受け、その他方電極が第6のトランジスタの入力電極に接続された第4のキャパシタとを含む。この場合は、第3または第4の抵抗素子を介して第4の電圧に充電された第5または第6のトランジスタの入力電極が第3または第4のキャパシタを介して第1の電圧分だけ昇圧される。

【0022】

また好ましくは、駆動回路は、さらに、第3のトランジスタの第2の電極および入力電極間に接続された第1のダイオード素子と、第4のトランジスタの第2の電極および入力電極間に接続された第2のダイオード素子とを含む。この場合は、第3または第4のトランジスタの入力電極を第1の電圧に迅速に充電することができる。

【0023】

また、この発明に係る他の振幅変換回路は、その振幅が第1の電圧である第1の信号を、その振幅が第1の電圧よりも高い第2の電圧である第2の信号に変換するものである。この振幅変換回路では、それらの第1の電極がともに第2の電圧を受け、それらの第2の電極が第2の信号およびその相補信号を出力するための第1および第2の出力ノードにそれぞれ接続され、それらの入力電極がそれぞれ第2および第1の出力ノードに接続された第1の導電形式の第1および第2のトランジスタと、それらの第1の電極がそれぞれ第1および第2の出力ノードに接続された第2の導電形式の第3および第4のトランジスタと、第1の信号およびその相補信号によって駆動され、第1の信号の前縁にตอบสนองして第1の電圧よりも高い第3の電圧を第3のトランジスタの入力電極および第2の電極間に与えて第3のトランジスタを導通させ、第1の信号の後縁にตอบสนองして第3の電圧を第4のトランジスタの入力電極および第2の電極間に与えて第4のトランジスタを導通させる駆動回路とが設けられる。この駆動回路は、第3のトランジスタの第2の電極と基準電圧のノードとの間に接続された第1の抵抗素子と、その一方電極が第1の信号を受け、その他方電極が第3のトランジスタの第2の電極に接続された第1のキャパシタと、第4のトランジスタの第2の電極と基準電圧のノードとの間に接続された第2の抵抗素子と、その一方電極が第1の信号の相補信号を受け、その他方電極が第4のトランジスタの第2の電極に接続された第2のキャパシタとを含み、第1の信号およびその相補信号をそれぞれ第4および第3のトランジスタの入力電極に与える。したがって、第1の信号の前縁または後縁にตอบสนองして第1の信号の振幅電圧である第1の電圧よりも高い第3の電圧を第3または第4のトランジスタの入力電極および第2の電極間に与えるので、第1の信号の振幅電圧が第3および第4のトランジスタのしきい値電圧よりも低い場合でも動作する。

【0024】

また好ましくは、第1の抵抗素子は、第3のトランジスタの第2の電極と基準電圧のノードとの間に接続された第5のトランジスタを含む。第2の抵抗素子は、第2のトランジスタの第2の電極と基準電圧のノードとの間に接続された第6のトランジスタを含む。駆

10

20

30

40

50

動回路は、さらに、第 1 の信号の前縁に応答して第 5 のトランジスタの抵抗値をパルス的に高くし、第 1 の信号の後縁に応答して第 6 のトランジスタの抵抗値をパルス的に高くするためのパルス発生回路を含む。この場合は、第 3 および第 4 のトランジスタの入力電極の電圧上昇を緩やかにすることができる。

【 0 0 2 5 】

また好ましくは、第 5 および第 6 のトランジスタは第 2 の導電形式である。パルス発生回路は、第 2 の電圧と同極性の第 4 の電圧のノードと第 5 のトランジスタの入力電極との間に接続された第 3 の抵抗素子と、その一方電極が第 1 の信号を受け、その他方電極が第 5 のトランジスタの入力電極に接続された第 3 のキャパシタと、第 4 の電圧のノードと第 6 のトランジスタの入力電極との間に接続された第 4 の抵抗素子と、その一方電極が第 1 の信号の相補信号を受け、その他方電極が第 6 のトランジスタの入力電極に接続された第 4 のキャパシタとを含む。この場合は、第 3 または第 4 の抵抗素子を介して第 4 の電圧に充電された第 5 または第 6 のトランジスタの入力電極が第 3 または第 4 のキャパシタを介して第 1 の電圧分だけ降圧される。

【 0 0 2 6 】

また好ましくは、第 4 の電圧は第 2 の電圧に等しい。この場合は、電圧源の数が少なく済む。

【 0 0 2 7 】

また好ましくは、さらに、第 1 および第 2 の出力ノードの電位をラッチするためのラッチ回路が設けられる。この場合は、第 1 および第 2 の出力ノードの電位を安定に保持することができる。

【 0 0 2 8 】

また好ましくは、ラッチ回路は、それらの第 1 の電極がそれぞれ第 1 および第 2 の出力ノードに接続され、それらの第 2 の電極がそれぞれ第 1 の信号およびその相補信号を受け、それらの入力電極がそれぞれ第 2 および第 1 の出力ノードに接続された第 2 の導電形式の第 5 および第 6 のトランジスタを含む。この場合は、ラッチ回路を容易に構成することができる。

【 0 0 2 9 】

また好ましくは、ラッチ回路は、それぞれ第 1 および第 2 の出力ノードと基準電圧のノードとの間に接続され、それらの入力電極がそれぞれ第 2 および第 1 の出力ノードに接続された第 2 の導電形式の第 5 および第 6 のトランジスタを含む。この場合は、第 1 の信号およびその相補信号の駆動力が小さくて済む。

【 0 0 3 0 】

また好ましくは、さらに、第 1 のトランジスタの第 2 の電極と第 1 の出力ノードとの間に介挿され、その入力電極が第 3 のトランジスタの入力電極に接続された第 1 の導電形式の第 5 のトランジスタと、第 2 のトランジスタの第 2 の電極と第 2 の出力ノードとの間に介挿され、その入力電極が第 4 のトランジスタの入力電極に接続された第 1 の導電形式の第 6 のトランジスタとが設けられる。この場合は、第 2 の電圧のノードから第 1 および第 2 の出力ノードに流れる電流を小さくすることができ、消費電流の低減化を図ることができる。

【 0 0 3 1 】

また好ましくは、第 1 ~ 第 4 のトランジスタは薄膜トランジスタである。この発明は、この場合に特に有効である。

【 0 0 3 2 】

【発明の実施の形態】

[実施の形態 1]

図 1 は、この発明の実施の形態 1 による携帯電話機の画像表示に関連する部分の構成を示すブロック図である。

【 0 0 3 3 】

図 1 において、この携帯電話機は、M O S T 型集積回路である制御用 L S I 1 と、T F

10

20

30

40

50

T型集積回路である液晶表示装置2とを備え、液晶表示装置2はレベルシフタ3および液晶表示部4を含む。

【0034】

制御用LSI1は、液晶表示装置2用の制御信号を出力する。この制御信号の「H」レベルは3Vであり、その「L」レベルは0Vである。制御信号は実際には多数生成されるが、ここでは説明の簡単化のため制御信号は1つとする。レベルシフタ3は、制御用LSI1からの制御信号の論理レベルを変換して内部制御信号を生成する。この内部制御信号の「H」レベルは7.5Vであり、その「L」レベルは0Vである。液晶表示部4は、レベルシフタ3からの内部制御信号に従って画像を表示する。

【0035】

図2は、レベルシフタ3の構成を示す回路図である。図2において、このレベルシフタ3は、P型TFT5, 6、N型TFT7~10、抵抗素子11, 12およびキャパシタ13, 14を含む。P型TFT5, 6は、それぞれ電源電位VCC(7.5V)のノードN1と出力ノードN5, N6との間に接続され、それらのゲートはそれぞれ出力ノードN6, N5に接続される。出力ノードN5, N6に現われる信号は、それぞれ、このレベルシフタ3の出力信号VO, /VOとなる。N型TFT7は、出力ノードN5と入力ノードN11との間に接続され、そのゲートは出力ノードN6に接続される。N型TFT8は、出力ノードN6と入力ノードN12との間に接続され、そのゲートは出力ノードN5に接続される。入力ノードN11, N12は、それぞれ入力信号VI, /VIを受ける。P型TFT5, 6およびN型TFT7, 8は、出力ノードN5, N6のレベルをラッチするためのラッチ回路を構成する。

【0036】

N型TFT9は、入力ノードN11と出力ノードN5との間に接続され、そのゲートはノードN9に接続される。N型TFT10は、入力ノードN11と出力ノードN6との間に接続され、そのゲートはノードN10に接続される。抵抗素子11はノードN9とN11の間に接続され、抵抗素子12はノードN10とN12の間に接続される。キャパシタ13は入力ノードN13とノードN9との間に接続され、キャパシタ14は入力ノードN14とノードN10との間に接続される。入力ノードN13, N14は、それぞれ入力信号/VI, VIを受ける。抵抗素子11およびキャパシタ13は昇圧回路を構成し、抵抗素子12およびキャパシタ14は昇圧回路を構成する。

【0037】

図3は、図2に示したレベルシフタ3の動作を示すタイムチャートである。図3を参照して、初期状態では、入力信号VI, /VIがそれぞれ「H」レベル(3V)および「L」レベル(0V)にされ、出力信号VO, /VOがそれぞれ「H」レベル(7.5V)および「L」レベル(0V)にされている。このとき、ノードN9は抵抗素子11によって入力信号VIと同電位の3Vにされ、ノードN10は抵抗素子12によって入力信号/VIと同電位の0Vにされている。これらの電位関係により、P型TFT5およびN型TFT8が導通し、他のTFT6, 7, 9, 10は非導通になっている。つまり、出力ノードN5はP型TFT5を介して電源電位VCC(7.5V)を受け、出力ノードN6はN型TFT8を介して入力信号/VIの電位(0V)を受けている。

【0038】

次に、ある時刻t1において、入力信号VIが「H」レベル(3V)から「L」レベル(0V)に立下げられるとともに入力信号/VIが「L」レベル(0V)から「H」レベル(3V)に立上げられると、入力信号/VIの電位変化がキャパシタ13を介してノードN9に伝達され、ノードN9の電位は3V以上の電位に上昇する。このときの電位上昇分は、キャパシタ13の容量値とノードN9の寄生容量(図示せず)の容量値との比でほぼ決まる。キャパシタ13が容量値をノードN9の寄生容量の容量値よりも十分大きな値に設定すると、ノードN9は入力信号VI, /VIの振幅電圧(3V)の2倍の6V近くまで上昇する。

【0039】

一方、入力信号 V_I は $/V_I$ と同時に「H」レベル (3 V) から「L」レベル (0 V) に立下げられるので、ノード N 9 の電荷が抵抗素子 11 を介してノード N 11 に放電される。したがって、ノード N 9 の電位は、3 V から上昇してピーク値に達した後、0 V まで徐々に低下する。ここで、抵抗素子 11 の抵抗値を適切に設定することにより、ノード N 9 の電位を所定時間だけ 3 V 以上の所定電位に保持させることができる。ノード N 9 の電位が所定電位になると N 型 T F T 9 が導通し、出力ノード N 5 の電位が低下する。出力ノード N 5 の電位が低下すると、P 型 T F T 6 が導通して出力ノード N 6 の電位が上昇する。これにより、P 型 T F T 5 が非導通になるとともに、N 型 T F T 7 が導通し、出力ノード N 5 の電位が急速に「L」レベル (0 V) に低下する。

【0040】

10

一方、入力信号 V_I が「H」レベル (3 V) から「L」レベル (0 V) への電位変化がキャパシタ 14 を介してノード N 10 に伝達され、ノード N 10 の電位は 0 V から -3 V 近くまで低下する。しかし、N 型 T F T 10 は既に非導通になっているので、回路動作への影響はない。

【0041】

以上の結果、出力信号 V_O が「H」レベル (7.5 V) から「L」レベル (0 V) に立下げられるとともに出力信号 $/V_O$ が「L」レベル (0 V) から「H」レベル (7.5 V) に立上げられ、3 V から 7.5 V への論理レベルの変換が行なわれたことになる。

【0042】

ノード N 9, N 10 の電位は、それぞれ抵抗素子 11, 12 によって時間の経過とともにそれぞれ入力信号 V_I , $/V_I$ のレベルにシフトされる。時刻 t_2 では、ノード N 9, N 10 の電位は、それぞれ入力信号 V_I , $/V_I$ のレベルになっている。時刻 t_2 において、入力信号 $/V_I$ が「L」レベル (0 V) から「H」レベル (3 V) に立上げられるとともに入力信号 V_I が「H」レベル (3 V) から「L」レベル (0 V) に立下げられると、上記と逆の電位関係で回路が動作する。

20

【0043】

この実施の形態 1 では、入力信号 V_I の立下がりエッジにตอบสนองして入力信号 V_I の振幅電圧 (3 V) よりも高い電圧 (約 6 V) を生成して N 型 T F T 9 のゲート - ソース間に与えるので、入力信号 V_I の振幅電圧 (3 V) が N 型 T F T 9 のしきい値電圧よりも低い場合でもレベルシフタ 3 が動作する。したがって、図 1 に示したように、レベルシフタ 3 と液晶表示部 4 を 1 つの液晶表示装置 2 (T F T 型集積回路) にすることができる。よって、レベルシフタ 52 と液晶表示装置 53 とを別個に設ける必要があった従来に比べ、部品数が少なく済み、システムコストが低くなる。

30

【0044】

また、動作の途中で過渡的に電源電流が流れるが、出力ノード N 5, N 6 のレベルが決まった後は T F T 5, 8, 10 または T F T 6, 7, 9 が非導通になるので、電源電位 V_{CC} のノード N 1 から入力ノード N 11 ~ N 14 への直流電流は流れない。したがって、回路の消費電力も極めて小さくなる。

【0045】

なお、この実施の形態 1 では、T F T 5 ~ 10 を用いたが、T F T の代わりに M O S トランジスタを用いてもよい。この場合は、入力信号 V_I , $/V_I$ の振幅が M O S トランジスタのしきい値電圧よりも小さい場合でも動作する。

40

【0046】

また、この実施の形態 1 では、絶縁ゲート型電界効果トランジスタである T F T を用いたが、他の形式の電界効果トランジスタを用いてもよいことは言うまでもない。

【0047】

以下、この実施の形態 1 の種々の変更例について説明する。図 4 のレベルシフタ 15 では、N 型 T F T 7, 8 のソースが接地される。この変更例では、N 型 T F T 7, 8 の電流を入力ノード N 11, N 12 に流さずに接地電位 GND のラインに流すので、入力信号 V_I , $/V_I$ の駆動力が小さくて済む。

50

【 0 0 4 8 】

図 5 のレベルシフタ 1 6 が図 2 のレベルシフタ 3 と異なる点は、P 型 T F T 1 7 , 1 8 が追加されている点である。P 型 T F T 1 7 は、P 型 T F T 5 のドレインとノード N 5 との間に介挿され、そのゲートはノード N 9 に接続される。P 型 T F T 1 8 は、P 型 T F T 6 のドレインとノード N 6 との間に介挿され、そのゲートはノード N 1 0 に接続される。この変更例では、たとえば、入力信号 / V I が「L」レベル (0 V) から「H」レベル (3 V) に立上げられたときに (図 3 の時刻 t 1 参照) 、 P 型 T F T 1 7 が導通状態から非導通状態に変化し、電源電位 V C C のノード N 1 から出力ノード N 5 に流入する電流を抑制するので、出力ノード N 5 の電位が低下しやすくなる。この結果、P 型 T F T 6 が迅速に導通してノード N 6 の電位が上昇しやすくなる。また、上述のように、P 型 T F T 1 7 , 1 8 が非導通になることによって電源電位 V C C のノード N 1 から出力ノード N 5 , N 6 に流入する電流が抑制されるので、消費電力が小さくて済む。

10

【 0 0 4 9 】

図 6 のレベルシフタ 2 0 が図 2 のレベルシフタ 3 と異なる点は、抵抗素子 1 1 , 1 2 がそれぞれ N 型 T F T 2 1 , 2 2 で置換されている点である。N 型 T F T 2 1 は、ノード N 9 と N 1 1 の間に接続され、そのゲートは電源電位 V C C を受ける。N 型 T F T 2 2 は、ノード N 1 0 と N 1 2 の間に接続され、そのゲートは電源電位 V C C を受ける。N 型 T F T 2 1 , 2 2 の各々は、等価的に抵抗素子の働きをする。図 2 の抵抗素子 1 1 , 1 2 に比べて単位寸法当りの抵抗値が高いので、抵抗素子としての占有面積が小さくなる。なお、N 型 T F T 2 1 , 2 2 の各々を P 型 T F T で置換してもよい。ただし、この場合は P 型 T F T のゲートに負電圧 (- 7 . 5 V) を与える必要がある。

20

【 0 0 5 0 】

図 7 のレベルシフタ 2 3 が図 5 のレベルシフタ 1 6 と異なる点は、抵抗素子 1 1 , 1 2 がそれぞれ N 型 T F T 2 1 , 2 2 で置換されている点である。したがって、この変更例では、図 5 の変更例と図 6 の変更例の両方の効果を有する。

【 0 0 5 1 】

図 8 のレベルシフタ 2 5 は、図 5 のレベルシフタ 1 6 にダイオード素子 2 6 , 2 7 を追加したものである。ダイオード素子 2 6 はノード N 1 1 と N 9 の間に接続され、ダイオード素子 2 7 はノード N 1 2 と N 1 4 の間に接続される。ダイオード素子 2 6 は、入力信号 V I が「L」レベル (0 V) から「H」レベル (3 V) に立上げられたとき、ノード N 9 の「H」レベル (3 V) への上昇を速くする (図 3 参照) 。これにより、次に入力信号 / V I が「L」レベル (0 V) から「H」レベル (3 V) に立上げられたときにノード N 9 の「H」レベル (3 V) への上昇が速くなり、N 型 T F T 9 は迅速に導通する。ダイオード素子 2 7 は、N 型 T F T 1 0 に対してダイオード素子 2 6 と同じ働きをする。したがって、この変更例では、入力信号 V I , / V I のレベル変化に対する出力信号 V O , / V O のレベル変化が速くなる。

30

【 0 0 5 2 】

[実施の形態 2]

図 9 は、この発明の実施の形態 2 によるレベルシフタ 3 0 の構成を示す回路図であって、図 7 と対比される図である。図 9 を参照して、このレベルシフタ 3 0 が図 7 のレベルシフタ 2 3 と異なる点は、抵抗素子 3 1 , 3 2 およびキャパシタ 3 3 , 3 4 が追加されている点である。抵抗素子 3 1 は電源電位 V C C のノード N 1 と N 型 T F T 2 1 のゲート (ノード N 2 1) との間に介挿され、抵抗素子 3 2 はノード N 1 と N 型 T F T 2 2 のゲート (ノード N 2 2) との間に介挿される。キャパシタ 3 3 はノード N 1 1 と N 2 1 の間に接続され、キャパシタ 3 4 はノード N 1 2 と N 2 2 の間に接続される。

40

【 0 0 5 3 】

図 1 0 は、レベルシフタ 3 0 の動作を示すタイムチャートである。図 1 0 において、初期状態では、入力信号 V I , / V I がそれぞれ「H」レベル (3 V) および「L」レベル (0 V) にされ、出力信号 V O , / V O がそれぞれ「H」レベル (7 . 5 V) および「L」レベル (0 V) にされている。ノード N 2 1 , N 2 2 はそれぞれ抵抗素子 3 1 , 3 2 を

50

介して電源電位 V_{CC} (7.5 V) を受けているので、N型TFT 21, 22は導通している。したがって、ノードN9は入力信号 V_I と同電位の3 Vにされ、ノードN10は入力信号 V_I と同電位の0 Vにされている。これらの電位関係により、P型TFT 5, 16およびN型TFT 8が導通し、他のTFT 6, 7, 9, 10, 17は非導通になっている。つまり、出力ノードN5はP型TFT 5, 16を介して電源電位 V_{CC} (7.5 V) を受け、出力ノードN6はN型TFT 8を介して入力信号 V_I の電位(0 V)を受けている。

【0054】

次に、ある時刻 t_1 において、入力信号 V_I が「H」レベル(3 V)から「L」レベル(0 V)に立下げられるとともに入力信号 V_I が「L」レベル(0 V)から「H」レベル(3 V)に立上げられると、入力信号 V_I の電位変化がキャパシタ13を介してノードN9に伝達され、ノードN9の電位は3 V以上の電位に上昇する。同時に、入力信号 V_I の電位変化がキャパシタ33を介してノードN29に伝達され、ノードN21の電位は3 V程度低下する。ノードN21の電位が低下するとノードN1から抵抗素子31を介してノードN21に電流が流入し、ノードN21が電源電位 V_{CC} (7.5 V)に戻る。ノードN21が7.5 Vよりも低下している期間はN型TFT 21の抵抗値は高くなる。

10

【0055】

また、時刻 t_1 において、入力信号 V_I が「H」レベル(3 V)から「L」レベル(0 V)に立下げられると、ノードN9の電荷がN型TFT 21を介してノードN11に放電される。したがって、ノードN9の電位は、3 Vから上昇してピーク値に達した後、0 V

20

【0056】

このとき、N型TFT 21の抵抗値は所定時間だけ比較的高くなるので、ノードN1のレベル低下が図7のレベルシフト23に比べて緩やかになる。これにより、N型TFT 9の導通時間が長くなりノードN5の電位低下が容易になる。

【0057】

他方、ノードN10側では、時刻 t_1 において、入力信号 V_I が「H」レベル(3 V)から「L」レベル(0 V)に立下げられるとともに入力信号 V_I が「L」レベル(0 V)から「H」レベル(3 V)に立上げられると、入力信号 V_I の電位変化がキャパシタ14を介してノードN10に伝達され、ノードN10の電位は0 V以下の電位に低下する。同時に、入力信号 V_I の電位変化がキャパシタ34を介してノードN22に伝達され、ノードN22の電位は3 V程度上昇する。ノードN22の電位が上昇するとノードN22から抵抗素子32を介してノードN21に電流が流出し、ノードN22が電源電位 V_{CC} (7.5 V)に戻る。ノードN22の電位が7.5 Vよりも高い期間はN型TFT 22の抵抗値は低くなる。

30

【0058】

また、時刻 t_1 において、入力信号 V_I が「L」レベル(0 V)から「H」レベル(3 V)に立上げられると、ノードN12からN型TFT 22を介してノードN10に電流が流入する。したがって、ノードN10の電位は、0 Vから低下してピーク値に達した後、3 Vまで徐々に上昇する。

40

【0059】

このとき、N型TFT 22の抵抗値が所定時間だけ比較的低くなるので、ノードN10のレベル上昇が図7のレベルシフト23に比べて速くなる。これにより、次の時刻 t_2 におけるノードN10の昇圧を容易に行なうことができる。

【0060】

以上より、このレベルシフト30の動作マージンはレベルシフト23の動作マージンよりも大きくなる。

【0061】

なお、この実施の形態2では、抵抗素子31, 32の一方電極を電源電位 V_{CC} (7.5 V)のノードN1に接続したが、電源電位 V_{CC} とは異なる正の電源電位のノードに接

50

続してもよい。

【 0 0 6 2 】

また、抵抗素子 3 1 , 3 2 の各々を N 型 T F T または P 型 T F T で構成してもよい。N 型 T F T のゲートには電源電位 V C C よりも高い正電位を与え、P 型 T F T のゲートには電源電位 V C C よりも低い電位を与えるとよい。また、P 型 T F T 1 6 , 1 7 を削除してもよい。

【 0 0 6 3 】

[実施の形態 3]

図 1 1 は、この発明の実施の形態 3 によるレベルシフタ 3 5 の構成を示す回路図であって、図 9 と対比される図である。図 1 1 を参照して、このレベルシフタ 3 5 が図 9 のレベルシフタ 3 0 と異なる点は、N 型 T F T 2 1 , 2 2 が P 型 T F T 3 6 , 3 7 で置換されている点である。P 型 T F T 3 6 は、ノード N 9 と N 1 1 の間に接続され、そのゲートはノード N 2 1 に接続される。P 型 T F T 3 7 は、ノード N 1 0 と N 1 2 の間に接続され、そのゲートはノード N 2 2 に接続される。

【 0 0 6 4 】

また、抵抗素子 3 1 は、ノード N 2 1 と負の電源電位 - V C C (- 7 . 5 V) のノード N 3 1 との間に接続される。抵抗素子 3 2 は、ノード N 2 2 と負の電源電位 - V C C (- 7 . 5 V) のノード N 3 2 との間に接続される。キャパシタ 3 3 はノード N 1 3 と N 2 1 の間に接続され、キャパシタ 3 4 はノード N 1 4 と N 2 2 の間に接続される。

【 0 0 6 5 】

図 1 2 は、レベルシフタ 3 5 の動作を示すタイムチャートである。図 1 2 において、初期状態では、入力信号 V I , / V I がそれぞれ「H」レベル (3 V) および「L」レベル (0 V) にされ、出力信号 V O , / V O がそれぞれ「H」レベル (7 . 5 V) および「L」レベル (0 V) にされている。ノード N 2 1 , N 2 2 はそれぞれ抵抗素子 3 1 , 3 2 を介して負の電源電位 - V C C (- 7 . 5 V) を受けているので、P 型 T F T 3 6 , 3 7 は導通している。したがって、ノード N 9 は入力信号 V I と同電位の 3 V にされ、ノード N 1 0 は入力信号 / V I と同電位の 0 V にされている。これらの電位関係により、P 型 T F T 5 , 1 6 および N 型 T F T 8 が導通し、他の T F T 6 , 7 , 9 , 1 0 , 1 7 は非導通になっている。つまり、出力ノード N 5 は P 型 T F T 5 , 1 6 を介して電源電位 V C C (7 . 5 V) を受け、出力ノード N 6 は N 型 T F T 8 を介して入力信号 / V I の電位 (0 V) を受けている。

【 0 0 6 6 】

次に、ある時刻 t 1 において、入力信号 V I が「H」レベル (3 V) から「L」レベル (0 V) に立下げられるとともに入力信号 / V I が「L」レベル (0 V) から「H」レベル (3 V) に立上げられると、入力信号 / V I の電位変化がキャパシタ 1 3 を介してノード N 9 に伝達され、ノード N 9 の電位は 3 V 以上の電位に上昇する。同時に、入力信号 / V I の電位変化がキャパシタ 3 3 を介してノード N 2 1 に伝達され、ノード N 2 1 の電位は 3 V 程度上昇する。ノード N 2 1 の電位が上昇するとノード N 2 1 から抵抗素子 3 1 を介してノード N 3 1 に電流が流出し、ノード N 2 1 は負の電源電位 - V C C (- 7 . 5 V) に戻る。ノード N 2 1 の電位が - 7 . 5 V よりも高い期間は P 型 T F T 3 6 の抵抗値は高くなる。

【 0 0 6 7 】

また、時刻 t 1 において、入力信号 V I が「H」レベル (3 V) から「L」レベル (0 V) に立下げられると、ノード N 9 の電荷が P 型 T F T 3 6 を介してノード N 1 1 に放電される。したがって、ノード N 9 の電位は、3 V から上昇してピーク値に達した後、0 V まで徐々に低下する。

【 0 0 6 8 】

このとき、P 型 T F T 3 6 の抵抗値が所定時間だけ比較的高くなるので、ノード N 9 のレベル低下が図 7 のレベルシフタ 2 3 に比べて緩やかになる。これにより、N 型 T F T 9 の導通時間が長くなりノード N 5 の電位低下が容易になる。

【 0 0 6 9 】

他方、ノードN10側では、時刻 t_1 において、入力信号 V_I が「H」レベル(3V)から「L」レベル(0V)に立下げられるとともに入力信号 $\overline{V_I}$ が「L」レベル(0V)から「H」レベル(3V)に立上げられると、入力信号 V_I の電位変化がキャパシタ14を介してノードN10に伝達され、ノードN10の電位は0V以下の電位に低下する。同時に入力信号 V_I の電位変化がキャパシタ34を介してノードN22に伝達され、ノードN22の電位は3V程度低下する。ノードN22の電位が低下するとノードN32から抵抗素子32を介してノードN20に電流が流入し、ノードN22が負の電源電位 $-V_{CC}$ ($-7.5V$)に戻る。ノードN22の電位が $-7.5V$ よりも低い期間はP型TFT37の抵抗値は低くなる。

10

【 0 0 7 0 】

また、時刻 t_1 において、入力信号 $\overline{V_I}$ が「L」レベル(0V)から「H」レベル(3V)に立上げられると、ノードN12からP型TFT37を介してノードN10に電流が流入する。したがって、ノードN10の電位は、0Vから低下してピーク値に達した後、3Vまで徐々に上昇する。

【 0 0 7 1 】

このとき、P型TFT37の抵抗値が所定時間だけ比較的低くなるので、ノードN10のレベル上昇は図7のレベルシフタ23に比べて早くなる。これにより、次の時刻 t_2 におけるノードN10の昇圧を容易に行なうことができる。

【 0 0 7 2 】

以上より、このレベルシフタ35の動作マージンはレベルシフタ23の動作マージンよりも大きくなる。

20

【 0 0 7 3 】

なお、抵抗素子31, 32の各々をN型TFTまたはP型TFTで構成してもよい。N型TFTのゲートには正の電源電位 V_{CC} よりも高い電位を与え、P型TFTのゲートには負の電源電位 $-V_{CC}$ よりも低い負電位を与えるとよい。また、P型TFT16, 17を削除してもよい。

【 0 0 7 4 】

[実施の形態4]

図13は、この発明の実施の形態4によるレベルシフタ40の構成を示す回路図であって、図5と対比される図である。

30

【 0 0 7 5 】

図13において、このレベルシフタ40が図5のレベルシフタ16と異なる点は、N型TFT7, 8のソースがともに接地され、抵抗素子11, 12およびキャパシタ13, 14が抵抗素子41, 42およびキャパシタ43, 44で置換されている点である。

【 0 0 7 6 】

キャパシタ43は入力ノードN11とN型TFT9のソース(ノードN41)との間に接続され、キャパシタ44は入力ノードN12とN型TFT10のソース(ノードN42)との間に接続される。抵抗素子41, 42は、それぞれノードN41, N42と接地電位GNDのラインとの間に接続される。入力信号 $\overline{V_I}$ はTFT9, 17のゲートに直接与えられ、入力信号 V_I はTFT10, 18のゲートに直接与えられる。

40

【 0 0 7 7 】

図14は、レベルシフタ40の動作を示すタイムチャートである。図14を参照して、初期状態では、入力信号 V_I , $\overline{V_I}$ がそれぞれ「H」レベル(3V)および「L」レベル(0V)にされ、出力信号 V_O , $\overline{V_O}$ がそれぞれ「H」レベル(7.5V)および「L」レベル(0V)にされている。ノードN41, N42は、抵抗素子41, 42によって接地電位GNDにされている。これらの電位関係により、P型TFT5, 17およびN型TFT8, 10が導通し、他のTFT6, 7, 9, 18は非導通になっている。つまり、出力ノードN5はP型TFT5, 7を介して電源電位 V_{CC} (7.5V)を受け、出力ノードN6はN型TFT8を介して接地電位GND(0V)を受けている。

50

【 0 0 7 8 】

次に、ある時刻 t_1 において、入力信号 V_I が「H」レベル（3 V）から「L」レベル（0 V）に立下げられるとともに入力信号 $\overline{V_I}$ が「L」レベル（0 V）から「H」レベル（3 V）に立上げられると、入力信号 V_I の電位変化がキャパシタ 4 3 を介してノード N 4 1 に伝達され、ノード N 4 1 は接地電位 GND（0 V）以下の電位に低下する。電位の低下分は、キャパシタ 4 3 の容量値とノード N 4 1 の寄生容量（図示せず）の容量値との比で決まる。キャパシタ 4 3 の容量値を寄生容量の容量値よりも十分大きな値に設定すると、ノード N 4 1 の電位は入力信号 V_I の振幅電圧分だけ低下し、- 3 V まで低下する。

【 0 0 7 9 】

10

ノード N 4 1 の電位が約 - 3 V まで低下すると、接地電位 GND のラインから抵抗素子 4 1 を介してノード N 4 1 に電流が流入する。したがって、ノード N 4 1 の電位は、0 V から低下してピーク値に達した後、0 V まで徐々に上昇する。ここで、抵抗素子 4 1 の抵抗値を適切に設定することにより、ノード N 4 1 の電位を所定時間だけ 0 V 以下の所定電位に保持させることができる。

【 0 0 8 0 】

ノード N 4 1 が所定電位になると、N 型 T F T 9 のゲート - ソース間の電圧が 3 V ~ 6 V になり、N 型 T F T 9 が導通してノード N 5 の電位が低下する。ノード N 5 の電位が低下すると、P 型 T F T 6 が導通してノード N 6 の電位が上昇する。このように、P 型 T F T 5 が非導通になるとともに N 型 T F T 7 が導通し、出力ノード N 5 の電位が急速に「L」レベル（0 V）に低下する。

20

【 0 0 8 1 】

一方、入力信号 $\overline{V_I}$ の「L」レベル（0 V）から「H」レベル（3 V）への電位変化がキャパシタ 4 4 を介してノード N 4 2 に伝達され、ノード N 4 2 の電位は 0 V から 3 V 近くまで上昇する。しかし、N 型 T F T 1 0 は既に非導通になっているので、回路動作への影響はない。

【 0 0 8 2 】

以上の結果、出力信号 V_O が「H」レベル（7.5 V）から「L」レベル（0 V）に立下げられるとともに出力信号 $\overline{V_O}$ が「L」レベル（0 V）から「H」レベル（7.5 V）に立上げられ、3 V から 7.5 V への論理レベルの変換が行なわれたことになる。

30

【 0 0 8 3 】

ノード N 4 1, N 4 2 の電位は、それぞれ、抵抗素子 4 1, 4 2 によって時間の経過とともにそれぞれ接地電位 GND に近づき、時刻 t_2 ではノード N 4 1, N 4 2 の電位はほぼ接地電位 GND になっている。時刻 t_2 において、入力信号 V_I が「L」レベル（0 V）から「H」レベル（3 V）に立上げられるとともに入力信号 $\overline{V_I}$ が「H」レベル（3 V）から「L」レベル（0 V）に立下げられると、上記と逆の電位関係で回路が動作する。

【 0 0 8 4 】

この実施の形態 4 でも、実施の形態 1 と同じ効果が得られる。

なお図 1 5 に示すように、実施の形態 2 に従って、抵抗素子 4 1, 4 2 をそれぞれ N 型 T F T 2 1, 2 2 で置換し、N 型 T F T 2 1, 2 2 のゲート（ノード N 2 1, N 2 2）とノード N 1 との間にそれぞれ抵抗素子 3 1, 3 2 を接続し、ノード N 1 1, N 1 2 とノード N 2 1, N 2 2 との間にそれぞれキャパシタ 3 3, 3 4 を接続してもよい。図 1 6 に示すように、時刻 t_1 において入力信号 V_I が「H」レベル（3 V）から「L」レベル（0 V）に立下げられると、ノード N 2 1 の電位が約 3 V 低下し、所定時間だけ電源電位 V_{CC} （7.5 V）よりも低くなる。ノード N 2 1 の電位が 7.5 V よりも低くなると、N 型 T F T 2 1 の抵抗値は高くなる。したがって、ノード N 4 1 のレベル上昇が図 1 3 のレベルシフタ 4 0 よりも緩やかになり、出力ノード N 5 を「L」レベルに引下げやすくなる。また、時刻 t_1 において入力信号 $\overline{V_I}$ が「L」レベル（0 V）から「H」レベル（3 V）に立上げられると、ノード N 2 2 の電位が約 3 V 上昇し、所定時間だけ電源電位 V_{CC}

40

50

(7.5V)よりも高くなる。ノードN21の電位が7.5Vよりも高くなると、N型TFT22の抵抗値が低くなる。したがって、ノードN42のレベル低下が図13のレベルシフト40よりも早くなり、次の時刻t2におけるノードN42の降圧動作を容易に行なうことができる。

【0085】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

10

【図1】 この発明の実施の形態1による携帯電話機の画像表示に関連する部分を示すブロック図である。

【図2】 図1に示したレベルシフトの構成を示す回路図である。

【図3】 図2に示したレベルシフトの動作を示すタイムチャートである。

【図4】 実施の形態1の変更例を示す回路図である。

【図5】 実施の形態1の他の変更例を示す回路図である。

【図6】 実施の形態1のさらに他の変更例を示す回路図である。

【図7】 実施の形態1のさらに他の変更例を示す回路図である。

【図8】 実施の形態1のさらに他の変更例を示す回路図である。

【図9】 この発明の実施の形態2によるレベルシフトの構成を示す回路図である。

20

【図10】 図9に示したレベルシフトの動作を示すタイムチャートである。

【図11】 この発明の実施の形態3によるレベルシフトの構成を示す回路図である。

【図12】 図11に示したレベルシフトの動作を示すタイムチャートである。

【図13】 この発明の実施の形態4によるレベルシフトの構成を示す回路図である。

【図14】 図13に示したレベルシフトの動作を示すタイムチャートである。

【図15】 実施の形態4の変更例を示す回路図である。

【図16】 図15に示したレベルシフトの動作を示すタイムチャートである。

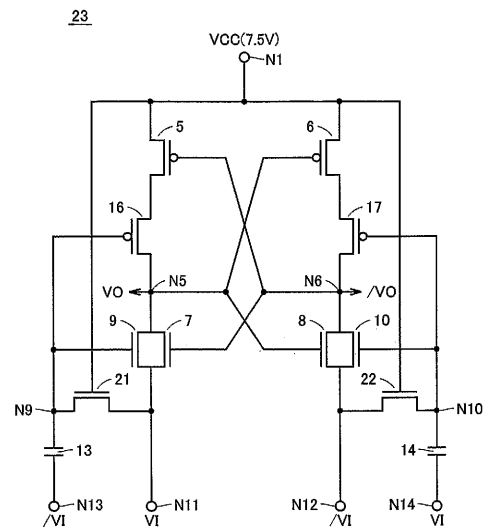
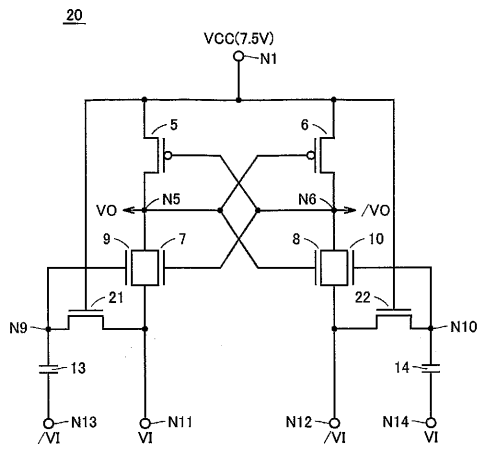
【図17】 従来の携帯電話機の画像表示に関連する部分を示すブロック図である。

【図18】 図17に示したレベルシフトの構成を示す回路図である。

【図19】 従来の他のレベルシフトの構成を示す回路図である。

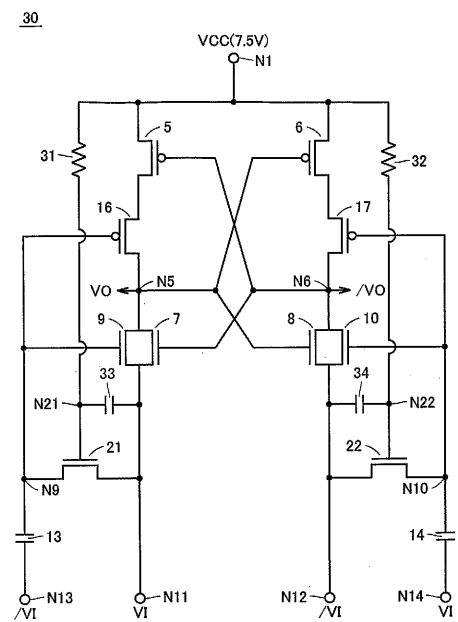
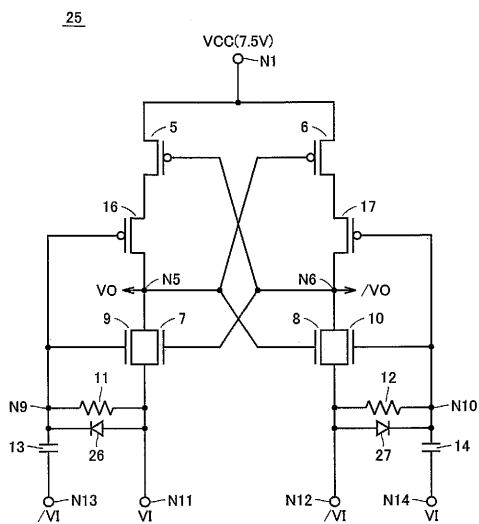
30

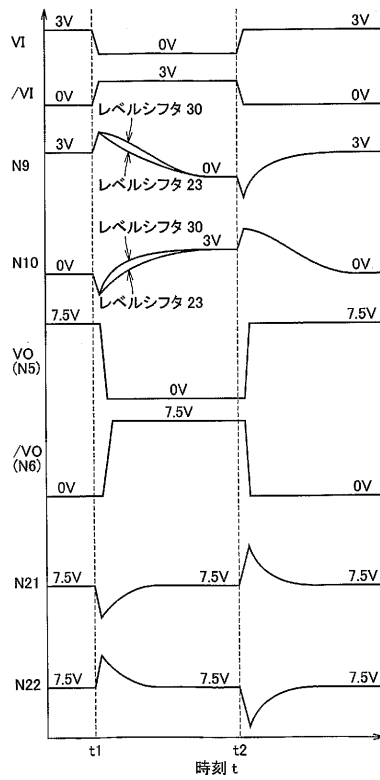
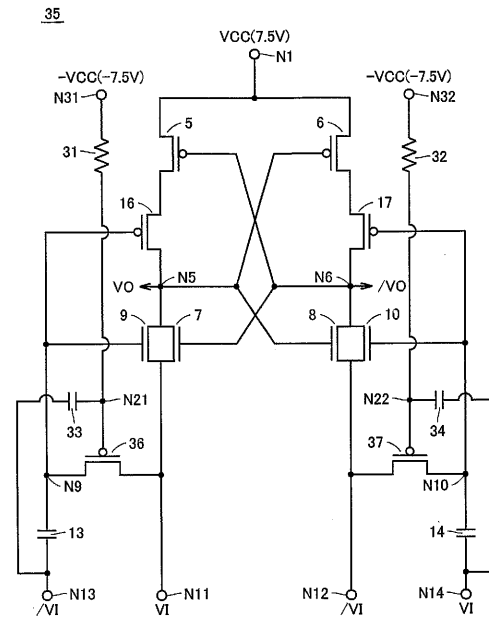
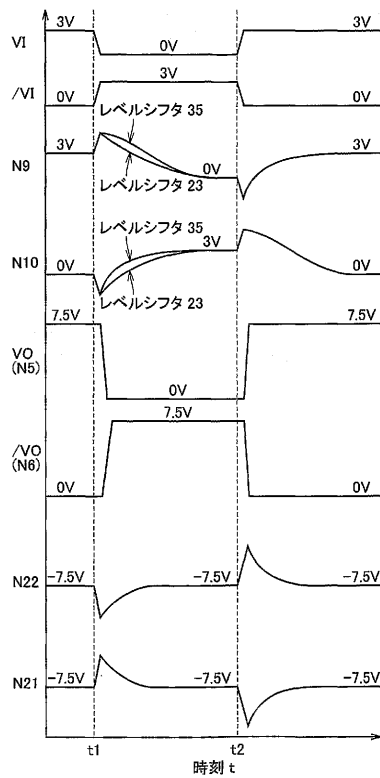
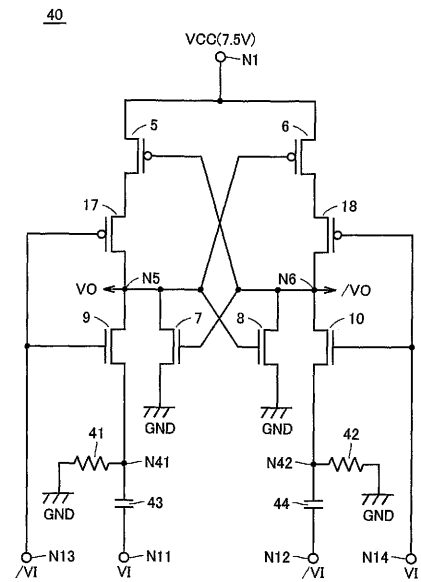
【 図 7 】
FIG.7



【 図 8 】
FIG.8

【 図 9 】
FIG.9



【図 1 0】
FIG.10【図 1 1】
FIG.11【図 1 2】
FIG.12【図 1 3】
FIG.13

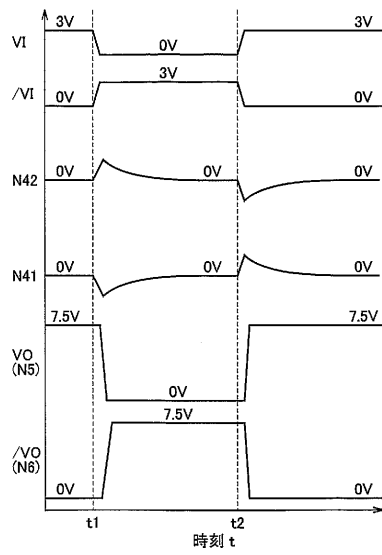
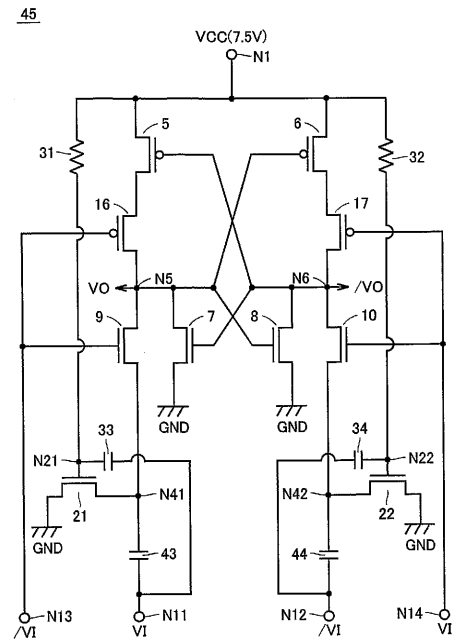
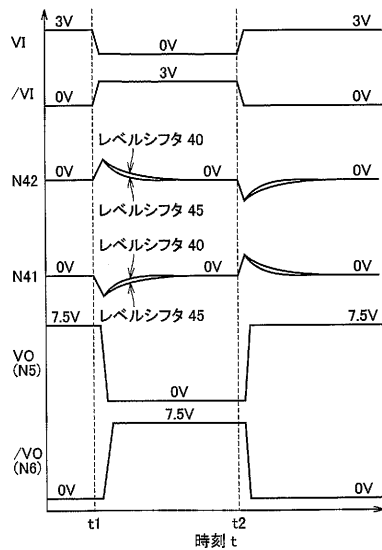
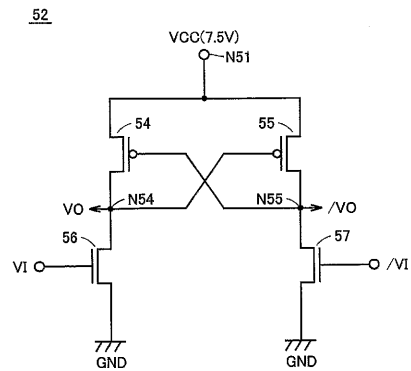
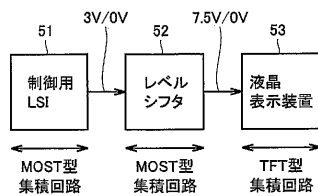
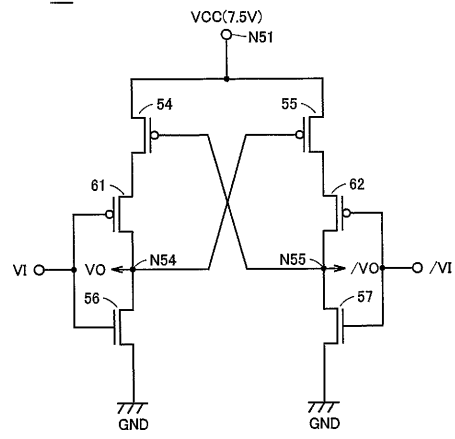
【図 1 4】
FIG.14【図 1 5】
FIG.15【図 1 6】
FIG.16【図 1 8】
FIG.18【図 1 7】
FIG.17

FIG.19



フロントページの続き

(72)発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 清水 稔

(56)参考文献 特開平09-130231(JP,A)

特開平04-268818(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/0185

G09G 3/20

G09G 3/36

H03K 17/687

H04N 5/66