

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 6 月 4 日 (04.06.2020)



(10) 国际公布号
WO 2020/107754 A1

(51) 国际专利分类号:
H01L 29/778 (2006.01) H01L 21/335 (2006.01)

(21) 国际申请号: PCT/CN2019/079417

(22) 国际申请日: 2019 年 3 月 25 日 (25.03.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811422595.4 2018 年 11 月 27 日 (27.11.2018) CN

(71) 申请人: 北京大学 (PEKING UNIVERSITY) [CN/CN]; 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。

(72) 发明人: 王茂俊 (WANG, Maojun); 中国北京市海淀区颐和园路 5 号北京大学信息科学技术学院, Beijing 100871 (CN)。 陶明 (TAO, Ming); 中国北京市海淀区颐和园路 5 号北京大学信息科学技术学院, Beijing 100871 (CN)。

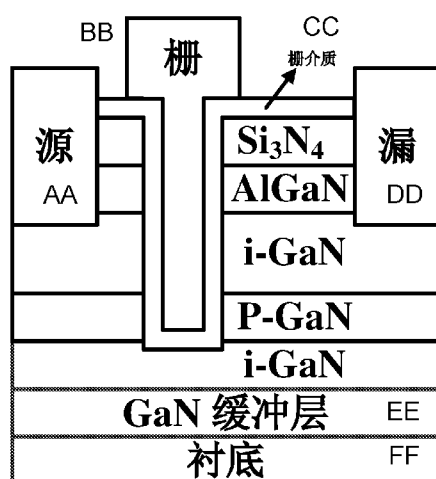
(74) 代理人: 北京万象新悦知识产权代理有限公司 (BEIJING WANXIANGXINYUE INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区颐和园路 1 号北京资源燕园宾馆六层 1625 号, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,

(54) **Title:** EPITAXIAL LAYER STRUCTURE FOR INCREASING THRESHOLD VOLTAGE OF GAN-ENHANCED MOSFET AND DEVICE FABRICATION METHOD

(54) 发明名称: 一种提高 GaN 增强型 MOSFET 阈值电压的外延层结构及器件制备



AA Source
BB Gate
CC Gate medium
DD Drain
EE GaN buffer layer
FF Substrate

图 9

(57) **Abstract:** An epitaxial layer structure for increasing a threshold voltage of a GaN-enhanced MOSFET and a device fabrication method employing the structure, relating to the field of power electronic devices and power switches. A substrate, a GaN buffer layer, an intrinsic GaN layer, an Mg-doped P-type GaN layer, a GaN channel layer, and an AlGaIn barrier layer are sequentially provided, from bottom to top, in the epitaxial layer structure. A passivation layer, a recessed gate, planar isolation, an insulated gate medium layer, an ohmic contact, a gate ohmic metal electrode, and a source-drain ohmic metal electrode are formed on the structure by means of a recessed gate process, so as to fabricate a GaN-enhanced MOSFET having a high threshold voltage. In the present invention, the P-type GaN layer is inserted into the intrinsic GaN layer, and after etching has been completely performed thereon, a channel inversion region has the P-type GaN layer in addition to the intrinsic GaN layer, thereby greatly increasing a threshold voltage of a device. The invention facilitates an improvement in the reliability of a GaN-enhanced device in practical applications, and widens an application range of the device in the field of power switches.



AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种提高GaN增强型MOSFET阈值电压的外延层结构及基于该结构的器件制备方法，涉及电力电子器件及功率开关领域。该外延层结构自下而上依次为衬底、GaN缓冲层、本征GaN层、Mg掺杂P型GaN层、GaN沟道层和AlGaN势垒层。在该结构上用凹槽栅工艺形成钝化层、凹槽栅、平面隔离、绝缘栅介质层、欧姆接触以及栅和源漏欧姆金属电极即可制备出高阈值电压增强型GaN MOSFET。本发明在本征GaN层中插入P型GaN层，将其完全刻蚀后，沟道反型区域除了本征GaN层还有P型GaN层，由此可以极大提高器件的阈值电压。有利于解决GaN增强型器件在实际应用中的可靠性问题，拓宽了其在功率开关领域的应用。

一种提高 GaN 增强型 MOSFET 阈值电压的外延层结构及器件制备

技术领域

本发明属于微电子技术领域，涉及基于化合物半导体材料的电力电子器件及功率开关领域。

背景技术

宽禁带半导体 GaN 因其突出的材料性能，例如高击穿场强、高电子饱和迁移率等，而被认为是下一代高效率功率开关领域十分有前景的竞争者。此外，由于极强的自发极化效应，在常规的 AlGaIn/GaN 异质结界面天然存在着浓度可高达 10^{13} cm^{-2} 的二维电子气（2DEG），2DEG 的迁移率可高达 $2000 \text{ cm}^2/\text{V} \cdot \text{s}$ ，这一优势使得基于 AlGaIn/GaN 异质结的 GaN 电力电子器件能有更快的开关速度，但同时也意味着常规异质结高迁移率晶体管（HEMT）为耗尽型器件，即在零栅压下，器件处于常开态，器件阈值电压为负值。然而在实际应用中，对于功率电子系统的安全操作而言，为了确保只加正栅压偏置时器件才有工作电流，增强型器件是必不可缺的。因此，国内外众多研究人员一直在致力于实现高性能的增强型 GaN HEMT。

目前主要有两种方式来实现 GaN 基器件的增强型操作，一是将一个低压增强型硅基 MOSFET 和一个高压耗尽型 GaN 器件采用共源共栅结构集成封装成一个能实现增强型操作的系统；二是直接采用增强型高压 GaN 功率器件。共源共栅结构的优势主要是栅控在硅基 MOSFET 上，而 GaN 基器件的栅并没有被直接控制，这样使得该系统在零偏压时没有工作电流，在阈值电压以上的正向偏压时，又能利用常开的 GaN 基器件快速开启。然而毕竟栅控没有直接作用在 GaN 基器件上，功率开关的转换效率控制就不太好，而这又会极大地影响系统的安全操作以及脉动噪声，因此直接栅控的高压增强型 GaN 功率器件依然十分有必要。

增强型 GaN 功率器件的实现主要有以下两种方法：1. 在 AlGaIn/GaN 异质结表面生长一层 P-type GaN 层，合理地设计该层的厚度以及掺杂即可有效地耗尽异质结界面处的 2DEG，从而实现常关型 GaN 功率器件，P-Type GaN 栅结构虽然能够得到阈值电压一致性很好的增强型器件，但是由于 P 型 GaN 生长困难，材料质量差导致栅可靠性并不好。2. 减薄栅区域的 AlGaIn 层厚度，消除栅下的固有正极化电荷，从而耗尽异质结界面处的 2DEG，实现常关型 GaN 功率器件，该法制得的金属-绝缘栅结构（MIS）器件虽然能得到不错的栅可靠性器件且工艺简单，但该器件的阈值电压很难做得很正，换言之很难保证零偏压下的绝对关断状态。

发明内容

为了解决上述方法 2 实现增强型 GaN 功率器件技术的缺点，本发明着眼于 AlGaIn/GaN

异质结外延层结构的设计，提出一种新型外延层结构，采用简单易于实现的传统干法刻蚀工艺去除 AlGa_N 势垒层，即可制备得到阈值电压很正的增强型 GaN 功率器件。

本发明提出的新型外延层结构自下而上包括：衬底、GaN 缓冲层、本征 GaN 层、Mg 掺杂 P 型 GaN 层、本征 GaN 沟道层以及本征 AlGa_N 势垒层，如图 1 所示。该新型外延层结构在 2DEG 下方的本征 GaN 层中插入了一层 Mg 掺杂 P 型 GaN 层，采用传统栅槽刻蚀工艺，栅下方刻蚀到 Mg 掺杂 P 型 GaN 层以下，形成栅下方的沟道，相比于传统外延层结构去除 AlGa_N 势垒层后形成的沟道，该结构中多出了两侧的 P-type GaN 沟道，也就是说，器件完全开启，不仅需要本征 GaN 层的反型，还需要 P-type GaN 沟道的反型，由此器件的阈值电压将会比传统外延层结构制备出来的增强型器件要大。与此同时，p-type GaN 反型沟道位于侧面，其有效宽度很窄，由 p-type GaN 的厚度决定，避免了仅刻蚀上层本征 GaN 时面临较长的横向 P-type GaN 沟道。由于 p-type GaN 上反型沟道的载流子迁移率要小于本征 GaN 上的积累沟道中载流子迁移率，因此这种刻蚀方案可以有效回避横向 p-type GaN 反型沟道导通电阻大的问题，从而提高器件的输出电流能力。

在上述新型外延层结构上用传统的凹槽栅工艺形成钝化层、凹槽栅、平面隔离、绝缘栅介质层、欧姆接触以及栅和源漏欧姆金属电极，即可形成高阈值电压的增强型 GaN MOSFET。在本征 GaN 层中插入 P 型 GaN 层，将其完全刻蚀后，沟道反型区域除了本征 GaN 层还有 P 型 GaN 层，由此可以极大提高器件的阈值电压，有利于解决 GaN 增强型器件在实际应用中的可靠性问题，拓宽了其在功率开关领域的应用。

本发明依据上述技术思路，借助 sentaurus TCAD 仿真工具，对基于该新型外延层结构的简单 MOS 栅槽型器件（如图 2 所示）进行仿真验证，得到的器件转移特性如图 3 所示，可以看到阈值电压约为 5V（线性外推法提取），这相比于传统结构下的栅槽型器件有了极大的提高，初步仿真验证证实了本发明的可行性。为了实现该新型外延层的生长且保证器件的性能，插入的 Mg 掺杂 P 型 GaN 层需要合理地设计其厚度、掺杂浓度，此外，为了避免 P-type GaN 对 GaN 沟道层的影响，其与 GaN 沟道层的距离也应该合理地设计。综合考虑以上各项影响，该新型外延层结构关键层成分组成及材料种类如下所示：

所述衬底材料优选为以下材料中的一种：Si、SiC、蓝宝石。

所述 Mg 掺杂 P 型 GaN 层掺杂浓度优选为： $5E16 \sim 2E18 \text{ cm}^{-3}$ 。

所述 Mg 掺杂 P 型 GaN 层厚度优选为 50nm~300nm。

所述 Mg 掺杂 P 型 GaN 层上面的本征 GaN 沟道层厚度优选为：100nm~300nm。

本发明提供了基于该 GaN 新型外延层结构的一种简单易于实现的工艺方法来制备 GaN 增强型 MOSFET，包括以下步骤：

(1) 在所述衬底上依次生长 GaN 缓冲层、本征 GaN 层、Mg 掺杂 P 型 GaN 层、本征 GaN 沟道层以及本征 AlGaIn 势垒层；

(2) 在 AlGaIn 势垒层上用 PECVD、ICPCVD 或者 LPCVD 生长介质钝化层；

(3) 光刻出栅极图形，首先刻蚀介质钝化层，再刻蚀本征 GaN 沟道层直至 Mg 掺杂 P 型 GaN 层全部刻蚀干净形成凹槽，然后优选在 650℃~800℃之间于 N₂ 保护气体中退火 15 分钟，激活 P-type GaN；

(4) 对已经退火激活沟道处 P-type GaN 的 GaN 晶圆片进行光刻和刻蚀（或者离子注入）形成有源区台面；

(5) 对制备好有源区台面的 GaN 晶圆片进行光刻，刻蚀出源漏欧姆电极区域，通过电子束蒸发或者磁控溅射制备多层金属形成源极和漏极，并在 800℃到 900℃之间于保护气体中退火 30 秒，形成欧姆接触；

(6) 形成欧姆接触之后，将晶圆片放入原子层淀积设备中，在其表面生长绝缘栅介质层，随后光刻出源漏区域欧姆接触孔，去除掉欧姆接触孔的绝缘栅介质层，使得源漏欧姆接触露出来；

(7) 光刻栅电极区域，用电子束蒸发或者磁控溅射生长栅电极材料，随后对器件进行剥离工艺处理形成栅电极，最后在氮气环境下对整个晶圆进行退火处理，完成整体器件的制备。

以上工艺方法中所述介质钝化层的材料可为以下材料中的任意一种：Si₃N₄、SiO₂、AlN、Al₂O₃、SiON。

以上工艺方法中，步骤 3) 刻蚀形成凹槽的方法可以是以下方法的任意一种：ICP 刻蚀、湿法腐蚀。

以上工艺方法中所述源极和漏极的材料为：钛、铝、镍、金、铂、铱、钼、钽、铌、钴、锆、钨等中的一种或多种的合金。

以上工艺方法中所述绝缘栅介质层可为以下材料中的任意一种：Si₃N₄、Al₂O₃、AlN、HfO₂、SiO₂、HfTiO、Sc₂O₃、Ga₂O₃、MgO、SiON。

以上工艺方法中所述栅电极材料为以下导电材料中的一种或多种的组合：铂、铱、镍、金、钼、钽、钨、钼、钽、钨、TiN、多晶硅、ITO。

本发明从化合物半导体的材料结构设计角度出发，提出一种新型的 AlGaIn/GaN 异质结结构，在该结构上用最简单的栅槽刻蚀工艺即可实现较大阈值电压的增强型器件，保证了器件在零偏压下的绝对关断状态从而有望解决 GaN 器件在实际应用中的相关可靠性问题。

附图说明

附图将会更加详细地阐述本发明提出的新型外延层结构以及基于该外延层结构的 GaN 增强型器件制备示例。附图说明如下：

图 1 是本发明提出的新型外延层结构剖面结构示意图。

图 2 是基于本发明新型外延层结构的简单 MOS 栅槽型 GaN 增强型器件的剖面结构示意图（sentaurus TCAD 器件仿真结构）。

图 3 是借助 sentaurus TCAD 仿真软件对图 2 所示器件结构计算机模拟得到的器件转移特性曲线和没有 pGaN 插入层的普通器件的对比图，可以看出器件阈值电压大幅度提升。

图 4~图 9 是基于本发明提出的外延层结构，在其上制备栅槽型 GaN 增强型器件每一步工艺后对应的器件剖面结构示意图，反映了本发明的一个具体实施示例。

具体实施方式

在下文中，将参照附图详细地阐述基于本发明提出的新型外延层结构制备栅槽型 GaN 增强型器件，以使本发明的具体实施方法、工艺流程、核心技术要点更加易于明白了解。该示例仅为本发明的一种实现方法，即本发明提出的结构不应该局限于在此阐述的示例。基于该示例，将本发明的范围充分地传达给本领域技术人员。

图 1 展示了本发明提出的新型外延层结构，该异质结结构从下向上的顺利依次包括衬底、GaN 缓冲层、本征 GaN 层、Mg 掺杂 P 型 GaN 层、本征 GaN 沟道层以及本征 AlGaIn 势垒层。基于该结构利用栅槽刻蚀工艺制备 GaN 增强型器件的一个具体实施示例包括以下具体步骤：

（1）在图 1 所示的 AlGaIn/GaN 异质结结构晶圆上用 PECVD、ICPCVD 或者 LPCVD 生长一层 Si_3N_4 钝化层，用来提高最终器件的可靠性，形成的结构剖面图如图 4 所示；

（2）在图 4 所示结构的基础上，首先用 RIE 刻蚀机去除栅槽区域的 Si_3N_4 ，然后用 ICP 刻蚀机去除栅槽区域的 GaN，栅下方刻蚀到 Mg 掺杂 P 型 GaN 层以下，形成栅下方的沟道，最后在 $650^\circ\text{C}\sim 800^\circ\text{C}$ 之间于 N_2 保护气体中退火 15 分钟，激活 P-type GaN，形成的结构剖面图如图 5 所示；

（3）接下来形成有源区域，对已经退火激活沟道处 P-type GaN 的 GaN 晶圆片进行光刻和刻蚀（或者离子注入）形成有源区台面；

（4）然后在有源区区域中光刻出源漏欧姆图形，首先用 RIE 刻蚀机去除覆盖其上的 Si_3N_4 ，然后通过电子束蒸发 Ti/Al/Ni/Au 四种金属，采用剥离工艺制备出源漏欧姆金属电极，最后在 870°C 氮气氛围中进行快速退火 30 秒，形成欧姆接触，其剖面结构示意图如图 6 所示；

（5）在步骤（4）的基础上，在晶圆表面生长 Al_2O_3 绝缘栅介质层，形成如图 7 所示的结构；

(6) 在图 7 所示结构的基础上用湿法腐蚀的方法去除覆盖在源漏欧姆接触上面的 Al_2O_3 (如图 8 所示), 接下来在栅区用电子束蒸发生长 Ni/Au 合金, 随后继续用剥离工艺形成栅金属电极, 形成一个 T 型栅结构, 如图 9 所示。最后在 N_2 氛围下对整个晶圆进行退火处理, 在 400°C 下退火 10min。

通过以上工艺步骤制备得到的增强型 GaN MOSHEMT 相比于常规的增强型器件, 阈值电压更大, 能确保零偏压下的绝对关断状态。

权利要求书

1. 一种提高 GaN 增强型 MOSFET 阈值电压的外延层结构，自下而上依次为衬底、GaN 缓冲层、本征 GaN 层、Mg 掺杂 P 型 GaN 层、本征 GaN 沟道层和本征 AlGaIn 势垒层。

2. 根据权利要求 1 所述的提高 GaN 增强型 MOSFET 阈值电压的外延层结构，其特征在于：所述衬底的材料为 Si、SiC 或蓝宝石。

3. 根据权利要求 1 所述的提高 GaN 增强型 MOSFET 阈值电压的外延层结构，其特征在于：所述 Mg 掺杂 P 型 GaN 层的掺杂浓度为 $5 \times 10^{16} \sim 2 \times 10^{18} \text{ cm}^{-3}$ 。

4. 根据权利要求 1 所述的提高 GaN 增强型 MOSFET 阈值电压的外延层结构，其特征在于：所述 Mg 掺杂 P 型 GaN 层的厚度为 50nm~300nm。

5. 根据权利要求 1 所述的提高 GaN 增强型 MOSFET 阈值电压的外延层结构，其特征在于：所述本征 GaN 沟道层的厚度为 100nm~300nm。

6. 一种 GaN 增强型 MOSFET，为栅槽型器件，其特征在于，该器件具有权利要求 1~5 任一所述的提高 GaN 增强型 MOSFET 阈值电压的外延层结构，栅槽刻蚀至所述 Mg 掺杂 P 型 GaN 层以下。

7. 一种 GaN 增强型 MOSFET 的制备方法，首先在衬底上依次生长 GaN 缓冲层、本征 GaN 层、Mg 掺杂 P 型 GaN 层、本征 GaN 沟道层和本征 AlGaIn 势垒层，得到权利要求 1~5 任一所述的提高 GaN 增强型 MOSFET 阈值电压的外延层结构，然后在其上用凹槽栅工艺形成 GaN 增强型 MOSFET。

8. 根据权利要求 7 所述的制备方法，其特征在于，该制备方法包括以下步骤：

- 1) 在衬底上依次生长 GaN 缓冲层、本征 GaN 层、Mg 掺杂 P 型 GaN 层、本征 GaN 沟道层和本征 AlGaIn 势垒层；
- 2) 在本征 AlGaIn 势垒层上生长介质钝化层；
- 3) 光刻出栅极图形，先刻蚀介质钝化层，再刻蚀本征 GaN 沟道层直至 Mg 掺杂 P 型 GaN 层全部刻蚀干净，形成凹槽，然后退火激活 P 型 GaN；
- 4) 光刻和刻蚀或者离子注入形成有源区台面；
- 5) 在有源区台面光刻和刻蚀出源漏欧姆电极区域，通过电子束蒸发或者磁控溅射制备金属源极和漏极，并退火形成欧姆接触；
- 6) 利用原子层淀积设备在表面生长绝缘栅介质层，随后光刻出源漏区域欧姆接触孔，去除掉欧姆接触孔的绝缘栅介质层，使得源漏欧姆接触露出来；
- 7) 光刻栅电极区域，用电子束蒸发或者磁控溅射生长栅电极材料，随后对器件进行剥离工艺处理形成栅电极，最后退火处理，完成整体器件的制备。

9. 根据权利要求 8 所述的制备方法，其特征在于：所述介质钝化层的材料为以下材料中的任意一种： Si_3N_4 、 AlN 、 Al_2O_3 、 SiO_2 、 SiON 。

10. 根据权利要求 8 所述的制备方法，其特征在于：步骤 3) 通过 ICP 刻蚀或湿法腐蚀形成凹槽。

11. 根据权利要求 8 所述的制备方法，其特征在于：步骤 3) 中在 $650^\circ\text{C}\sim 800^\circ\text{C}$ 于 N_2 保护气体中退火 15 分钟，激活 P 型 GaN。

12. 根据权利要求 8 所述的制备方法，其特征在于：步骤 6) 中所述绝缘栅介质层为以下材料中的任意一种： Si_3N_4 、 Al_2O_3 、 AlN 、 HfO_2 、 SiO_2 、 HfTiO 、 Sc_2O_3 、 Ga_2O_3 、 MgO 、 SiNO 。

13. 根据权利要求 8 所述的制备方法，其特征在于：所述源极和漏极的材料选自钛、铝、镍、金、铂、铋、钼、钽、铌、钴、锆和钨中的一种或多种的合金。

14. 根据权利要求 8 所述的制备方法，其特征在于：所述栅电极材料为以下导电材料中的一种或多种的组合：铂、铋、镍、金、钼、钽、硒、铍、TiN、多晶硅、ITO。

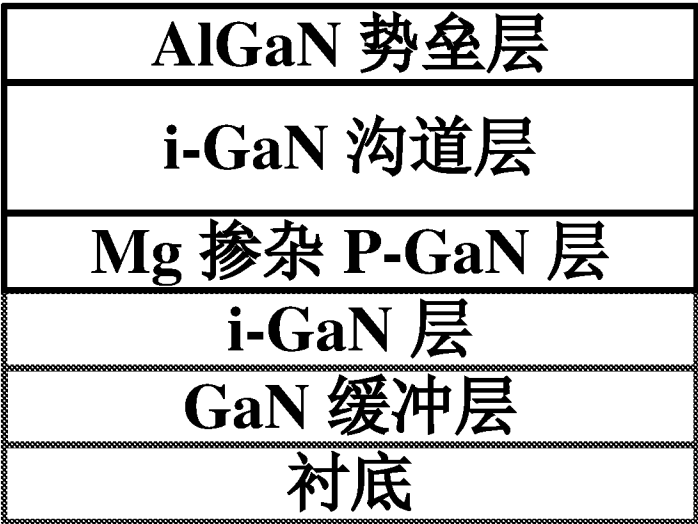


图 1

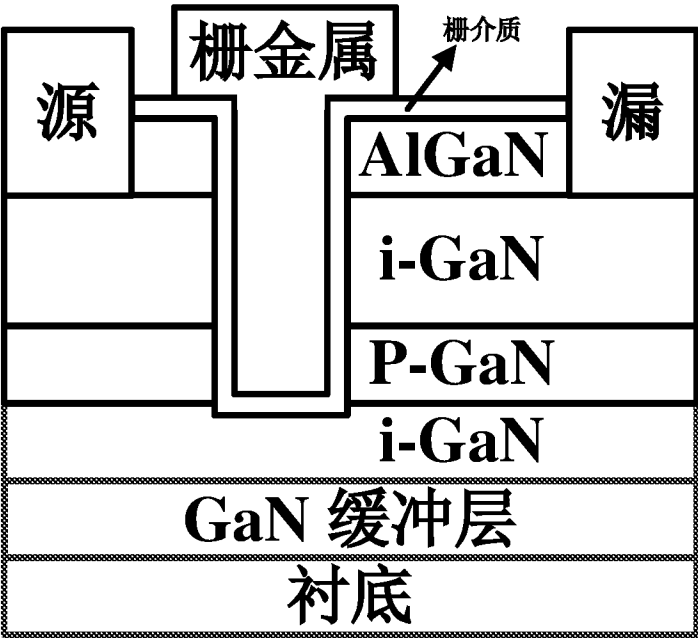


图 2

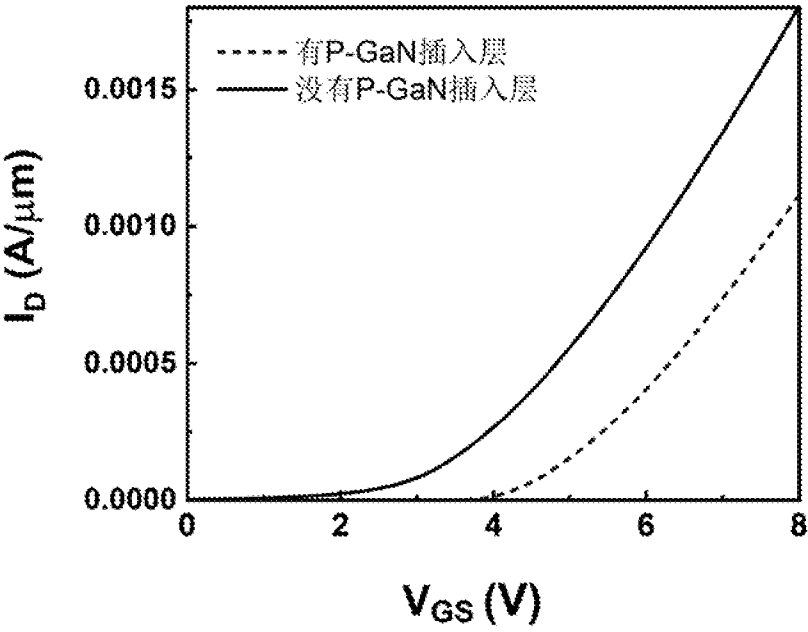


图 3

Si ₃ N ₄
AlGa _N 势垒层
i-Ga _N 沟道层
Mg 掺杂 P-Ga _N 层
i-Ga _N 层
Ga _N 缓冲层
衬底

图 4

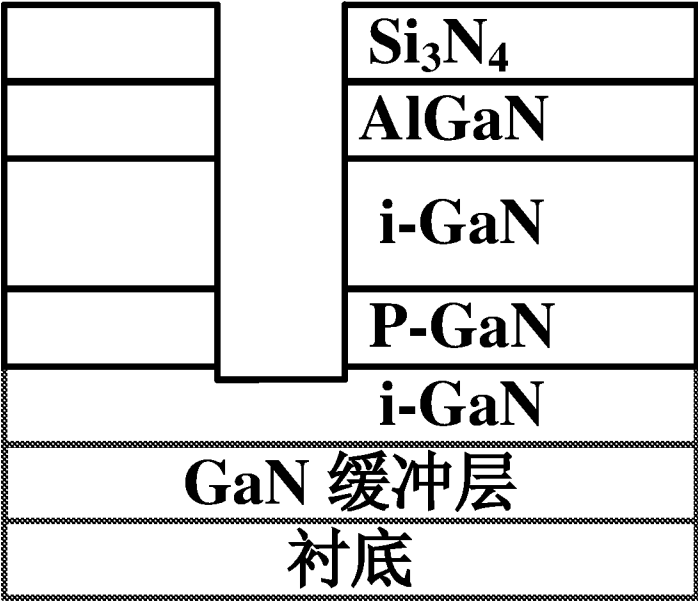


图 5

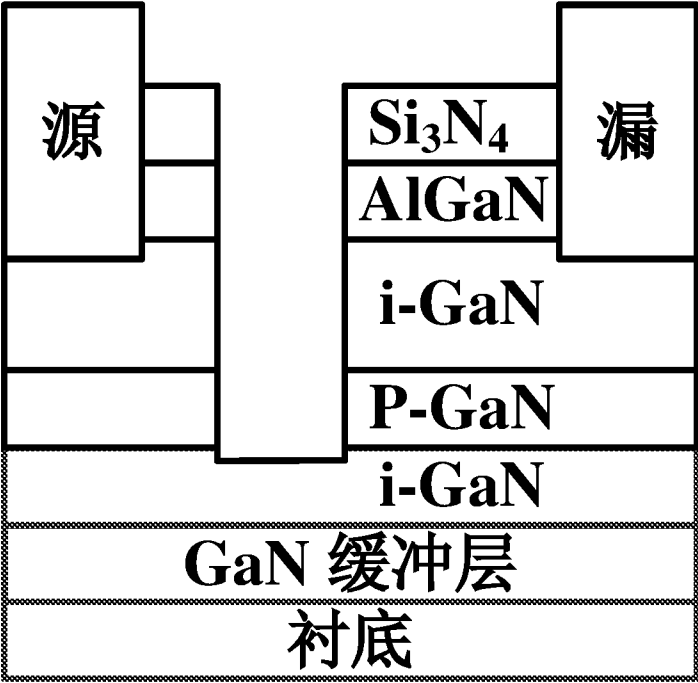


图 6

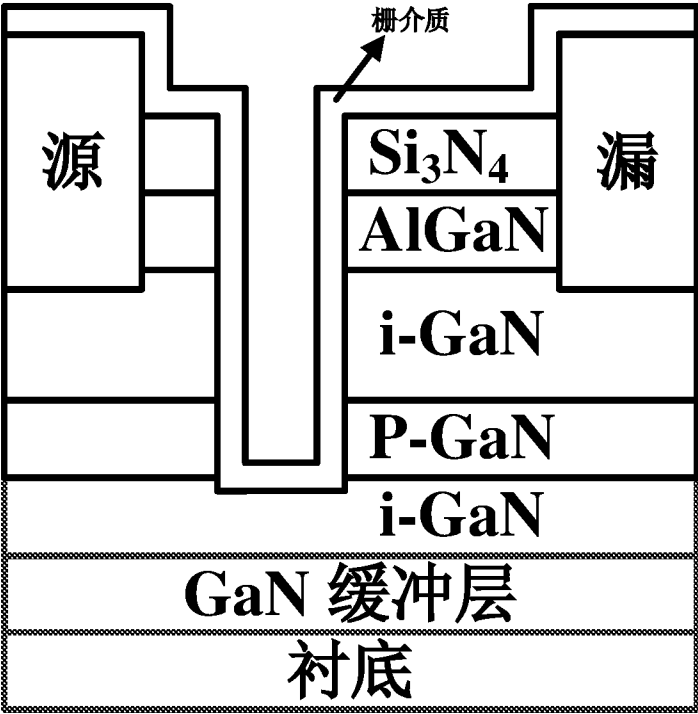


图 7

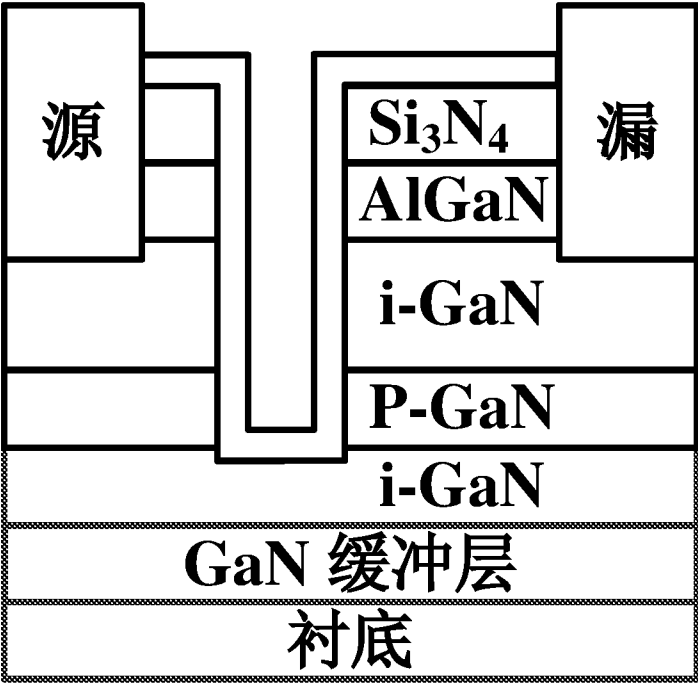


图 8

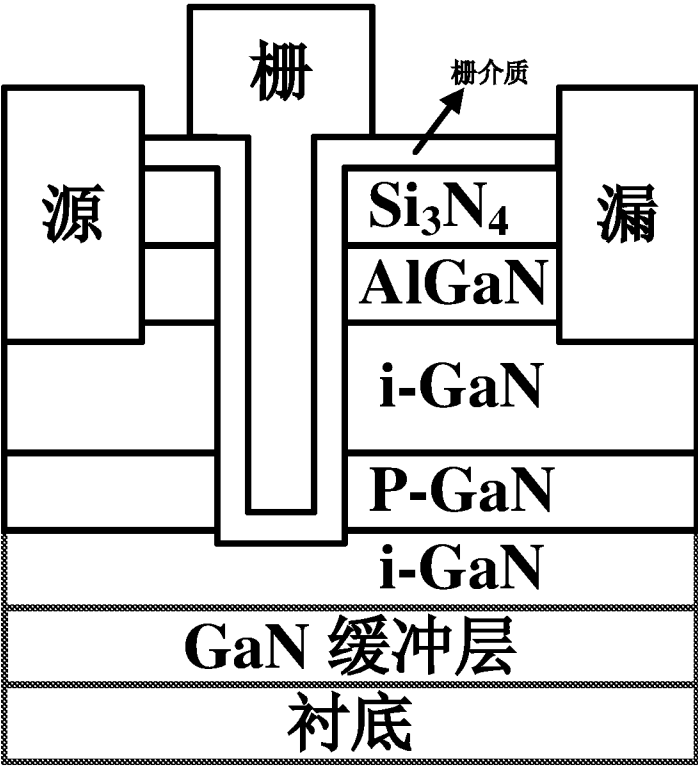


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/079417

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/778(2006.01)i; H01L 21/335(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, CNKI, IEEE, SIPOABS, CNABS, CNTXT, USTXT: 增强, 阈值, 氮化镓, 势垒, 本征, 掺杂, 镁, enhance, threshold, GaN, barrier, intrinsic, doped, Mg

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105845724 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 10 August 2016 (2016-08-10) description, paragraphs 0016 and 0029-0045, and figures 1-9	1-7
A	CN 105448976 A (SHENZHEN HUAXUN FANGZHOU MICROELECTRONIC SCIENCE AND TECHNOLOGY CO., LTD. et al.) 30 March 2016 (2016-03-30) entire document	1-14
A	US 2014141580 A1 (KUB et al.) 22 May 2014 (2014-05-22) entire document	1-14
A	CN 104716176 A (RENESAS ELECTRONICS CORPORATION.) 17 June 2015 (2015-06-17) entire document	1-14
A	CN 104638010 A (SUN YAT-SEN UNIVERSITY) 20 May 2015 (2015-05-20) entire document	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 August 2019

Date of mailing of the international search report

05 September 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/079417

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105845724	A	10 August 2016	CN	105845724	B	29 March 2019
CN	105448976	A	30 March 2016	None			
US	2014141580	A1	22 May 2014	US	8900939	B2	02 December 2014
				US	2013161641	A1	27 June 2013
				US	8648390	B2	11 February 2014
				WO	2010151721	A1	29 December 2010
				US	8384129	B2	26 February 2013
				US	2010327322	A1	30 December 2010
CN	104716176	A	17 June 2015	US	9601609	B2	21 March 2017
				KR	20150070001	A	24 June 2015
				CN	104716176	B	14 June 2019
				TW	201528503	A	16 July 2015
				JP	6534791	B2	26 June 2019
				US	10014403	B2	03 July 2018
				US	2017162683	A1	08 June 2017
				JP	2015115582	A	22 June 2015
				US	2015171204	A1	18 June 2015
				EP	2884539	A1	17 June 2015
CN	104638010	A	20 May 2015	CN	104638010	B	05 June 2018

国际检索报告

国际申请号

PCT/CN2019/079417

A. 主题的分类 H01L 29/778(2006.01)i; H01L 21/335(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) DWP, CNKI, IEEE, SIPOABS, CNABS, CNTXT, USTXT:增强, 阈值, 氮化镓, 势垒, 本征, 掺杂, 镁, enhance, threshold, GaN, barrier, intrinsic, doped, Mg																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 105845724 A (电子科技大学) 2016年 8月 10日 (2016 - 08 - 10) 说明书第0016段, 第0029-0045段, 图1-9</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>CN 105448976 A (深圳市华讯方舟微电子科技有限公司 等) 2016年 3月 30日 (2016 - 03 - 30) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 2014141580 A1 (KUB 等) 2014年 5月 22日 (2014 - 05 - 22) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 104716176 A (瑞萨电子株式会社) 2015年 6月 17日 (2015 - 06 - 17) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 104638010 A (中山大学) 2015年 5月 20日 (2015 - 05 - 20) 全文</td> <td>1-14</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 105845724 A (电子科技大学) 2016年 8月 10日 (2016 - 08 - 10) 说明书第0016段, 第0029-0045段, 图1-9	1-7	A	CN 105448976 A (深圳市华讯方舟微电子科技有限公司 等) 2016年 3月 30日 (2016 - 03 - 30) 全文	1-14	A	US 2014141580 A1 (KUB 等) 2014年 5月 22日 (2014 - 05 - 22) 全文	1-14	A	CN 104716176 A (瑞萨电子株式会社) 2015年 6月 17日 (2015 - 06 - 17) 全文	1-14	A	CN 104638010 A (中山大学) 2015年 5月 20日 (2015 - 05 - 20) 全文	1-14
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 105845724 A (电子科技大学) 2016年 8月 10日 (2016 - 08 - 10) 说明书第0016段, 第0029-0045段, 图1-9	1-7																		
A	CN 105448976 A (深圳市华讯方舟微电子科技有限公司 等) 2016年 3月 30日 (2016 - 03 - 30) 全文	1-14																		
A	US 2014141580 A1 (KUB 等) 2014年 5月 22日 (2014 - 05 - 22) 全文	1-14																		
A	CN 104716176 A (瑞萨电子株式会社) 2015年 6月 17日 (2015 - 06 - 17) 全文	1-14																		
A	CN 104638010 A (中山大学) 2015年 5月 20日 (2015 - 05 - 20) 全文	1-14																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																				
国际检索实际完成的日期 2019年 8月 26日		国际检索报告邮寄日期 2019年 9月 5日																		
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 智月 电话号码 62089270																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/079417

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105845724	A	2016年 8月 10日	CN	105845724	B	2019年 3月 29日
CN	105448976	A	2016年 3月 30日	无			
US	2014141580	A1	2014年 5月 22日	US	8900939	B2	2014年 12月 2日
				US	2013161641	A1	2013年 6月 27日
				US	8648390	B2	2014年 2月 11日
				WO	2010151721	A1	2010年 12月 29日
				US	8384129	B2	2013年 2月 26日
				US	2010327322	A1	2010年 12月 30日
CN	104716176	A	2015年 6月 17日	US	9601609	B2	2017年 3月 21日
				KR	20150070001	A	2015年 6月 24日
				CN	104716176	B	2019年 6月 14日
				TW	201528503	A	2015年 7月 16日
				JP	6534791	B2	2019年 6月 26日
				US	10014403	B2	2018年 7月 3日
				US	2017162683	A1	2017年 6月 8日
				JP	2015115582	A	2015年 6月 22日
				US	2015171204	A1	2015年 6月 18日
				EP	2884539	A1	2015年 6月 17日
CN	104638010	A	2015年 5月 20日	CN	104638010	B	2018年 6月 5日

表 PCT/ISA/210 (同族专利附件) (2015年1月)