



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0012146  
(43) 공개일자 2017년02월02일

- (51) 국제특허분류(Int. Cl.)  
*H01L 33/04* (2010.01) *H01L 33/02* (2010.01)  
*H01L 33/10* (2010.01) *H01L 33/36* (2010.01)
- (52) CPC특허분류  
*H01L 33/04* (2013.01)  
*H01L 33/005* (2013.01)
- (21) 출원번호 10-2016-0093740  
(22) 출원일자 2016년07월22일  
심사청구일자 없음

(30) 우선권주장  
14/808,295 2015년07월24일 미국(US)

- (71) 출원인  
에피스타 코포레이션  
대만 300 신츄 사이언스-베이스드 인더스트리얼  
파크, 리-신 피프쓰 로드 5
- (72) 발명자  
루 샤오-평  
대만 300 신츄 사이언스-베이스드 인더스트리얼  
파크 리-신 피프쓰 로드 5  
차이 천-푸
- (73) (뒷면에 계속)
- (74) 대리인  
유미특허법인

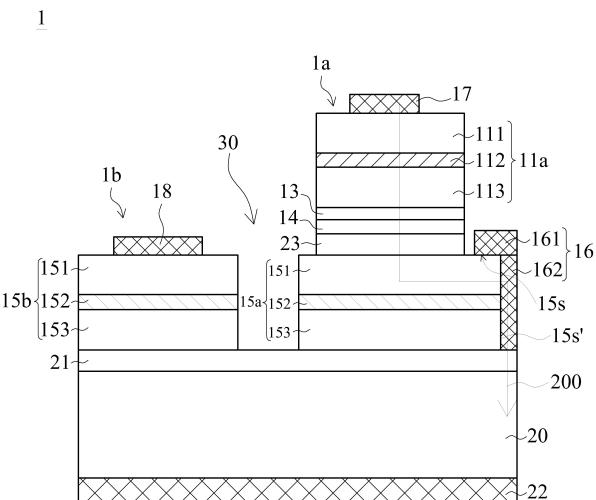
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 발광소자 및 그 제조방법

**(57) 요 약**

발광소자는 캐리어; 및 캐리어 상에 위치하고 제1 반도체 구조 및 제2 반도체 구조를 포함하는 제1 발광유닛을 포함하되, 제2 반도체 구조는 제1 반도체 구조보다 캐리어에 더 근접하고, 제1 반도체 구조는 작동 시 제1 주파장을 갖는 제1 광선을 방출하는 제1 다중양자우물 구조를 포함하고 제2 반도체 구조는 작동 시 광선을 방출하지 않는 제2 다중양자우물 구조를 포함한다.

**대 표 도** - 도3



(52) CPC특허분류

*H01L 33/02* (2013.01)

*H01L 33/10* (2013.01)

*H01L 33/36* (2013.01)

*H01L 2924/12041* (2013.01)

(72) 발명자

**린 천-유**

대만 300 신츄 사이언스-베이스드 인더스트리얼 파  
크 리-신 피프쓰 로드 5

**펭 유-련**

대만 300 신츄 사이언스-베이스드 인더스트리얼 파  
크 리-신 피프쓰 로드 5

---

**첸 이-링**

대만 300 신츄 사이언스-베이스드 인더스트리얼 파  
크 리-신 피프쓰 로드 5

**수 추-치에**

대만 300 신츄 사이언스-베이스드 인더스트리얼 파  
크 리-신 피프쓰 로드 5

## 명세서

### 청구범위

#### 청구항 1

캐리어;

상기 캐리어 상에 위치하고, 제1 다중양자우물 구조를 갖는 제1 반도체 구조 및 제2 다중양자우물 구조를 갖는 제2 반도체 구조를 포함하는 제1 발광유닛;

상기 제1 발광유닛의 상기 제1 반도체 구조 상에 위치하는 제1 상부 전극; 및

상기 제1 발광유닛의 상기 제2 반도체 구조 상에 위치하는 제3 상부 전극;을 포함하고,

상기 제2 반도체 구조는 상기 제1 반도체 구조에 비해 상기 캐리어에 근접하고, 상기 제1 다중양자우물 구조는 선형의 전류/전압 특성을 가지며, 제1 주파장을 갖는 제1 광선을 방출할 수 있고,

상기 제2 다중양자우물 구조는 비선형의 전류/전압 특성을 가지거나 상기 제2 다중양자우물 구조는 상기 제3 상부 전극과 직접 접촉하는,

발광소자.

#### 청구항 2

제1항에 있어서,

상기 캐리어 상에 위치한 하부 전극을 더 포함하고,

상기 제3 상부 전극과 상기 하부 전극은 전류 경로를 형성하고, 상기 제3 상부 전극은 상기 제1 상부 전극 및 상기 하부 전극에 직렬 연결되는, 발광소자.

#### 청구항 3

제1항에 있어서,

상기 캐리어 상에 위치한 하부 전극을 더 포함하되, 상기 제3 상부 전극 및 상기 하부 전극은 전류 경로를 형성하고, 상기 제1 상부 전극 및 상기 하부 전극을 흐르는 전류는 상기 제1 다중양자우물 구조를 순방향으로 구동시켜 상기 제1 광선을 방출할 수 있게 하는, 발광소자.

#### 청구항 4

제1항에 있어서,

상기 제2 다중양자우물 구조는 브레이크다운되어 광선을 방출하지 않는, 발광소자.

#### 청구항 5

제1항에 있어서,

상기 캐리어 상에 위치하는 제2 발광유닛을 더 포함하고,

상기 제1 발광유닛은 상기 제2 발광유닛과 물리적으로 분리되고, 상기 제2 발광유닛은 상기 제2 다중양자우물 구조를 갖는 제3 반도체 구조를 포함하고, 상기 제3 반도체 구조의 상기 제2 다중양자우물 구조는 제2 주파장을 갖는 제2 광선을 방출할 수 있는, 발광소자.

#### 청구항 6

제5항에 있어서,

상기 제1 광선은 적외선 광선이고, 상기 제2 광선은 적색광인, 발광소자.

## 청구항 7

제1항에 있어서,

상기 제1 다중양자우물 구조는  $In_xGa_yAl_{(1-x-y)}As$  ( $0 \leq x, y \leq 1$ )을 포함하고, 상기 제2 다중양자우물 구조는  $In_aGa_bAl_{(1-a-b)}P$  ( $0 \leq a, b \leq 1$ )을 포함하는, 발광소자.

## 청구항 8

제1항에 있어서,

상기 제1 반도체 구조와 상기 제2 반도체 구조 사이에 위치한 터널 접합면, 상기 제1 반도체 구조와 상기 제2 반도체 구조 사이에 위치한 식각 정지층, 및 상기 제1 반도체 구조와 상기 제2 반도체 구조 사이에 위치한 브래그 반사(DBR) 구조를 더 포함하는 발광소자.

## 청구항 9

발광소자의 제조방법에 있어서,

성장기판을 제공하는 단계;

상기 성장기판 상에 제1 다중양자우물 구조를 포함하는 제1 반도체 적층을 성장시키는 단계;

상기 제1 반도체 적층 상에 제2 다중양자우물 구조를 포함하는 제2 반도체 적층을 성장시키는 단계;

캐리어를 제공하는 단계;

제1 영역 및 상기 제1 영역에 인접한 제2 영역을 포함하는 상기 캐리어에 상기 제2 반도체 적층을 접합하는 단계;

상기 캐리어 상의 상기 제2 영역의 상기 제1 반도체 적층을 제거하여 상기 제2 반도체 적층을 노출시키고, 상기 캐리어 상의 상기 제1 영역의 상기 제1 반도체 적층을 남겨두는 단계;

상기 제2 반도체 적층을 부분적으로 제거하여 상기 제2 반도체 적층을 두 개의 분리된 부분으로 분리시키도록 그루브를 형성하는 단계;

상기 캐리어 상의 상기 제1 영역의 상기 제1 반도체 적층 상에 제1 상부 전극을 형성하는 단계; 및

상기 캐리어 상의 상기 제2 영역의 상기 제2 반도체 적층 상에 제2 상부 전극을 형성하는 단계;를 포함하고,

상기 캐리어는 상기 제1 상부 전극 및 상기 제2 상부 전극에 공통으로 전기적 연결되는,

발광소자의 제조방법.

## 청구항 10

제9항에 있어서,

전류를 제공하여 상기 캐리어 상의 상기 제1 영역의 상기 제2 다중양자우물 구조를 브레이크다운시키는 단계를 더 포함하고,

상기 제1 영역의 상기 제1 다중양자우물 구조 및 상기 제2 다중양자우물 구조 간의 전기적 직렬 연결에 의해, 상기 제1 영역의 상기 제1 다중양자우물 구조는 순방향으로 구동되어 발광하고, 상기 제1 영역의 상기 제1 다중양자우물 구조를 순방향으로 구동시키기 전에, 상기 제1 영역의 상기 제2 다중양자우물 구조가 브레이크다운되는, 발광소자의 제조방법.

## 발명의 설명

### 기술 분야

본 발명은 발광소자에 관한 것으로, 특히 복수의 주파장을 방출할 수 있는 발광소자에 관한 것이다.

### 배경 기술

[0002]

발광다이오드(Light-Emitting Diode, LED)는 광범위하게 사용되는 고체 반도체 발광소자이다. 발광다이오드는 p형 반도체층, n형 반도체층, 및 p형 반도체층과 n형 반도체층 사이에 위치하여 광선을 방출하는 활성층을 포함한다. 발광다이오드는 전기 에너지를 빛 에너지로 변환시킬 수 있고, 그 작동 원리는 전류를 발광다이오드에 제공하여 전자와 정공을 활성층에 주입시키면, 전자와 정공이 활성층에서 결합하면서 광선을 방출하는 것이다.

### 발명의 내용

#### 과제의 해결 수단

[0003]

발광소자는 캐리어 및 캐리어 상에 위치한 제1 발광유닛을 포함하고, 제1 반도체 구조 및 제2 반도체 구조를 포함하되, 제2 반도체 구조는 제1 반도체 구조에 비해 캐리어에 더 근접하고, 제1 반도체 구조는 작동 시 제1 주파장을 갖는 제1 광선을 방출하도록 제1 다중양자우물 구조를 포함하고, 제2 반도체 구조는 작동 시 광선을 방출하지 않도록 제2 다중양자우물 구조를 포함한다.

[0004]

발광소자의 제조방법은 성장기판을 제공하는 단계; 성장기판 상에 제1 다중양자우물 구조를 포함하는 제1 반도체 적층을 성장시키는 단계; 제1 반도체 적층 상에 제2 다중양자우물 구조를 포함하는 제2 반도체 적층을 성장시키는 단계; 캐리어를 제공하는 단계; 제2 반도체 적층을 제1 영역 및 제1 영역에 인접한 제2 영역을 포함하는 캐리어에 결합시키는 단계; 캐리어 상의 제2 영역의 제1 반도체 적층을 제거하여 제2 반도체 적층을 노출시키고, 캐리어 상의 제1 영역의 제1 반도체 적층은 남겨두는 단계; 제2 반도체 적층을 부분적으로 제거하여 제2 반도체 적층을 두 개의 분리된 부분으로 분리시키도록 그루브를 형성하는 단계; 캐리어 상의 제1 영역의 제1 반도체 적층 상에 제1 상부 전극을 형성하는 단계; 및 캐리어 상의 제2 영역의 제2 반도체 적층 상에 제2 상부 전극을 형성하는 단계;를 포함하고, 캐리어는 제1 상부 전극 및 제2 상부 전극에 공통으로 전기적으로 연결된다.

#### 도면의 간단한 설명

[0005]

도 1a 내지 도 1d는 본 발명의 일 실시예에 개시된 발광소자의 제조방법이다.

도 2는 본 발명의 제1 실시예에 개시된 발광소자의 단면도이다.

도 3은 본 발명의 제2 실시예에 개시된 발광소자의 단면도이다.

#### 발명을 실시하기 위한 구체적인 내용

[0006]

본 발명의 설명이 더 구체적이고 완전하도록, 아래 실시예의 설명과 관련 도면을 결합하여 참고하기 바란다. 다만, 아래에서 보여준 실시예는 본 발명의 발광소자의 예시일 뿐, 본 발명을 아래의 실시예로 한정하기 위한 것은 아니다. 또한, 본 명세서의 실시예에 기재된 구성 부품의 크기, 재질, 형상, 상대적인 배치 등에 대해 한정된 기재가 없는 한, 본 발명의 범위는 아래 실시예에 한정되지 않고, 단순한 설명에 불과하다. 또한 각 도면에 도시된 구성 요소의 크기 또는 위치 관계 등을 명확하게 설명하기 위하여 확대하여 나타낸 경우가 있다. 또한, 아래 설명에서는, 동일하거나 동일한 성질의 구성 요소에 대해 동일한 명칭, 부호로 나타내어 상세한 설명을 적절하게 생략했다.

[0007]

도 1a 내지 도 1d는 본 발명의 일 실시예에 개시된 발광소자(1)의 제조방법이다. 도 1a에 도시된 바와 같이, 발광소자(1)의 제조방법은 에피택시 방법으로 성장기판(10) 상에 제1 반도체 적층(11)을 에피택시 성장시키고, 예컨대 유기금속화학증착법(MOCVD), 분자빔 에피택시(MBE), 또는 수소화물기상증착법(HVPE)이 있다. 성장기판(10)은 단결정 표면을 갖는 단결정 재료를 포함함으로써 성장기판(10) 상에 제1 반도체 적층(11)이 에피택시 성장되도록 하고, 단결정 표면은 사파이어 C면, 사파이어 R면, 또는 사파이어 A면을 포함한다. 다른 예에서, 성장기판(10)은 탄화규소(SiC), 규소, 산화아연, 갈륨비소, 또는 질화갈륨 등의 금속산화물 또는 반도체 재료를 포함한다. 제1 반도체 적층(11)은 제1 전도성을 갖는 제1 반도체층(111), 제2 전도성을 갖는 제2 반도체층(113), 제1 반도체층(111)과 제2 반도체층(113) 사이에 형성된 제1 활성층(112)을 포함하고, 제2 전도성은 제1 전도성과 다르다. 제1 활성층(112)은 싱글 혜테로 구조(single heterostructure, SH), 더블 혜테로 구조(double heterostructure, DH), 또는 다중양자우물(multi-quantum well, MQW) 구조를 포함한다. 일 실시예에서, 제1 반도체층(111)은 전자를 제공하는 n형 반도체층이고, 제2 반도체층(113)은 정공을 제공하는 p형 반도체층이고, 전자와 정공이 구동전류하에 제1 활성층(112)에서 결합되면서 광선을 방출한다. 다른 실시예에서, 제1 반도체층(111)은 p형 반도체층일 수 있고, 제2 반도체층(113)은 n형 반도체층일 수 있다. 제1 활성층(112)의 재료는 자

외선과 녹색광 스펙트럼 사이에 위치한 주파장을 갖는 광선을 방출할 수 있는  $In_xGn_yAl_{(1-x-y)}N$ ( $0 \leq x, y \leq 1$ ), 황색광과 적색광 스펙트럼 사이에 위치한 주파장을 갖는 광선을 방출하는  $In_xGa_yAl_{(1-x-y)}P$ ( $0 \leq x, y \leq 1$ ), 또는 적외선 스펙트럼에 위치한 주파장을 갖는 광선을 방출하는  $In_xGa_yAl_{(1-x-y)}As$ ( $0 \leq x, y \leq 1$ )을 포함한다.

[0008]

이어서, 제1 반도체 적층(11) 상에 반사층(13)을 에피택시 성장시킨다. 반사층(13)은 브래그 반사(DBR) 구조 및 III-V족 반도체 재료를 포함한다. 반사층(13)은 제1 반도체 적층(11)의 제2 반도체층(113)과 동일한 전도성을 갖는다. 이어서, 제1 반도체 적층(11) 상에 III-V족 반도체 재료를 포함하는 터널 접합면(tunnel junction)(14)을 에피택시 성장시킨다. 이 터널 접합면(14)은 n형 전도성 반도체층 등 제1 전도성을 갖는 제1 중도핑(heavy doping)층 및 p형 전도성 반도체층 등 제2 전도성을 갖는 제2 중도핑층으로 구성되는 pn접합을 포함한다. 중도핑된 n형 전도성 반도체층 및 중도핑된 p형 전도성 반도체층은 적어도 제1 반도체 적층(11)의 반도체층의 도핑 농도보다 한 급수(order) 이상 높은 도핑 농도를 갖는다. 터널 접합면(14)을 구성하는 복수의 중도핑층은 작동 시 낮은 저항 값의 전기적 접합면을 제공하도록  $10^{18}/cm^3$ 보다 높은 도핑 농도를 갖는 것이 바람직하다. 낮은 저항을 갖는 터널 접합면(14)은 제1 반도체 구조(11a)과 후속 공정에서 제1 반도체 구조(11a) 상에 형성되는 기타 반도체 구조 사이의 전기적 접합면으로 작용한다. 터널 접합면(14)의 일측은 제2 반도체층(113) 또는 반사층(13)에 인접하고, 제2 반도체층(113) 또는 반사층(13)과 동일한 전도성을 갖는다. 터널 접합면(14)의 다른 일측은 제2 반도체층(113) 또는 반사층(13)과 멀리 떨어져 있고, 제2 반도체층(113) 또는 반사층(13)과 반대되는 전도성을 갖는다.

[0009]

이어서, 제1 반도체 적층(11) 상에 식각 정지층(23)을 에피택시 성장시킨다. 그 다음, 에피택시 방법으로 식각 정지층(23) 상에 제2 반도체 적층(15)을 에피택시 성장시키고, 에피택시 방법은 예컨대 유기금속화학증착법(MOCVD), 분자빔 에피택시(MBE), 또는 수소화물기상증착법(HVPE)이 있다. 제2 반도체 적층(15)은 제1 전도성을 갖는 제3 반도체층(151), 제2 전도성을 갖는 제4 반도체층(153), 및 제3 반도체층(151)과 제4 반도체층(153) 사이에 형성된 제2 활성층(152)을 포함하고, 제2 전도성은 제1 전도성과 다르다. 제2 활성층(152)은 싱글 혜테로 구조(single heterostructure, SH), 더블 혜테로 구조(double heterostructure, DH), 또는 다중양자우물(multi-quantum well, MQW) 구조를 포함한다. 일 실시예에서, 제3 반도체층(151)은 전자를 제공하는 n형 반도체층이고, 제4 반도체층(153)은 정공을 제공하는 p형 반도체층이고, 정공과 전자가 구동전류하에 제2 활성층(152)에서 결합되면서 광선을 방출한다. 다른 실시예에서, 제3 반도체층(151)은 p형 반도체층일 수 있고, 제4 반도체층(153)은 n형 반도체층일 수 있다. 제2 활성층(152)의 재료는 자외선과 녹색광 스펙트럼 사이에 위치한 주파장을 갖는 광선을 방출하는  $In_xGn_yAl_{(1-x-y)}N$ ( $0 \leq x, y \leq 1$ ), 황색광과 적색광 스펙트럼 사이에 위치한 주파장을 갖는 광선을 방출하는  $In_xGa_yAl_{(1-x-y)}P$ ( $0 \leq x, y \leq 1$ ), 또는 적외선 스펙트럼에 위치한 주파장을 갖는 광선을 방출하는  $In_xGa_yAl_{(1-x-y)}As$ ( $0 \leq x, y \leq 1$ )을 포함한다.

[0010]

제1 반도체 적층(11), 반사층(13), 터널 접합면(14), 식각 정지층(23), 및 제2 반도체 적층(15)은 오염되지 않도록 에피택시 캠버 내에서 성장기판(10) 상에 연속적으로 성장시켜, 반도체층이 적층되는 에피택시 품질을 보장한다.

[0011]

도 1b에 도시된 바와 같이, 발광소자(1)의 제조방법은 상술한 단계에서의 다층구조 캐리어(20) 상에 플립 칩 접합(flip chip bonding)하는 접합단계를 더 포함하고, 접합단계는 바인더층(21)을 통해 제2 반도체 적층(15)의 제4 반도체층(153)을 캐리어(20) 상에 접합하는 공정, 및 열압착 공정을 포함하고, 캐리어(20)는 제1 영역 및 제1 영역에 인접한 제2 영역을 포함한다. 접합층으로서의 바인더층(21)은 접착 재료를 포함한다. 캐리어(20) 및 바인더층(21)은 금속 또는 솔더와 같은 전도성 재료를 포함한다. 본 실시예의 변형례에서, 캐리어(20)는 열전도성 재료 또는 절연성 재료를 포함한다. 이어서, 제2 반도체 적층(15)의 제4 반도체층(153)을 캐리어(20)에 접합한 후, 성장기판(10)을 제거한다.

[0012]

도 1c에 도시된 바와 같이, 발광소자(1)의 제조방법은 포토리소그래피 공정을 통해 제1 반도체 적층(11) 상에 패턴화 마스크(미도시)를 형성하는 단계, 및 화학적 습식 식각 또는 건식 식각을 통해 캐리어(20)의 제2 영역에 위치한 제1 반도체 적층(11)(예컨대 패턴화 마스크에 의해 커버되지 않은 일부 제1 반도체 적층(11)), 반사층(13) 및 터널 접합면(14)을 식각하여 식각 정지층(23)을 노출시키고 캐리어(20) 제1 영역의 제1 반도체 적층(11)을 남겨두는 단계를 더 포함한다. 식각 정지층(23)은 갈륨 인듐 인화물(InGaP)과 같은 III-V족 반도체 재료이고, 식각 단계에서 식각률은 제1 반도체 적층(11)의 식각률보다 낮다. 패턴화 마스크에 의해 커버된 일부 제1

반도체 적층(11)은 제2 반도체 적층(15) 상에 남아 제1 반도체 구조(11a)를 형성한다.

[0013] 도 1d에 도시된 바와 같이, 발광소자(1)의 제조방법은 노출된 식각 정지층(23) 및 제2 반도체 적층(15)을 관통하는 그루브(30)를 형성하는 단계를 더 포함한다. 그루브(30)는 제2 반도체 적층(15)을 제2 반도체 구조(15a) 및 제3 반도체 구조(15b)로 분리시키고, 제2 반도체 구조(15a)는 캐리어(20)와 제1 반도체 구조(11a) 사이에 형성되고, 제3 반도체 구조(15b)는 캐리어(20) 상에 형성되고 제2 반도체 구조(15a)와 이격된다.

[0014] 제조방법에 의해 얻은 발광소자(1)의 교체예는 각각 도 2 및 도 3에 예시되었다.

[0015] 도 2 또는 도 3에 도시된 바와 같이, 하부 전극(22)은 캐리어(20)의 배면측에 위치하여 제1 반도체 구조(11a), 제2 반도체 구조(15a) 및 제3 반도체 구조(15b)에 전기적으로 연결된다. 제1 상부 전극(17) 및 제2 상부 전극(18)은 각각 제1 반도체 구조(11a)의 상측 및 제3 반도체 구조(15b)의 상측을 형성한다.

[0016] 도 2는 발광소자(1)의 제조방법의 제1 예이다. 제조방법은 제2 반도체 구조(15a)의 노출 표면(15s) 상에 제3 상부 전극(16)을 제공하는 단계, 및 제2 반도체 구조(15a)의 다이오드 특성이 브레이크다운(break down)되도록 제3 상부 전극(16) 및 하부 전극(22)에 걸리는 전류를 제공하는 단계를 더 포함한다. 구체적으로, 제2 반도체 구조(15a)의 역방향 항복전압을 초과하도록 제3 상부 전극(16) 및 하부 전극(22)에 걸리는 역방향 바이어스를 제공하여, 제2 반도체 구조(15a)의 다이오드 특성을 브레이크다운시킴으로써, 상기 제2 반도체 구조(15a)의 제2 활성층(152)이 발광을 할 수 있게 한다. 더 구체적으로, 0.1 내지 0.5초의 지속구간에서,  $80A/cm^2$  내지 200  $A/cm^2$ 의 전류가 제3 상부 전극(16) 및 하부 전극(22)에 걸려, 제2 반도체 구조(15a)를 흐르게 하여, 제2 반도체 구조(15a)의 다이오드 특성을 파괴시키고, 여기서 상기 다이오드 특성은 비선형의 전류/전압 특성을 가리킨다. 상기 단계는 제2 반도체 구조(15a)를 선형의 전류/전압 특성을 갖는 구조로 전환시켜, 제2 반도체 구조(15a)가 저항이 200ohms 이하인 저항기, 바람직하게는 저항이 100ohms 이하인 저항기, 더욱 바람직하게는 저항이 10ohms 이하인 저항기로 작용하게 한다. 따라서, 제2 반도체 구조(15a)에 걸리는 순방향 바이어스를 제공하더라도, 제2 반도체 구조(15a)의 제2 활성층(152)의 제2 다중양자우물(MQW) 구조는 실질적으로 발광하지 않는다. 상기 공정 단계를 거치면, 본 발명의 제1 실시예에서 개시된 발광소자(1)의 구조가 완성된다.

[0017] 도 3은 발광소자(1)의 제조방법의 제2 예이다. 제조방법은 제2 반도체 구조(15a)의 상면(15s) 및 측면(15s')에 제3 상부 전극(16)을 직접 형성하여, 제2 반도체 구조(15a)에 단락이 발생하도록 제2 반도체 구조(15a)의 제2 활성층(152)의 제2 다중양자우물(MQW) 구조와 제3 상부 전극(16)을 직접 접촉시키는 단계를 더 포함한다. 상기 공정은 제1 상부 전극(17)과 하부 전극(22) 사이의 구동전류가 제2 반도체 구조(15a)의 제2 활성층(152)을 에돌아가게 하여, 상기 제2 반도체 구조(15a)의 제2 활성층(152)이 발광하지 못하도록 한다. 상기 공정 단계를 거치면, 본 발명의 제2 실시예에서 개시된 발광소자(1)의 구조가 완성된다.

[0018] 제1 상부 전극(17), 제2 상부 전극(18), 하부 전극(22), 및 제3 상부 전극(16)은 금(Au), 알루미늄(Al), 팔라듐(Pt), 크롬(Cr), 티타늄(Ti), 니켈(Ni), 텉스텐(W), 또는 이들의 조합과 같은 낮은 저항률을 갖는 금속 재료를 포함하고, 또한 단층 또는 다층 구조일 수 있다. 제1 상부 전극(17), 제2 상부 전극(18), 하부 전극(22), 또는 제3상부 전극(16)의 두께는 약 0.1 내지 10  $\mu m$ 이다. 발광소자(1)의 평면도를 보면, 제1 상부 전극(17) 및 제2 상부 전극(18)은 각각 직사각형, 다각형, 원형, 또는 타원형 등과 같은 형상을 가진다. 제1 상부 전극(17), 제2 상부 전극(18), 하부 전극(22), 및 제3 상부 전극(16)은 스퍼터링(Sputtering), 증착(Evoaporation), 또는 도금(Plating)을 통해 형성될 수 있다.

[0019] 도 2는 본 발명의 제1 실시예에 개시된 발광소자(1)의 단면도이다. 발광소자(1)는 제1 발광유닛(1a) 및 제2 발광유닛(1b)을 포함한다. 제1 발광유닛(1a)은 제1 반도체 구조(11a) 및 제2 반도체 구조(15a)를 포함하고, 제2 발광유닛(1b)은 제3 반도체 구조(15b)를 포함한다. 제1 발광유닛(1a) 및 제2 발광유닛(1b)은 모두 캐리어(20) 상에 위치한다. 제1 발광유닛(1a)은 제1 반도체 구조(11a), 및 제1 반도체 구조(11a)와 캐리어(20) 사이에 위치한 제2 반도체 구조(15a)를 포함한다. 제1 발광유닛(1a)에 포함된 제1 반도체 구조(11a)는 제1 활성층(112)을 가지며, 제1 활성층(112)은 제1 상부 전극(17)과 하부 전극(22) 사이의 전류에 의해 구동되어 제1 주파장( $\lambda 1$ )을 갖는 광선을 방출할 수 있는 제1 다중양자우물(MQW) 구조를 포함한다. 제1 발광유닛(1a)이 구동되어 제1 주파장( $\lambda 1$ )을 갖는 광선을 방출할 경우, 제1 발광유닛(1a)의 제2 반도체 구조(15a)의 제2 활성층(152)에 포함된 제2 다중양자우물(MQW) 구조는 발광하지 않는다. 제2 발광유닛(1b)은 캐리어(20) 상에 위치하고 제1 발광유닛(1a)에 인접한 제3 반도체구조(15b)를 포함하고, 제3 반도체구조(15b)의 제2 활성층(152)은 제2 반도체 구조(15a)의 제2 활성층(152)과 동일한 제2 다중양자우물(MQW)구조를 포함하고, 제3 반도체구조(15b)의 제2 활성층(152)에 포함된 제2 다중양자우물(MQW) 구조는 제2 상부 전극(18) 및 하부 전극(22)에 의해 구동되어 제2 주파

장( $\lambda_2$ )을 갖는 광선을 방출한다. 제1 반도체 구조(11a)의 제1 다중양자우물(MQW) 구조에 포함된 재료 조성은 제2 반도체 구조(15a)의 제2 다중양자우물(MQW) 구조 또는 제3 반도체 구조(15b)의 제2 다중양자우물(MQW) 구조의 재료 조성과 다르다. 제1 주파장( $\lambda_1$ )은 제2 주파장( $\lambda_2$ )과 다르다. 본 실시예의 일 예에서, 제1 주파장( $\lambda_1$ )은 제2 주파장( $\lambda_2$ )보다 길다. 본 실시예의 일 예에서, 제1 주파장( $\lambda_1$ )은 적외선 파장에 위치하고, 제2 주파장( $\lambda_2$ )은 적색광 파장에 위치한다. 본 실시예의 다른 일 예에서, 제1 주파장( $\lambda_1$ ) 및 제2 주파장( $\lambda_2$ )은 빨간 빛 파장에 위치한다. 본 실시예의 다른 일 예에서, 제1 주파장( $\lambda_1$ ) 및 제2 주파장( $\lambda_2$ )은 적외선 파장에 위치한다.

[0020] 제3 상부 전극(16)은 제2 반도체 구조(15a)의 표면(15s) 상에 위치한다. 제1 전류를 제1 상부 전극(17) 및 하부 전극(22)에 제공하여 순방향으로 제1 반도체 구조(11a)의 제1 활성층(112)의 제1 다중양자우물(MQW) 구조를 구동시켜 제1 주파장( $\lambda_1$ )을 갖는 광선을 방출하게 한다. 제2 전류를 제2 상부 전극(18) 및 하부 전극(22)에 제공하여 순방향으로 제3 반도체 구조(15b)의 제2 활성층(152)의 제2 다중양자우물(MQW) 구조를 구동시켜 제2 주파장( $\lambda_2$ )을 갖는 광선을 방출하게 하며, 파장( $\lambda_1$ )과 파장( $\lambda_2$ )은 다르다. 더 구체적으로, 전류(100)가 직렬 연결된 제1 다중양자우물(MQW) 구조 및 제2 다중양자우물(MQW) 구조를 흐르면, 제1 발광유닛(1a)의 제1 다중양자우물(MQW) 구조는 제1 주파장을 갖는 광선만을 방출하고, 제2 반도체 구조(15a)를 순방향으로 구동하더라도, 제2 반도체 구조(15a)의 제2 활성층(152)의 제2 다중양자우물(MQW) 구조는 발광하지 않는다.

[0021] 도 3은 본 발명의 제2 실시예에 개시된 발광소자(1)의 단면도이다. 도 3과 도 2에서 동일한 명칭, 부호를 갖는 구조는 동일한 구조, 동일한 재료를 갖거나 동일한 기능을 가지는 것을 의미하므로, 이에 대한 설명을 적절히 생략하거나 설명하지 않는다.

도 3에 도시된 바와 같이, 제1 반도체 구조(11a)의 측면 및 제2 반도체 구조(15a)의 표면(15s)은 계단형 구조를 형성한다. 제3 상부 전극(16)은 제2 반도체 구조(15a)의 상면(15s)에 형성된 접촉전극(161), 및 제2 반도체 구조(15a)의 측면(15s') 상에 형성된 브릿지 전극(162)을 포함한다. 구체적으로, 제3 상부 전극(16)은 제2 반도체 구조(15a)의 표면에 바로 인접한다. 접촉전극(161)은 제2 반도체 구조(15a)의 표면(15s) 상에 위치하고, 브릿지 전극(162)은 접촉전극(161)으로부터 캐리어(20) 또는 바인더층(21)까지 연신된다. 제3 상부 전극(16)은 제2 반도체 구조(15a)의 전류 흐름 경로를 구성하므로, 제2 반도체 구조(15a)의 제2 활성층(152)의 제2 다중양자우물(MQW) 구조에 전류가 흐르지 않게 하여 발광하지 않는다. 제3 상부 전극(16)은 금(Au), 알루미늄(Al), 팔라듐(Pt), 크롬(Cr), 티타늄(Ti), 니켈(Ni), 텉스텐(W), 또는 이들의 조합과 같은 낮은 저항률을 갖는 금속 재료를 포함하고, 또한 단층 또는 다층 구조일 수 있다. 제3 상부 전극(16)은 제1 상부 전극(17)과 하부 전극(22)의 직렬연결을 제공한다. 제3 상부 전극(16)은 제2 반도체 구조(15a)의 상면 및 측면에 직접 형성되어, 제2 반도체 구조(15a)에 단락을 발생시키므로, 제1 상부 전극(17)과 하부 전극(22) 사이의 구동 전류가 제2 반도체 구조(15a)의 제2 활성층(152)을 에돌아가면서, 제2 반도체 구조(15a)의 제2 활성층(152)이 작동 시 발광하지 않도록 한다. 제1 반도체 구조(11a)의 제1 활성층(112)의 제1 다중양자우물(MQW) 구조는 제1 상부 전극(17) 및 하부 전극(22)에 의해 구동되어 제1 주파장( $\lambda_1$ )을 갖는 광선을 방출한다. 더 구체적으로, 전류(200)가 직렬 연결된 제1 다중양자우물(MQW) 구조 및 제2 다중양자우물(MQW) 구조를 흐르면, 제1 발광유닛(1a)의 제1 다중양자우물(MQW) 구조는 제1 주파장을 갖는 광선만을 방출하고, 제2 다중양자우물(MQW) 구조는 발광하지 않는다.

[0023] 도 2, 3에 도시된 바와 같이, 발광소자(1)의 바인더층(21)은 금(Au), 알루미늄(Al), 팔라듐(Pt), 크롬(Cr), 티타늄(Ti), 니켈(Ni), 텉스텐(W), 또는 이들의 조합과 같은 낮은 저항률을 갖는 금속 재료를 포함한다. 바인더층(21)은 제1 발광유닛(1a)과 캐리어(20) 사이에 형성되고, 및/또는 제2 발광유닛(1b)과 캐리어(20) 사이에 형성되어, 제1 발광유닛(1a)의 제1 활성층(112)에서 생성된 광선을 반사하여 캐리어(20)와 멀리 떨어져 있는 제1 발광유닛(1a)의 광 추출면을 향하게 하고, 및/또한 제2 발광유닛(1b)의 제2 활성층(152)이 생성한 광선을 반사하여 제2 발광유닛(1b)의 광 추출면을 향하게 한다. 본 발명의 실시예에서, 제1 발광유닛(1a) 및 제2 발광유닛(1b)의 광추출 효율은 바인더층(21)에 의해 개선된다.

[0024] 더 나아가, 제3 상부 전극(16) 및 하부 전극(22)에 걸리는 역방향 바이어스가 제2 반도체 구조(15a)의 역방향 항복전압을 초과하지 않으면, 제1 발광유닛(1a)의 제2 반도체 구조(15a)의 다이오드 특성은 제1 실시예에서 브레이크다운되지 않거나, 또는 제3 상부 전극(16)(접촉전극(161) 및 브릿지 전극(162))의 단락 전류가 완전히 차단되지 않아 제2 실시예 중의 제1 발광유닛(1a)의 제2 반도체 구조(15a)의 제2 활성층(152)에 전류가 흐르게 된다. 그러므로, 일부 광선이 생성되어 제1 발광유닛(1a)의 제2 반도체 구조(15a)의 제2 활성층(152)을 거쳐 발사될 수 있다. 따라서, 반사층(13)을 제1 발광유닛(1a)의 제2 반도체 구조(15a)의 제3 반도체층(151)과 제1 발광유닛(1a)의 제1 반도체 구조(11a)의 제2 반도체층(113) 사이에 형성하여, 제1 발광유닛(1a)의 제1 반도체 구조

(11a)의 제1 활성층(112)이 생성한 광선을 반사하여, 제1 발광유닛(1a)의 제1 반도체 구조(11a)의 광추출면을 향하여 발사되게 하고, 제1 발광유닛(1a)의 제2 반도체 구조(15a)의 제2 활성층(152)이 생성한 광선을 반사하여, 제1 발광유닛(1a)의 제1 반도체 구조(11a)의 광추출면에서 멀어지게 한다. 이러한 실시예에서, 제1 발광유닛(1a)의 제2 반도체 구조(15a)의 제2 활성층(152)이 방출하는 광 출력은 발광소자(1)의 총 광 출력의 10%이다.

[0025] 본 발명에서 예시한 각 실시예는 본 발명을 설명하기 위한 것일 뿐, 본 발명의 범위를 한정하기 위한 것은 아니다. 본 발명에 대한 모든 자명한 수정 또는 변경은 모두 본 발명의 정신 및 범위를 벗어나지 않는다.

### **부호의 설명**

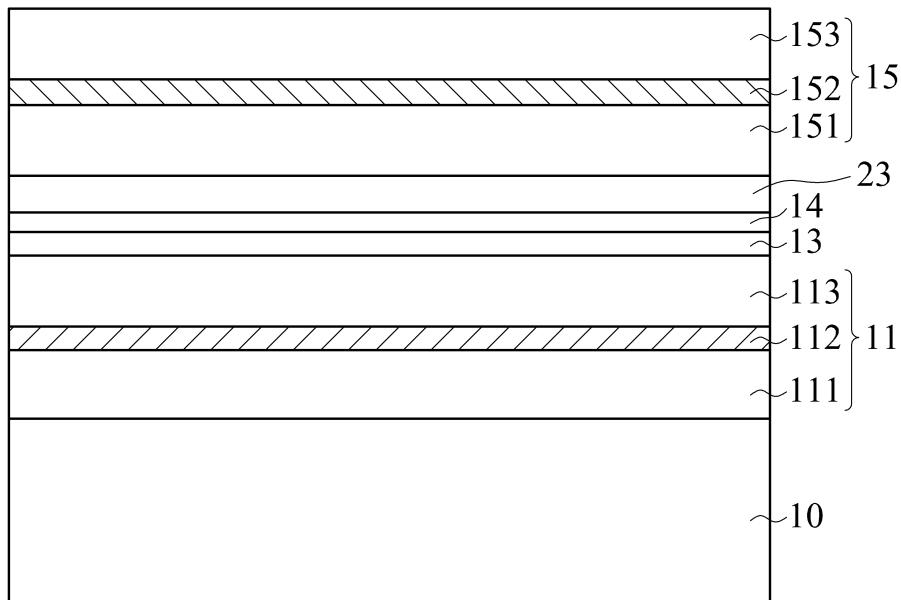
[0026]

- 1 발광소자
- 1a 제1 발광유닛
- 1b 제2 발광유닛
- 10 성장기판
- 11 제1 반도체 적층
- 11a 제1 반도체 구조
- 111 제1 반도체층
- 112 제1 활성층
- 113 제2 반도체층
- 13 반사층
- 14 터널 접합면
- 15 제2 반도체 적층
- 15a 제2 반도체 구조
- 15b 제3 반도체구조
- 15s 표면
- 15s' 측면
- 151 제3 반도체층
- 152 제2 활성층
- 153 제4 반도체층
- 16 제3 상부 전극
- 161 접촉전극
- 162 브릿지 전극
- 17 제1 상부 전극
- 18 제2 상부 전극
- 20 캐리어
- 21 바인더층
- 22 하부 전극
- 23 식각 정지층
- 30 그루브

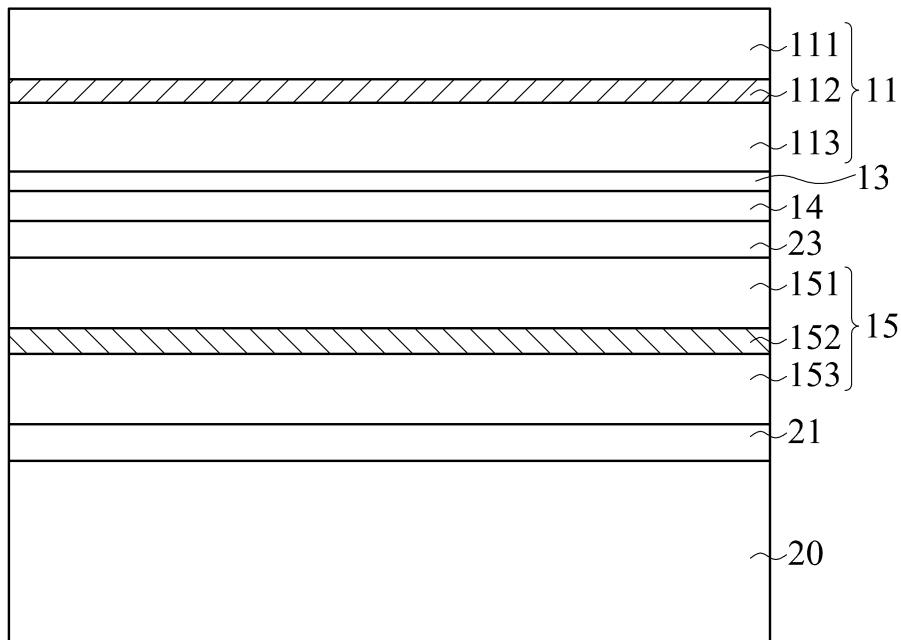
100 전류  
200 전류

### 도면

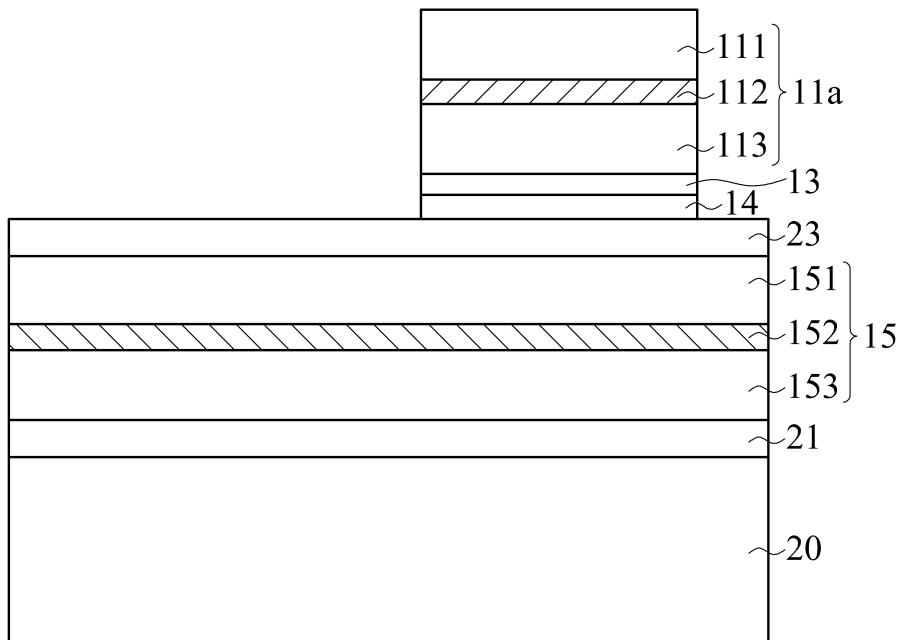
#### 도면1a



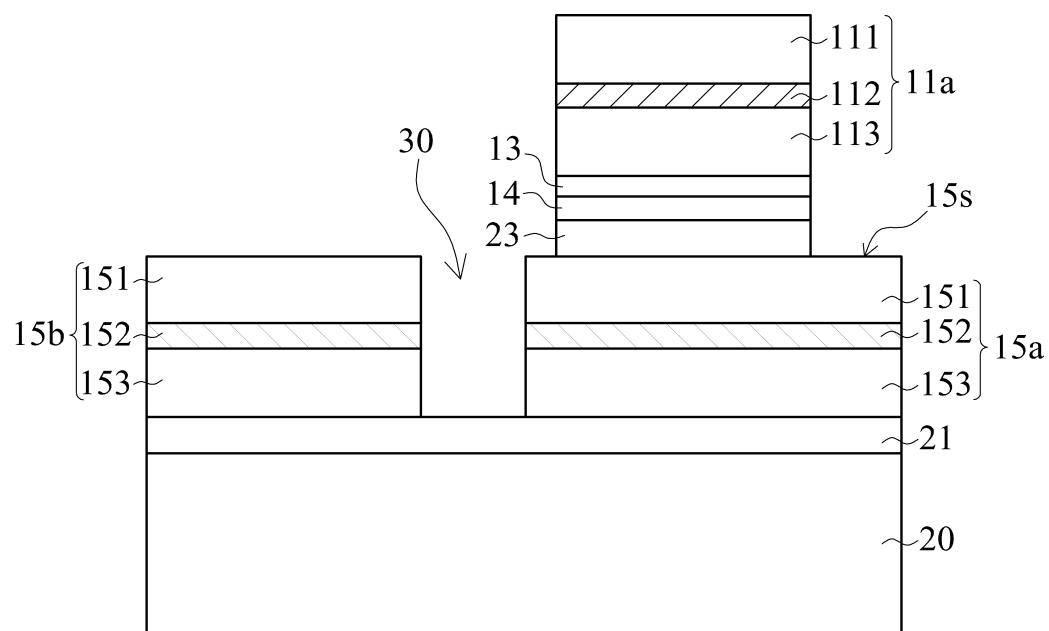
#### 도면1b



도면1c

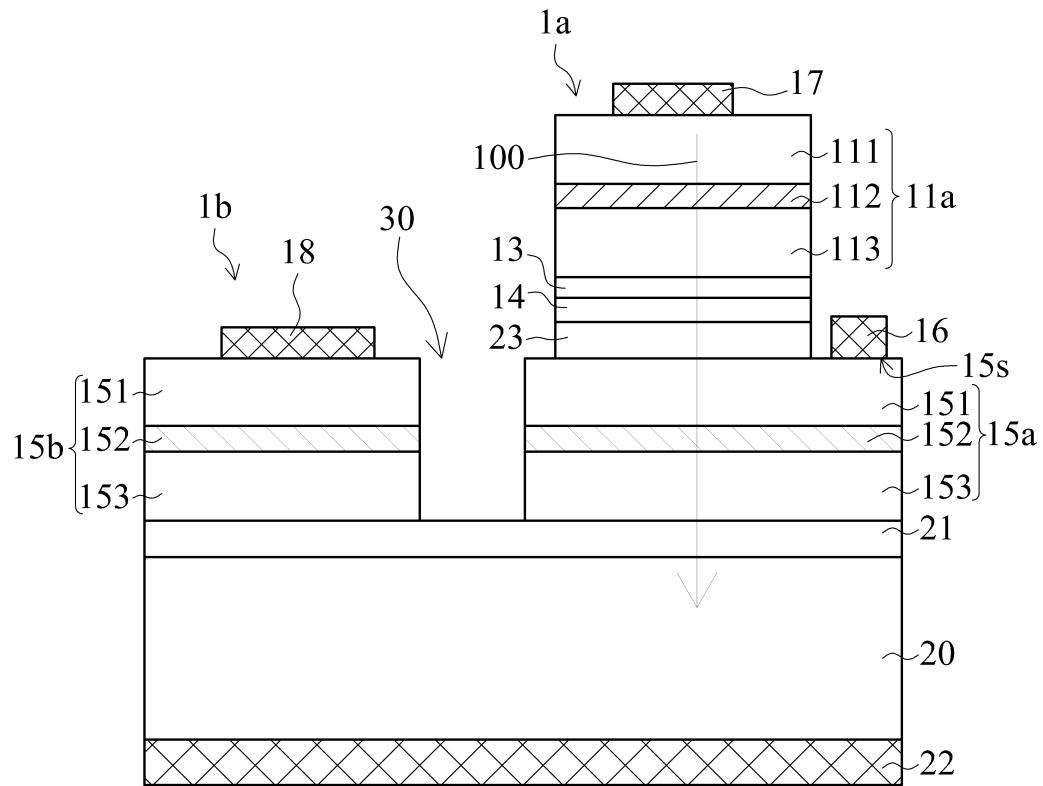


도면1d



## 도면2

1



## 도면3

1