



(45)授权公告日 2017.12.26

利商标事务所 11038

H01L 25/065(2006.01)

审查员 王宝林

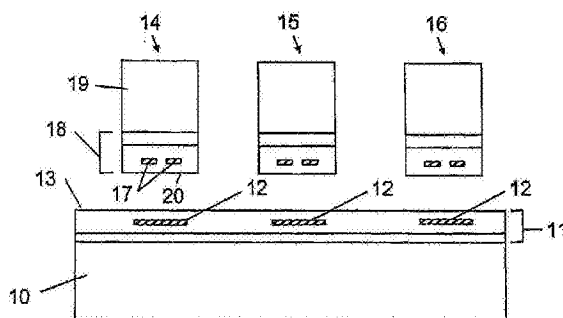
权利要求书2页 说明书27页 附图35页

被填充的通孔。

三维IC方法和器件

(57)摘要

本发明提供一种三维地集成元件诸如被分切管芯或晶片的方法以及具有连接元件诸如被分切管芯或晶片的集成结构。管芯和晶片之一或全部可以具有形成于其中的半导体器件。具有第一接触结构的第一元件被键合到具有第二接触结构的第二元件。第一和第二接触结构可以在键合时被暴露并由于键合的结果被电互连。通孔可以在键合之后被蚀刻和填充以暴露和形成电互连以电互连第一和第二接触结构并提供从表面到该互连的电通路。替代地,第一和/或第二接触结构在键合时不被暴露,而通孔在键合后被蚀刻和填充以将第一和第二接触结构电连接,并对表面提供对互连了的的第一和第二接触结构的电通路。并且,器件可以被形成于第一衬底中,该器件被放置于第一衬底的器件区中并具有第一接触结构。通孔可以在键合之前被蚀刻、或蚀刻并填充,其穿过器件区并进入到第一衬底中,并且第一衬底可以在键合之后被减薄以暴露出通孔或



1. 一种将具有第一接触结构的第一元件与具有第二接触结构的第二元件集成起来的方法,包括以下步骤:

由从铜、钨、镍、金、或其合金中选择的金属形成所述第一接触结构和第二接触结构;

在所述第一元件中形成暴露到至少所述第一接触结构的通孔;

在所述通孔中形成导电材料,该导电材料至少被连接到所述第一接触结构;

将所述第一元件键合到所述第二元件,使得所述第一接触结构和所述导电材料中的一个被直接连接到所述第二接触结构;以及

在低于400℃的温度加热所述第一元件和第二元件以增加所述第一接触结构和第二接触结构之间的压力。

2. 根据权利要求1所述的方法,包括:

在低于350℃的温度进行加热。

3. 根据权利要求1所述的方法,包括:

从所述第一接触结构和第二接触结构中的至少一个移除自然氧化物。

4. 根据权利要求1所述的方法,包括:

形成所述第一接触结构和第二接触结构为分别具有与所述第一元件和第二元件的表面共面的上表面。

5. 根据权利要求1所述的方法,包括:

形成所述第一接触结构和第二接触结构为具有在所述第一元件和第二元件的相应表面之下不超过20nm的上表面。

6. 根据权利要求1所述的方法,包括:

形成所述第一接触结构和第二接触结构为具有在所述第一元件和第二元件的相应表面之下不超过10nm的上表面。

7. 根据权利要求1所述的方法,包括:

形成所述第一接触结构为具有在所述第一元件的上表面之下的上表面;以及
形成所述第二接触结构为具有比所述第一接触结构的横向面积小的横向面积。

8. 根据权利要求7所述的方法,包括:

形成所述第二接触结构为具有在所述第二元件的上表面之下的上表面。

9. 根据权利要求1所述的方法,包括:

蚀刻所述第一元件和第二元件中的至少一个的与相应的所述第一接触结构和第二接触结构相邻的表面。

10. 根据权利要求1所述的方法,包括:

在所述第一接触结构和第二接触结构中的至少一个上形成金属材料层。

11. 根据权利要求10所述的方法,包括:

由镍材料形成所述第一接触结构;以及
在所述镍材料上形成金层至5-50nm厚度。

12. 根据权利要求1所述的方法,包括:

由第一金属形成所述第一接触结构;以及
由与所述第一金属不同的第二金属形成所述第二接触结构。

13. 根据权利要求1所述的方法,包括:

形成所述第一接触结构为具有在所述第一元件的上表面之下的上表面;以及
形成所述第二接触结构为具有在所述第二元件的上表面之上的上表面。

14. 根据权利要求1所述的方法,包括:

形成所述第二接触结构为具有比所述第一接触结构的面积小的面积。

15. 根据权利要求1所述的方法,包括:

形成所述第一接触结构为具有在所述第一元件的上表面之下的上表面;以及
形成所述第二接触结构为具有比所述第一接触结构的面积小的面积。

16. 根据权利要求1所述的方法,其中,

形成所述第一接触结构为具有在所述第一元件的上表面之下第一距离的上表面;

形成所述第二接触结构为具有在所述第二元件的上表面之下第二距离的上表面,所述
第二距离小于所述第一距离;以及

形成所述第二接触结构为具有比所述第一接触结构的横向面积小的横向面积。

17. 根据权利要求1所述的方法,包括:

在键合之后加热所述第一元件和第二元件,以使所述第一接触结构和第二接触结构
中的至少一个热膨胀。

18. 根据权利要求1所述的方法,包括:

将所述第一元件中的氧化物和氮化物材料中的一者键合到所述第二元件中的氧化物
材料和氮化物材料中的一者。

19. 一种将具有第一接触结构的第一元件与具有第二接触结构的第二元件集成起来的
方法,包括以下步骤:

由金属形成所述第一接触结构和第二接触结构;

在所述第一元件中形成暴露到至少所述第一接触结构的通孔;

在所述通孔中形成导电材料,该导电材料至少被连接到所述第一接触结构;

将所述第一元件键合到所述第二元件,使得所述第一接触结构和所述导电材料中的一
个被直接连接到所述第二接触结构;以及

在低于400°C的温度加热所述第一元件和第二元件以增加所述第一接触结构和第二接
触结构之间的压力。

三维IC方法和器件

[0001] 本申请是2006年8月7日提交的、于2008年3月4日进入中国国家阶段的、PCT申请号为PCT/US2006/030703、国家申请号为200680032364.1、发明名称为“三维IC方法和器件”的申请之分案申请

[0002] 交叉引用的相关申请

[0003] 本申请涉及申请号为09/532,886的申请、第6,500,794号美国专利、申请号为10/359,608的申请、申请号为10/688,910的申请、第6,867,073号美国专利、以及申请号为10/440,099的申请,其全部内容通过引用被结合到本文中。

技术领域

[0004] 本发明涉及三维集成电路领域,更确切地说,涉及使用直接晶片键合(direct wafer bonding)的三维集成电路的器件及其制造。

背景技术

[0005] 半导体集成电路(IC)一般被制造在硅晶片中和硅晶片的表面上,导致IC面积必须随着IC的尺寸增加而增加。减小IC中晶体管尺寸方面的不断改善,通常被称为摩尔定律,已使得在给定IC面积中的晶体管数目不断增加。然而,不管该晶体管密度如何增加,很多应用还是由于所需晶体管数量的更大程度增加或者晶体管之间所需横向互连数目的增加,需要增加总体IC面积以实现特定功能。在单个、大面积的IC管芯上实现这些应用一般导致芯片成品率减少,并且相应地,增加IC成本。

[0006] IC制造的另一个趋势是增加在单个IC内不同类型电路的数目,更常见地被称为片上系统(SoC)。该制造一般要求增加掩模层数以制造不同类型的电路。掩模层数的增加一般也导致成品率减少,并且相应地,增加IC成本。避免这些不必要的成品率减少以及成本增加的解决方法是将IC垂直堆叠和垂直互连。这些IC可以是不同尺寸的,来自不同尺寸的晶片,包含不同功能(即模拟的、数字的、光学的),由不同材料制成(即硅、GaAs、InP,等)。IC可以在堆叠之前被测试,使得已知合格管芯(known good die, KGD)被组合以增加成品率。该垂直堆叠和垂直互连方法的商业成功取决于堆叠和互连的成品率和成本相比之下优于增加IC或者SoC面积的相关成品率和成本。实现该方法的可制造方法是使用直接键合来垂直地堆叠IC以及使用传统晶片制造技术包括晶片减薄、光刻掩模、通孔蚀刻和互连金属化(interconnect metallization)来形成垂直互连结构。作为直接键合堆叠的直接结果或者作为在直接键合堆叠之后后续晶片制造技术的结果,能够形成被堆叠IC之间的垂直电互连。

[0007] 该方法的垂直互连部分的成本与蚀刻通孔和形成电互连所需光刻掩模层数的数目直接相关。因而有必要最小化形成垂直互连所需光刻掩模层数的数目。

[0008] 垂直堆叠和垂直互连的一种形式是(衬底上的)IC被面对面地键合、即IC侧对IC侧地键合。该形式可以以晶片对晶片的形式完成,但是一般优选地以管芯对晶片的形式完成,其中IC侧朝下的管芯被键合到IC侧朝上的晶片,使得能堆叠已知合格管芯(Known Good

Die, KGD) 以增加成品率。垂直互连可以作为堆叠的直接结果被形成, 例如如申请10/359, 608中所述, 或者作为直接键合堆叠之后后续晶片制造技术的结果被形成。直接键合堆叠之后的后续晶片制造技术一般包括如下。管芯一般通过移除大部分管芯衬底来被充分减薄。由于衬底中晶体管的位置, 例如在体CMOS IC中的情况下, 芯片衬底通常不能被完全移除。因而衬底一般被尽可能的最大程度地移除, 留下充裕的剩余衬底来避免对晶体管的伤害。然后通过蚀刻通孔使其穿过遗留衬底到达管芯IC中的互连位置, 来形成到管芯IC的互连, 使得该通孔的附近不需要有晶体管。此外优选地, 为了实现最高互连密度, 继续将通孔穿过整个管芯IC并进入晶片IC中到达晶片IC中的互连位置。该通孔一般延伸穿过绝缘电介质材料, 该绝缘电介质材料提供管芯IC和晶片IC中互连位置的所需电隔离而暴露管芯IC和晶片IC中的所需电连接位置。在该通孔形成之后, 可以用导电材料来制作到达管芯IC和晶片IC中被暴露的所需电连接位置的垂直互连。导电材料和通孔侧壁上所暴露衬底之间的绝缘层可以被用于避免导电材料和衬底之间不希望的电导通。

[0009] 该结构的制造一般要用四层光刻掩模层来构造。这些层是: 1) 穿过衬底的通孔蚀刻; 2) 穿过管芯IC和晶片IC中绝缘电介质材料的、暴露管芯IC和晶片IC中的所需导电材料的通孔蚀刻; 3) 穿过随后沉积的绝缘层到暴露了管芯IC和晶片IC中的所需导电材料的暴露的衬底通孔侧壁的通孔蚀刻, 该绝缘层电隔离了将管芯IC中的互连位置与晶片IC中的互连位置互连的导电材料; 4) 用管芯IC中暴露的互连点和晶片IC中暴露的互连点之间的导电材料互连。

[0010] 限定蚀刻穿过绝缘(电介质)材料的通孔的图案一般小于限定蚀刻穿过衬底的通孔的图案, 以充分暴露管芯IC和晶片IC中的互连部分并避免移除衬底通孔侧壁上的绝缘材料。因为这些图案是在衬底中的通孔形成之后被形成的, 所以一般在图案化衬底通孔的更低拓扑层(topographical level)上完成该图案化。这导致在非平整结构上方图案化, 这限制了结构缩小到实现最高互连密度所需的极小的特征尺寸并消耗存在可用的晶体管(functional transistor)处的尽可能最小限度的硅衬底。

[0011] 因而, 希望提供具有该结构的器件和用于制造需要减少掩模步骤数目的所述结构的方法, 以及可以在平整表面上被实现于结构中的最高拓扑层上或者最高拓扑层之一上的掩模步骤。还希望提供具有该结构的器件和方法以制造所述结构, 由此可以在存在可用的能晶体管处实现硅的最小消耗。

发明内容

[0012] 本发明关注于三维器件集成的方法和三维集成器件。

[0013] 在方法的一个实例中, 具有第一接触结构的第一元件被与具有第二接触结构的第二元件集成起来。方法可以包括步骤: 在至少暴露于第一接触结构的第一元件中形成通孔, 在通孔中形成导电材料并且其至少被连接到第一接触结构, 以及将第一元件键合到第二元件使得第一接触结构和导电材料其中之一被直接连接到第二接触结构。

[0014] 在第二实例中, 方法可以包括步骤: 在第一元件中形成通孔, 在通孔中形成第一导电材料, 将第一导电材料连接到第一接触结构, 以及将第一元件键合到第二元件使得第一接触结构和第一导电材料其中之一被直接连接到第二接触结构。

[0015] 在第三实例中, 方法包括步骤: 在具有第一衬底的第一元件中形成通孔, 在通孔中

形成导电材料,在形成通孔和导电材料之后在第一元件中形成被电连接到导电材料的接触结构,形成具有至少一个第二接触结构的第二元件,移除第一衬底的一部分以暴露出通孔和导电材料,将第一衬底键合到第二衬底,以及作为键合步骤的一部分在第二接触结构与第一接触结构和导电材料其中之一之间形成连接。

[0016] 在根据本发明所述的集成结构的一个实例中,第一元件其具有第一接触结构,第二元件其具有第二接触结构,第一通孔其被形成于第一元件中,形成于第一通孔中的第一导电材料其被连接到第一接触结构,以及第一元件其被键合到第二元件使得第一接触结构和导电材料其中之一被直接连接到第二接触结构。

附图说明

[0017] 参考下列结合附图的详细描述,本发明变得更好理解,而本发明的更完全的解释以及其大量附带优点也因而易于获得,其中:

[0018] 附图1表示了要被面朝下地键合到面朝上的晶片的管芯;

[0019] 附图2A表示了被键合到衬底的管芯;

[0020] 附图2B显示了被键合到衬底的管芯,其中有管芯衬底的一部分被移除;

[0021] 附图2C表示了被键合到另一衬底的衬底;

[0022] 附图3A表示了在附图2A的结构上方形成电介质膜和掩模层;

[0023] 附图3B表示了形成平整化材料之后形成电介质膜和掩模层;

[0024] 附图4显示了在附图3A和3B的电介质膜和掩模层中形成开口;

[0025] 附图5表示了使用如附图4中所示所形成的开口来蚀刻管芯;

[0026] 附图6A表示了进一步蚀刻以暴露管芯和晶片中的接触结构;

[0027] 附图6B表示了包括形成硬掩模的工艺修改 (process modification);

[0028] 附图7A表示了形成保形绝缘侧壁层之后的附图6A的结构的一部分;

[0029] 附图7B为实施方案的变化,其中硬掩模被移除;

[0030] 附图8A表示了保形绝缘侧壁层的各向异性蚀刻;

[0031] 附图8B为实施方案的变化,其中硬掩模被移除;

[0032] 附图8C-8F表示了键合结构中形成保形膜的方式上的变化;

[0033] 附图8G-8J分别表示了蚀刻保形膜之后的附图8C-8J中所示结构;

[0034] 附图8K表示了键合结构中形成侧壁膜的替代方式;

[0035] 附图9A表示了形成包含金属种子层和金属填料的金属接触;

[0036] 附图9B为实施方案的变化,其中硬掩模被移除;

[0037] 附图9C为实施方案的变化,其中没有形成种子层;

[0038] 附图10A表示了化学机械抛光之后的附图9A或9B的结构;

[0039] 附图10B表示了化学机械抛光之后的附图9C的结构;

[0040] 附图10C-10F表示了填充键合结构中的空腔的替代方法;

[0041] 附图11表示了附图10A的结构的金属化;

[0042] 附图12表示了使用掩模层而没有居间电介质层的第二实施方案;

[0043] 附图13表示了第二实施方案中形成金属接触;

[0044] 附图14表示了化学机械抛光之后的附图13的结构;

- [0045] 附图15表示了本发明的另一实施方案；
- [0046] 附图16A表示接触结构被放置于器件之一的表面中的实施方案；
- [0047] 附图16B表示了进一步处理之后的附图16A的结构；
- [0048] 附图17表示了使用根据本发明所述方法生产的具有附图16A和16B中所示结构的器件；
- [0049] 附图18表示了本发明的另一实施方案；
- [0050] 附图19A表示了使用本发明所述方法生产的具有附图18中所示结构的器件；
- [0051] 附图19B表示了具有形成于附图19A的结构上方的平整化的材料和接触的结构；
- [0052] 附图19C表示了被直接键合的接触，其类似于附图19A的结构但是没有开口；
- [0053] 附图20A-20H表示了具有侧壁膜的第五实施方案；
- [0054] 附图21A-21E表示了第六实施方案，其中衬底被实质上完全地移除；
- [0055] 附图22A-22L表示了第七实施方案，其中在管芯分切(die singulation)之前形成通孔；
- [0056] 附图23A-23K表示了第八实施方案，其中管芯被朝下(top down)地装载；
- [0057] 附图23L表示了将具有被填充通孔的结构以朝下(top-down)和朝上(top-up)的构造来键合；
- [0058] 附图23M和23N表示了键合第二级的管芯；
- [0059] 附图23O表示了晶片对晶片的键合；
- [0060] 附图24A和24B表示了第八实施方案的变化，其中管芯被朝上(top up)地装载；
- [0061] 附图25A-25F表示了第九实施方案，其具有在键合之前被填充的通孔；以及
- [0062] 附图26A和26B表示了第十实施方案，其具有被填充的通孔和表面接触。

具体实施方式

[0063] 现在参考附图，特别是附图1，将描述根据本发明所述方法的第一实施方案。这里要注意的是附图不是按比例绘制而只是为了阐释发明的概念。

[0064] 衬底10包括具有接触结构12的器件区11。衬底10可以由很多材料制成，诸如半导体材料或者绝缘材料，其取决于所需应用。一般地，衬底10是由硅或者III-V族材料制成。接触结构12一般是对衬底10中所形成的器件或电路结构(未显示)构成接触的金属焊垫或者互连结构。衬底10还可以包含被连接了接触结构12的集成电路，并且衬底10可以为只包含接触结构的模块。例如，衬底10可以是用于互连被键合于衬底10的结构的模块，或者为封装或与例如印刷电路板上的其它模块或电路结构集成起来而产生连接的模块。模块可以由绝缘材料诸如石英、陶瓷、BeO、或者AlN制成。

[0065] 被安置于表面13上以键合到衬底10的是三个独立的管芯14-16。每个管芯具有衬底部分19，器件区18和接触结构17。管芯可以在之前通过切片(dicing)等从另一晶片上被分离出来。管芯14-16可以由很多材料制成，诸如半导体材料，取决于所需应用。一般地，衬底是由硅或者III-V族材料制成。接触结构17一般是对器件区18中所形成的器件或电路结构构成接触的金属焊垫或者互连结构。接触结构12和17的尺寸每个都可以不同。接触结构尺寸的典型范围是在1到20微米之间，但是该尺寸和相关尺寸可以超出该范围，取决于对准容差(alignment tolerance)、电路设计参数或者其它因素。接触结构的尺寸是为了图释发

明概念而绘制的,而不是为了对其作限制。器件区18还可以包含被连接了接触结构17的集成电路。几乎全部的衬底部分19可以被移除,留下器件层、电路、或者电路层。并且,管芯14-16的衬底可以在键合之后被减薄到所需厚度。

[0066] 管芯14-16可以由与晶片10相同的技术、或者不同的技术制成。管芯14-16可以每个都为相同的或者不同的器件或材料。每个管芯14-16具有形成于器件区18中的导电结构17。结构17被间隔开以在其间留下缝隙,或者可以是具有可跨整个接触结构延伸的开口的单体结构。换句话说,开口可以是接触结构中的孔或者可以将接触结构一分为二。可以由用于被键合的特定技术的光刻设计规则来决定缝隙或开口的尺寸。例如,可以要求接触结构12和17的最小横向宽度,以在随后用互连金属形成可靠的、低阻的电连接。

[0067] 决定缝隙或开口最优尺寸的另一个因素是由接触结构17和12之间的垂直间距加上接触结构17的厚度所得的距离与缝隙或开口尺寸之比。这定义了随后将被形成于接触结构17和12之间以使得接触结构17和12之间能电互连的通孔的纵横比。该垂直间距一般是1到5微米,或者对于氧化物对氧化物直接键合而言更少,如申请号为09/505,283的申请中所述那样,其内容通过引用被结合到本文中;或者对于金属直接键合而言可能为零,如申请号为10/359,608的申请中所述那样,其内容通过引用被结合到本文中。此外,接触结构17的厚度一般是0.5到5微米。典型所需通孔纵横比为0.5到5其取决于所用加工技术;缝隙的尺寸典型范围对于氧化物对氧化物键合而言是0.3到20微米,或者对于金属直接键合而言是约0.1到10微米。金属直接键合的情况将在以下的第四实施方案中被描述。

[0068] 管芯14-16通常被与接触结构12对准使得结构17和缝隙或开口被放置于相应的接触结构12上方。选择接触结构12的尺寸以允许管芯14-16被简单地对准接触结构17间的缝隙。该尺寸取决于将管芯14-16放置于衬底10上所用方法的对准精度。使用可商用生产工具的一般方法允许对准精度在1到10微米的范围内,尽管将来这些工具的改进很有可能产生更小的对准精度。接触结构17向缝隙或开口外的横向展宽(lateral extent)优选地至少为由该对准精度所给定的距离。

[0069] 虽然对于每个管芯14-16只显示了一组接触结构17,但是要理解的是接触结构17的横向展宽一般远小于每个管芯14-16的横向展宽,所以每个管芯可以具有数个或大量的接触结构17。例如,接触结构17可以具有范围为1到100微米的横向展宽,而管芯14-16可以具有范围为1到100毫米的横向展宽。这样可以实现具有 10^4 量级以及远高于此的、管芯14-16中接触结构17的数量。

[0070] 如附图2A中所示,管芯14的表面20被键合到衬底10的表面13。这可以通过很多方法来完成,但是优选地在室温下使用如申请号为09/505,283的申请中所述的键合方法来键合,其中键合强度(bonds of strength)的范围为500到2000mJ/m²,即,形成了化学键。管芯14-16键合到衬底10如附图2中所示。在键合之后管芯14-16的衬底被减薄。减薄一般通过抛光、研磨、蚀刻、或者这三种技术的组合来实现,以留下减薄的衬底21或者完全移除衬底部分19。附图2B显示了其中衬底部分19被完全地或者几乎完全地移除的实例。并且,管芯14-16的衬底可以在键合之前被减薄。

[0071] 在一个实例中,其中形成了接触12和17的材料为沉积氧化物(deposited oxide),诸如SiO₂,其使用化学气相沉积(CVD)或者等离子增强CVD(PECVD)、溅射或者通过蒸镀来形成。其它材料诸如氮化硅、非晶硅、聚合物、半导体或者烧结材料(sintered material)也可

以被使用。并且,沉积氧化物层可以被形成于管芯上。

[0072] 然后,表面被用直接键合技术键合。优选地,可以使用任意类型的氧化物键合,特别是低温或室温氧化物键合。键合技术可以包括将表面13和20平整化和光滑化,(表面20可以在管芯分切之前被制备)。该步骤可以使用化学机械抛光来完成。表面优选地被抛光到粗糙度不大于约0.5到1.5nm、优选地不大于约0.5nm并为大致平整的。表面粗糙度的值一般被给定为均方根(RMS)值。并且,表面粗糙度可以被给定为近似与RMS值相同的平均值。在抛光之后,表面被清洁和干燥以去除来自抛光步骤的剩余物。被抛光的表面优选地在之后被用溶液漂洗(rinse)。

[0073] 键合表面还可以在抛光之前被蚀刻以改善平整性和/或表面粗糙度。通过使用例如标准光刻技术来选择性地蚀刻高点(high spot),蚀刻可以有效的移除键合表面上的高点。

[0074] 键合技术可以包括活化工序(activation process)。该活化工序可以包括蚀刻工艺,优选地包括极轻度蚀刻(very slight etch,VSE)工艺。术语VSE是指极轻度蚀刻表面的均方根微粗糙度(RMS)近似保持在未蚀刻值上,一般<0.5nm,优选地在0.5nm到1.5nm的范围内。所移除材料的最优量取决于该材料和移除所用的方法。所移除的典型量从埃量级到数纳米不等。也可以移除更多的材料。

[0075] 术语VSE还可以指从表面上移除不希望的有机污染物而不移除表面上有意沉积的材料、例如氧化硅。移除不必要的有机污染物可以因而减少RMS。

[0076] 活化工序可以是以不同模式进行的等离子工艺。例如Ar或者O等离子体。反应离子蚀刻(RIE)和等离子模式两者都可以被使用,还有感应耦合等离子模式(ICP)。也可以使用溅射。以下同时以RIE和等离子模式给出实例。

[0077] 替代地,可以使用后VSE处理(post-VSE treatment),其在前VSE工艺期间用所需终止物质(terminating species)将表面活化和终止(terminate)。

[0078] 在活化作用之后,表面可以用其优选地对表面原子层形成临时键(temporary bond)的所需物质终止,以有效地终止原子层,直到随后该表面可以被与由相同或另一键合物质所终止的表面结合起来为止。表面上的所需物质当它们充分接近时还优选地彼此将发生反应,使得在低温或室温下表面之间发生化学键合,该键合可以由反应了的所需物质从键合界面的扩散或离解(dissociation)和扩散来增强。

[0079] 终止工艺可以包括浸没在包含选定化合物的溶液中,以发生导致用所需物质终止键合表面的表面反应。可以使用N基溶液,诸如NH₄OH。优选地在活化工序后立即执行浸没。终止工艺也可以包括等离子、RIE、或者其它干法工艺,由此合适的气体化学物质被引入以导致用所需物质终止键合表面。

[0080] 可选地,表面被漂洗然后烘干。通过将两个表面对准(如果需要的话)并将它们结合到一起以形成键合界面来键合这两个表面。这两个表面通过例如可商用的键合装置(未显示)被结合到一起以引发(initiate)键合界面。

[0081] 然后,自发键合(spontaneous bond)一般发生于键合界面中的某处并越过表面传播。因为初始键合(initial bond)开始传播,所以当表面充分接近时,诸如聚合作用的化学反应导致化学键合发生于被用来终止表面的物质之间。因而形成了强键,其所具有的键合能量被定义为在键合界面处通过插入楔(wedge)而被部分脱键(debond)的分离表面之一的

特定表面能。化学反应的副产品可以从键合界面扩散开并被吸收,一般是被吸收于周围的材料中。副产品也可以被转换为扩散开的其它副产品并被吸收。通过被转化物质的移除可以增加共价键和/或离子键的量,导致键合强度的进一步增加。

[0082] 虽然在附图2A中显示了三个管芯被键合到单个衬底10,但是也可以将更多数量或者更少数量的管芯键合到衬底10。并且,可以键合另一个尺寸与衬底10相当的衬底,如附图2C中所示其中具有器件区23的衬底22被键合到晶片10,使得被间隔开的导电结构24大体上与导电结构12对准。衬底22可以在键合之前被减薄或移除以方便对准。衬底22可以在键合之后被减薄,并且如果需要的话几乎全部衬底22可以被移除。在下列附图中所描述的程序也可以被应用于附图2B和2C所示的结构,但是为了简洁省略单独绘图。

[0083] 如附图3A中所示,保形电介质膜30被形成于衬底10的表面13和管芯14-16上方。该表面可以通过例如CVD、PVD或者PECVD来形成,并且优选地包括典型厚度范围为0.1到1.0微米的氧化物膜诸如氧化硅。并且,填料材料(filler material)诸如被沉积或旋涂的氧化物或者聚合物32,诸如聚酰亚胺或苯并环丁烯,可以被形成于管芯14-16上方和/或之间,如附图3B中所示。材料32可以在该过程中的不同的点被形成。附图3B显示了一种实例,其中材料32在形成膜30和40之前被形成。填料材料也可以在如附图3A中所示结构形成之后,在形成硬掩模40之后(附图4),或者过程中不同的其它点形成,其取决于很多因素,诸如所选材料或者温度考虑。其它技术可以被用于形成填料材料。例如电介质填料,例如氧化硅,可以通过连续或反复的例如使用上述方法的电介质形成和化学机械抛光步骤来被使用。替代地,导电填料,比方说通过例如电镀形成的金属,可以通过连续或反复的金属形成和化学机械抛光步骤来被使用。具有平坦的表面可以增进在表面上形成光致抗蚀剂和其它膜以及在这样的膜中形成开口,例如附图4中所示的开口41。

[0084] 接下来,硬掩模40被形成于电介质膜30上并且被图案化,以留下与结构17大体上对准的开口41(附图4)。硬掩模优选地由对后续的被用于将通孔蚀刻穿过减薄衬底21和器件区18和11到达接触结构12的一个或多个蚀刻工艺具有高蚀刻选择性的材料组成。硬掩模的实例为铝、钨、铂、镍、和钼,蚀刻工艺的实例是基于 SF_6 的反应离子蚀刻以蚀刻出穿过减薄硅衬底的通孔,以及基于 CF_4 的反应离子蚀刻以蚀刻出穿过器件区18和11到接触结构12的后续通孔。硬掩模40的厚度一般是0.1到1.0微米。开口40的宽度取决于很多因素,包括减薄衬底21的厚度以及接触结构17间的缝隙,但一般为1到10微米。

[0085] 开口41使用硬掩模40和电介质膜30的标准光刻图案化和蚀刻技术来形成。例如,可以使用光刻将开口形成于光致抗蚀剂中。该开口可以与管芯14-16(或衬底22)或者衬底10上的对准标记对准。光学或红外成像(IR imaging)可被用于对准。然后,硬掩模40可以被用合适的湿法化学溶液或者干法离子蚀刻工艺来蚀刻,这取决于硬掩模材料,并暴露出开口中的电介质膜30。然后电介质膜30可以以类似于硬掩模40的方式用合适的湿法化学溶液或者干法反应离子蚀刻来蚀刻,这取决于电介质膜材料。如果该硬掩模为铝,那么用于硬掩模的湿法化学溶液实例是A型铝蚀刻剂。如果该电介质膜材料是氧化硅,那么用于电介质膜材料的反应离子蚀刻工艺的实例是基于 CF_4 的反应离子蚀刻。很多其它的湿法和干法蚀刻可以被用于这些和其它的硬掩模和电介质膜材料。开口41的宽度优选地宽于结构17间的间隔,如果开口被对准管芯14-16(或衬底22)的话;或者,优选地宽于结构17间的间隔加上用于将管芯14-16(或衬底22)放置于衬底20上的方法之对准精度,如果开口被对准下方衬底

20的话。

[0086] 使用硬掩模40,管芯14-16的衬底部分被蚀刻以形成通孔50,如附图5中所示。蚀刻继续穿过与接触结构12和17相邻的材料,该材料一般为电介质材料,以暴露导电结构17的背部和侧部以及接触结构12的顶面。第一组气体和条件(conditions),例如基于 SF_6 ,可以被用于蚀刻穿过管芯14-16的衬底材料;而第二组气体和条件,例如基于 CF_4 ,可以被用于蚀刻穿过围绕着接触结构17的电介质层。通过合适地切换气体和条件,两种蚀刻可以在一个室中进行,而不必破坏真空。暴露导电结构12的蚀刻如附图6A中所示。蚀刻产生延伸穿过接触结构17的缝隙或开口到达接触结构12的通孔部分60。

[0087] 用于暴露接触结构12和17的电介质通孔蚀刻优选地对接触结构17具有高蚀刻选择性,以避免危害到接触结构17的蚀刻量。然而,可能有些电介质通孔蚀刻和导电结构的组合导致蚀刻量危害到接触结构17。例如,当导电结构17足够薄或者当接触结构12和17之间的垂直距离足够大时可能发生不利影响(detrimental effect)。

[0088] 蚀刻有害量的实例是由氧化硅电介质所包围的铝接触结构17和一些基于 CF_4 的反应离子蚀刻的一些组合,其中铝导电结构蚀刻速率与氧化硅电介质蚀刻速率之比相当于或高于接触结构17的厚度与接触结构12和17之间的氧化硅电介质厚度之比。

[0089] 在蚀刻量会危害到接触结构17的情况中,可以增加接触结构17的厚度或加入中间步骤以保护接触结构17免受电介质通孔蚀刻。中间处理步骤可以被用于避免以下的有害蚀刻。当电介质蚀刻首先暴露了上方接触结构17的背部和侧部时,硬掩模,诸如金属材料,可以在导致对接触结构17的有害蚀刻的电介质蚀刻继续之前,被选择性地沉积于接触结构17的暴露部分上。在选择性沉积硬掩模之后,电介质蚀刻可以继续而不会对接触结构17造成有害蚀刻。硬掩模选择性沉积的实例是无电镀镍(electroless nickel plating)。这例如在附图6B中显示了,其中在被暴露接触结构17之后并在任何明显的有害蚀刻发生之前停止蚀刻。然后,使用例如无电镀将接触结构17涂敷上保护性硬掩模材料61,例如镍。在接触结构12和17的后续连接中,材料诸如镍可以保留在器件中。替代地,如果需要的话,材料61可以在结构12和17形成连接之前被移除。

[0090] 要注意的是硬掩模61也可以被选择性地沉积于硬掩模40上。一个例子是当硬掩模40为导体并且保护性硬掩模61的沉积用无电镀来完成时。这可能有利于降低硬掩模40所需厚度。在硬掩模40上沉积保护性硬掩模材料61的另一个优点可以是,通孔50孔径的制约导致遮蔽一部分接触结构17不受通孔60的各向异性蚀刻。附图7A详细显示了管芯14-16之一以更清楚地阐释后续步骤。保形绝缘膜70被形成于掩模40、接触结构12和17、以及通孔50和60的侧壁上方,部分地填充通孔50和60。合适的绝缘膜的实例是氧化硅、氮化硅或聚对二甲苯(parylene)。可以使用大量典型的沉积方法,包括但不只限于物理气相沉积、化学气相沉积、和气相沉积,来形成绝缘膜。物理气相沉积的实例是溅射;化学气相沉积的实例是等离子增强化学气相沉积;而气相沉积的实例是固体蒸镀,接着高温分解然后沉积。

[0091] 可以在形成保形绝缘膜70之前,通过例如蚀刻,移除硬掩模40或者硬掩模40和保形电介质膜30。附图7B显示了硬掩模40被移除的情况。如果用来移除硬掩模40或者硬掩模40和膜30的蚀刻对由通孔50和60所暴露的材料是选择性的,那么该蚀刻可以不用掩模就能完成。如果该蚀刻对由通孔50和60所暴露的材料是非选择性的,那么通孔50和60中这些受到蚀刻的材料可以用合适材料来掩模。例如,如果硬掩模40,且接触结构12和17全部都是

铝,那么可以用易于移除的旋涂粘性液体材料将通孔部分地填充到一个深度,使得接触结构12和17被覆盖。通过首先选择适当的旋涂膜厚度——该厚度将适当地平整由被贯穿形成通孔50和60的硬掩模40所形成的表面——通孔可以被用易于移除的旋涂粘性液体材料部分地填充。然后,涂敷该膜厚度将导致通孔内部的膜厚度比通孔外部的厚得多。对整个表面的适当蚀刻就从硬掩模40的表面移除了该材料,而在通孔50和60中留下覆盖接触结构12和17的材料。易于移除的旋涂材料和适当蚀刻的实例分别是光致抗蚀剂和O₂等离子体蚀刻。

[0092] 保形膜70被各向异性蚀刻以被暴露接触结构12和17,而将膜70留在通孔50和60的侧壁上。结构17的背部表面优选地被暴露以形成凸缘(ledge) 27用来增加接触表面面积,使得接触电阻值降低。为了最小化接触电阻值,优选地典型的凸缘27宽度超过1微米,但该距离根据器件和工艺参数会有所不同。附图8A和8B描述了被蚀刻的保形膜70,分别为在形成保形绝缘膜70之前没有移除和移除了掩模40的情况。膜30和40两者都可以在形成层70之前被移除。这样的话,蚀刻了保形层70之后,接着可以通过例如氧化或沉积,将另一绝缘层形成于衬底部分21(或者器件区18,如果部分21被完全移除的话)上。

[0093] 作为保形膜70的替代,保形膜也可以在暴露接触结构12的顶面之前被形成。例如,保形膜71可以在蚀刻穿过管芯14-16的衬底部分之后但在蚀刻进入到与接触结构17相邻的材料之前被形成,保形膜72可以在蚀刻进入到与接触结构17相邻的材料之后但在到达接触结构17之前被形成,保形膜73可以在到达导电结构17之后但在形成通孔60之前被形成,或者保形膜74可以在到达导电结构17并形成通孔60的一部分之后但在完全形成通孔60并到达接触结构12之前被形成,分别如附图8C、8D、8E、和8F中所示。保形膜71、72、73、和74可以随后被各向异性蚀刻,以在管芯14-16的衬底部分的通孔部分50上形成隔离侧壁(isolating sidewall)。例如,保形膜71可以随后被各向异性蚀刻,以在管芯14-16的衬底部分的通孔部分50上形成隔离侧壁;保形膜72可以随后被各向异性蚀刻,以在管芯14-16的衬底部分的通孔部分50上、以及在包含了与接触结构17相邻的材料的通孔50上部形成隔离侧壁;保形膜73可以随后被各向异性蚀刻,以在通孔50的整个深度方向上形成隔离侧壁;而保形膜74可以随后被各向异性蚀刻,以在通孔50的整个深度方向上、以及通孔60的上部形成隔离侧壁,分别如附图8G、8H、8I、和8J中所示。

[0094] 作为通过膜70、71、72、或74的保形沉积以及随后对所述膜的各向异性蚀刻所形成的侧壁的替代,侧壁75可以被选择性地形成于通孔50中管芯14-16的衬底部分上,如附图8K中所示在由所述通孔形成所述部分之后。可以通过相对于与接触结构17相邻的材料优先(preferentially)与衬底部分发生反应的工艺来形成侧壁75。例如,如果管芯14-16的衬底部分是硅而与接触结构17相邻的材料是氧化硅,那么可以使用相对于氧化硅优先在硅上成核(nucleate)的电介质沉积工艺,其中电介质沉积包含侧壁75,其中如附图8K中所示,侧壁75在结构上类似于在保形膜71的各向异性蚀刻之后的通孔50中的保形膜71。这里,侧壁75在蚀刻穿过管芯14-16的衬底部分之后但在蚀刻进入到与接触结构17相邻的材料之前被形成。

[0095] 接触结构17的侧表面也可以在各向异性蚀刻中被暴露以进一步增加表面面积并降低接触电阻值。这也在附图8A和8B中所示。然后通孔50和60可以由金属进一步填充或完全填充。用金属填充通孔50和60的方法包括但不限于物理气相沉积(PVD)、化学气相沉积(CVD)或电镀。电镀一般被用于沉积比PVD或CVD更厚的膜,并且一般在其之前进行薄PVD或

CVD种子层的沉积。由PVD所形成膜的实例是溅射的铝、钯、钛、钨、钛钨、或者铜，由CVD所形成膜的实例是钨或者铜，而由电镀（其包括无电镀）所形成膜的实例是镍、金、钯或铜。

[0096] 附图9A显示了掩模电镀法的实例，由此金属种子层90被先沉积于该结构上方，对接触结构12和17形成电接触，接着使用例如光致抗蚀剂形成掩模91。种子层90可以通过上述的PVD、CVD、或电镀来沉积。使用掩模91和到种子层90的电接触，金属接触92填充通孔50和60。在附图9B中，显示了一种结构，其中掩模40在形成保形绝缘膜70之前被形成；并且附图9C显示了一种结构，其中没有使用种子层。抛光步骤、例如化学机械抛光，可以随后被用于移除在通孔50和60外面的金属接触92的多余部分。该抛光步骤也可以移除管芯14-16的暴露部分上的金属种子层90。还可以移除管芯14-16暴露部分上的硬掩模40。如果硬掩模是导电的，如上述所给出的铝的情况，那么为了将如此形成的金属填充通孔彼此电隔离开，可以优选地移除硬掩模40。该抛光步骤可以进一步移除保形电介质膜30，导致管芯14-16的暴露侧上的大致平坦的表面和平坦的金属结构100，如附图10A和10B中所示，其中附图10B中的结构有别于附图10中的结构之处在于在用金属填充通孔之前没有使用种子层。

[0097] 作为用金属填充通孔50和60接着CMP的替代，通孔50和60可以内衬金属93、填充电介质94然后接着CMP，如附图10C中所示。通过用如上所述的PVD、电镀或CVD中的至少一种进行沉积，通孔50和60可以内衬金属93。金属93的厚度一般是0.01到0.2微米，并且可以包括与保形绝缘膜70相邻的阻挡层以防止污染接触结构12或17或者器件区18或11。阻挡层的实例包括氮化钽、氮化钨、和氮化钛，并且可以在其之前加上一厚度为0.005到0.02微米的钛粘附层（adhesion layer）。阻挡层的一般厚度是0.005到0.05微米。在沉积了初始厚度的金属93之后，电镀也可以被用于将金属93的厚度保形地增加到所需厚度。对于通孔50而言，以足够宽的通孔50为条件，一般增加的厚度是0.5到2.0微米。电介质94的实例是氧化硅，而填充的实例是用等离子增强化学气相沉积（PECVD）。该替代方案的优点是减少金属沉积和金属CMP并且可能使内衬了复合金属并填充了电介质的通孔和管芯14-16周围衬底部分之间的热膨胀系数（CTE）匹配得更好。

[0098] 将通孔50和60用金属填充或者将通孔50和60用金属93作衬里接着用电介质94填充的另一替代是，将通孔60用金属97填充或者作衬里以在接触结构12和17之间形成电互连而不接触减薄衬底21，然后将通孔50和60用电介质98填充，接着进行如上所述的CMP，如附图10D中所示。利用通过镀覆到足够厚度优先地镀覆接触结构12和17的无电镀，将接触结构12和17互连起来，可以形成金属97以互连接触结构12和17而不接触减薄衬底21。可以被镀覆到足够厚度的无电镀的实例是无电镀镍。该替代方案的优点是不需要在剩余的衬底管芯14-16的通孔50部分上的、将所述电互连与所述遗留衬底管芯电隔离开侧壁60、71、72、73、74、或75，如附图10D中所示。

[0099] 互连接触结构12和17的电互连可以通过将通孔51蚀刻穿过电介质98到金属97并将通孔51用金属46填充来形成，如附图10E中所示并与附图10B中的描述类似；或者通过将通孔51用导电材料52作衬里并用电介质53填充来形成，如附图10F中所示并与附图10C中的描述类似。附图10E和附图10F中的通孔51被显示连接到接触结构12上的金属97部分。替代地，通孔51可以连接到接触17或者接触结构12和17两者上的金属97的部分。

[0100] 附图10A-10F的结构适合于后续处理，所述后续处理包括但不限于基于光刻的互连布线或者凸点下金属化层（under bump metallization），以支持引线键合（wire

bonding) 或者倒装片封装。该处理一般包括在暴露的减薄衬底侧21上形成电绝缘材料, 以为互连布线或者凸点下金属化提供电隔离。

[0101] 附图11中所示例子具有在CMP之后被形成于管芯14-16上的绝缘材料96, 诸如被沉积或旋涂的氧化物或聚合物, 以及形成于材料96上与金属结构100相接触的互连布线或凸点下金属化层95。可以在形成材料96之前在管芯14-16之间使用另一填料材料, 如附图3B中所示。金属化层可以包括由绝缘层分离的若干层(此处未显示), 以容许高通孔密度和/或高布线复杂度。替代地, 如果抛光步骤不移除保形电介质膜70, 那么保形电介质膜就保留下来并可以为金属化层结构提供足够的电隔离。

[0102] 根据本发明所述方法的第二实施方案如附图12中所示。硬掩模101被形成于管芯14-16上而没有任何居间电介质层。硬掩模101厚度的一般范围是0.1到1.0微米。硬掩模101优选地由对后续的被用于将通孔蚀刻穿过减薄衬底21和器件区18和11到达接触结构12的一个或多个蚀刻工艺具有高蚀刻选择性的材料组成。硬掩模的实例为铝、钨、铂、镍、或钼, 蚀刻工艺的实例是基于 SF_6 的反应离子蚀刻以蚀刻出穿过减薄硅衬底的通孔, 以及基于 CF_4 的反应离子蚀刻以蚀刻出穿过器件区18和11到接触结构12的后续通孔。开口102被形成于掩模101中并且如第一实施方案中那样处理该结构以蚀刻穿过管芯衬底和器件区来暴露出结构12和17, 同时优选地保留结构17的顶面以形成凸缘(诸如附图8A和8B中所示的27)。如附图7-9中所示使用掩模103进行金属化以形成金属接触104, 以产生如附图13中所示的结构。在CMP之后(附图14), 金属105被平整化, 该结构适合于后续处理, 其包括但不限于基于光刻的互连布线或者凸点下金属化层, 以支持引线键合或者倒装片封装, 类似于附图11中所示的金属化层结构。该处理可以包括在管芯14-16的暴露侧上形成电绝缘材料, 为布线在管芯14-16的暴露侧上方的所述互连布线或者凸点下金属化层提供电隔离。为了进一步帮助互连布线或凸点下金属化层, 可以形成如第一实施方案中所述的平整化金属, 例如电介质或金属; 或者替代地, 聚酰亚胺或苯并环丁烯材料以平整该结构的表面, 例如通过在CMP处理之前或之后填充管芯间的任何间隔、开口或沟槽。

[0103] 本发明也可以使用其它结构。例如, 不需要一对接触17, 而是管芯或晶片中的单个接触可以被连接到它所键合的衬底中的接触。这如附图15中所示, 其中对种子层90的金属接触107将接触结构12和108互连起来而结构108是与结构12隔离开的。金属接触107的一部分(左侧)从衬底部分109的上部表面直接延伸到结构108上的种子层90, 而金属接触107的另一部分(右侧)从衬底部分109的上部表面直接延伸到结构12上的种子层90。

[0104] 本发明提供很多优点。单个掩模被用于蚀刻穿过被键合到衬底的管芯或晶片的背侧, 以将管芯或晶片与衬底互连起来。不需要在通孔中使用光刻, 这种光刻一般是复杂的、成问题的、并对按比例缩放有限制。蚀刻穿过了键合界面。此外, 能暴露出要被互连的接触的顶面, 增加接触的面积并减少接触的电阻值。不同技术的器件可以被互连, 优化器件性能并避免跟试图用单一工艺路线(process sequence)制造不同技术产品有关的问题。

[0105] 附图16A、16B和17中所示为第三实施方案。衬底110具有带有接触结构112的器件区111。管芯114-116, 其每一个都具有器件区118、衬底部分121和接触结构117, 被键合到表面113上的衬底110, 如附图16A中所示。在该实施方案中, 没有材料覆盖着接触结构112。在所述用于第一或第二实施方案的单个掩模工艺之后, 产生了如附图16B和17中所示的结构。通孔50被蚀刻穿过衬底部分121和器件区118, 暴露出接触结构117的背表面上的凸缘26。继

续蚀刻,形成通孔60并暴露出接触结构112的顶表面。接触120被形成于具有或者没有种子层90的通孔中,将接触结构112和117连接起来。填料材料可以被用于平整化器件,如以上参考附图3B中所述那样。接触120也可以被用附图10C-10F中所示方式来形成。并且,膜70可以如附图8C-8K所示那样形成。

[0106] 附图18-19中所示为第四实施方案。在该实施方案中没有覆盖着接触结构122或123的材料。管芯114-116中由导电材料例如金属所组成的接触结构123可以在管芯114-116表面上方延伸,而由导电材料例如金属所组成的接触结构122可以在表面113上方延伸。接触结构123和接触结构122可以包括不同金属。例如,接触结构123可以包括铜、钨、镍、或金中的一种,而接触结构122可以包括铜、钨、镍、或金中的另一种。接触结构123或接触结构122还可以包括不同金属,例如,镍、钨和金的组合。接触结构123和接触结构122还可以包括铜、钨、镍、或金的合金,或者其它合金例如氧化铟锡。这些金属可以通过各种技术其包括PVD、热、电子束、和电镀来形成。

[0107] 管芯114-116的不包含接触结构123的表面部分以及表面113的不包括接触结构122的部分优选地为非导电材料,例如氧化硅、氮化硅、氧氮化硅、或者适合于半导体集成电路制造的替代隔离材料。用足以将管芯114-116表面中暴露的接触结构123的一部分对准表面113中暴露的接触结构122的一部分以及将管芯114-116表面的非导电材料部分对准表面113的非导电材料部分的对准精度,将具有暴露的接触结构123的管芯114-116键合到具有暴露的接触结构122的表面113,如申请号为10/359,608的申请中所述。管芯114-116表面的非导电材料部分与表面113的非导电材料部分之间的键合优选地为如申请号为10/359,608的申请中所述的直接键合。也可以使用替代类型的直接键合,例如如申请号为10/440,099的申请中所述。直接键合的键合能量——优选地大于 $1\text{J}/\text{m}^2$ ——产生接触结构122对接触结构123的内部压力,导致接触结构122和123之间的电连接。因而优选地使用在低温下产生更高键合能量的直接键合,例如上述那些,以产生最大内部压力;然而,在低温下产生较低键合能量的、或者需要高温来获得更高键合能量的直接键合也可以适用于一些应用。例如,也可以使用传统的直接键合其需要中等温度,例如小于 400°C ,或者中等压力,例如小于 $10\text{kg}/\text{cm}^3$,以实现高键合能量,例如大于 $1\text{J}/\text{m}^2$ 。

[0108] 更详细地说,因为包括金属焊垫(bonding pad)的晶片表面在室温下接触,所以对置的晶片表面的接触着的非金属部分开始在接触点处形成键合,并且晶片之间的键合引力(attractive bonding force)随着接触化学键合面积的增加而增加。要是不存在金属焊垫,晶片会在整个晶片表面上键合。根据本发明所述,金属焊垫的存在,虽然打断了对置晶片之间的键合接缝(bonding seam),但是不妨碍晶片对晶片的化学键合。由于金属焊垫的展性(malleability)和延性(ductility),所以由化学的晶片对晶片键合在非金属区所产生的压力可以产生一个力,利用该力,金属焊垫上不平整的和/或粗糙的区域可以变形而导致金属焊垫的平整性和/或粗糙度得到改善并且让金属焊垫之间密切接触。由化学键合所产生的压力足以消除为了让这些金属焊垫彼此紧密接触而对其施加外部压力的需要。由于金属原子在配合界面处(mating interface)的互扩散或自扩散,所以即使在室温下,强的展性键合也可以被形成于紧密接触的金属焊垫之间。该扩散是热力学驱动的以减少表面自由能,并且对于一般具有高互扩散和/或自扩散系数的金属被加强了。这些高扩散系数是内聚能的结果,所述内聚能一般大多数是由在扩散期间不受金属离子运动干扰的移动自由电

子气决定的。

[0109] 替代地,管芯114-116中的接触结构123可以名义上与管芯114-116的表面共平面,并且接触结构122可以名义上与表面113共平面。这可以通过形成具有与金属填充通孔(诸如W、Ni、Au或Cu)共平面的表面的衬底来完成。可以通过在厚度为大约0.5微米的金属种子层、诸如Cu、Al、Al-Cu(2%)或Al-Si(2%)合金层或者形成于Al或Al合金上的Cu层上电镀来形成金属填充通孔。Pd可以被用作种子层并且也可以被形成于Al或Al合金的顶上。Ni、W、Au或Cu柱(post)可以被形成于种子层上。在电镀之后,使用柱或者由光刻限定的图案作为掩模以及金属蚀刻,将种子层从柱之间的表面上移除。然后在表面上形成氧化层。氧化层被执行CMP以产生与氧化物和金属区共平面的表面。

[0110] 接触结构122和123的表面粗糙度可以大于管芯114-116的非金属表面部分和表面113的非金属部分。例如,管芯114-116的表面和表面113优选地具有小于1nm的均方根(RMS)表面粗糙度,更优选地小于0.5nm;同时接触结构122和123的表面优选地具有小于2nm的RMS表面粗糙度,更优选地小于1nm。

[0111] 接触结构122对接触结构123的内部压力——该压力由管芯114-116表面的非接触结构123部分与表面113的非接触结构122部分之间的键合所产生——可能不足以实现键合或者不足以导致具有优选低电阻值的电连接,这是由于,例如,在管芯114-116或表面113的暴露的金属表面上的自然氧化物或其它污染物例如烃造成的。通过移除接触结构123或122上的自然氧化物,可以实现接触结构123和122之间改善了的键合或者优选的较低电阻值的电连接。例如,在将表面113与管芯表面114-116接触之前可以使用稀释的氢氟酸。此外,在移除自然氧化物之后直到将表面113与管芯表面114-116接触为止,表面113和管芯114-116的表面可以暴露于惰性环境,例如氮气或氩气。替代地,在将管芯114-116表面的非接触结构123部分与表面113的非接触结构122部分键合之后,通过增加接触结构122和123的温度例如加热,可以实现接触结构123和122之间的改善了的键合或者优选的较低电阻值的电连接。通过减少自然氧化物或其它污染物,或者通过增加接触结构123和122之间的内部压力,例如如果接触结构123或122相对于围绕着接触结构123和122的非金属材料具有更高的热膨胀系数,或者通过减少自然氧化物或其它污染物并且增加内部压力,那么温度增加可以导致优选的低电阻值电连接。温度增加也可以增加接触结构诸如122和123之间的互扩散,以导致优选的低电阻值的电连接。温度增加可以因而增强接触结构123和122之间的金属键合、金属接触、金属互连或传导。已经实现了小于 $1\text{ohm}/\mu\text{m}^2$ 的接触电阻值。例如,对于两个直径大约为5到 $10\mu\text{m}$ 并且每个大约为 $1\mu\text{m}$ 厚的接触结构,已获得了小于50mohms的电阻值。

[0112] 如果在管芯114-116中或者表面113下面的层111中存在IC,例如硅制IC,那么温度增加优选地小于 400°C 达2小时,更优选地小于 350°C 达2小时以避免损害IC、接触结构或者其它金属结构。如果接触结构是由易受热膨胀、或内部压力、或可忽略的自然氧化物影响的导电材料例如金组成的话,那么导致增强接触结构123和122之间的金属键合、金属接触、金属互连或传导的温度增加可以非常低,例如,低如 50°C 达10分钟。

[0113] 优选使用会导致在较低的键合后(post-bond)温度下内部压力的较大增加而且在较低压力下可变形的接触结构123和122,以使实现增强接触结构123和122之间的金属键合、金属接触、金属互连或传导所需的键合后温度增加最小化,如果需要的话。例如,由于键合后温度增加而产生的内部压力依赖于构成接触结构123和122的金属。例如,具有高热膨

胀系数 (CTE) 值的金属, 例如铜、镍、和金, 导致在给定温度下的更大膨胀。此外, 具有更高剪切模量的金属, 例如钨和镍, 对于给定膨胀会产生更多应力。具有高CTE与剪切模量之积的金属, 例如铜、钨和镍, 因此在用温度增加产生内部压力增加上将是最有效的。此外, 优选地为高纯度、例如99.9%以上的、具有低屈服应力的金属, 例如铜、镍、和金在低应力下被显著地变形并因而能导致在低应力下改善接触结构之间的金属键合、金属接触、金属互连或传导。由具有高CTE和剪切模量乘积的金属、或者具有高的被屈服应力规格化的CTE与剪切模量之积的金属、例如铜、镍、和金所组成接触结构123和122, 因而对于接触结构123和122而言是优选的, 其作为用键合后温度增加产生内部压力的结果表现出接触结构之间的金属键合、金属接触、金属互连或传导的改善。

[0114] 替代地, 接触结构123可以稍低于管芯114-116的表面或者接触结构122可以稍低于表面113。管芯114-116的表面和表面113之下的距离优选小于20nm, 更优选小于10nm。随后的键合然后温度增加可以如上述那样增加接触结构122和123之间的内部压力, 并且导致接触结构123和122之间的金属键合、金属接触、金属互连、或传导的改善。接触结构122低于表面113的微小距离和接触结构123低于管芯114-116表面的微小距离是接触结构范围上的平均距离。接触结构的形貌 (topography) 将包括等于、大于、和小于平均距离的位置。接触结构的总高度变化, 其由最大高度和最小高度之差得出, 可以实质上大于RMS变化。例如, 具有1nm的RMS的接触结构可以具有10nm的总高度变化。因此, 尽管如上述那样接触结构123可稍低于管芯114-116表面并且接触结构122可稍低于表面113, 但是接触结构122的一部分可以延伸于管芯114-116表面上方而接触结构123的一部分可以延伸于表面113上方, 导致在将表面113的非金属部分键合到管芯114-116的非金属部分之后接触结构122和接触结构123之间的机械连接 (mechanical connection)。由于不完全机械连接或者接触结构122或接触结构123上的自然氧化物或其它污染物, 该机械连接可能不会导致接触结构122和接触结构123之间足够的电连接。如上所述, 后续的温度增加可以改善接触结构123和122之间的金属键合、金属接触、金属互连、传导。

[0115] 替代地, 如果接触结构123的最高部分低于管芯114-116的表面、或者接触结构122的最高部分低于表面113并且在键合之后接触结构123和122之间没有机械接触, 那么温度增加可以导致接触结构123和122之间的机械接触和/或所需电互连。

[0116] 替代地, 接触结构123可以低于管芯114-116表面并且接触结构122可以高于表面113, 或者接触结构123可以高于管芯114-116表面并且接触结构122可以低于表面113。接触结构122低于表面113的距离和接触结构123低于管芯114、115、或116的距离之差 (或者反之亦然) 可以是很小的正值, 如申请号为10/359,608的申请中所述。替代地, 触结构122低于表面113的距离和接触结构123低于管芯114、115、或116的距离之差 (或者反之亦然) 可以名义上是零或者很小的负值, 并且如上所述键合后温度增加可以改善接触结构123和122之间的金属键合、金属接触、金属互连、传导。

[0117] 接触结构123相对于管芯114-116表面的高度以及接触结构122相对于表面113高度的高度可以用形成管芯114-116表面或表面113的抛光工艺来控制, 例如化学机械抛光 (CMP)。CMP工艺一般有很多工艺变量其包括但不限于抛光液的类型、抛光液添加速率 (rate of slurry addition)、抛光垫 (polishing pad)、抛光垫转速、和抛光压力。CMP工艺还依赖于: 组成表面113和管芯114-116表面的特定非金属和金属材料; 非金属和金属材料的相对

抛光速率(优选地为相似抛光速率,例如镍和氧化硅);接触结构122和123的尺寸、节距(pitch)和颗粒结构;表面113或管芯114-116表面的不平整度(non-planarity)。这些工艺参数的优化可以被用于控制接触结构123相对于管芯114-116表面的高度以及接触结构122相对于表面113高度的高度。也可以使用替代抛光技术,例如固结磨料抛光(slurry-less polishing)。

[0118] 接触结构123相对于管芯114-116表面的高度以及接触结构122相对于表面113高度的高度也可以用对管芯114-116表面上围绕接触结构123的材料或者表面113上围绕接触结构122的材料的轻度干法蚀刻来控制,例如,对包括某些电介质材料例如氧化硅、氮化硅或氧氮化硅的表面使用 CF_4 和 O_2 混合物的等离子体蚀刻或者反应离子蚀刻,优选地使得表面粗糙度增加,这将显著减少所述表面之间的键合能量。替代地,接触结构123以及接触结构122的高度可以通过在接触结构123和122上形成非常薄的金属层来控制。例如,一些金属例如金的无电镀,可以自限制为非常薄的层,例如大约5到50nm。该方法的额外优点可以是用非常薄的非氧化金属终止氧化金属,例如镍上的金,以便于形成电连接。

[0119] 此外,接触结构122的横向尺寸可以大于或小于接触结构123的横向尺寸,使得在键合后,接触结构123的周界(perimeter)被包含于接触结构122内或者接触结构122的周界被包含于接触结构123的周界内。更大或更小的横向尺寸最小值一般是由将管芯114-116键合到表面113的对准精度的至少两倍所决定的。例如,如果将管芯114-116键合到表面113中的对准精度是1微米,那么为了接触结构123的周界被包含于接触结构122的周界内,接触结构122优选地至少比接触结构123大两微米。

[0120] 接触结构122对接触结构123的最大内部压力——其可以产生自围绕接触结构123的管芯114-116表面部分与围绕接触结构122的表面113部分之间的键合或者由键合后温度增加提供——取决于管芯114-116表面的这部分与表面113的这部分的键合面积和接触结构123的面积对着接触结构122的面积。这两个面积之和一般小于由于与表面113非接触结构122部分对准的接触结构123之剩余面积和与管芯114-116表面非接触结构123部分对准的接触结构122之剩余面积所导致的管芯114-116对表面113的整个面积,其原因是接触结构123和122之间的横向尺寸差以及管芯114-116的表面与表面113之间的键合失准(bond misalignment)。键合所能产生的或者键合后温度增加所能提供的最大内部压力可以由管芯114-116表面部分与表面113部分之间键合的断裂强度(fracture strength)乘以该键合的面积与接触结构123的面积对着接触结构122的面积的比值来估算。例如,如果管芯114-116表面部分和表面113部分是由断裂强度为16,000psi的氧化硅组成的并且这些部分的被对准部分之间的直接键合具有约为氧化硅一半的断裂强度、即8,000psi,并且接触结构123和122是节距10微米、直径为4微米的圆形,并被完美对准,那么接触结构123和122之间的最大内部压力可以超过60,000psi。该内部压力一般明显大于由键合后温度增加所产生的内部压力。例如,如果接触结构123和122是由具有17ppm CTE和6,400,000psi剪切模量的铜组成的并且管芯114-116表面部分和表面113部分是由CTE为0.5的氧化硅组成的,并且接触结构123与管芯114-116部分共平面而接触结构122与表面113部分共平面,那么在键合后温度增加350℃下,预期在接触结构123和122之间实现约为37,000psi的应力。

[0121] 接触结构123和122一般不是完美对准并且不具有相同横向尺寸。这可能导致部分的接触结构123与围绕接触结构122的表面113的一部分接触或者接触结构122的一部分与

围绕结构123的管芯114-116表面部分接触。如果部分接触结构123与这部分表面113接触,并且如果接触结构122低于表面113、或者替代地、如果部分接触结构122与这部分管芯114-116表面接触,并且如果接触结构123低于管芯114-116的表面,那么键合后温度增加可能导致内部压力优先地在接触结构122和这部分管芯114-116表面之间或者接触结构123和这部分表面113之间增加,并导致在给定的键合后温度增加下,接触结构123和122之间理应获得的内部压力减少了。为了避免在接触结构123和122之间内部压力增加上的这种减少,优选地,如果接触结构123低于管芯114-116表面,那么通过留一定余量(诸如对准公差的两倍)来容纳接触结构123和接触结构122的尺寸和形状上的失准和失配,在键合之后接触结构122的周界被包含于接触结构123的周界内,使得内部压力增加将主要位于接触结构123和接触结构122之间。替代地,优选地,如果接触结构122低于表面113,那么通过留一定余量(诸如对准公差的两倍)来容纳接触结构123和接触结构122的尺寸和形状上的失准和失配,在键合之后接触结构123的周界被包含于接触结构122的周界内,使得内部压力增加将主要位于接触结构123和接触结构122之间。作为又一个替代,如果接触结构123低于管芯114-116表面并且接触结构122低于表面113,那么通过留一定余量(诸如对准公差的两倍)容纳接触结构123和接触结构122的尺寸和形状上的失准和失配,被接触结构CTE规格化的低于表面最少的接触结构在键合之后其周界被包含于对立接触结构的周界内,使得内部压力增加将主要位于接触结构123和接触结构122之间。

[0122] 接触结构123和接触结构122的温度可以在减薄管芯114-116的衬底之前或之后增加以形成减薄的管芯衬底121。接触结构123和接触结构122的温度可以在用各种类型的加热、包括但不限于热力(thermal)、红外、和感应来键合之后增加。热力加热的实例包括烤箱(oven)、带式炉(belt furnace)、和热板(hot plate)。红外加热的实例是快速热退火。红外加热源可以被滤波以用具有优选能量的光子来优先加热接触结构123和122。例如,如果衬底110、管芯114-116衬底,被减薄的管芯衬底121、器件区111、或器件区118是由半导体、例如硅组成的,那么红外加热源可以被滤波以防止能量超过半导体能带隙的光子被半导体吸收,导致半导体的温度增加相对于接触结构123或接触结构122的温度增加减少。当接触结构123或接触结构122是有磁性的例如由镍组成时,感应加热的实例是感应磁共振(inductive magnetic resonance)。

[0123] 多个接触结构123可以接触单个接触结构122而不覆盖单个接触结构122的整体,如附图18中所示。替代地,单个接触结构123可以部分地或全部地接触单个接触结构122,单个接触结构122可以部分地或全部地接触单个接触结构123,或者单个接触结构123可以接触多个接触结构122。

[0124] 在前述实施方案所述的单一掩模工艺之后,接着,当多个接触结构123接触单个接触结构122而不覆盖单个接触结构122的整体时,附图19A中所示结构被产生,其中金属种子层90形成对接触结构122和123两者的电连接。替代地,金属种子层90可以只接触接触结构123,尤其是如果接触结构123覆盖整个接触结构122的话。附图19A中所示结构可以被进一步处理以形成类似于附图18中表面113的表面,如早先在该实施方案中所述并如附图19B中所示,其中结构59类似于接触结构122而平整化的材料58类似于表面113的非接触结构122部分。另外的具有暴露的接触结构123的管芯可以在之后被键合并互连到具有暴露的接触结构59的表面,其类似于将具有暴露的接触结构123的管芯114-116键合到暴露的接触结构

122。附图19C显示了具有接触124而没有开口或缝隙的填充通孔。

[0125] 在该第四实施方案中,通孔蚀刻接着金属互连对在接触结构123和122之间制造电互连是不需要的。然而,可能需要如附图19A中所示的通孔蚀刻接着金属互连来提供来自管芯114-116暴露侧的电通路(electrical access)。可能需要这样的应用实例是管芯114-116暴露侧被倒装片凸点键合(flip-chip bump bonding)到封装、电路板、或集成电路以在接触结构123或122与该封装、电路板、或集成电路之间制造电连接。也有不需要为此目的通孔的应用,例如在某些类型的凝视焦平面阵列(Staring Focal Plane Array)的制造中。对于这些应用,如附图18中所示的包括但不限于上述的衍生物的方法和由此所制造的器件足可满足。

[0126] 附图20A-20H中所示为第五实施方案。该实施方案在形成通孔50之前与前述实施方案相似,只是管芯17、108、117、或123中的具有开口或与通孔50重合(overlap)的边沿的接触结构被替换为没有开口或重合边沿的接触结构87。在该实施方案中,管芯84-86中的具有衬底部分89、器件区88的接触结构87被键合到具有器件区81、衬底80、和接触结构82的表面83。接触结构87被放置于接触结构82上方,如附图20A中所示。管芯84-86也可以被键合到具有与附图16和17中所示类似的暴露的接触结构112或者与附图18和19中所示类似的接触结构122的表面113。要注意的是接触结构87可以被键合成与接触结构82直接接触,其如器件86中所示。管芯84-86也可以具有相同的接触结构构造。附图20A和20B被用来显示两种接触结构构造,为了简洁在这两种构造之间有删除部分。一般地,每个被键合到衬底的管芯会具有相同的接触结构构造。如果具有不同接触结构的管芯被键合到相同衬底,那么可能需要某些工艺变化诸如调整蚀刻参数或分开蚀刻通孔。附图被绘制以解释在衬底上存在相同或不同结构情况下的本发明,而不需要显示这样的变化。

[0127] 如第一实施方案中所述那样形成图案化的硬掩模40和开口41,如附图20B中所示。然后,通过顺序地各向异性蚀刻管芯84-86中的剩余衬底部分89、管芯84-86中到接触结构87的器件区88部分、创建侧表面79的接触结构87、到表面83的器件区88的剩余部分(如果需要的话)、以及到接触结构12的器件区81(如果需要的话),来形成通孔55。除了蚀刻接触结构87之外,这些各向异性蚀刻可以如第一实施方案中所述那样来完成。关于接触结构87的各向异性蚀刻,可以使用RIE蚀刻,其蚀刻导电结构87而对硬掩模40是选择性的。如果硬掩模40和导电结构87具有相似的蚀刻速率,那么硬掩模40可以被形成得实质上厚于接触结构87以使得被暴露的接触结构87,连同衬底部分89、器件区88、接触结构87、和到接触结构82的器件区81(如果需要的话),被蚀刻而不彻底地蚀刻硬掩模40。用于接触结构87的蚀刻可以实质上不同于用于管芯84-86中的剩余衬底部分89和器件区88以及器件区81的蚀刻。例如,如果剩余衬底部分89由硅组成,而器件区88和81的被蚀刻部分由氧化硅组成,并且接触结构87由Al组成,那么非基于氯(non-chlorine-based)的RIE蚀刻可以被用于蚀刻剩余的衬底部分89和器件区88和81,而基于氯的RIE蚀刻可以被用于蚀刻接触结构87。

[0128] 侧壁76优选地在接触结构87的蚀刻之前形成。具体地说,结构被各向异性蚀刻穿过衬底部分89并能在到达器件区88之后停止,或者继续进入到器件区88中停止而不达到接触结构87。然后,如附图20C中所示对于这两种情况,对于分离的接触结构和直接键合的接触结构,形成层76。通过在通孔55中沉积绝缘层诸如氧化硅接着通过例如各向异性蚀刻从通孔55的底部移除该层,可以形成层76。器件区88的剩余部分和接触结构87被蚀刻穿以暴

露接触结构82,如附图20D中所示(左侧),而器件区88的剩余部分被蚀刻穿以暴露接触87,如附图20D中所示(右侧)。

[0129] 如前述实施方案中所述那样进行侧壁形成、接触结构82和87之间的电互连、以及通孔装衬(lining)和/或填充等后续步骤,其主要不同之处在于到接触结构87的电互连被限于由各向异性蚀刻穿过接触结构87所暴露的侧表面79。第二个不同在于侧壁的形成类似于附图8A或8B中所示的侧壁70;或者附图8J中所示的侧壁74,其中侧壁延伸于接触结构17之下并会抑制到接触结构87的侧表面79的电互连。附图20D(左侧)详细图释了管芯84-86之一,以更清楚地图释侧壁76的实例没有阻止到侧表面79的电互连。

[0130] 附图20D中侧壁形成的实例类似于之前在附图8H所给出的例子,其中侧壁72延伸于被减薄管芯衬底21之下,但在接触结构17上方。穿过接触结构87、或穿过接触结构87和接触结构82之间区域的通孔55的蚀刻也可以在接触结构87上方为轻微各向同性(slightly isotropic)的,以在接触结构87的顶面上形成非常小的自对准的凸缘28以减少后续在接触结构82和87之间形成的电互连的互连电阻值而不增加通孔55的横截面,如附图20E中所示。与如附图8K中所示的所形成侧壁75类似的选择性侧壁77也可以被形成于接触结构87的蚀刻之前(附图20F,左侧或右侧)或者接触结构87的蚀刻之后(附图20F,左侧)。在接触结构87的蚀刻之后形成选择性侧壁77悬于暴露的侧表面79上方并能使暴露的侧表面79和接触结构82之间的电互连的形成变得复杂。通过用类似于附图10D中所示的将接触结构12与17电互连但不接触减薄衬底21形成电互连97的方式,在暴露的侧表面79和接触结构87之间形成电互连99,该复杂化可以被避免。互连99可以延伸于接触结构87上方但低于88或89中的任何导电材料。

[0131] 电互连99形成之后,接着,如附图20G中所示,可以形成侧壁79其覆盖着暴露于通孔55的衬底部分89,类似于附图8A或8B中的侧壁70,其中假设侧壁厚度与互连99的厚度相当。替代地,可以形成类似于附图8K中的侧壁75的选择性侧壁,如附图20H中所示。通孔55的剩余部分可以在之后如前述实施方案所述那样被用金属填充或者用金属作衬里并用电介质填充。

[0132] 这些所得结构也适合于后续处理,其包括但不限于基于光刻的互连布线或者凸点下金属化层,以支持引线键合或者倒装片封装,如前述实施方案所述。要注意的是附图20C-20F中所示结构也可以包括如管芯86中所示构造的接触结构。

[0133] 附图21A-21E所示为第六实施方案,其中整个管芯衬底部分127,或者大致所有的部分127,类似于前述实施方案中的19、21、89、109、121,可以被移除而留下器件层、电路、或电路层。在该实施方案中,衬底130拥有具有接触结构132的器件区131。管芯134-136每个具有器件区138、接触结构137、和对于正常操作(proper operation)而言非必须的衬底部分127。接触137被显示为在管芯134中具有开口,并且接触137在管芯135中是单体的(unitary)并且开口可以被蚀刻从其穿过,如第五实施方案中那样。管芯134-136在表面133上被键合到衬底130,如附图21A中所示。通过例如研磨和/或抛光,将管芯衬底127整个移除,暴露出器件区138,如附图21B中所示。由于缺少衬底部分127,所以对于该实施方案相对于前述实施方案而言,蚀刻通孔以暴露出接触结构并在接触结构之间形成电互连的后续所需步骤数目被实质上减少和简化。

[0134] 例如,在附图21C中,其中只显示了管芯134-136中的一个,蚀刻通孔129以暴露出

接触结构132和137的步骤被简化,因为没有要被蚀刻穿过的衬底部分127的通孔。通孔129可以因此实质上浅于前述实施方案中所述的通孔,导致通孔横截面的实质上减少和通孔密度的相应增加。在另一个实例中,在附图21D中,其中只显示了管芯134-136中的一个,在暴露的接触结构132和137之间形成电互连128的步骤被简化,因为不需要侧壁来对电连接128电隔离的衬底部分127。附图21E显示了该实施方案,其包括以直接接触的方式被键合的接触结构。要注意的是附图21E中所示结构也可以包括如管芯135中所示构造的接触结构以及类似于附图19C中接触结构124和122的接触结构。

[0135] 可以移除整个管芯衬底部分的应用实例包括一些绝缘体上硅和III-V族IC,其中所述IC的管芯衬底部分不用于有源晶体管或其它IC器件的制造。

[0136] 由第六实施方案产生的结构也适合于后续处理,包括但不限于基于光刻的互连布线或者凸点下金属化层,以支持引线键合或者倒装片封装,如前述实施方案中所述。

[0137] 附图21A-21E中所示那些的其它变化包括但不限于那些在前述实施方案中所述的,例如:如附图10和附图14中所示的通孔填充或者通孔装衬并填充;如附图15中所示的互连到管芯接触结构边沿;将管芯与如附图17和附图18中所示的暴露的晶片接触结构、或者与如附图19中所示的管芯和暴露的晶片接触结构键合起来;如附图20中所示的接触到管芯接触结构的暴露的侧表面也是可以的。

[0138] 附图22A-L和附图23A-K中所示为本发明的第七实施方案。要注意的是表面接触结构构造由管芯146图示。在衬底中,所有管芯可以具有相同或不同的接触结构构造,而当不同的接触结构被键合到相同的衬底时可能需要某些工艺变化,如上所述。衬底140可以包含被划片槽(scribe alley) 38分离的管芯诸如144-146(用虚线表示)。每个管芯144-146具有位于器件区148中的接触结构147。要注意的是为了易于解释,接触结构不是按比例绘制。接触结构147可以是分立部件或者可以包括一个具有贯穿通孔的部件。

[0139] 接触结构147可以通过金属沉积和剥离(liftoff)或者金属沉积和蚀刻的传统方法被形成。替代地,通过图案化和蚀刻穿过预先存在的导电层或者在导电层的开口内图案化和金属沉积的结合,可以形成接触结构147。在接触结构147的形成之后,优选地接着进行与器件区148中接触结构147下面的类似的电隔离电介质材料151的平整化层的沉积。典型的平整化材料是氧化硅,其通过等离子增强化学气相沉积来形成,如附图22A中的层151所示。当需要表面接触时,如在器件146中,层151可以不被形成、不被形成于衬底140的特定区域中、或者可以稍后被移除。

[0140] 通孔可以被形成于管芯144-146中。通孔的蚀刻优选地在晶片级(wafer-scale)、在沿着划片槽38将管芯144-146分切成独立管芯之前被完成,使得晶片上的所有管芯上的所有通孔可以同时被蚀刻。管芯144-146可以因此让它们所有的通孔被同时蚀刻;或者替代地,在分开的时间被蚀刻,如果管芯144-146源自不同晶片的话。这些通孔优选地被各向异性蚀刻以消耗最小量的器件区材料148和衬底140。

[0141] 管芯144-146中的接触结构也可以用类似于前面第五实施方案中所述的方式来形成。例如,平整化材料151被图案化和蚀刻以形成穿过平整化材料151到导电材料154的通孔152,如附图22B中所示,接着蚀刻出穿过导电材料154的通孔以形成具有暴露的侧表面153的接触结构147(154),接着进一步蚀刻穿过器件区148并进入到衬底140中以形成通孔155,如附图22C中所示。该蚀刻优选地为各向异性蚀刻以最小化通孔55的横向展宽。平整化材料

151也可以被图案化和蚀刻以形成,如附图22D中所示的暴露出两个凸缘160的通孔156、如附图22E中所示的暴露出一个凸缘160的通孔157、或如附图22F中所示的其中没有暴露的凸缘的通孔158。平整化材料的图案化和蚀刻的区域可以稍大于由接触结构147 (或接触结构154中) 所形成的开口,导致接触结构147下方的通孔156的位置和横向展宽由接触结构147 (154) 给定,并且接触结构147 (154) 上方的通孔156上部稍宽于通孔156的下部。接触结构147 (154) 的凸缘160和侧表面153被露出,如附图22D中所示。替代地,平整化材料151可以与接触结构147 (154) 的一边重合,导致通孔157的位置和横向展宽的一部分由接触结构147 (154) 给定,并且接触结构147 (154) 上方的通孔157上部稍宽于下部。接触结构147和154的一个凸缘160以及接触结构147 (154) 的侧表面153被露出,如附图22E中所示。作为附图22D和22E的替代,平整化材料151可以不与接触结构147 (154) 的任何部分重合,导致通孔158的位置和横向展宽不由接触结构147 (154) 给定,并且不露出接触结构147 (154) 的侧表面153,如附图22F中所示。要注意的是附图22E和22F中的任何接触都不必具有开口。通孔156、157或158优选地被蚀刻到足够的深度,使得后续的减薄被分切管芯144-146的衬底140以在将管芯144-146键合到衬底140的表面143之后形成减薄衬底161,露出通孔156、157和/或158,如附图22G中所示,用于如附图22C中所示的通孔155以及所形成的接触结构147 (154)。

[0142] 对由接触结构147限定的通孔或者在接触结构154中的通孔的蚀刻对所需范围可以是各向同性的,以在接触结构147 (154) 的背面上形成自对准凸缘162,如附图22H中所示对于附图22C的通孔155形成该凸缘162以产生通孔159,或者如附图22I中所示对于附图22D的通孔156形成该凸缘162以产生通孔163。各向同性蚀刻可以包括在接触结构147 (154) 下面的器件区148和衬底140以露出接触结构147 (154) 的背面,如附图22H或22I中所示。各向同性蚀刻可以通过修改用于蚀刻通孔155或通孔156的蚀刻条件来实现。例如,如果用于蚀刻通孔155或通孔156的蚀刻条件包括低压下的反应离子蚀刻,那么可以在较高压力下使用类似的反应离子蚀刻。露出所需量的接触结构147背面并形成自对准凸缘162的所需压力的增加取决于很多因素,包括平整化材料151的厚度和通孔156、157、或158的深度并可以用实验方法来决定。替代地,各向同性蚀刻可以包括衬底140但不包括器件区148,导致自对准凸缘166以及在接触结构147 (154) 的背面上和通孔164上方的器件区148的剩余部分165,如附图22J中所示。与上述附图22H和22I相似,在接触结构147 (154) 的背面上和通孔164上方的器件区148形成自对准凸缘166的剩余部分165通过各向同性蚀刻在接触结构147 (154) 下方造成了希望的展宽。例如,如果剩余部分165由绝缘体例如氧化硅组成,并且被各向同性蚀刻的器件区148和衬底140由半导体例如硅组成,那么该结构可以被形成。

[0143] 在形成通孔之后,非选择性的电介质侧壁170可以如第一实施方案中所述那样被形成,以将衬底140从可以在通孔中被后续形成的互连金属电隔离开,如附图22K中所示。附图22K显示了为如附图22I中所示所形成的通孔163产生具有凸缘172的通孔171的例子。与第一实施方案中所述的侧壁77类似的并如附图22L中所示的选择性的电介质侧壁173也可以被形成。在蚀刻通孔之后,管芯144-146被分切,如果需要的话,并被键合到具有接触结构142和器件区141的衬底140的表面143。替代地,管芯144-146可以被键合而不分切。例如,整个晶片或管芯可以被键合到具有单一位置而不是分离的管芯位置的衬底,并导致名义上平整的表面而不是由管芯之间间隔引起的非平整表面。衬底140也可以包含接触结构但没有器件或器件区。然后减薄衬底140,例如,用背面研磨 (backgrinding)、化学机械抛光、或蚀

刻中的至少一种,留下减薄衬底管芯161并露出通孔、例如通孔155,如果通孔如附图22C中那样被形成并如附图23A-23B中所示的话。接触结构142可以如附图23A中所示与键合表面共平面,或者如附图23B中所示陷入(recess)键合表面。通过在衬底140的表面上沉积导电材料例如铜或镍镀层,然后在导电材料上方沉积绝缘材料,接着化学机械抛光来形成接触结构142和表面143,可以形成附图23A中所示与键合表面共平面的接触结构142。导电材料的抛光速率优选地与绝缘材料的抛光速率相当。通过适当选择导电材料、绝缘材料、导电材料的尺寸、形状和导电材料的面积覆盖、以及包括如第四实施方案中所述的抛光液和抛光盘的抛光参数,可以得到导电材料的同等抛光速率。

[0144] 替代地,通过沉积绝缘材料、例如氧化硅,接着进行通过选择性抛光凸起轮廓(elevated feature)来平整化表面的绝缘材料化学机械抛光,在接触结构142的顶上产生薄的平整化电介质材料,可以形成如附图23B中所示陷入键合表面的接触结构142。替代地,可以通过首先形成如附图23A中所示的平整化表面143,接着在如附图23A中所示的表面143上沉积或者沉积并抛光非常薄的绝缘材料层,以形成如附图23B中所示的陷入键合表面的接触结构142。陷入键合表面的接触结构142可以具有暴露的表面,如附图23C中所示,例如,通过图案化和蚀刻平整化电介质材料以暴露具有通孔63的接触结构142来形成。然后,键合和减薄管芯144-146导致接触结构142的暴露的表面,如附图23D中所示。接触结构142和147(154)的暴露,例如如附图23A和23D中所示,是优选的,以便于下述的接触结构142和147(154)之间的后续电互连。暴露的接触结构142的横向展宽可以小于、大于、或等于通孔155的横向展宽,依赖于通孔63的相对大小和如附图22C中所示蚀刻的通孔155的横向展宽。例如,当附图22C中的通孔155的横向展宽小于附图23C中的通孔63的横向展宽时,暴露的接触结构142的横向展宽大于通孔155的横向展宽,如附图23D中所示。替代地,通过将暴露的器件区141和148各向同性蚀刻到接触结构142,暴露的接触结构142的展宽可以在键合、减薄、和露出通孔例如通孔155之后被加宽,如附图23E中所示。替代地,附图23C中所示的暴露的接触结构142可以在可能危害接触结构142的键合工艺期间被薄层保护。例如,如果接触结构142由铝组成,它可能受到暴露给被用于实现室温共价键合的基于氨的溶液的威胁。这样的薄层的实例是可以由PECVD形成的氧化硅。也可以完成薄层的化学机械抛光以维持所需表面143而不从接触结构142上移除所述薄层。然后薄层可以在将管芯144-146键合到衬底140并将衬底140减薄以露出通孔和形成被减薄管芯衬底161之后被形成,并且优选地厚度范围为0.05到0.5微米,以简化露出通孔之后的移除。

[0145] 如果被减薄管芯衬底161为非导电的,被暴露接触结构142和接触结构147(154)可以通过形成与接触结构142和接触结构147(154)重合的导电材料被互连。替代地,如果被减薄管芯衬底161是导电的,例如如果被减薄管芯衬底由硅组成,那么将被减薄管芯衬底161与互连着接触结构142和接触结构147(154)的导电材料电隔离的绝缘侧壁是优选的。类似于附图23A中所述地在暴露的接触结构142与表面143共平面时对于侧壁62、以及对于如附图22H中所示形成的通孔159,如前述实施方案所述的绝缘非选择性侧壁、例如附图8A或8B中的侧壁70可以在管芯144-146的键合和管芯144-146的后续减薄以留下如附图23F中所示的被减薄管芯衬底161之后被形成,而不是如之前在附图22K或附图22L中所示那样对于如附图22I中所示形成的通孔163在键合前形成侧壁。也可以使用与第一实施方案中所述类似但是被形成于键合、管芯衬底的减薄和露出通孔之后的绝缘选择性侧壁。如前述实施方

案中所述,侧壁形成对于防止被减薄管芯衬底之间的不希望的导电以及接触结构142和接触结构147 (154) 之间的不希望的电互连而言是优选的。

[0146] 利用暴露的接触结构147 (154) 和接触结构142、以及如果希望的话在被减薄管芯衬底161上的侧壁,可以通过在接触结构142和147 (154) 的暴露的表面上方形成导电材料来制造接触结构147 (154) 和接触结构142之间的电互连。典型导电材料是金属,而典型的金属是铝、铜、镍、和金。这些金属可以被用如前述实施方案中所述的各种方法形成。该形成可以导致暴露的减薄了的管芯衬底161表面由导电材料52所覆盖,如附图23G中所示。该覆盖可以由自对准的方式移除并且不使用光刻图案化和蚀刻而是通过将被用导电材料52覆盖的管芯衬底161表面抛光减薄直到导电材料52被从被减薄管芯衬底161上移除为止,如附图23H中所示。当如附图22J中所示,存在具有自对准凸缘166的器件区148的剩余部分165时,在将管芯144-146键合到衬底140并且减薄衬底140以露出通孔164并形成减薄衬底161之后产生了与附图23I中所示类似的结构,当被暴露的接触结构142与表面143共平面时类似于附图23A中所示那样。然后,剩余部分165被优选地用各向异性蚀刻移除,以将对着接触结构147 (154) 的背面的自对准凸缘重定位 (reposition),导致如附图23J中所示的自对准凸缘167。

[0147] 然后可以形成导电材料以将接触结构147与接触结构142电互连起来而不形成到减薄衬底161的电互连,如果希望的话,类似于上述那样并如附图23F、23G、23H中所示。如前所述,可以用电子束、热、物理气相沉积、化学气相沉积、和电镀中的一种或其组合来形成互连金属。所形成的互连金属可以为钛、钨、金、铜、或铝中的一种或其组合。

[0148] 在接触结构142和147 (154) 被用导电金属电连接之后,通孔可以如前述实施方案中所述那样被用金属化、电介质沉积、和化学机械抛光来填充和平整化。在通孔被填充和平整化之后,可以如前述实施方案中所述那样完成凸点下金属化层、凸点形成 (bumping)、切片、以及倒装片封装。要注意的是附图23F-J显示了表面接触142,但该接触也可以是陷入的,如附图23B中所示。并且,具有表面接触结构的管芯可以如附图23F-23J中所示那样被键合和构造和/或连接。附图23K显示了附图23H的情况。

[0149] 并且,该实施方案中的通孔 (例如,附图22C-22F, 22H-L) 可以在分切之前由导电材料168填充,使得当衬底140的被分切部分被减薄时暴露出导电材料。用于电隔离的绝缘材料可以视需要被形成于通孔的侧壁上,如上所述。填充了通孔的管芯 (或晶片) 可以在之后被与管芯 (或晶片) 的器件区148的暴露表面 (或管芯朝下) 键合起来,如下面在第九实施方案中所述;或者与相反的表面键合起来以暴露器件区148表面 (或管芯朝上),如下面在第十实施方案中所述。键合可以按如下方式执行:如第四实施方案中所述那样使用接触结构147以及对于管芯朝下如附图23L的左手侧中所示并且如下面在第九实施方案中详细所述;或者对于管芯朝上如附图23L的中间结构中所示其中导电材料168被连接到接触结构142并且如下面在第十实施方案中详细所述;或者对于管芯朝上如附图23L的右手侧中所示其中与第四实施方案中所述接触结构147的形成类似、导电结构179被形成并如下面在第十实施方案中详细所述。如果需要的话,电介质材料169可以被形成于衬底部分161上,并视需要为了键合到衬底140而被抛光。可以用通过各种方法包括但不限于化学气相沉积、物理气相沉积和电镀沉积的各种导电材料或其组合,其包括但不限于多晶硅或各种金属、例如钨、镍或铜来填充通孔。导电材料可以被选择以促进与被键合了导电材料的接触结构的良好电接触、

低电阻率、或高热传导性,并且如果需要的话,可以被由金属有机物气相沉积或物理气相沉积所沉积的阻挡层例如氮化钛或氮化钨,从通孔外部的衬底部分或通孔侧壁上的绝缘材料分离开,以防止导电材料扩散到通孔外部的衬底部分中。例如,当构建基于硅的IC时,其中通孔被蚀刻到硅中,铜由于其低电阻率可以是优选的,但一般在合适的通孔绝缘层、一般为氧化硅之间需要合适的阻挡层、一般为氮化钛或氮化钨,以避免铜扩散到硅中。替代地,其它金属、例如钨,如果需要的话,也可以被与绝缘层或阻挡层一起使用。并且,如果需要的话,具有良好的抛光特性的材料、如上所述诸如镍也可以与绝缘层或阻挡层一起使用。

[0150] 附图24A-B中所示为第八实施方案。该实施方案不同于第七实施方案之处在于管芯144-146的相反侧,例如,被减薄管芯衬底161在将管芯衬底减薄到暴露出通孔之后被键合到衬底140的表面143。这导致对于如附图22C中所示形成的通孔155以及如附图23A中所示形成的接触结构142,被减薄管芯衬底161键合到表面143以及通孔139暴露给表面143,如附图24A中所示。减薄衬底161、例如硅,可以被直接键合到衬底140的表面143;或者电介质、例如氧化硅,可以在直接键合到衬底140的表面143之前被形成于减薄衬底161上。减薄衬底161的形成优选地在晶片级、在将管芯144-146分切成独立管芯之前完成,使得晶片上的所有管芯上的所有通孔例如如附图22C中所示的通孔155可以同时被露出。管芯144-146可以因此让它们所有的通孔被同时露出;或者替代地,在分开的时间露出,如果管芯144-146源自不同晶片的话。

[0151] 如果通孔不足够深的话,减薄衬底161、例如来自如附图22C中的衬底140的形成,可能损害机械完整性(mechanical integrity)。例如,小于约0.1到0.3mm的通孔深度对于200mm直径并由硅组成的减薄衬底一般是足够的。该通孔深度——低于该深度会损害机械完整性——对于更大直径的减薄衬底而言会更大而对于更小直径的减薄衬底而言会更小。通过在为通孔155和如附图22C中所示形成的接触结构147 (154) 减薄衬底140之前,将衬底140的暴露表面相反侧附着到操作晶片(handle wafer) 44,如附图24B中所示,该机械完整性上的损害可以被避免。操作晶片44的附着可以被用各种键合方法包括但不限于直接键合或粘附键合来完成。在将衬底140的暴露的表面的相反侧附着到操作晶片44并减薄衬底140以形成减薄衬底161并露出通孔155之后,减薄衬底161可以被用作键合表面;或者电介质、例如氧化硅,可以被沉积为如上所述的键合层。在形成优选键合表面之后,管芯144-146被分切并键合到衬底140的表面143,并且操作晶片44的被分切部分被移除。分切可以被用切片或划片中的至少一种来完成。操作晶片44的被分切部分的移除可以被用研磨、化学机械抛光、或蚀刻中的至少一种或其组合来完成。

[0152] 在键合到操作晶片44并减薄以形成减薄衬底161之前,接触结构147 (154) 可以被形成于管芯144-146之中,如第七实施方案中所述。然而,在接触结构147上凸缘的形成以改善导电材料52和接触结构147之间电连接电阻值,是在接触结构147的相反侧上,如第七实施方案中所述并如附图23F和附图23G中所示。通过以大于接触结构中开口的展宽来蚀刻接触结构147上方的器件区148以形成通孔,其类似于如附图22D中的通孔156和接触结构147所示那样,可以因此形成该凸缘。

[0153] 此外,在键合到操作晶片44并减薄以形成减薄衬底125之前,侧壁可以被形成于通孔中。该侧壁可以是非选择性的,类似于附图22K中所示的非选择性侧壁170和通孔163;或者是选择性的,类似于附图22L中所示的选择性侧壁173和通孔163。替代地,选择性或非选

择性侧壁可以被形成于管芯144-146键合之后,如前述实施方案中所述。

[0154] 用与键合表面共平面或陷入其中的并且被暴露或受到如第七实施方案中所述的薄层保护的接触结构142,可以完成将管芯144-146键合到衬底140。在管芯144-146键合,以及如果使用了操作晶片的话移除操作晶片44的被分切部分、以及如果使用了薄保护层的话移除薄保护层之后,接触结构142被暴露,类似于第七实施方案中的附图23A或附图23D。然后导电材料被形成以电互连被暴露接触结构142和147 (154),例如类似于第七实施方案中的附图23G和附图23H。该导电材料的形成可以部分地或完全地填充通孔。如果电互连被暴露接触结构142和147 (154) 的导电材料部分地填充通孔,那么通孔的剩余部分可以如前述实施方案中所述那样由金属化、电介质沉积、和化学机械抛光的组合来填充和平整化。在通孔被填充和平整化之后,可以如前述实施方案中所述那样完成凸点下金属化层、凸点形成、切片、以及倒装片封装。

[0155] 第九实施方案,其关于键合和电互连而言与第四实施方案相似并且关于在键合之前形成贯穿管芯的通孔并在键合之后通过减薄暴露之而言与第七实施方案相似,也是可以的。该实施方案开始如第七实施方案中所述并且继续经过分切和键合管芯114-116 (或晶片),只是包含接触结构123和122的键合表面如第四实施方案中所述那样被制备、键合和电互连。在键合之后,管芯114-116被减薄以暴露管芯114-116中的通孔,如第七实施方案中所述,并用金属填充,如前述实施方案中所述。最终结构看起来会类似于附图19A中通孔被填充并且接触结构123包含通孔的情况。

[0156] 在第九实施方案的变化中,键合前 (pre-bond) 通孔形成被增补了金属填充,如第七实施方案中所述。例如,如附图22D、22E、和22F中所示对于通孔156、157、和158,管芯114-116中的通孔被形成于键合之前。如果管芯衬底和管芯器件区的部分是导电的,那么电绝缘侧壁被优选地形成于被蚀刻通孔侧壁的导电部分上,例如,如附图22L中所示的衬底140和器件区148上的通孔163中的侧壁173。该侧壁也可以被形成于整个通孔侧壁、如附图22K中所示的通孔侧壁的整体非接触部分上、或者在通孔的底部中。在通孔已经被从管芯衬底和器件区适当地电隔离开之后,该通孔被用如附图10B中所示具有平整化金属结构100的导电材料例如金属,或者用如附图10C中所示具有金属衬里或者阻挡层93和电介质94的导电材料和绝缘材料的组合来填充。通孔填充,例如用金属或金属和电介质,可以用如前述实施方案中所述的很多技术完成。

[0157] 作为蚀刻和填充穿过管芯器件区和管芯衬底部分的通孔的替代,通孔可以在器件形成或完成管芯器件区之前被蚀刻、或蚀刻并填充到管芯衬底的仅仅一部分中、或者管芯器件区的一部分和管芯衬底的一部分中。例如,如附图25A中所示,通孔172被蚀刻到管芯衬底140中并穿过管芯器件区171的一部分,例如包括半导体晶体管层以及由导电材料 (未显示) 例如金属和绝缘材料例如氧化硅或其它合适材料组成的多层互连结构的器件区的半导体部分,或者器件区存在于衬底中的情况。如果管芯器件区171部分和管芯衬底140是由导电材料、例如具有足够低电阻率的半导体材料、例如在典型CMOS晶片制造中所用的硅组成的,那么对于如前述实施方案中所述也被形成于通孔172的底部的选择性侧壁173,优选地形成侧壁,如之前在该实施方案和前述实施方案中所述并如附图25B中所示。另外,如果附图25A中的结构由非常薄的、例如5到50nm的硅组成,那么高质量的选择性氧化硅侧壁可以被热生长,便于通孔172的横向尺寸实质上小于1微米,使得能制造超过每平方厘米100,

000,000个的非常高的通孔区域密度。替代地,非选择性侧壁可以被形成于通孔172的侧壁上而不形成于通孔172的底部上,如前述实施方案中所述。然后通孔172可以内衬合适的阻挡层,如果需要的话;并且由导电材料174填充,形成例如如上所述的金属填充通孔。通孔172也可以被用导电的多晶硅填充。接触结构123可以被形成为与被填充通孔接触,如附图25D中所示。

[0158] 替代地,可以在形成接触结构123之前,在附图25C的结构上进行进一步的处理,以完成管芯器件区148的制造,接着在管芯器件区148的上部中形成接触结构123,如附图25E中所示。例如可以形成由导电材料例如金属、和绝缘材料例如与典型CMOS晶片制造类似或相同的绝缘材料组成的多层互连结构。典型的金属包括铜和铝而典型的绝缘材料包括氧化硅和低k电介质。管芯114-116中的接触结构123可以如第四实施方案中所述和附图25E中所示被形成。器件区148可以包括形成导电材料176以电互连接触结构123与金属填充通孔174。导电材料176如附图25E中所示,在导电材料174和接触结构123之间是垂直的,但也可以包括或完全由横向部件组成,例如通过在典型的集成电路制造例如CMOS晶片制造中的层间金属(interlevel metal)的布线所提供的横向部件。见附图25F的导电材料178。

[0159] 由此可以使用集成电路的互连结构、例如根据典型CMOS晶片制造,来提供从金属填充通孔174到接触结构123的电连接,有效地最小化或消除为了实现电连接而修改互连结构设计规则的需要,导致按比例缩放的改善和现有制造能力的提高。要注意的是虽然导电材料176可以包括或主要由横向部件组成,但是通孔172不必需横向部件。例如,如果通孔172是在管芯器件区148的半导体部分例如管芯器件区171中,并且导电材料176由一般被用在集成电路制造中的层间金属组成,那么通孔172垂直于导电材料176来放置并可以被用基本独立于导电材料176的制造的设计规则来制造,只是导电材料176要与金属填充通孔174电接触。此外,本例中的通孔172实质上短于之前在该实施方案中所述的、例如延伸穿过管芯器件区148的整个部分的通孔155。更短的通孔172还使通孔172的横向尺寸容易变小,例如,实质上小于1微米,使得能制造超过每平方厘米100,000,000个的非常高的通孔区域密度,导致按比例缩放的改善。要注意的是当需要隔离导电材料176和其它表面接触时,在器件146中包括了绝缘侧壁膜177和绝缘表面膜180。

[0160] 在该变化中,在键合之后,键合后减薄露出用金属填充的通孔而不是没用金属填充的通孔,例如如附图23L的左手侧中所示。在这两个变化的每一个中,管芯衬底部分可以被整体移除,如第六实施方案中所述。此外,在这两个变化的每一个中,键合到没有器件区却有被如第四实施方案中所述那样制备的接触结构的衬底也是可以的,例如,作为芯片的替代以在球栅阵列IC封装中封装内插板衬底(interposer substrate)。

[0161] 此外,在这两个变化的每一个中,暴露的表面可以包含用金属填充的通孔。为了与第四实施方案中所述电互连键合,该表面可以被适当地制备,其使用填料材料组合以如第一实施方案中所述那样平整化表面并如第十实施方案中所述那样暴露通孔并形成接触结构,如果需要的话。然后,来自相同或不同晶片的、具有暴露的接触结构的其它管芯被键合到具有暴露的金属填充通孔的键合后减薄表面,如第四实施方案中所述。替代地,可以在倒装片封装的制备中形成凸点下金属化层,能如前述实施方案中所述那样被实现。这显示在附图23M和23N中,其中第二管芯被键合到第一管芯。在使用上述和下述构造连接导电材料和/或一个管芯到另一管芯的接触中可以有很多组合。附图23M显示了三个例子,其中管芯

181让它的导电材料168被用接触结构179连接到下方管芯的导电材料168,管芯182让接触147 (154) 被连接到下方管芯的接触147和导电材料168,以及管芯183让接触147和导电材料168被连接到下方管芯的接触147和导电材料168。

[0162] 在附图23N中,左手侧的结构具有被以管芯朝下构造方式键合的两个管芯。中间结构拥有具有接触结构147 (154) 的管芯,该管芯被键合到具有接触结构142的衬底149诸如内插板(interposer)。经由键合之后所形成的导电材料187连接接触结构147 (154) 和导电材料168。右手侧结构具有连接在衬底149中的导电材料168和接触结构154的导电材料187。

[0163] 如上所述,根据本发明所述方法可以被应用于晶片对晶片键合。附图230显示了具有多个接触结构147和导电材料168的上部衬底140,像附图23L的左手侧上的管芯一样,被键合到下方衬底140,产生了分别与接触结构142的连接。管芯或另一晶片可以使用上述和下述的方法和构造被键合到晶片149。任意所需数目的晶片和管芯可以被键合并互连到一起。

[0164] 第十实施方案,其关于键合和电互连而言与第九实施方案类似并且关于管芯144-146键合表面的取向(orientation)和操作晶片的可选的使用而言与第八实施方案类似,也是可以的,如附图26A中所示。该实施方案如第九实施方案中所述那样开始,其中通孔被蚀刻、如果需要的话隔离、并用导电材料填充,例如如附图25C中所示。如上所述,可以用通过各种方法包括但不限于化学气相沉积、物理气相沉积和电镀沉积的、包括但不限于多晶硅或各种金属例如钨、镍或铜的各种导电材料,来填充通孔,视需要使用绝缘层或阻挡层。管芯(或晶片)衬底,例如附图25F中的140,在之后被减薄以露出用导电材料填充的通孔,例如附图25F中的174,可选地使用如第八实施方案中所述的操作晶片。可以用背面研磨、CMP、和蚀刻的组合来完成通孔的露出。该露出优选地导致平整表面;但替代地,由于衬底的CMP或蚀刻的选择性,可以导致非平整表面。例如,硅可以在CMP工艺期间以低于铜的速率被移除,导致如第四实施方案中所述那样的被陷入或凹下(dished)于硅衬底表面之下的导电通孔。替代地,可以用相对导电通孔优先地蚀刻衬底的选择性蚀刻,来露出通孔或蚀刻所露出的通孔,使得导电通孔在硅衬底表面上方延伸。例如,用基于SF₆的反应离子蚀刻,相对由铜或钨填充的通孔,可以优先地蚀刻硅。如果导电填充通孔的露出导致如第四实施方案中所述的合适的可键合的表面,那么管芯可以如第八实施方案中所述那样被分切和键合。

[0165] 如果导电填充通孔的露出没有导致如第四实施方案中所述的合适的可键合的表面,那么可以形成接触结构以形成如第四实施方案中所述的合适的可键合的表面。例如,如果暴露的导电填充通孔低于键合表面,那么接触结构179可以用类似于第四实施方案中所述那样的方式形成于导电材料174上。该形成可以包括接触结构和电介质例如氧化硅的沉积,接着抛光,导致除接触结构以外的适当平整和电绝缘的键合表面。这如附图26B中所示,其具有被形成为与导电材料174相接触的接触结构并且具有电介质膜169,诸如PECVD氧化硅。

[0166] 替代地,该工艺可以包括沉积和抛光具有或不具有电介质的接触结构,,以导致适当地与接触结构共平面并由衬底、例如附图25F中的衬底140组成的键合表面。此外替代地,如果暴露的导电填充通孔是在键合表面上方,那么接触结构也可以被用类似于第四实施方案中所述那样的方式形成于导电材料174上。该形成可以包括接触结构和电介质例如氧化硅的沉积,接着抛光,导致除接触结构以外的适当平整和电绝缘的键合表面。接触结构179

的横向尺寸可以被形成为等于、小于、或大于导电材料174。

[0167] 然后,管芯可以如第八实施方案中所述那样被分切和键合。管芯144-146因此被键合到具有如第九实施方案中所述那样形成并填充的键合前通孔的衬底140,并且包含接触结构——其如果需要的话——的键合表面如第四实施方案中所述那样被制备、键合和电互连。在管芯144-146键合到衬底140之后,管芯144-146不需要被电互连到接触结构142,并且管芯114-116的暴露表面对于如前述实施方案中所述在倒装片封装的制备中的凸点下金属化层是可接触的。

[0168] 在实施方案十中,通孔可以被形成为要么穿过整个器件区148要么穿过器件区148的半导体部分,如实施方案九中所述。如第九实施方案中所述,通过在器件区被完成之前形成通孔,在器件区148的半导体部分中的通孔形成避免了更深和更宽的通孔,这改善了器件密度并减少因通孔形成引起的半导体部分消耗,从而改善了按比例缩放。另外,管芯衬底部分可以被如第六实施方案中所述那样的整体移除。此外,暴露的表面可以包含接触结构。该表面可以被适当地制备,以与如第四实施方案中所述的使用如第一实施方案中所述的填料材料以平整化该表面的电互连键合,如果需要的话。然后,来自相同或不同晶片的、具有暴露的接触结构的其它管芯被键合到具有暴露的金属填充通孔的键合后减薄表面,如第四实施方案中所述。替代地,可以在倒装片封装的制备中形成凸点下金属化层,能如前述实施方案中所述那样被实现。并且,还可以进行实施方案十以堆叠多个管芯,类似于附图23M,或者以晶片对晶片的形式堆叠,类似于附图23N。

[0169] 本发明所希望的特征表达为垂直堆叠和互连构造。例如,管芯可以被IC侧朝下键合或者IC侧朝上键合。另外,作为管芯对晶片形式的替代,晶片对晶片形式也是可以的,其中上部晶片被IC侧朝上或朝下地键合到IC侧朝上的下部晶片。此外,这些管芯对晶片和晶片对晶片形式也可以与使用衬底制造的IC一起使用,其中对于IC功能性(functionality)来说不需要该衬底。例如,使用绝缘体上硅(SOI)衬底或非硅衬底例如III/V族材料、SiC、和蓝宝石制造的IC,对于IC功能性可以不需要存在衬底。在这些情况下,不被用于晶体管制造的衬底的整个部分可以被移除,以最小化形成垂直电互连所需的通孔蚀刻。

[0170] 虽然衬底被显示为由器件区组成,但是没有器件区却有接触结构的衬底也是可以的,例如,作为芯片的替代以在球栅阵列IC封装中封装内插板衬底。并且,管芯被显示为具有器件,但是使用根据本发明中所述的方法,可以将其它的没有器件却有接触结构的管芯或元件键合到衬底。

[0171] 按照上述教导,本发明可以有很多修改和变化。因此应明白的是,本发明可以在所附权利要求的范围内被实现,而限于本文中的特定描述。

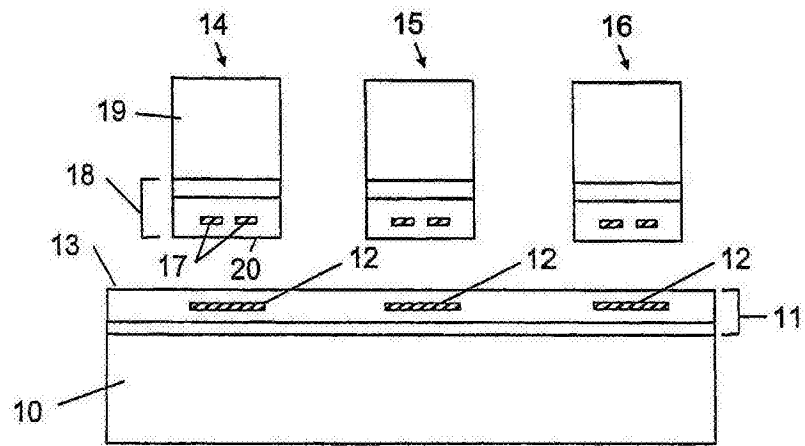


图1

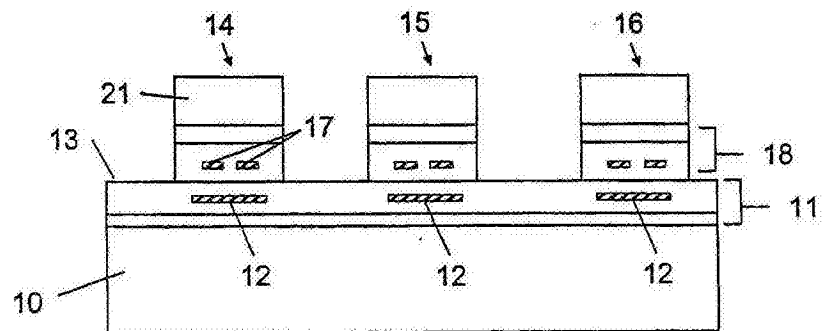


图2A

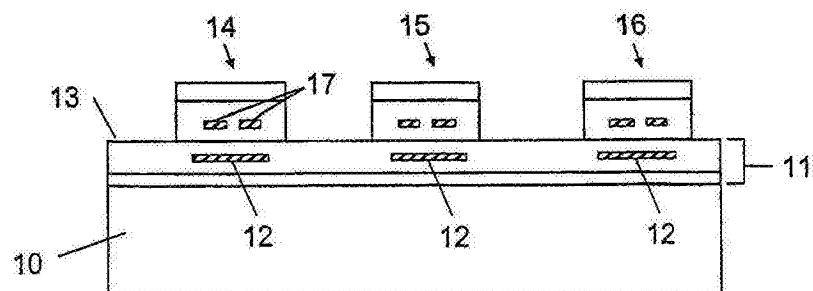


图2B

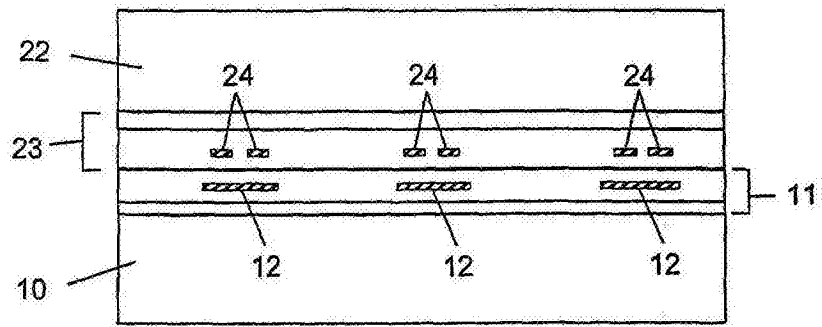


图2C

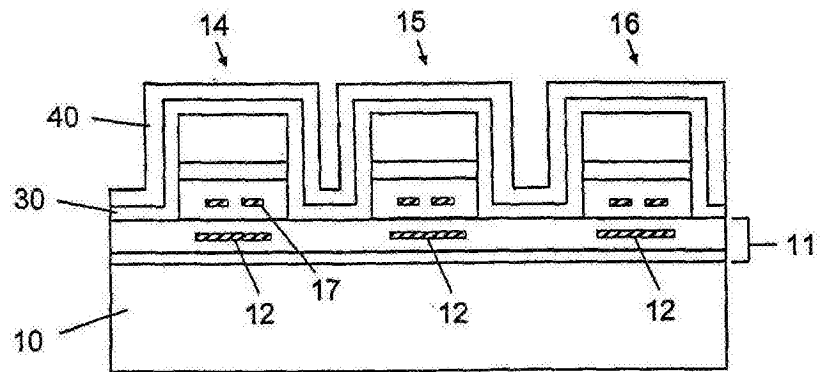


图3A

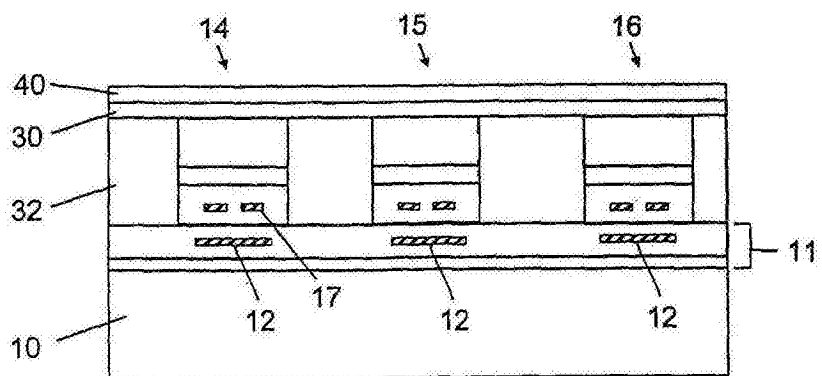


图3B

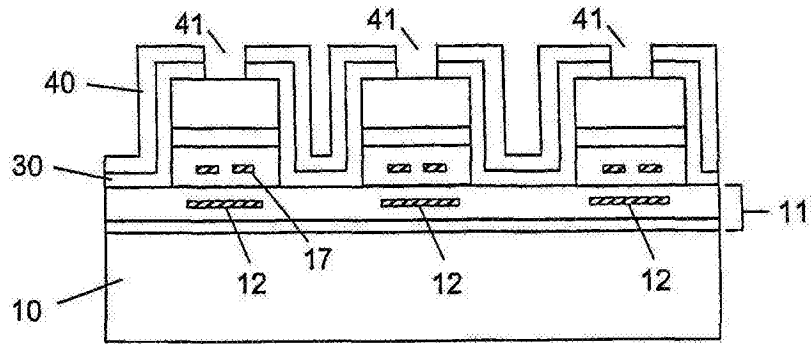


图4

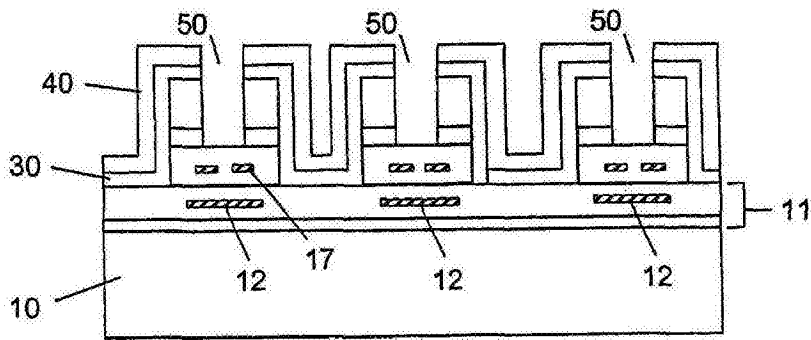


图5

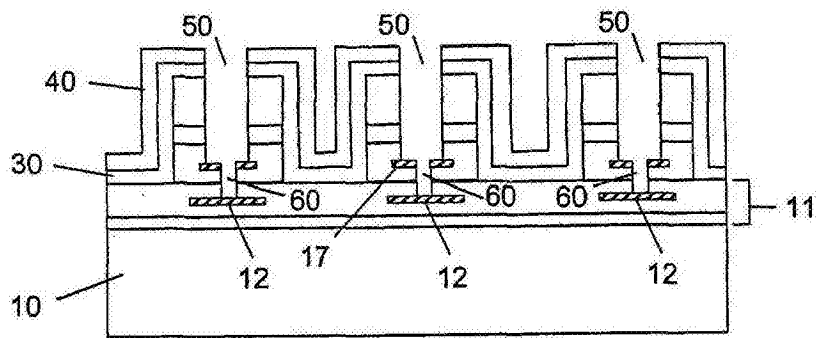


图6A

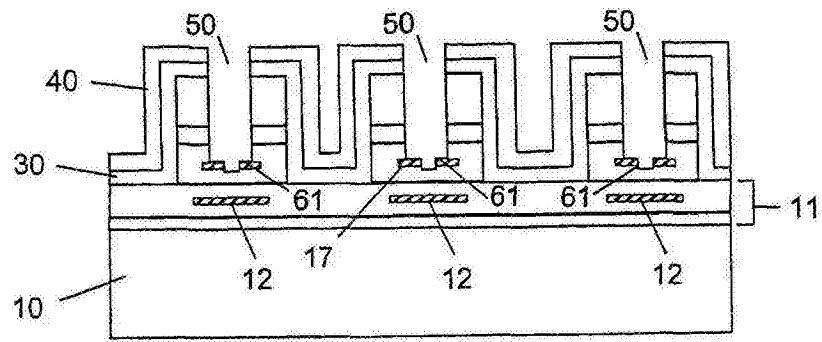


图6B

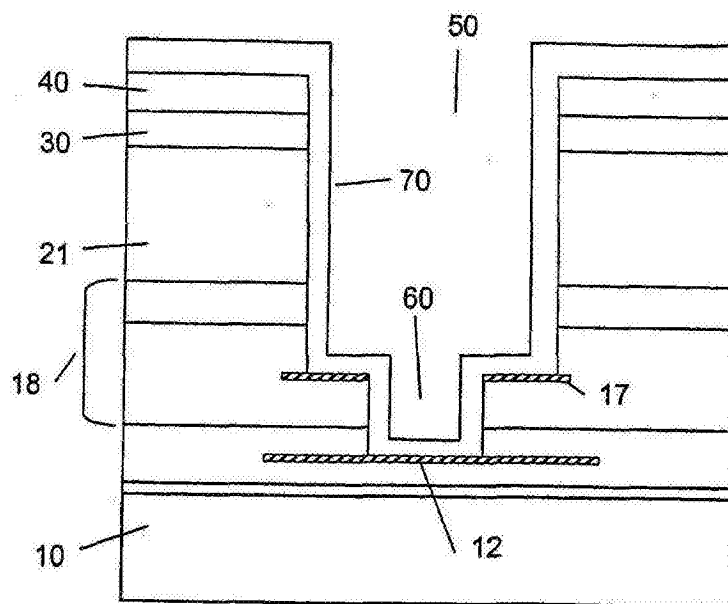


图7A

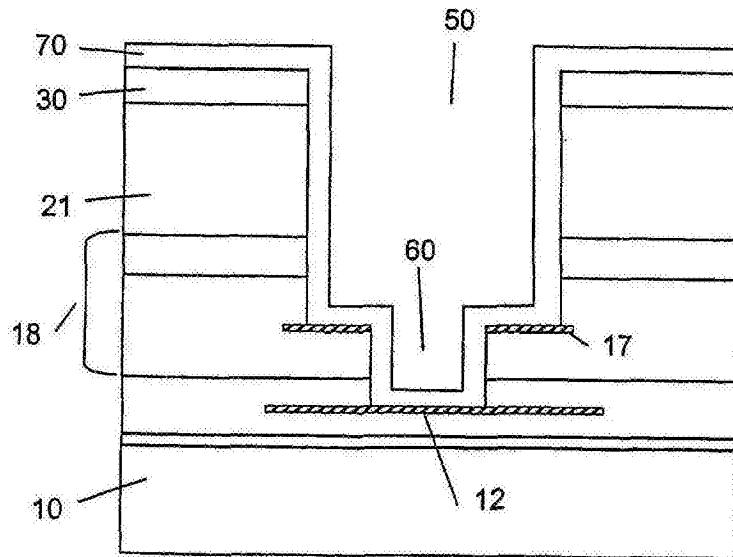


图7B

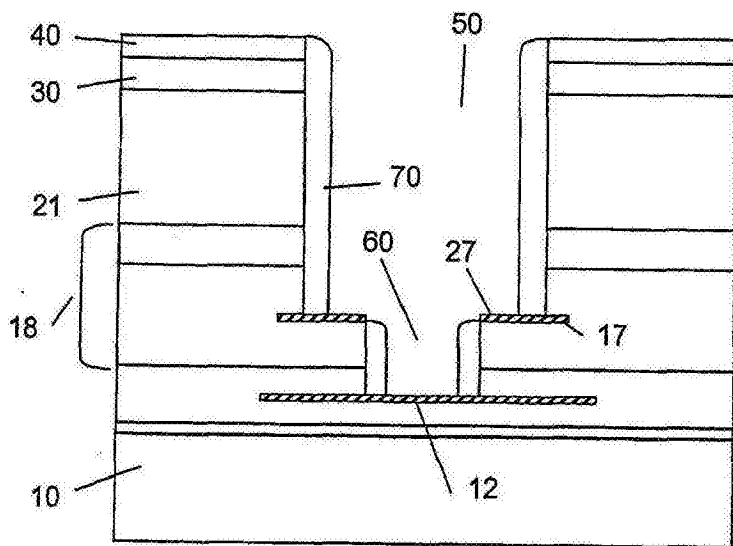


图8A

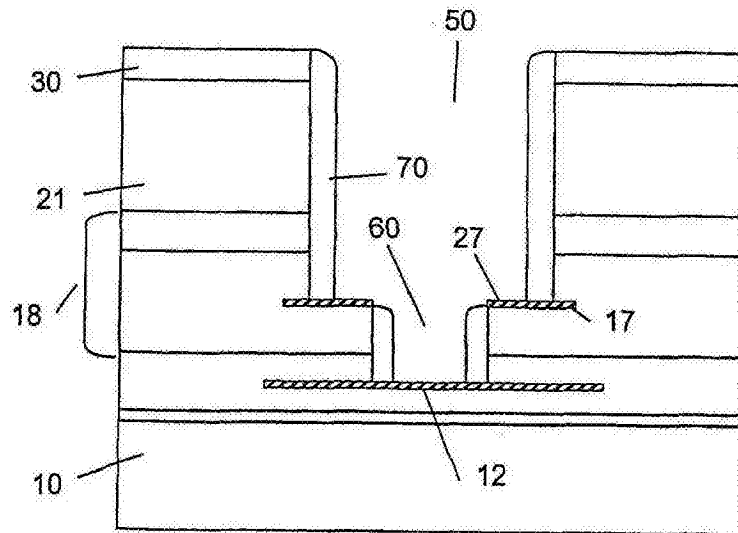


图8B

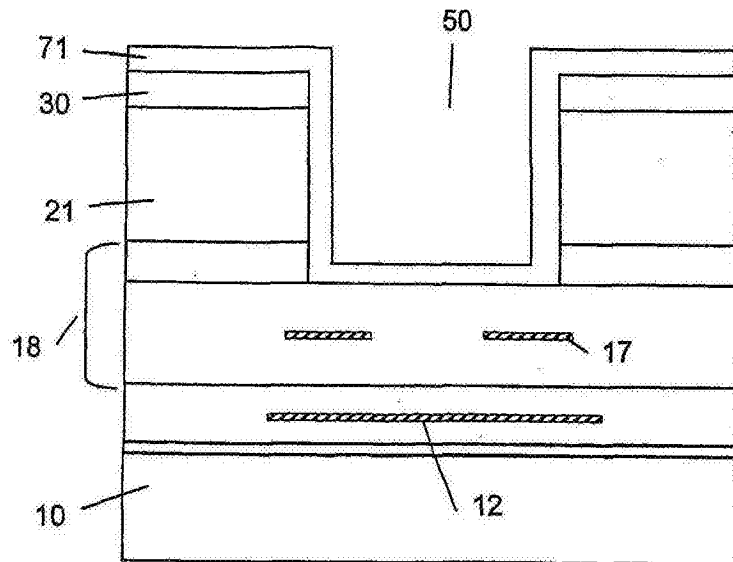


图8C

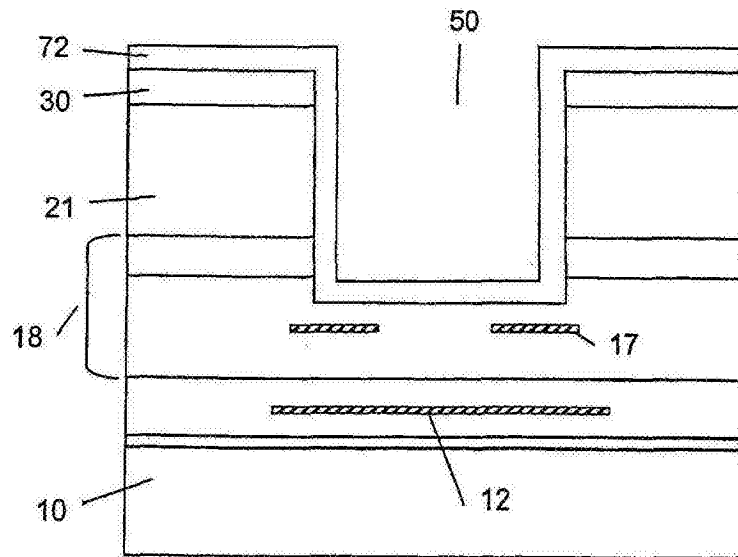


图8D

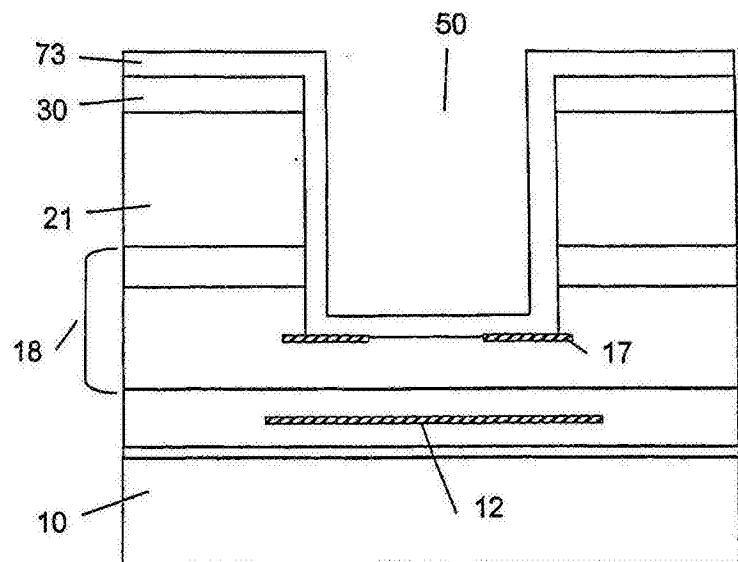


图8E

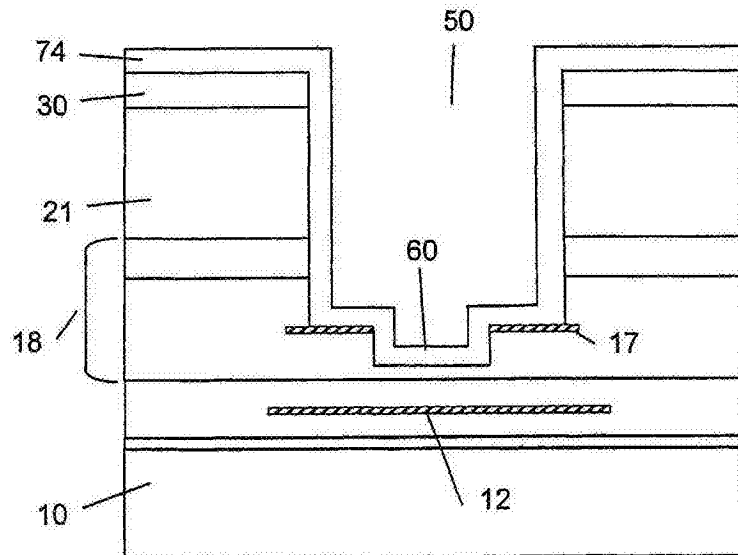


图8F

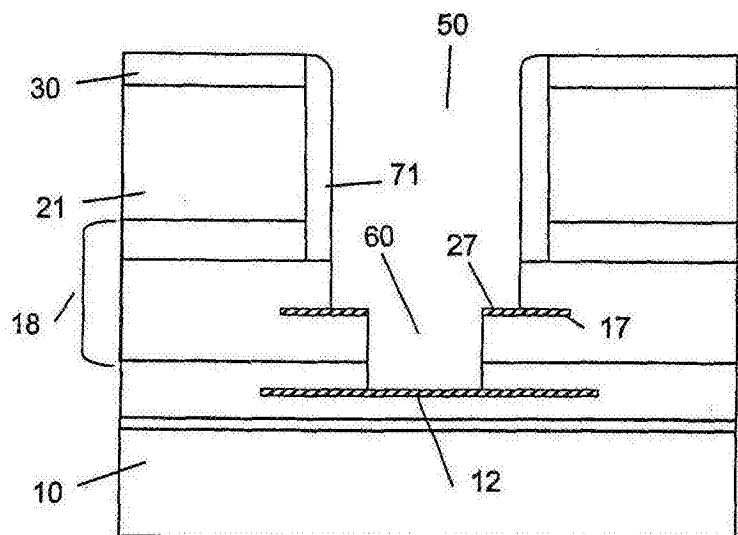


图8G

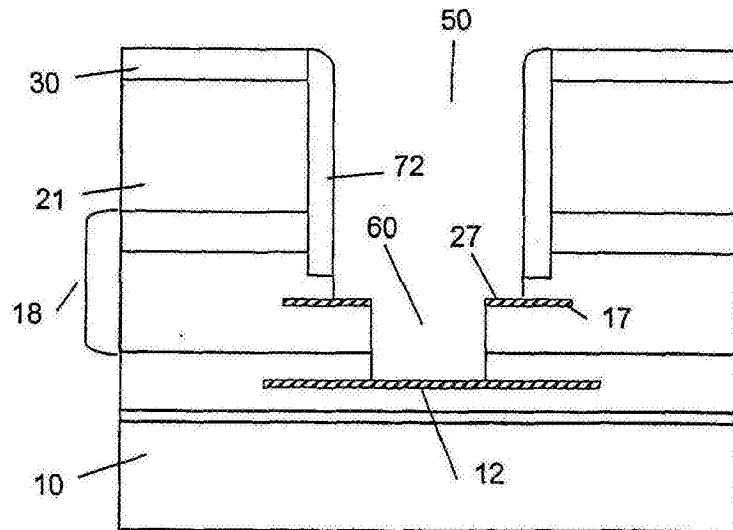


图8H

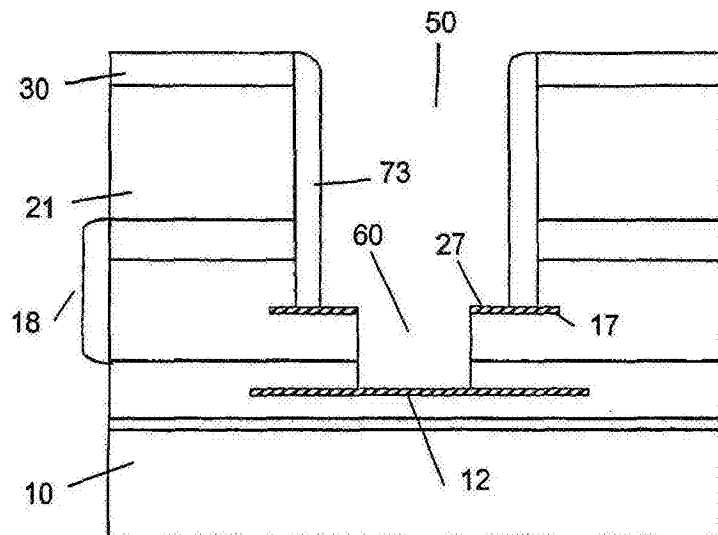


图8I

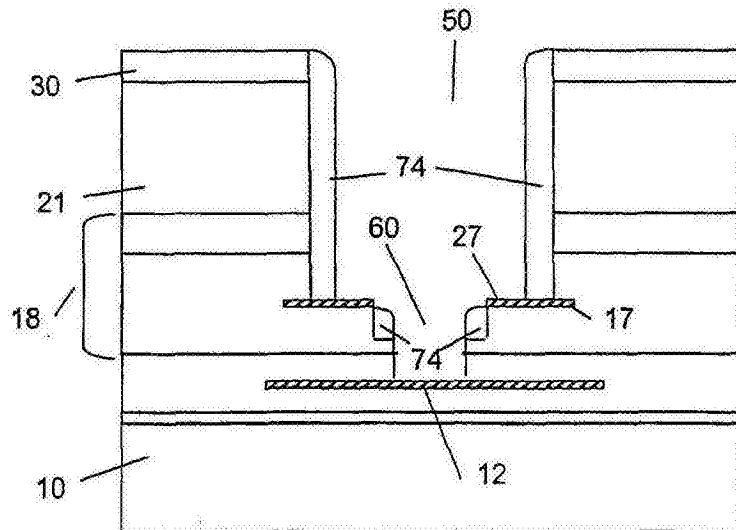


图8J

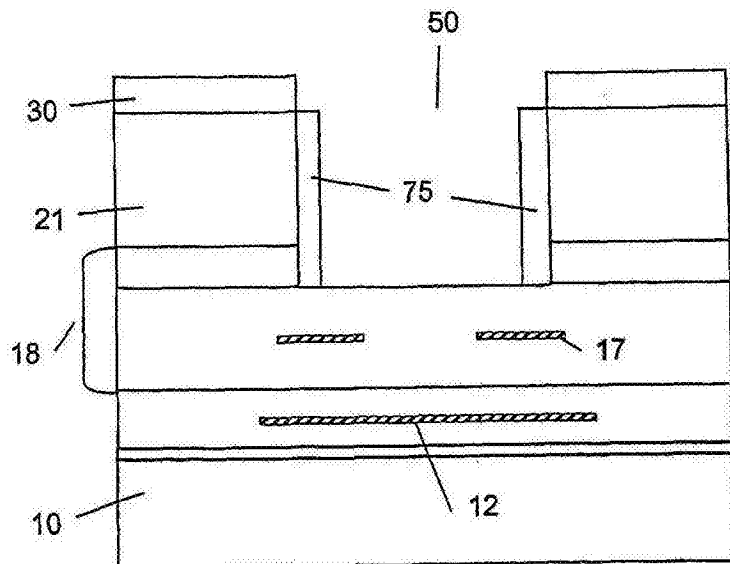


图8K

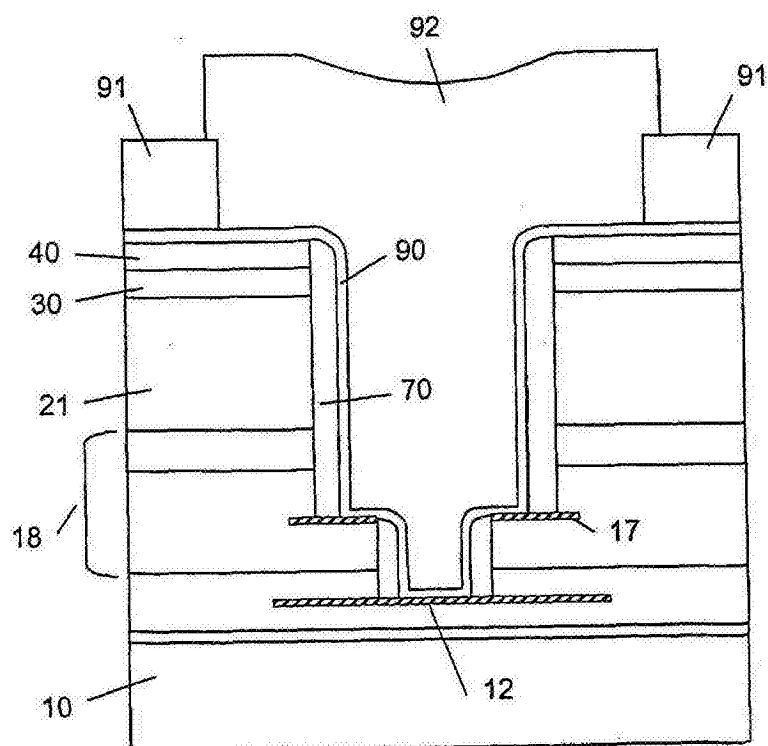


图9A

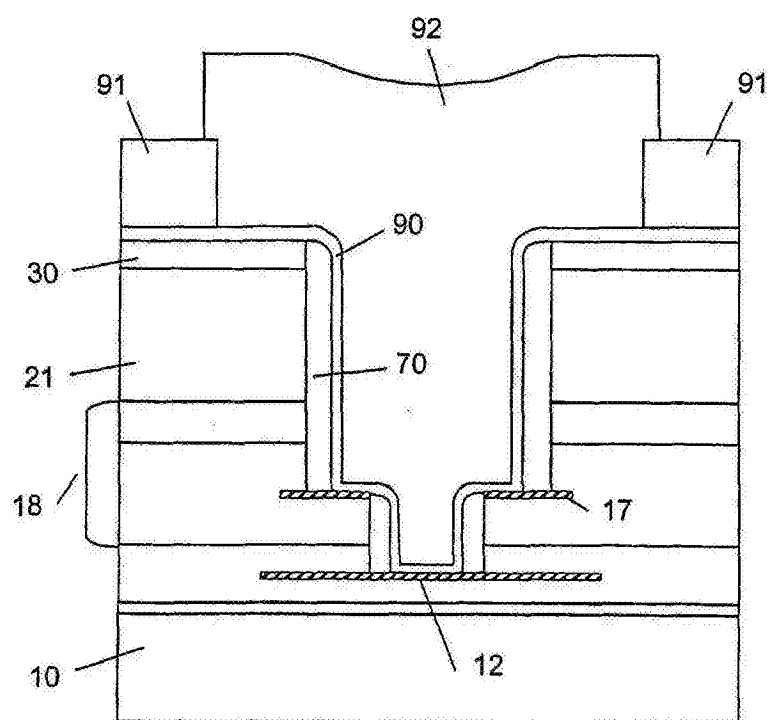


图9B

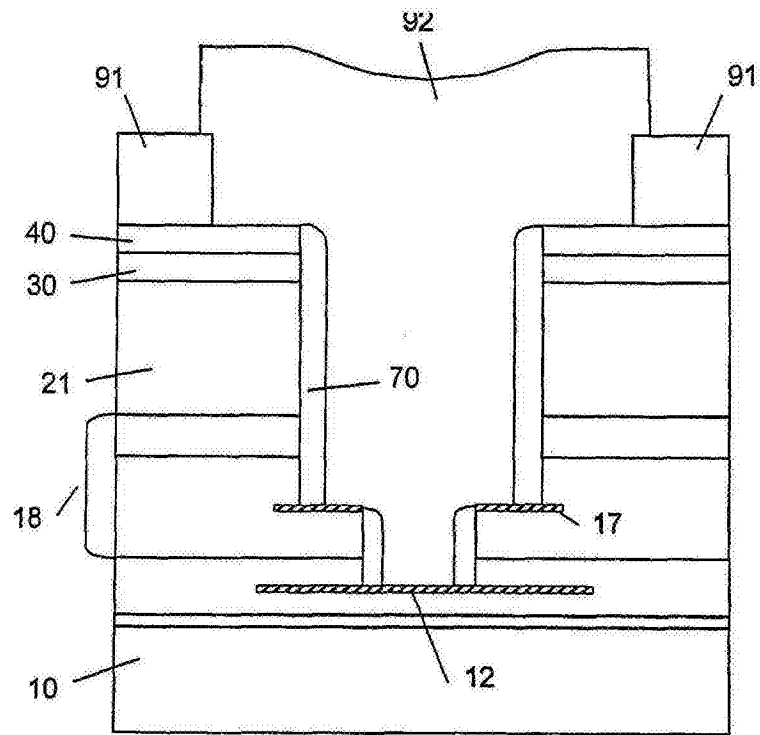


图9C

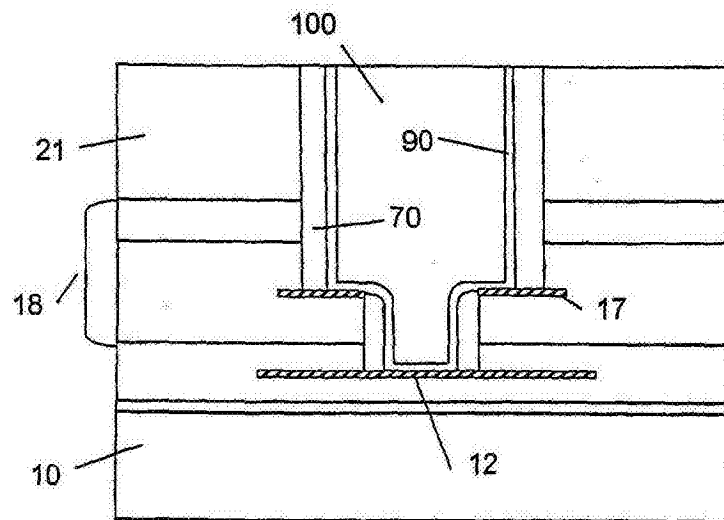


图10A

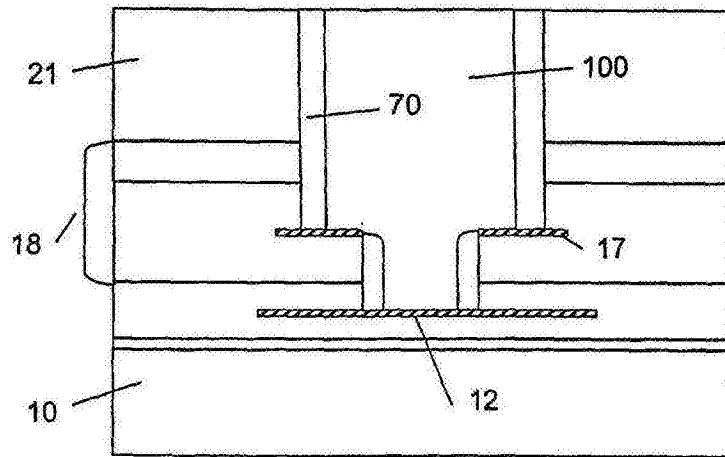


图10B

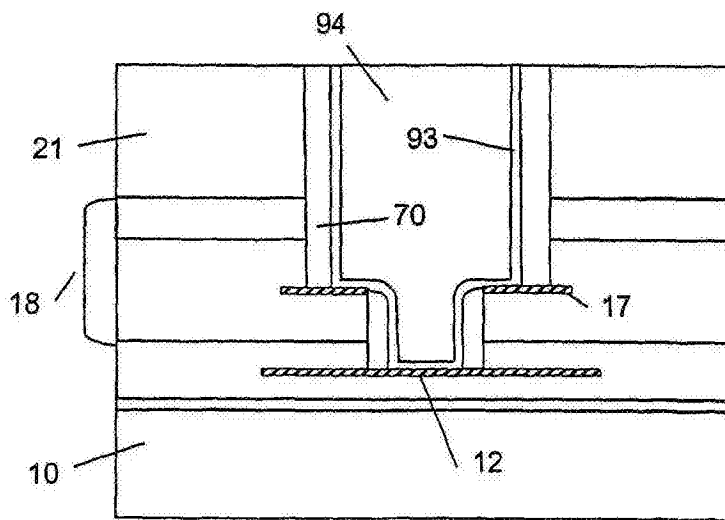


图10C

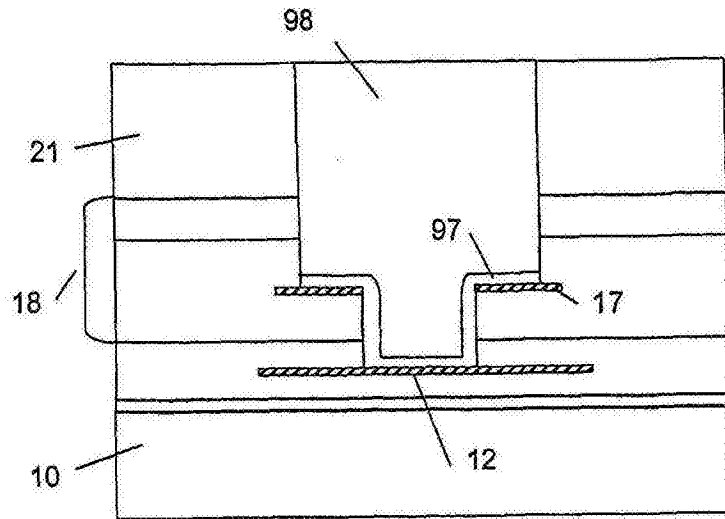


图10D

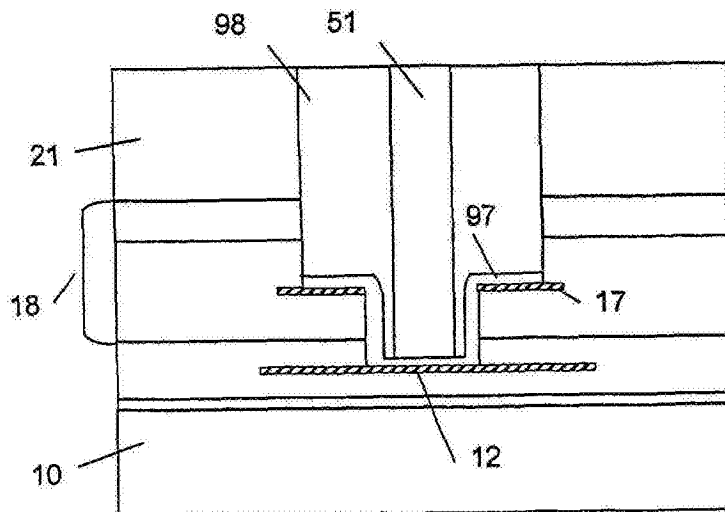


图10E

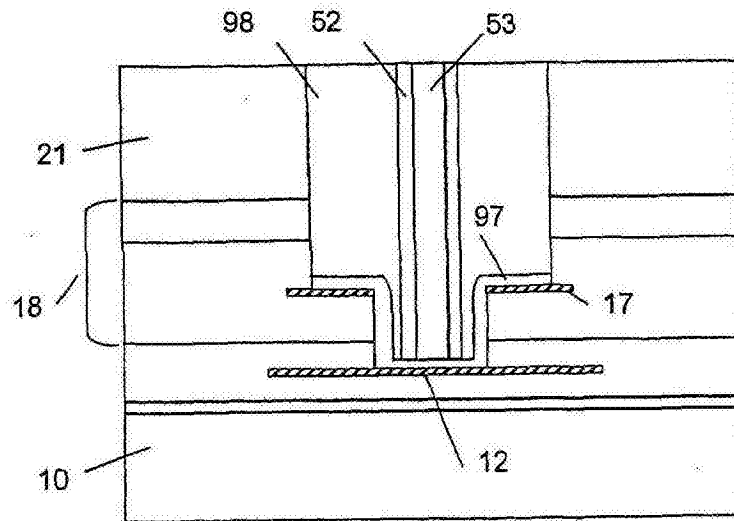


图10F

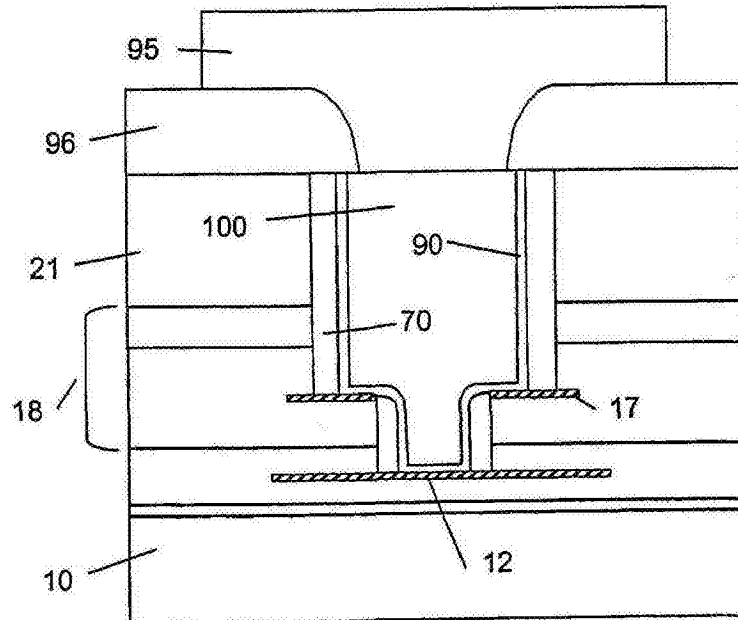


图11

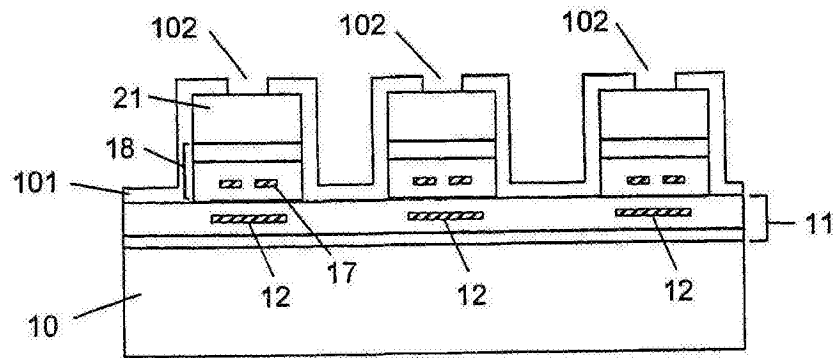


图12

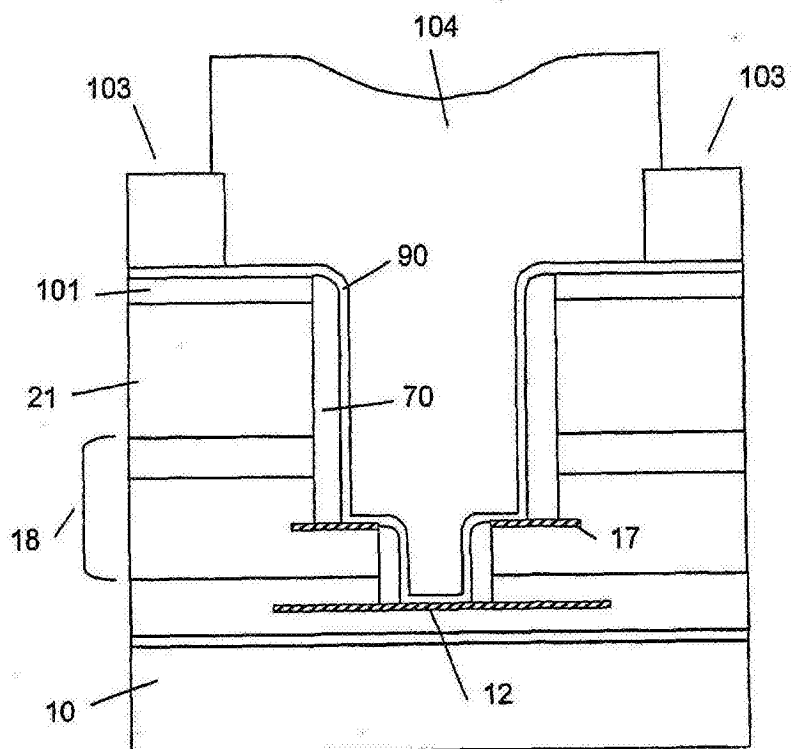


图13

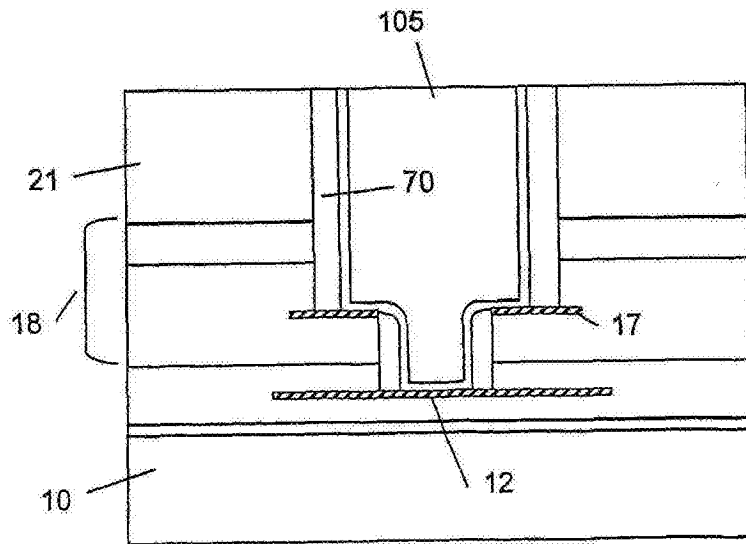


图14

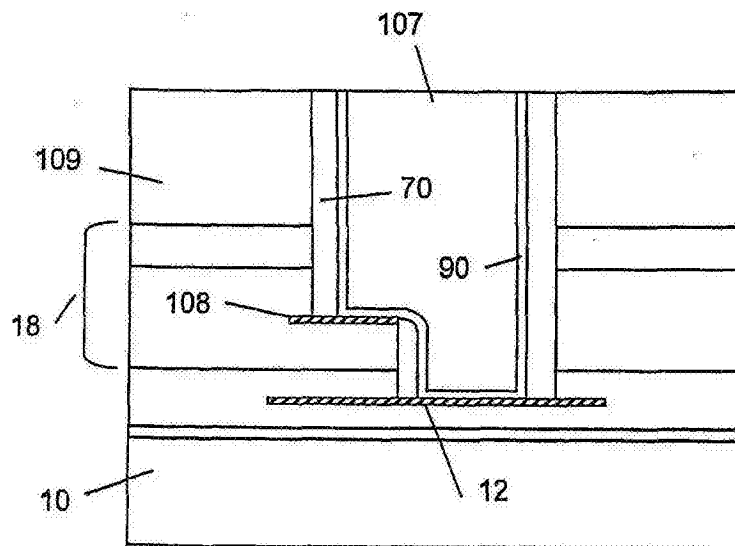


图15

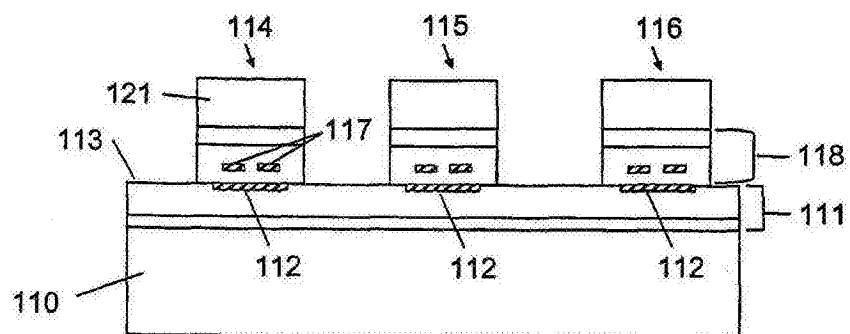


图16A

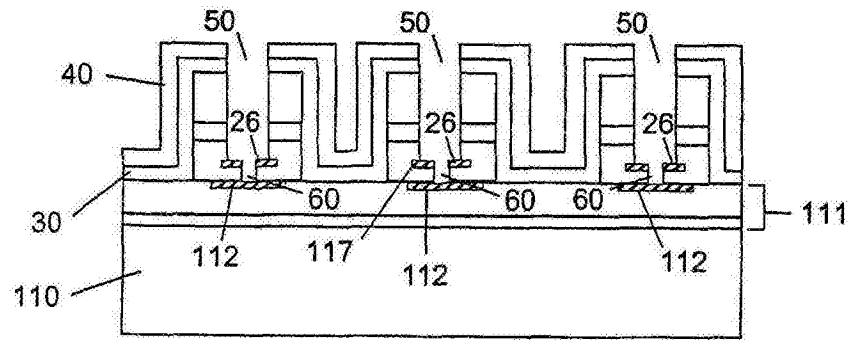


图16B

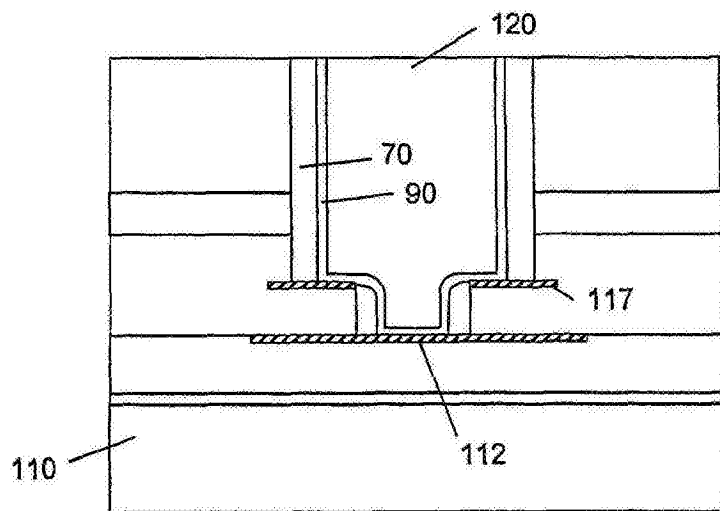


图17

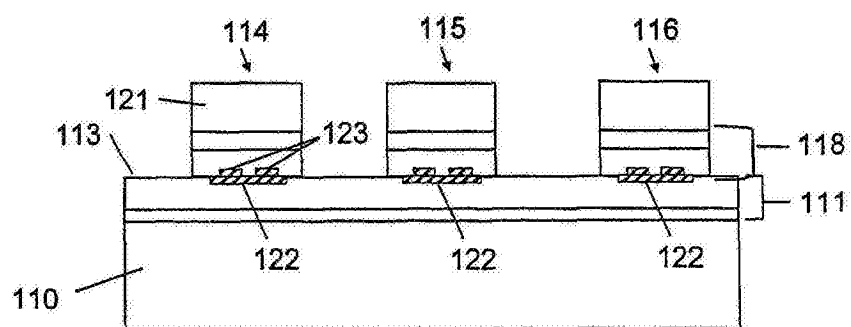


图18

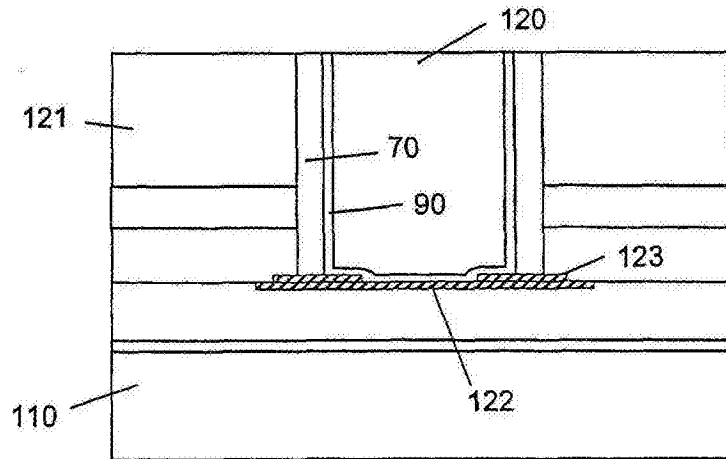


图19A

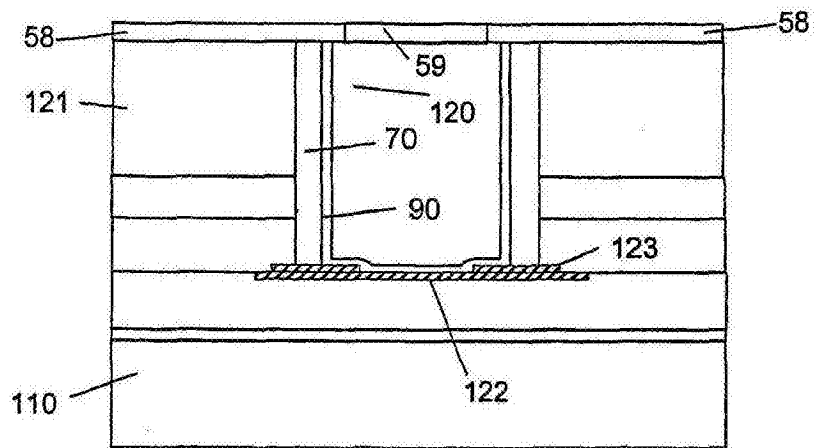


图19B

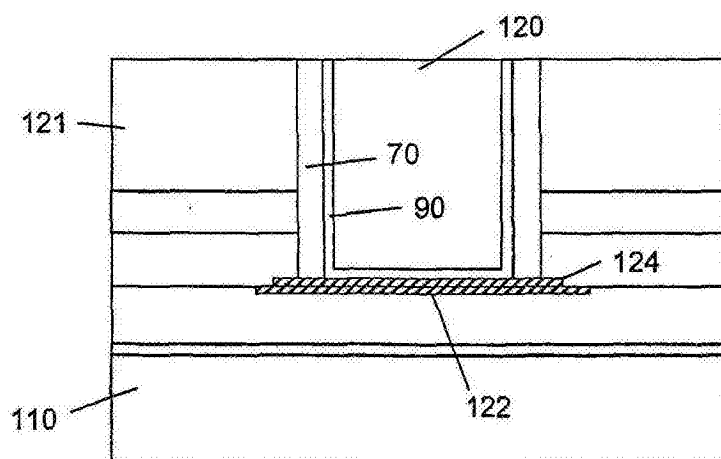


图19C

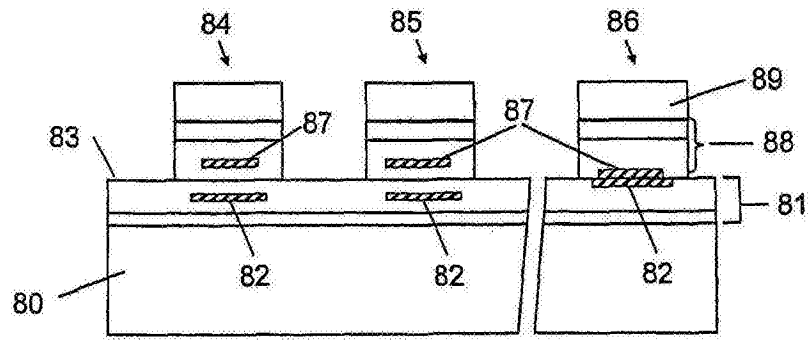


图20A

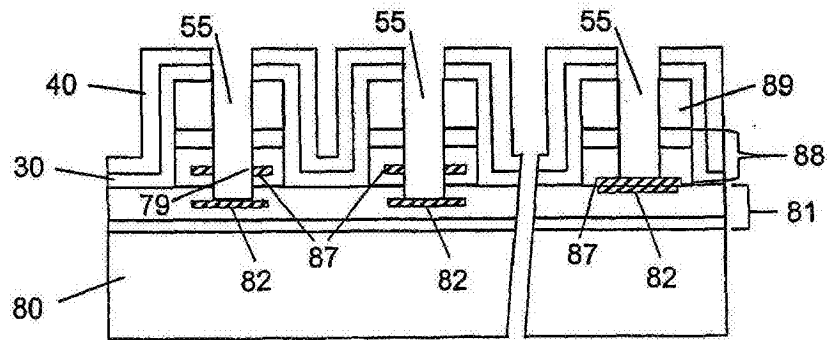


图20B

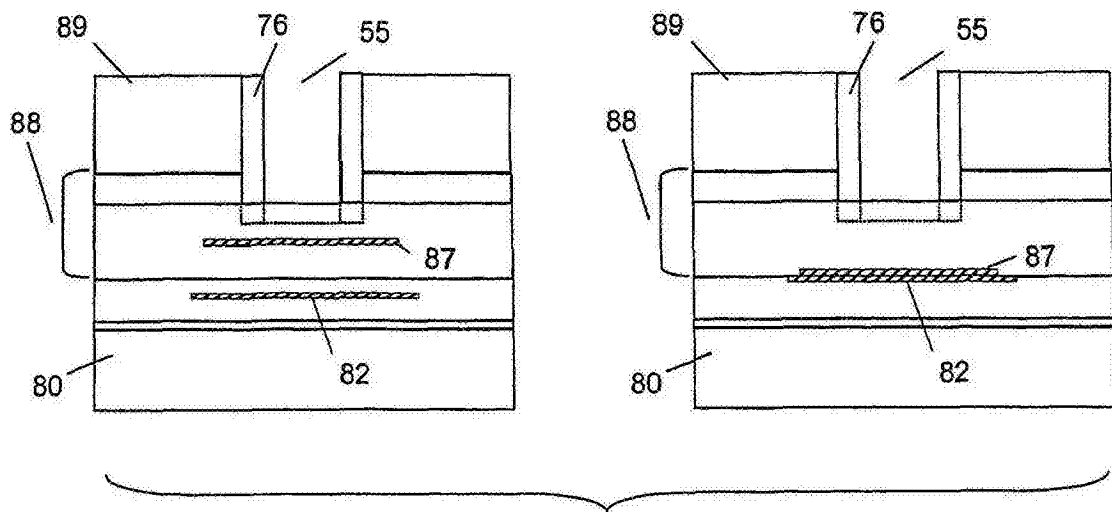


图20C

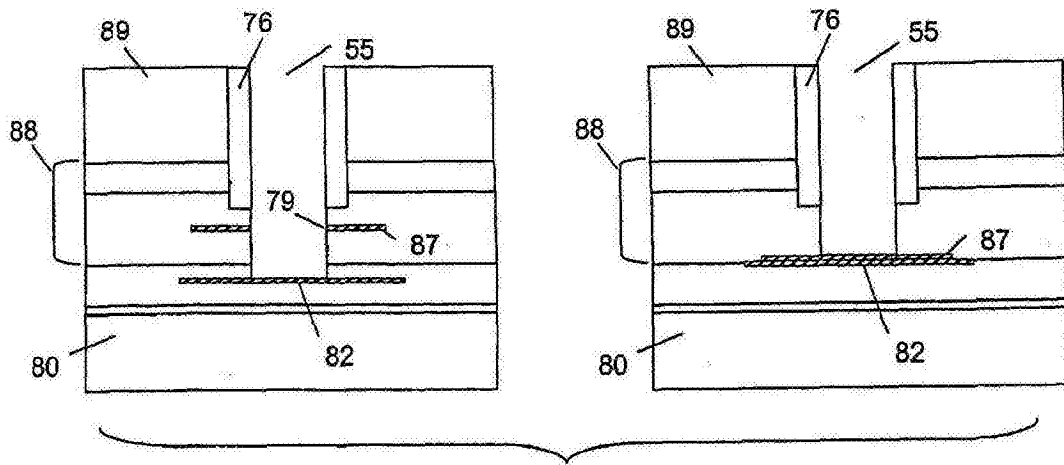


图20D

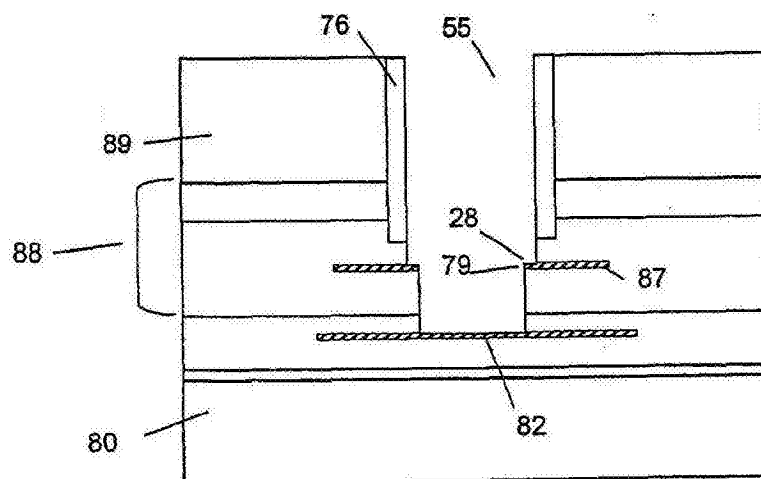


图20E

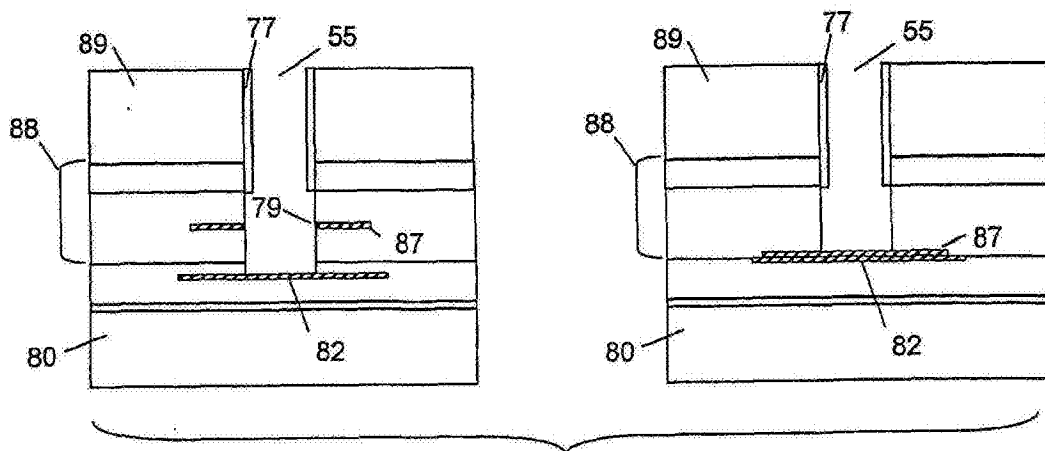


图20F

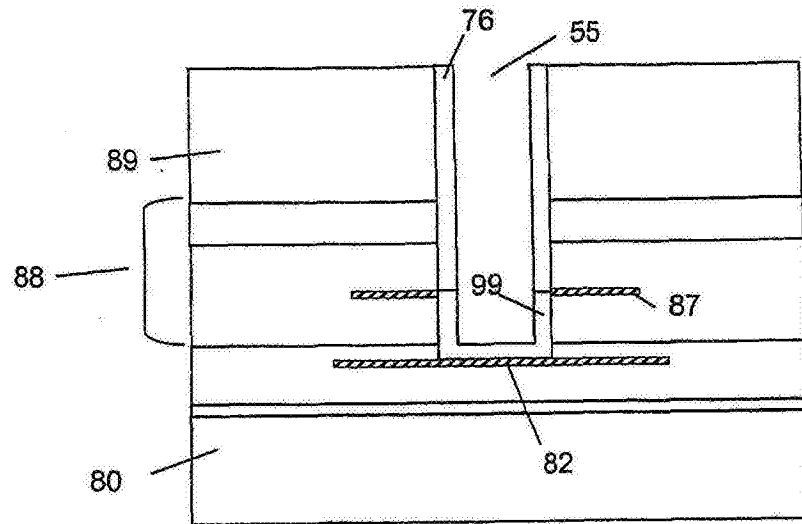


图20G

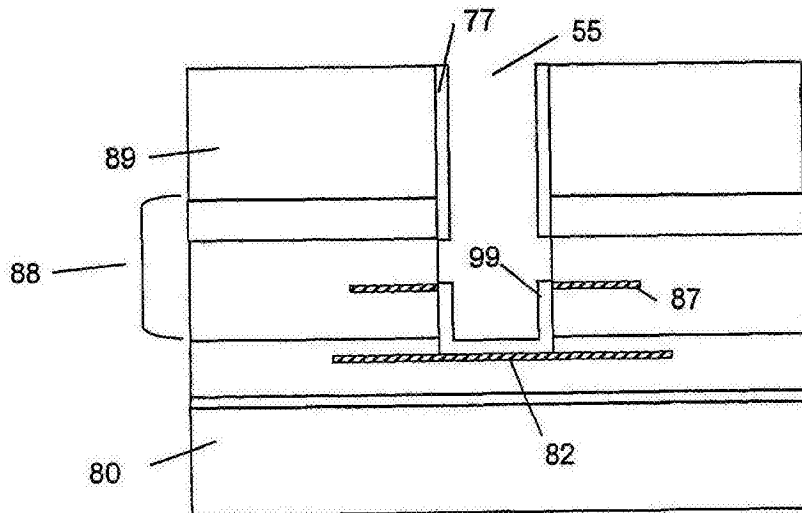


图20H

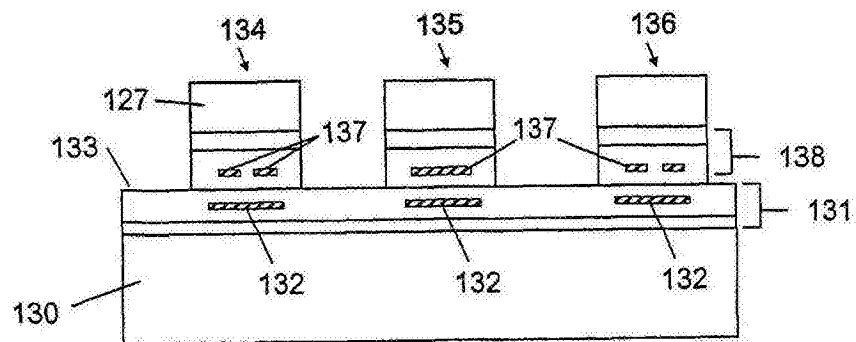


图21A

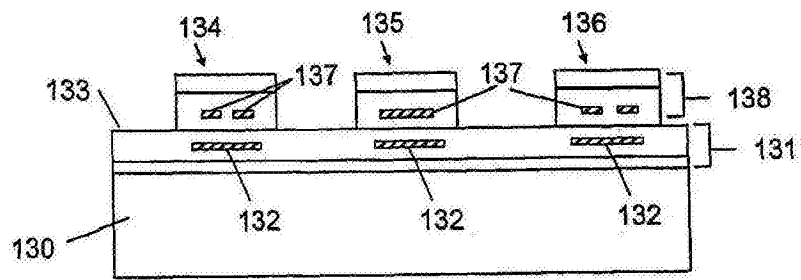


图21B

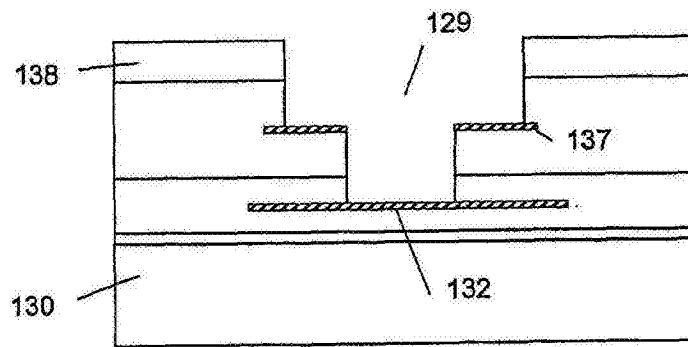


图21C

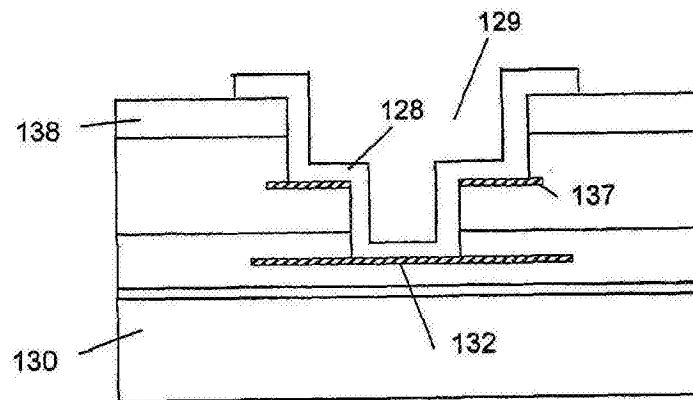


图21D

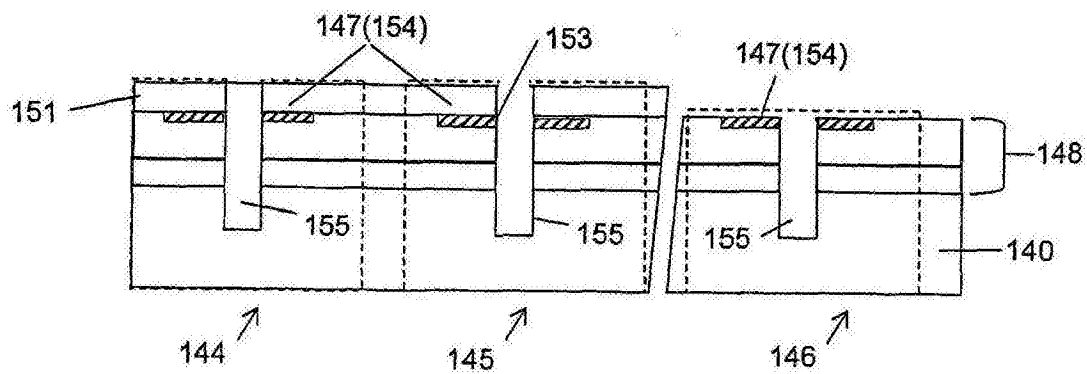


图22C

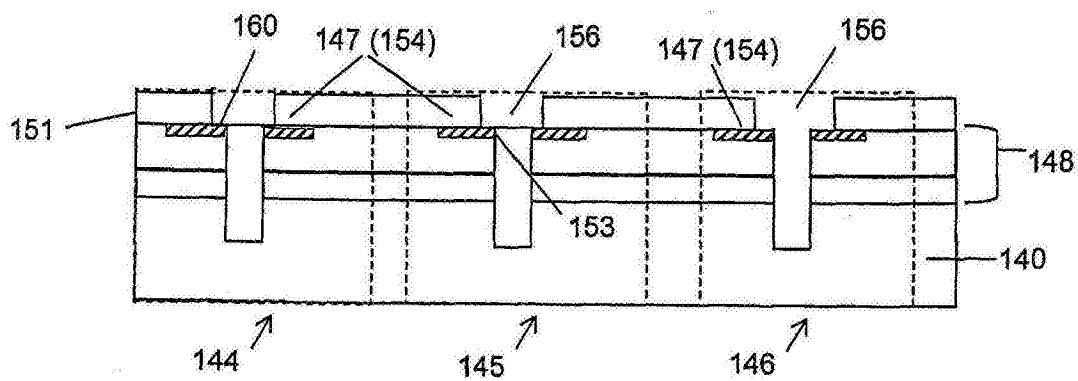


图22D

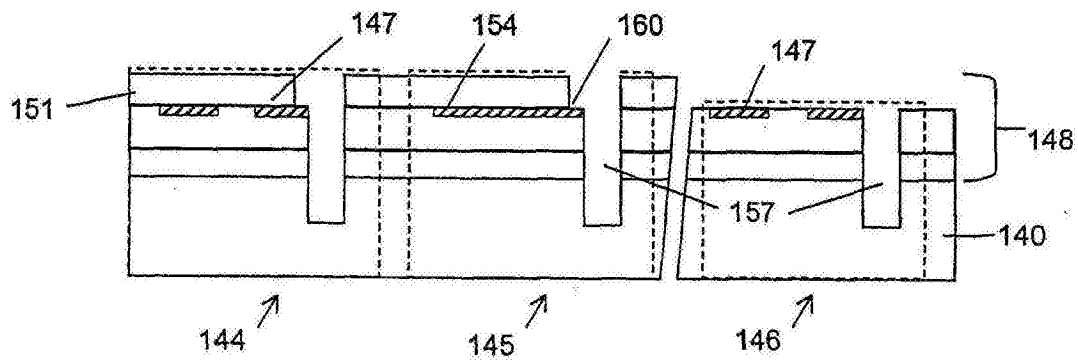


图22E

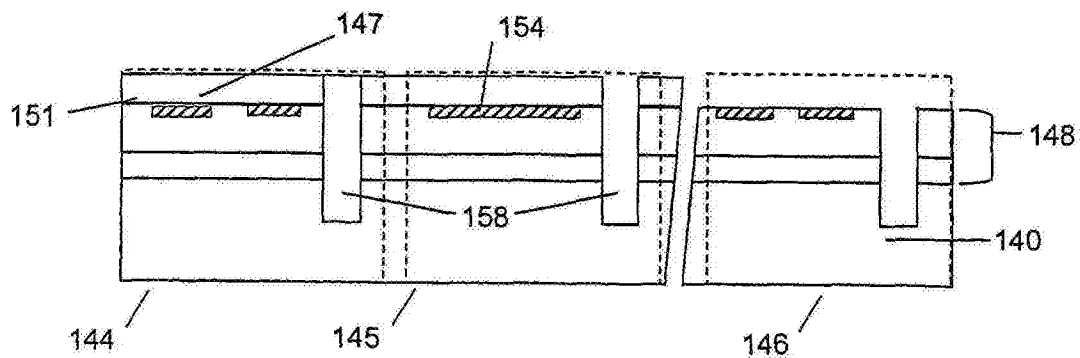


图22F

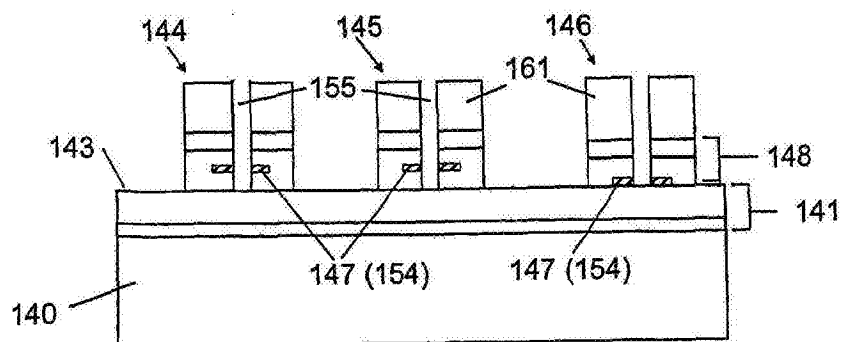


图22G

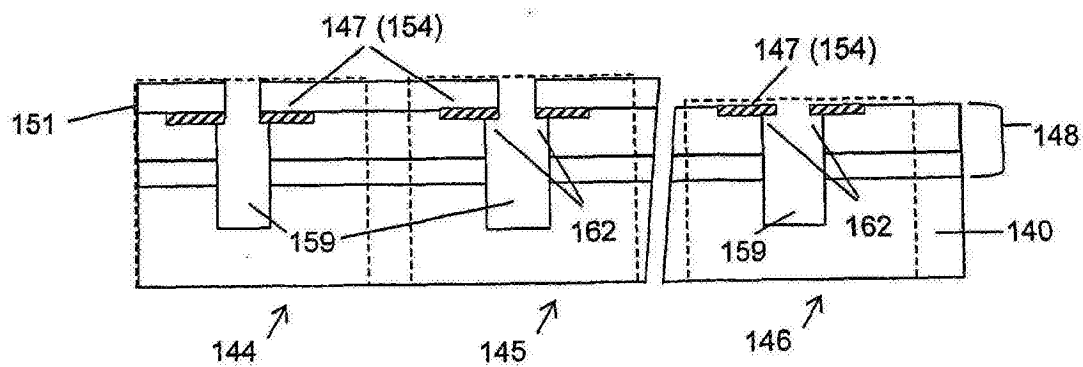


图22H

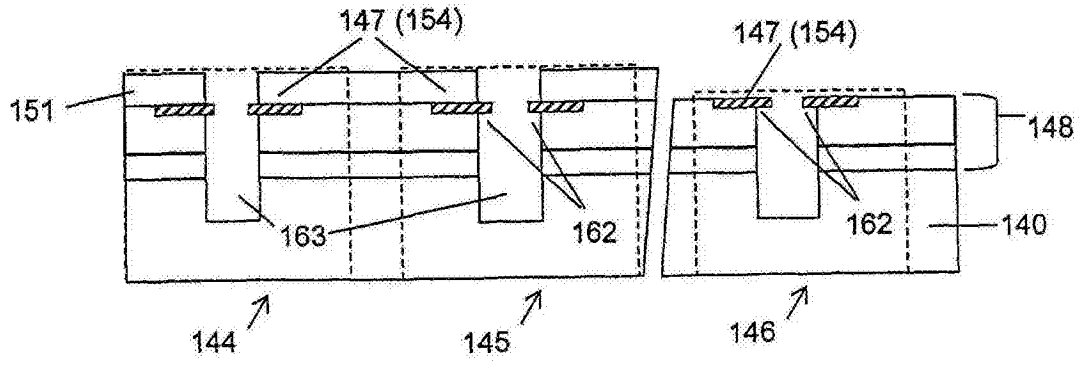


图22I

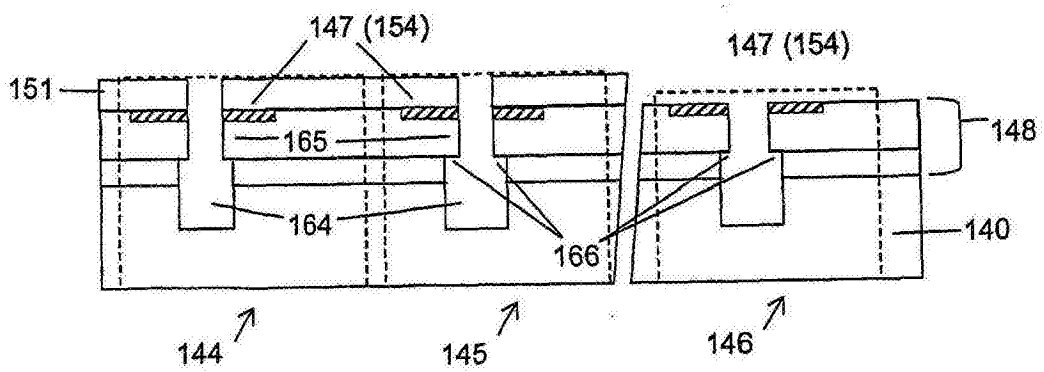


图22J

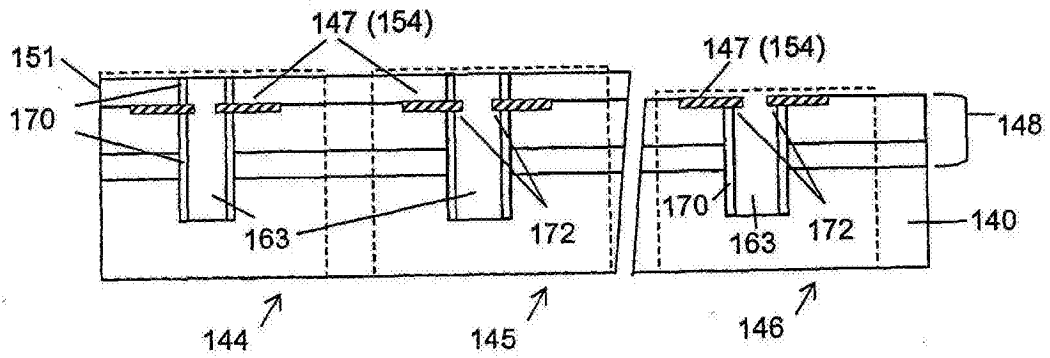


图22K

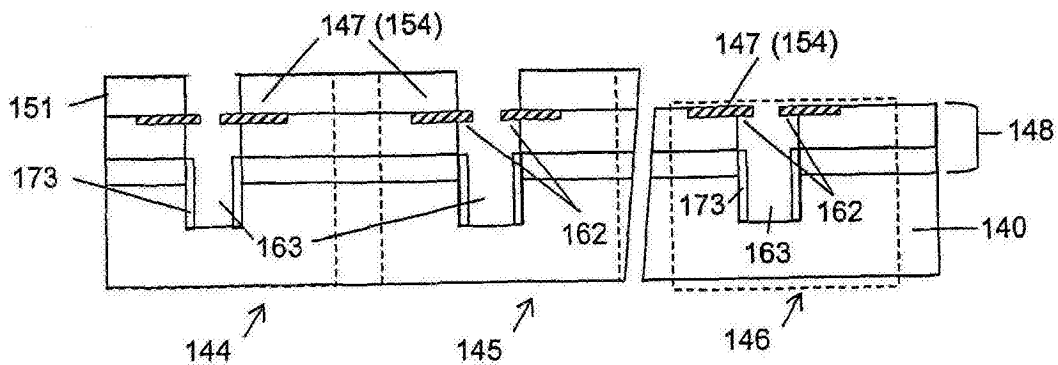


图22L

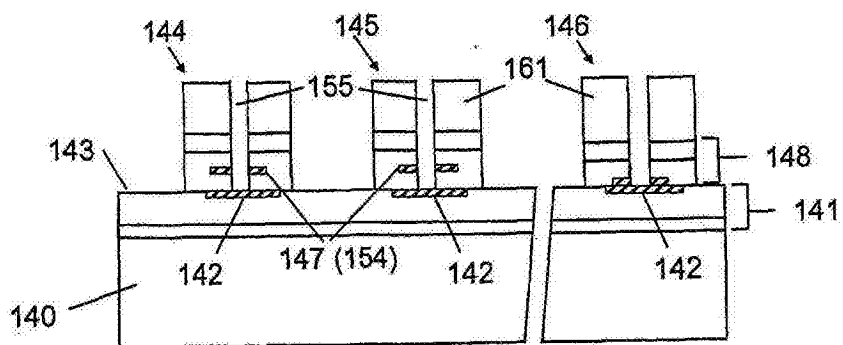


图23A

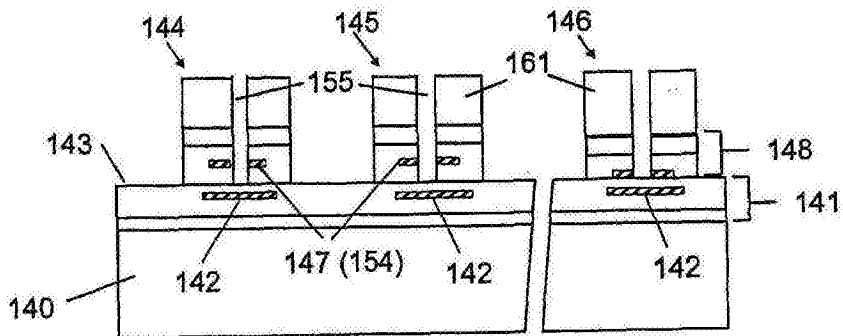


图23B

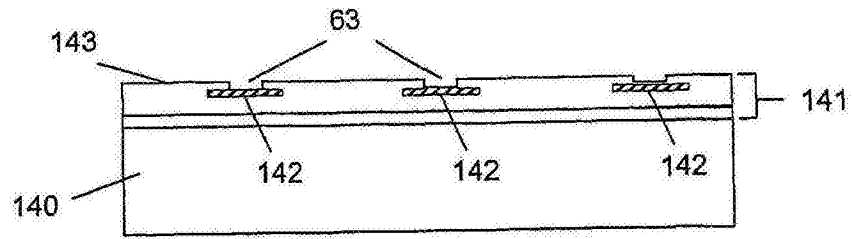


图23C

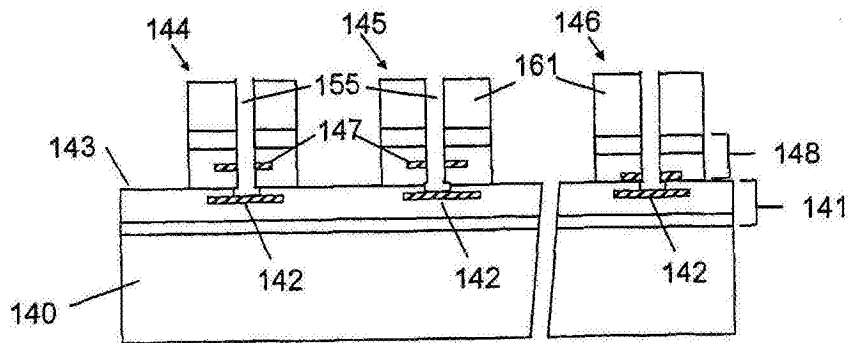


图23D

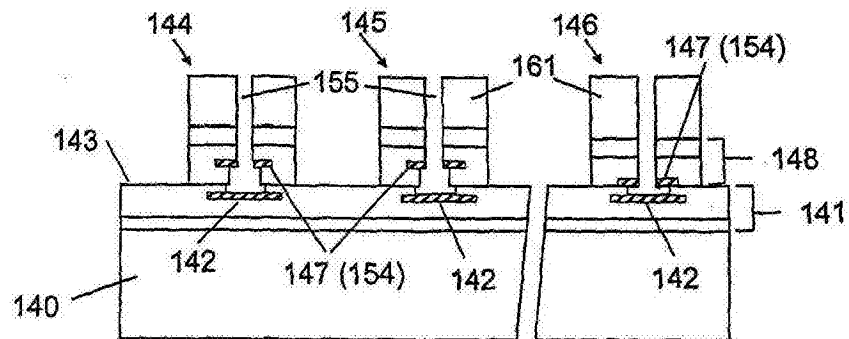


图23E

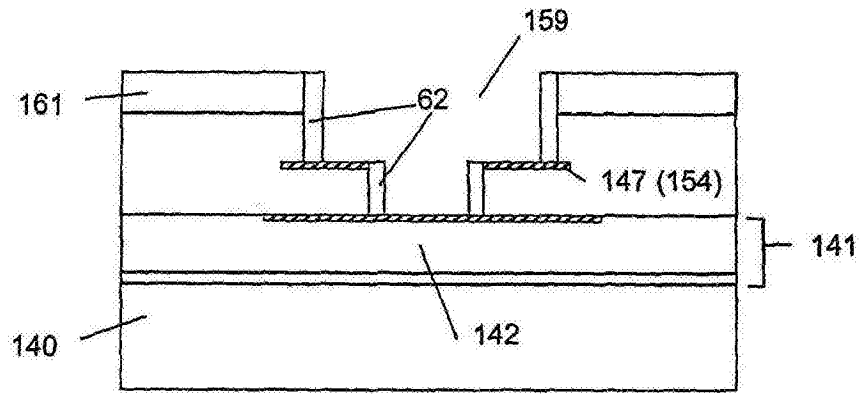


图23F

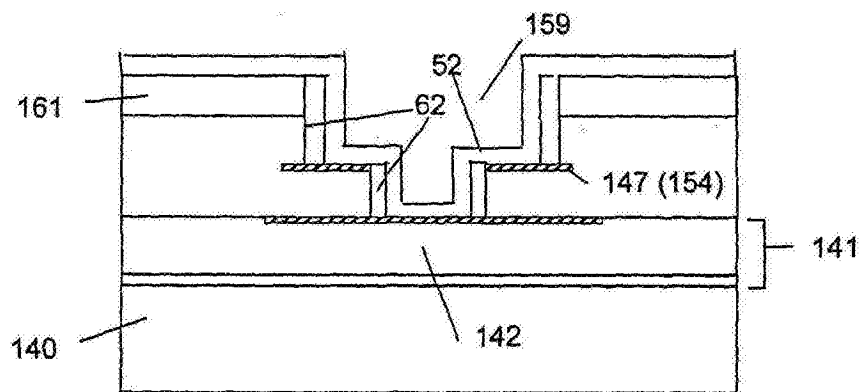


图23G

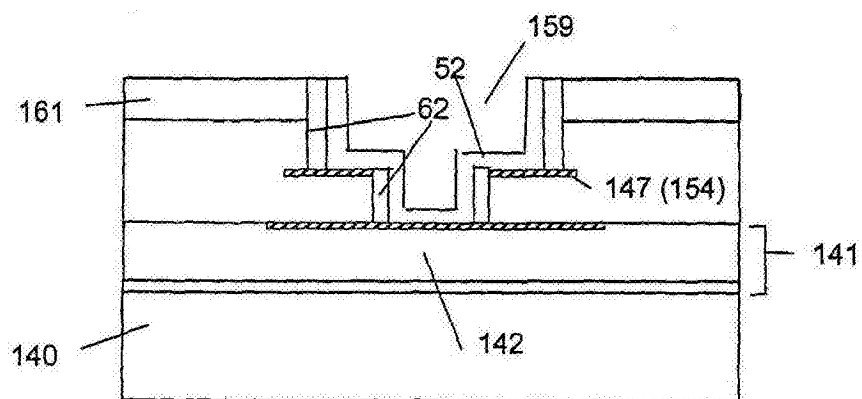


图23H

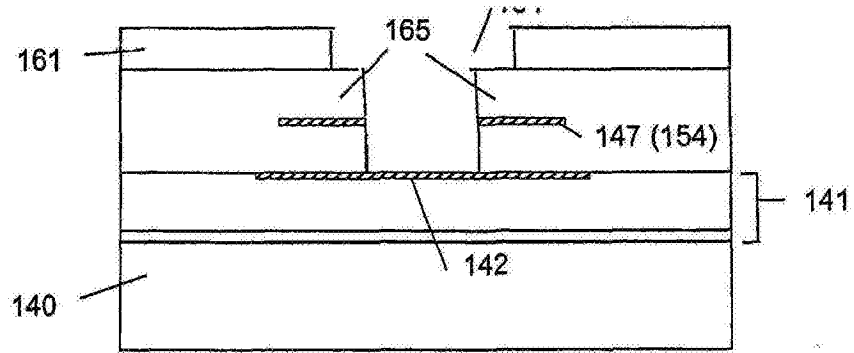


图23I

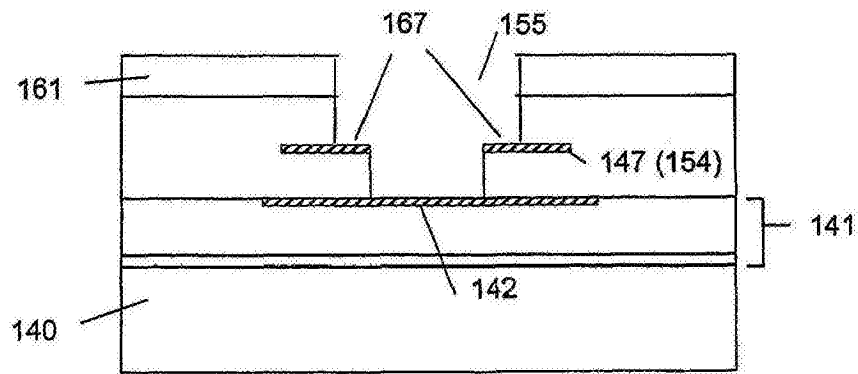


图23J

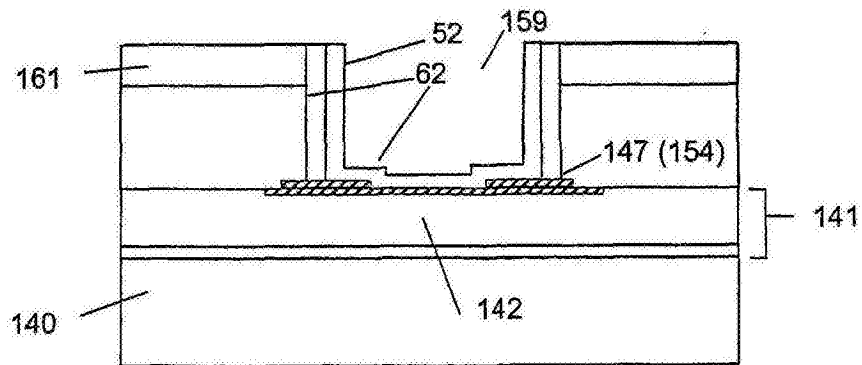


图23K

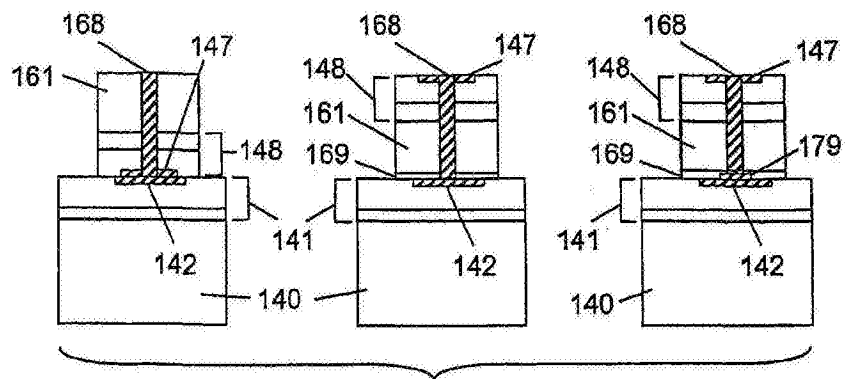


图23L

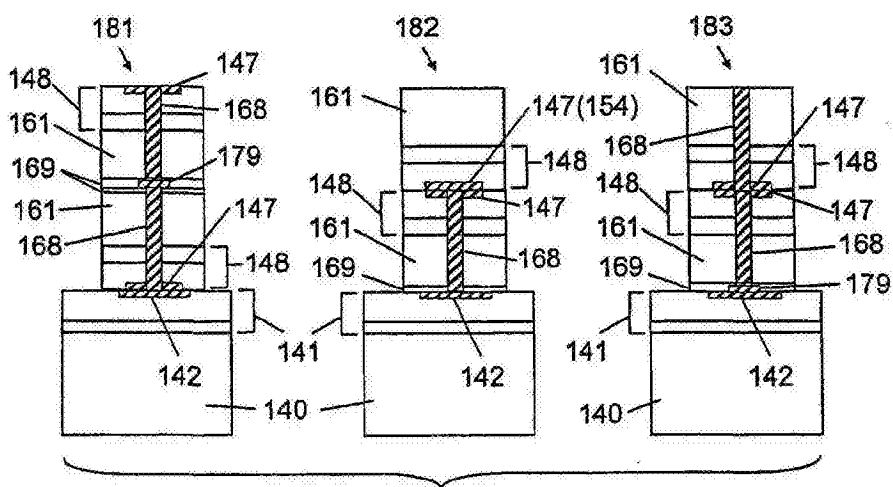


图23M

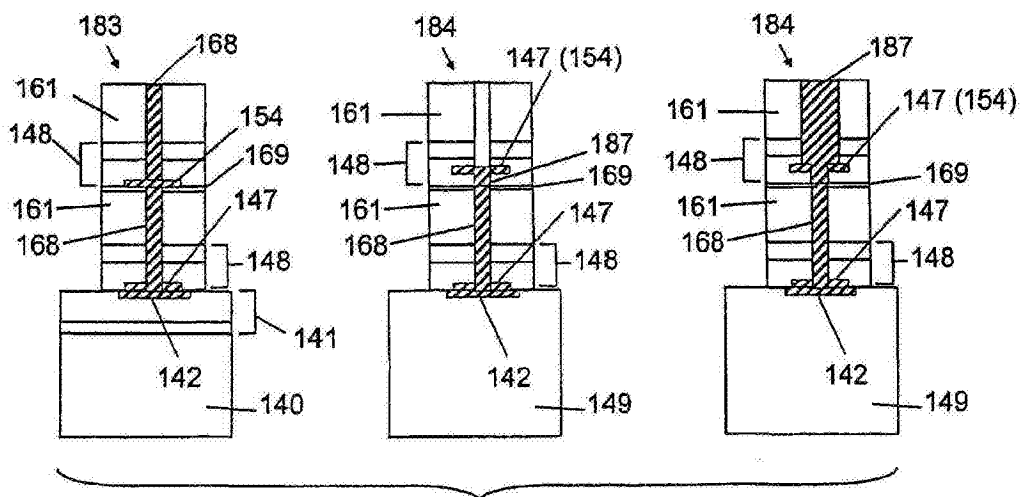


图23N

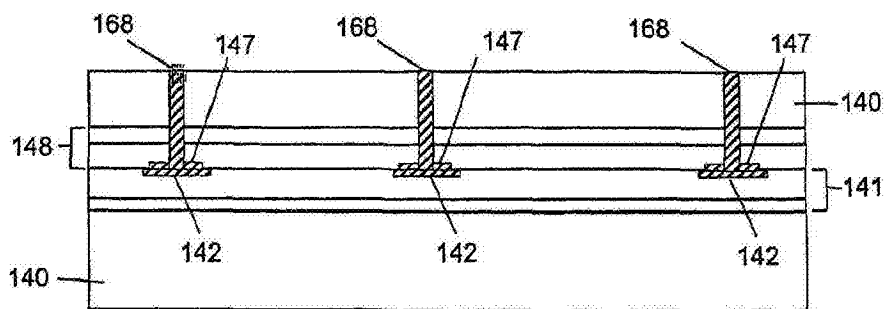


图230

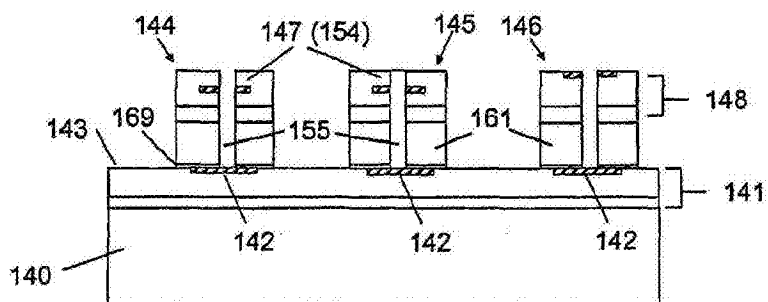


图24A

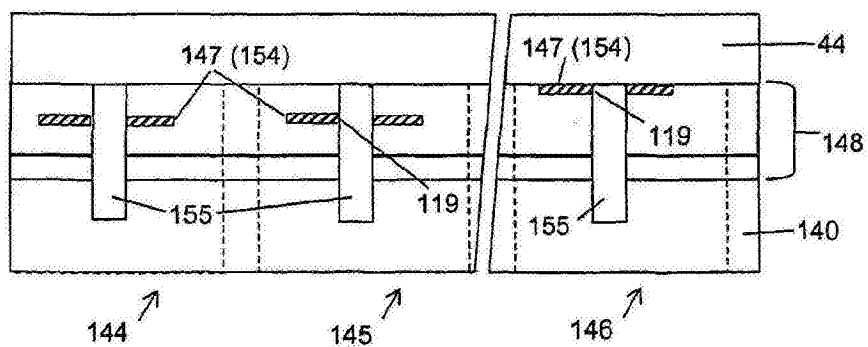


图24B

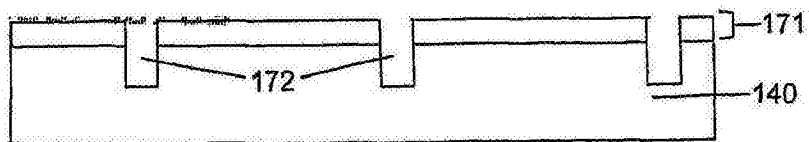


图25A

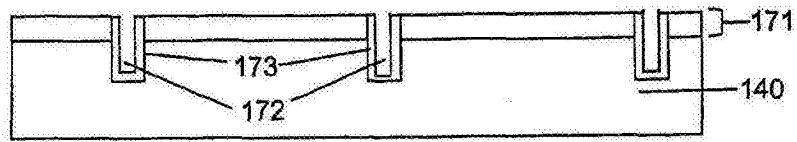


图25B

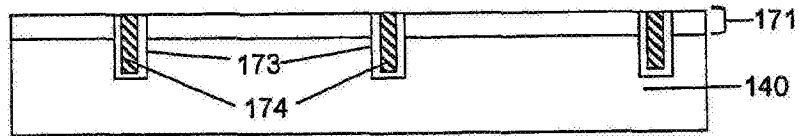


图25C

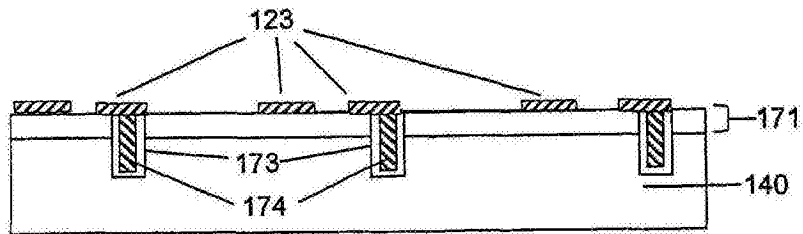


图25D

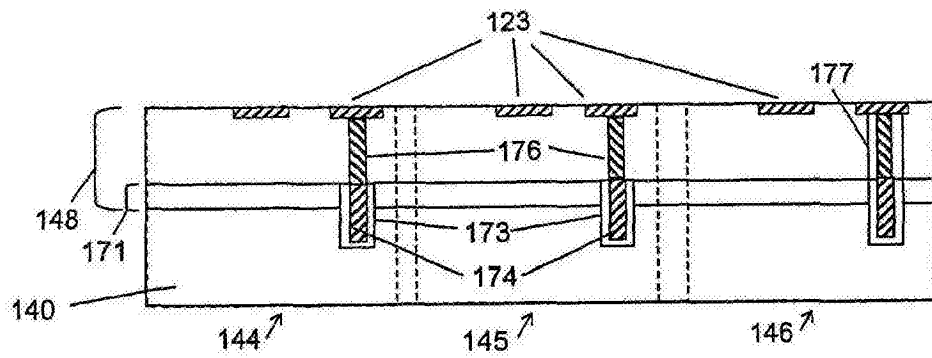


图25E

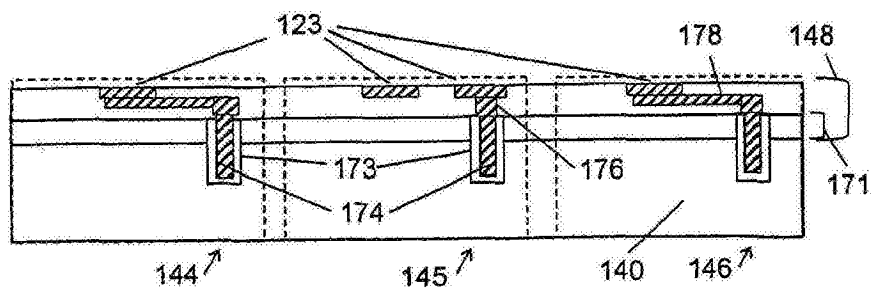


图25F

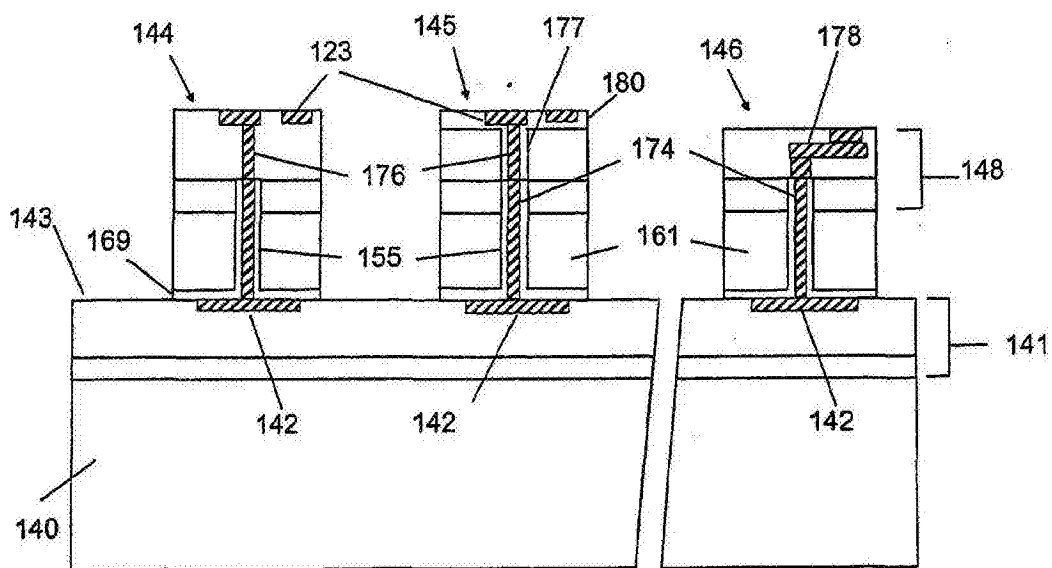


图26A

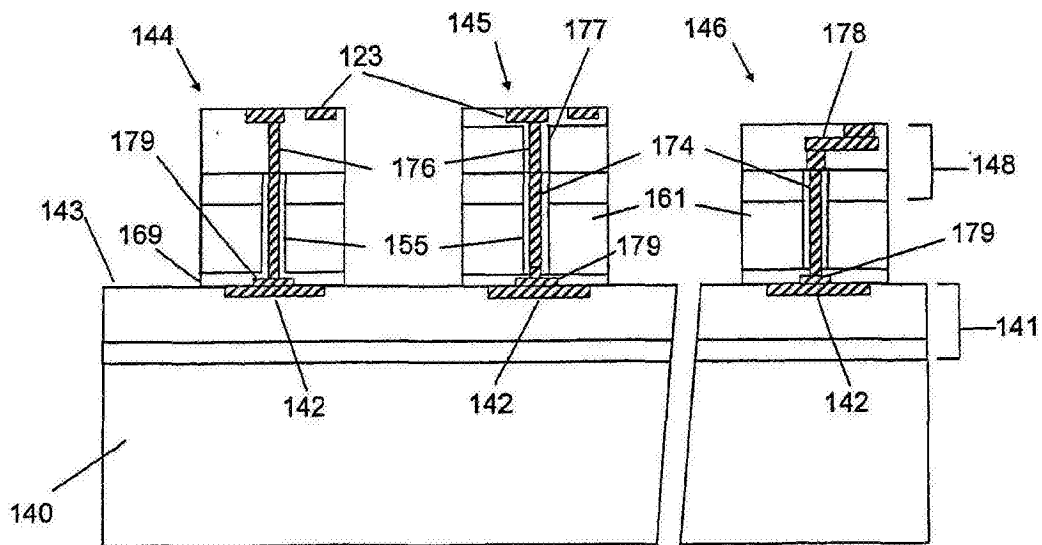


图26B