



## 【特許請求の範囲】

## 【請求項 1】

マイクロコントローラであって、

前記マイクロコントローラの動作を制御するためのプログラムが格納された不揮発性メモリと、

R A Mと、

前記不揮発性メモリのアドレスを指定し、前記不揮発性メモリに格納されている、当該アドレスのプログラムを実行するC P Uと、

前記不揮発性メモリのメモリ領域のうちの一部である指定領域を示す情報を保持する領域保持部と、

前記R A Mに格納されているプログラムが有効である有効状態、及び無効である無効状態の一方を示すバリッドビットを保持するバリッド保持部と、

前記C P Uにより指定される前記アドレスが前記指定領域の範囲内である場合、R A Mアクセス動作を行い、前記C P Uにより指定される前記アドレスが前記指定領域の範囲外である場合、前記不揮発性メモリから、前記C P Uにより指定される前記アドレスのプログラムを読み出し、読み出したプログラムを前記C P Uへ出力する不揮発性メモリアクセス動作を行なうR A M制御部とを備え、

前記R A M制御部は、前記R A Mアクセス動作として、

前記バリッドビットが無効状態を示す場合、前記不揮発性メモリから、前記C P Uにより指定される前記アドレスのプログラムを読み出し、読み出したプログラムを前記R A Mに格納するとともに、前記バリッドビットを有効状態に変更し、

前記バリッドビットが有効状態を示す場合、前記R A Mに格納されている前記プログラムを前記C P Uへ出力する

マイクロコントローラ。

## 【請求項 2】

前記マイクロコントローラは、さらに、

前記マイクロコントローラの動作モードを示す情報を保持するモード保持部を備え、

前記R A M制御部は、

前記モード保持部が予め定められた第1動作モードを示す情報を保持し、かつ、前記C P Uにより指定される前記アドレスが前記指定領域の範囲内である場合、前記R A Mアクセス動作を行い、

前記モード保持部が前記第1動作モードと異なる第2動作モードを示す情報を保持する場合、前記不揮発性メモリアクセス動作を行う

請求項1記載のマイクロコントローラ。

## 【請求項 3】

前記第1動作モードは、前記第2動作モードに比べ、低速のクロックで動作する低速モードである

請求項2記載のマイクロコントローラ。

## 【請求項 4】

前記不揮発性メモリは、前記プログラムとして、前記第1動作モード時に使用される第1プログラムと、前記第2動作モード時に使用される第2プログラムとを格納し、

前記R A Mの容量は、前記第1プログラムの容量より大きく、

前記指定領域は、前記第1プログラムが格納されている領域である

請求項2又は3記載のマイクロコントローラ。

## 【請求項 5】

前記モード保持部は、前記マイクロコントローラの動作モードを示す情報として、前記C P Uからアクセス可能なフラグを保持する

請求項2～4のいずれか1項に記載のマイクロコントローラ。

## 【請求項 6】

前記領域保持部は、前記指定領域を示す情報として、前記指定領域の先頭アドレスを示

10

20

30

40

50

す情報を保持し、

前記 R A M 制御部は、前記先頭アドレスから前記 R A M の容量分の領域を前記指定領域と判定する

請求項 1 ~ 5 のいずれか 1 項に記載のマイクロコントローラ。

【請求項 7】

前記 R A M 制御部は、

前記 R A M アクセス動作を行なう場合、前記不揮発性メモリを停止状態にするモード切替部を備える

請求項 1 ~ 6 のいずれか 1 項に記載のマイクロコントローラ。

【請求項 8】

マイクロコントローラを制御する制御方法であって、

前記マイクロコントローラは、

前記マイクロコントローラの動作を制御するためのプログラムが格納された不揮発性メモリと、

R A M と、

前記不揮発性メモリのアドレスを指定し、前記不揮発性メモリに格納されている、当該アドレスの前記プログラムを実行する C P U と、

前記不揮発性メモリのメモリ領域のうちの一部である指定領域を示す情報を保持する領域保持部と、

前記 R A M に格納されているプログラムが有効である有効状態、及び無効であることを示す無効状態の一方を示すバリッドビットを保持するバリッド保持部とを備え、

前記制御方法は、

前記 C P U により指定される前記アドレスが前記指定領域の範囲内である場合、R A M アクセス動作を行う R A M アクセスステップと、

前記 C P U により指定される前記アドレスが前記指定領域の範囲外である場合、前記不揮発性メモリから、前記 C P U により指定される前記アドレスのプログラムを読み出し、読み出したプログラムを前記 C P U へ出力する不揮発性メモリアccess動作を行なう不揮発性メモリアccessステップとを含み、

前記 R A M アクセスステップは、

前記バリッドビットが無効状態を示す場合、前記不揮発性メモリから、前記 C P U により指定される前記アドレスのプログラムを読み出し、読み出したプログラムを前記 R A M に格納するとともに、前記バリッドビットを有効状態に変更するステップと、

前記バリッドビットが有効状態を示す場合、前記 R A M に格納されている前記プログラムを前記 C P U へ出力するステップとを含む

マイクロコントローラの制御方法。

【請求項 9】

マイクロコントローラを備える半導体集積回路であって、

前記マイクロコントローラの動作を制御するためのプログラムが格納された不揮発性メモリと、

R A M と、

前記不揮発性メモリのアドレスを指定し、前記不揮発性メモリに格納されている、当該アドレスのプログラムを実行する C P U と、

前記不揮発性メモリのメモリ領域のうちの一部である指定領域を示す情報を保持する領域保持部と、

前記 R A M に格納されているプログラムが有効である有効状態、及び無効である無効状態の一方を示すバリッドビットを保持するバリッド保持部と、

前記 C P U により指定される前記アドレスが前記指定領域の範囲内である場合、R A M アクセス動作を行い、前記 C P U により指定される前記アドレスが前記指定領域の範囲外である場合、前記不揮発性メモリから、前記 C P U により指定される前記アドレスのプログラムを読み出し、読み出したプログラムを前記 C P U へ出力する不揮発性メモリアクセ

10

20

30

40

50

ス動作を行なうRAM制御部とを備え、

前記RAM制御部は、前記RAMアクセス動作として、

前記バリッドビットが無効状態を示す場合、前記不揮発性メモリから、前記CPUにより指定される前記アドレスのプログラムを読み出し、読み出したプログラムを前記RAMに格納するとともに、前記バリッドビットを有効状態に変更し、

前記バリッドビットが有効状態を示す場合、前記RAMに格納されている前記プログラムを前記CPUへ出力する

半導体集積回路。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、マイクロコントローラ及びその制御方法に関し、特に、不揮発性メモリを備えるマイクロコントローラに関する。

【背景技術】

【0002】

従来の1チップマイクロコントローラは、それ自体を動作制御するためのプログラムが記憶されたEEPROM(Electrically Erasable Programmable ROM)で代表される不揮発性メモリをプログラムメモリとして使用する形となっている。このような不揮発性メモリをプログラムメモリとして使用することの利点は、電気的な操作によってEEPROMに記憶されたプログラムの変更が容易であることである。つまり、変更を必要とする記憶領域のプログラムのみを、ユーザ自身が書き換えることで、わざわざマスクを変更しなくてもよい。これにより、IC製造業者を頼ることなくコストを抑えてプログラムの異なる1チップマイクロコントローラを迅速に開発することができる。

20

【0003】

しかしながら、不揮発性メモリとしてEEPROMを用いる場合には、上述した利点を有する反面、EEPROMからプログラムコードを読み出して、1チップマイクロコントローラを動作させる場合に、EEPROMの消費電力が大きいという問題がある。

【0004】

このような問題を解決するための従来の技術として特許文献1記載の技術が知られている。特許文献1記載の技術では、不揮発性メモリよりも小容量のRAMを用いる。また、特定動作時に使われる小容量なプログラムを実行する場合に、動作に必要なプログラムを低消費電力であるRAMに格納するとともに、消費電力の大きい不揮発性メモリをディセーブル状態にする。そして、特許文献1記載の技術では、小容量のRAM上でプログラムを実行する。これにより、特許文献1記載の技術は、消費電力の低減を可能にしている。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2000-105701号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1記載の技術では、RAM上でプログラムを実行する場合、まずRAM上で実行するプログラムをRAMに転送しておく必要がある。そのためには、プログラムを転送するハードウェア、又はソフトウェアが別途必要になる。また、RAMは予め決められて番地に配置されているため、RAM上でプログラムを実行する場合、分岐命令を実行するなど、RAMの配置アドレスにマイクロコントローラの実行PCを遷移させる必要がある。その結果、プログラム開発が複雑化してしまう。そのため、RAMで実行して電力を低減する利点を著しく損ねてしまっている。

【0007】

50

そこで本発明は、消費電力の低減を可能にするとともに、プログラム開発の複雑化を低減できるマイクロコントローラ等 を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明の一形態に係るマイクロコントローラは、前記マイクロコントローラの動作を制御するためのプログラムが格納された不揮発性メモリと、RAMと、前記不揮発性メモリのアドレスを指定し、前記不揮発性メモリに格納されている、当該アドレスのプログラムを実行するCPUと、前記不揮発性メモリのメモリ領域のうちの一部である指定領域を示す情報を保持する領域保持部と、前記RAMに格納されているプログラムが有効である有効状態、及び無効である無効状態の一方を示すバリッドビットを保持するバリッド保持部と、前記CPUにより指定される前記アドレスが前記指定領域の範囲内である場合、RAMアクセス動作を行い、前記CPUにより指定される前記アドレスが前記指定領域の範囲外である場合、前記不揮発性メモリから、前記CPUにより指定される前記アドレスのプログラムを読み出し、読み出したプログラムを前記CPUへ出力する不揮発性メモリアクセス動作を行なうRAM制御部とを備え、前記RAM制御部は、前記RAMアクセス動作として、前記バリッドビットが無効状態を示す場合、前記不揮発性メモリから、前記CPUにより指定される前記アドレスのプログラムを読み出し、読み出したプログラムを前記RAMに格納するとともに、前記バリッドビットを有効状態に変更し、前記バリッドビットが有効状態を示す場合、前記RAMに格納されている前記プログラムを前記CPUへ出力する。

10

20

【0009】

この構成によれば、本発明の一形態に係るマイクロコントローラは、不揮発性メモリに格納されているプログラムに対するCPUからの読み出し要求があった場合、当該プログラムをRAMに格納する。また、本発明の一形態に係るマイクロコントローラは、以降のCPUから当該プログラムへの読み出しの際には、RAMに格納された当該プログラムをCPUへ出力する。これにより、本発明の一形態に係るマイクロコントローラは、不揮発性メモリの読み出し動作が発生する頻度を低減できるので、消費電力を低減できる。さらに、本発明の一形態に係るマイクロコントローラは、CPUからの読み出し要求に応じて、自動的に不揮発性メモリに格納されているプログラムをRAMに転送できる。これにより、CPUは、RAMの存在を意識せずに処理を行うことができる。よって、本発明の一形態に係るマイクロコントローラは、プログラム開発の複雑化を低減できる。

30

【0010】

また、前記マイクロコントローラは、さらに、前記マイクロコントローラの動作モードを示す情報を保持するモード保持部を備え、前記RAM制御部は、前記モード保持部が予め定められた第1動作モードを示す情報を保持し、かつ、前記CPUにより指定される前記アドレスが前記指定領域の範囲内である場合、前記RAMアクセス動作を行い、前記モード保持部が前記第1動作モードと異なる第2動作モードを示す情報を保持する場合、前記不揮発性メモリアクセス動作を行ってもよい。

【0011】

この構成によれば、本発明の一形態に係るマイクロコントローラは、特定の第1動作モード時の消費電力を削減できる。また、本発明の一形態に係るマイクロコントローラは、第2動作モード時にはRAMを使用しないことにより、第2動作モード時の制御を簡素化できる。これにより、本発明の一形態に係るマイクロコントローラは、第2動作モード時の動作を速くできる。

40

【0012】

また、前記第1動作モードは、前記第2動作モードに比べ、低速のクロックで動作する低速モードであってもよい。

【0013】

この構成によれば、本発明の一形態に係るマイクロコントローラは、低速クロックで動作する、低消費電力が要求される動作モードにおいて、さらに、消費電力を削減できる。

50

## 【0014】

また、前記不揮発性メモリは、前記プログラムとして、前記第1動作モード時に使用される第1プログラムと、前記第2動作モード時に使用される第2プログラムとを格納し、前記RAMの容量は、前記第1プログラムの容量より大きく、前記指定領域は、前記第1プログラムが格納されている領域であってもよい。

## 【0015】

この構成によれば、本発明の一形態に係るマイクロコントローラでは、一旦、第1プログラムがRAMに転送された後には、RAMに格納されたプログラムの再度の書き換えが発生しない。これにより、本発明の一形態に係るマイクロコントローラは、不揮発性メモリの読み出し動作が発生する頻度をさらに低減できるので、消費電力をさらに低減できる。

10

## 【0016】

また、前記モード保持部は、前記マイクロコントローラの動作モードを示す情報として、前記CPUからアクセス可能なフラグを保持してもよい。

## 【0017】

この構成によれば、本発明の一形態に係るマイクロコントローラは、モード保持部の構成を簡略化できる。

## 【0018】

また、前記領域保持部は、前記指定領域を示す情報として、前記指定領域の先頭アドレスを示す情報を保持し、前記RAM制御部は、前記先頭アドレスから前記RAMの容量分の領域を前記指定領域と判定してもよい。

20

## 【0019】

この構成によれば、本発明の一形態に係るマイクロコントローラは、領域保持部の容量(レジスタ数)を削減できるので、当該マイクロコントローラのコストを削減できる。

## 【0020】

また、前記RAM制御部は、前記RAMアクセス動作を行なう場合、前記不揮発性メモリを停止状態にするモード切替部を備えてもよい。

## 【0021】

この構成によれば、本発明の一形態に係るマイクロコントローラは、不揮発性メモリの待機電力を削減できるので、さらに、消費電力を削減できる。

30

## 【0022】

なお、本発明は、このようなマイクロコントローラとして実現できるだけでなく、マイクロコントローラに含まれる特徴的な手段をステップとするマイクロコントローラの制御方法として実現したり、そのような特徴的なステップをコンピュータに実行させるプログラムとして実現したりすることもできる。そして、そのようなプログラムは、CD-ROM等の記録媒体及びインターネット等の伝送媒体を介して流通させることができるのは言うまでもない。

## 【0023】

さらに、本発明は、このようなマイクロコントローラの機能の一部又は全てを実現する半導体集積回路(LSI)として実現できる。

40

## 【発明の効果】

## 【0024】

以上より、本発明は、消費電力の低減を可能にするとともに、プログラム開発の複雑化を低減できるマイクロコントローラを提供できる。

## 【図面の簡単な説明】

## 【0025】

【図1】本発明の実施の形態1に係るマイクロコントローラのブロック図である。

【図2A】本発明の実施の形態1に係るフラッシュEEPROMに格納されているデータ例を示す図である。

【図2B】本発明の実施の形態1に係るフラッシュEEPROMに格納されているデータ

50

例を示す図である。

【図 3】本発明の実施の形態 1 に係る R A M の構成例を示す図である。

【図 4】本発明の実施の形態 1 に係るバリッド情報の一例を示す図である。

【図 5】本発明の実施の形態 1 に係るマイクロコントローラによる処理のフローチャートである。

【図 6】本発明の実施の形態 1 に係るマイクロコントローラの動作の一例を示す図である。

【図 7】本発明の実施の形態 2 に係るマイクロコントローラのブロック図である。

【図 8】本発明の実施の形態 2 に係る指定領域の一例を示す図である。

【図 9】本発明の実施の形態 2 に係るマイクロコントローラによる処理のフローチャートである。

10

【図 10】本発明の実施の形態 3 に係るマイクロコントローラのブロック図である。

【図 11】本発明の実施の形態 3 に係るマイクロコントローラによる処理のフローチャートである。

【発明を実施するための形態】

【0026】

以下、本発明を実施するための形態について、図面を参照しながら説明する。なお、実施の形態において同じ符号を付した構成要素は同様の動作を行うので、再度の説明を省略する場合がある。

【0027】

20

(実施の形態 1)

本発明の実施の形態 1 に係るマイクロコントローラ 100 は、フラッシュ E E P R O M 101 に格納されているプログラムに対して C P U 103 から読み出し要求があった場合には、当該プログラムを R A M 102 に格納する。また、マイクロコントローラ 100 は、以降の C P U 103 から当該プログラムへの読み出しの際には、R A M 102 に格納された当該プログラムを C P U 103 へ出力する。これにより、マイクロコントローラ 100 は、フラッシュ E E P R O M 101 の読み出し動作が発生する頻度を低減できるので、消費電力を低減できる。さらに、マイクロコントローラ 100 は、C P U 103 からの読み出し要求に応じて、自動的にフラッシュ E E P R O M 101 に格納されているプログラムを R A M 102 に転送できる。これにより、C P U 103 は、R A M 102 の存在を意識せずに処理を行うことができる。よって、本発明の一形態に係るマイクロコントローラ 100 は、プログラム開発の複雑化を低減できる。

30

【0028】

まず、本発明の実施の形態 1 に係るマイクロコントローラ 100 の構成を説明する。

図 1 は、本発明の実施の形態 1 に係るマイクロコントローラ 100 のブロック図である。

【0029】

図 1 に示すマイクロコントローラ 100 は、不揮発性メモリであるフラッシュ E E P R O M 101 と、R A M 102 と、C P U 103 と、モード保持部 104 と、領域保持部 105 と、バリッド保持部 106 と、R A M 制御部 107 と、データ選択部 108 とを備える。

40

【0030】

フラッシュ E E P R O M 101 には、マイクロコントローラ 100 の動作を制御するためのプログラムが格納されている。

【0031】

R A M 102 は、フラッシュ E E P R O M 101 に格納されているプログラムを一時的に格納するために用いられる。

【0032】

C P U 103 は、フラッシュ E E P R O M 101 のアドレスを指定し、フラッシュ E E P R O M 101 に格納されている、当該アドレスのプログラムを実行する。この C P U 1

50

03は、高速クロックで動作する通常モードと、当該高速クロックより低速の低速クロックで動作する低速モード（低消費電力モード）とを有する。また、CPU103は、フラッシュEEPROM101に格納されているプログラムを読み出す際に、フラッシュEEPROM101のアドレスを指定するアドレス信号125と、当該アドレスのデータの読み出しを要求するアクセス要求信号124とを出力する。

【0033】

モード保持部104は、CPU103の動作モード（通常モード又は低速モード）を示す動作モード情報144を保持する。また、モード保持部104は、動作モード情報144として、例えば、CPU103からアクセス可能なフラグを保持するレジスタである。これにより、モード保持部104の構成を簡略化できる。

10

【0034】

領域保持部105は、フラッシュEEPROM101のメモリ領域のうちの一部である指定領域155を示す指定領域情報145を保持する。例えば、領域保持部105は、CPU103からアクセス可能な1ビット以上のレジスタで構成される。また、指定領域情報145は、例えば、指定領域155の先頭アドレスと最終アドレスとを指定する情報である。

【0035】

図2A及び図2Bは、フラッシュEEPROM101に格納されているプログラム及び指定領域155の一例を示す図である。

【0036】

20

図2A及び図2Bに示すように、フラッシュEEPROM101には、低速モード時に実行される低速モードプログラム160と、通常モード時に実行される通常モードプログラム161とが格納される。なお、フラッシュEEPROM101には、その他のプログラム、又は、プログラム以外のデータが格納されていてもよい。

【0037】

また、指定領域155は、低速モードプログラム160が格納されているアドレス領域のみを含む。例えば、図2Aに示すように、指定領域155は、低速モードプログラム160が格納されているアドレス領域の全てを含む。また、図2Bに示すように、指定領域155は、低速モードプログラム160が格納されているアドレス領域の一部のみを含んでもよい。

30

【0038】

バリッド保持部106は、RAM102に格納されているプログラムが有効である有効状態、及び無効であることを示す無効状態の一方を示すバリッドビット情報146を保持する。例えば、バリッド保持部106は、CPU103からアクセス可能な1ビット以上のレジスタで構成される。

【0039】

図3は、RAM102の構成例を示す図である。例えば、RAM102の容量は1Kバイトである。また、それぞれが32バイトの32個のライン165を含む。

【0040】

40

図4は、バリッドビット情報146の一例を示す図である。

バリッドビット情報146は、複数のラインアドレス170と、各ラインアドレス170に対応付けられたバリッドビット171とを含む。例えば、バリッドビット情報146は、32個のラインアドレス170及びバリッドビット171を含む。

【0041】

また、各ラインアドレス170は、RAM102に含まれるライン165のいずれかに対応する。また、各ラインアドレス170は、指定領域155に含まれるフラッシュEEPROM101の32バイト単位のアドレスに対応付けられている。また、バリッドビット171は、当該バリッドビット171に対応するラインアドレス170のライン165に格納されているデータが有効「1」か無効「0」かを示す。

【0042】

50

なお、ここでは、バリッド保持部 106 は、複数のバリッドビット 171 を保持するが、バリッド保持部 106 は、少なくとも 1 以上のバリッドビット 171 を保持すればよい。

【0043】

RAM制御部 107 は、モード保持部 104 に保持されている動作モード情報 144 と、バリッド保持部 106 に保持されているバリッドビット情報 146 と、領域保持部 105 に保持されている指定領域情報 145 と、CPU 103 により生成されるアクセス要求信号 124 とに応じて、RAM 102 へのアクセスを制御する。また、RAM制御部 107 は、データ選択部 108 を制御するための選択制御信号 126 と、RAM 102 を制御するためのアクセス制御信号 127 と、フラッシュEEPROM 101 へ読み出しを要求するアクセス要求信号 128 とを生成する。

10

【0044】

データ選択部 108 は、RAM制御部 107 からの選択制御信号 126 に応じて、フラッシュEEPROM 101 からデータバス 121 へ出力されたデータと、RAM 102 からデータバス 122 へ出力されたデータのいずれかを選択し、選択したデータを、データバス 123 を介してCPU 103 へ出力する。

【0045】

また、RAM制御部 107 は、動作モード情報 144 により低速モードが指定され、かつ、アドレス信号 125 で指定されるアドレスである要求アドレス 166 が指定領域 155 の範囲内である場合、RAMアクセス動作を行う。

20

【0046】

また、RAMアクセス動作とは、(1) バリッドビット 171 が無効状態を示す場合、フラッシュEEPROM 101 から、要求アドレス 166 に格納されているプログラムを読み出し、読み出したプログラムをRAM 102 に格納するとともに、バリッドビット 171 を有効状態に変更し、(2) バリッドビット 171 が有効状態を示す場合、RAM 102 に格納されているプログラムをCPU 103 へ出力する動作である。

【0047】

また、RAM制御部 107 は、動作モード情報 144 により通常モードが指定されている場合と、動作モード情報 144 により低速モードが指定され、かつ、要求アドレス 166 が指定領域 155 の範囲外である場合とに、不揮発性メモリアccess動作を行う。

30

【0048】

また、不揮発性メモリアccess動作とは、フラッシュEEPROM 101 から、要求アドレス 166 に格納されているプログラムを読み出し、読み出したプログラムをCPU 103 へ出力する動作である。

【0049】

ここで、要求アドレス 166 が指定領域 155 の範囲内であるか否かの判定処理には時間がかかる。よって、通常モードでRAM 102 を使用しないことにより、通常モードでの制御を簡素化できる。これにより、通常モードの動作を速くできる。

【0050】

以下、このような構成のマイクロコントローラ 100 における動作を、図 5 に示すフローチャートを参照して説明する。

40

【0051】

まず、CPU 103 は、指定領域 155 を領域保持部 105 に設定する (S101)。

また、CPU 103 は、動作モードをモード保持部 104 に設定する (S102)。

【0052】

次に、RAM制御部 107 は、CPU 103 から出力されるアクセス要求信号 124 を確認する (S103)。

【0053】

アクセス要求信号 124 が出力されると (S103 で Yes)、RAM制御部 107 は、動作モード情報 144 が示す動作モードを確認する (S104)。

50

## 【 0 0 5 4 】

動作モード情報 1 4 4 が低速モードを示す場合 ( S 1 0 4 で Y e s )、次に、R A M 制御部 1 0 7 は、C P U 1 0 3 から出力されたアドレス信号 1 2 5 が示す要求アドレス 1 6 6 が、指定領域情報 1 4 5 が示す指定領域 1 5 5 の範囲内であるか否かを判定する ( S 1 0 5 )。

## 【 0 0 5 5 】

要求アドレス 1 6 6 が指定領域 1 5 5 の範囲内である場合 ( S 1 0 5 で Y e s )、次に、R A M 制御部 1 0 7 は、バリッドビット情報 1 4 6 に含まれる複数のバリッドビット 1 7 1 のうち、要求アドレス 1 6 6 に対応するラインアドレス 1 7 0 のバリッドビット 1 7 1 を確認することにより、フラッシュ E E P R O M 1 0 1 の要求アドレス 1 6 6 に格納されているデータである要求データが R A M 1 0 2 に格納されているか否かを判定する ( S 1 0 6 )。

10

## 【 0 0 5 6 】

なお、バリッドビット 1 7 1 は初期状態で無効状態「0」が設定されており、R A M 1 0 2 のデータが無効状態となっている。

## 【 0 0 5 7 】

要求アドレス 1 6 6 に対応するバリッドビット 1 7 1 が無効状態「0」の場合 ( S 1 0 6 で N o )、R A M 制御部 1 0 7 は、要求データをフラッシュ E E P R O M 1 0 1 から読み出し、読み出した要求データを 3 2 ラインに区切った R A M 1 0 2 の該当ライン 1 6 5 に書き込む ( S 1 0 7 )。

20

## 【 0 0 5 8 】

図 6 は、このステップ S 1 0 7 の動作の具体例を示す図である。例えば、図 6 に示す要求アドレス 1 6 6 がアドレス信号 1 2 5 で指定されるとする。

## 【 0 0 5 9 】

この場合、R A M 制御部 1 0 7 は、要求アドレス 1 6 6 を含む転送アドレス範囲 1 6 7 を指定したアクセス要求信号 1 2 8 をフラッシュ E E P R O M 1 0 1 へ送る。ここで、転送アドレス範囲 1 6 7 とは、一つのラインアドレス 1 7 0 及びバリッドビット 1 7 1 に対応する、例えば 3 2 バイトのデータが格納されるアドレス範囲である。具体的には、要求アドレス 1 6 6 を  $3 2 n + x$  (  $n$  は 0 ~ 3 1 のいずれか。  $x$  は 0 ~ 3 1 のいずれか ) とすると、転送アドレス範囲 1 6 7 は、 $3 2 n + 0 \sim 3 2 n + 3 1$  のアドレス範囲である。

30

## 【 0 0 6 0 】

これにより、フラッシュ E E P R O M 1 0 1 は、転送アドレス範囲 1 6 7 に格納されている 3 2 バイトのデータである転送データをデータバス 1 2 1 へ出力する。

## 【 0 0 6 1 】

ここで、一つの転送アドレス範囲 1 6 7 は、バリッドビット情報 1 4 6 に含まれるラインアドレス 1 7 0 のいずれかに対応している。また、ラインアドレス 1 7 0 は、一つのバリッドビット 1 7 1、及び R A M 1 0 2 に含まれる一つのライン 1 6 5 と対応している。つまり、要求アドレス 1 6 6 に対して、それぞれ一つのラインアドレス 1 7 0、バリッドビット 1 7 1、ライン 1 6 5 及び R A M 1 0 2 のアドレスが対応する。

40

## 【 0 0 6 2 】

次に、R A M 制御部 1 0 7 は、R A M 1 0 2 に含まれる複数のライン 1 6 5 のうち、要求アドレス 1 6 6 に対応するライン 1 6 5 A への転送データの書き込みを指示するアクセス制御信号 1 2 7 を R A M 1 0 2 へ送る。これにより、R A M 1 0 2 は、データバス 1 2 1 の 3 2 バイトの転送データをライン 1 6 5 A へ格納する。

## 【 0 0 6 3 】

なお、R A M 制御部 1 0 7 は、3 2 バイトの転送データに含まれる 1 バイトのデータごとに、フラッシュ E E P R O M 1 0 1 からの読み出し及び R A M 1 0 2 への書き込みを行ってもよいし、3 2 バイトの転送データをフラッシュ E E P R O M 1 0 1 から読み出した後、当該 3 2 バイトの転送データを R A M 1 0 2 へ書き込んでよい。

## 【 0 0 6 4 】

50

また、例えば、フラッシュEEPROM101の各転送アドレス範囲167のデータを、RAM102のどのライン165に格納するかは予め定められている。言い換えると、フラッシュEEPROM101の指定領域155に含まれる各アドレスのデータを、RAM102のどのアドレスに格納するかは予め定められている。よって、RAM制御部107は、指定された転送アドレス範囲167（要求アドレス166）に対して、データ書き込み先のアドレス（ライン165）を自動的に決定できる。

【0065】

具体的には、例えば、指定領域155の先頭アドレスを $y$ とすると、フラッシュEEPROM101のアドレス $y + 32m + 0 \sim y + 32m + 31$ （ $m$ は $0 \sim 31$ のいずれか）のアドレス範囲のデータは、RAM102のアドレス $32m + 0 \sim 32m + 31$ のアドレス範囲に書き込まれる。例えば、 $m = 0$ の場合、フラッシュEEPROM101のアドレス $y + 0 \sim y + 31$ のアドレス範囲のデータは、RAM102のアドレス $0 \sim 31$ のアドレス範囲に書き込まれる。

10

【0066】

次に、RAM制御部107は、要求アドレス166に対応するバリッドビット171に有効状態「1」に設定する（S108）。

【0067】

この間、CPU103はメモリアクセス待ち状態となる。また、RAM制御部107は、バリッドビット171の更新後、再度ステップS106でバリッドビット171を確認する。この場合、要求アドレス166に対応するバリッドビット171は有効状態「1」なので（S106でYes）、次に、RAM制御部107は、RAM102から、要求データを読み出し、読み出した要求データをCPU103へ出力する（S109）。具体的には、RAM制御部107は、要求アドレス166に対応するアドレスのデータの読み出しを指示するアクセス制御信号127をRAM102へ送る。これにより、RAM102は、要求アドレス166に対応するアドレスの要求データをデータバス122に出力する。また、RAM制御部107は、データバス122を選択するように指示する選択制御信号126をデータ選択部108に送る。これにより、データ選択部108は、データバス122の要求データを、データバス123を介してCPU103へ出力する。

20

【0068】

一方、動作モード情報144が低速モード以外を示す場合（S104でNo）、又は、要求アドレス166が指定領域155の範囲外である場合（S105でNo）、RAM制御部107は、直接フラッシュEEPROM101から要求データを読み出し、読み出した要求データをCPU103へ出力する（S110）。具体的には、RAM制御部107は、フラッシュEEPROM101へアクセス要求信号128を送る。これにより、フラッシュEEPROM101は、要求アドレス166に格納されている要求データをデータバス121へ出力する。また、RAM制御部107は、データバス121を選択するように指示する選択制御信号126をデータ選択部108に送る。これにより、データ選択部108は、フラッシュEEPROM101から出力された、データバス121の要求データを、データバス123を介してCPU103へ出力する。

30

【0069】

また、ステップS109又はステップS110の後において、プログラムが終了していない場合（S111でNo）、再度、ステップS103以降の処理が行われる。また、ステップS103～ステップS110の処理が、プログラムが終了する（S111でYes）まで、繰り返し行われる。

40

【0070】

以上の動作により、低速モードであり、かつ、CPU103が実行するプログラムがRAM102に格納されている場合、RAM102からプログラムが読み出される。これにより、マイクロコントローラ100は、フラッシュEEPROM101の読み出し動作の回数を削減できるので、フラッシュEEPROM101の読み出し動作により消費される電力を抑えることができる。よって、マイクロコントローラ100全体として低消費電力

50

化を実現できる。

【0071】

また、ソフトウェア（プログラム）側からは、RAM 102の存在を意識する必要がない。よって、マイクロコントローラ100は、RAM 102を用いない場合と同一のソフトウェアを用いることができるので、ソフトウェア開発の複雑化を抑えられる。

【0072】

このように、本発明の実施の形態1に係るマイクロコントローラ100は、消費電力の低減を可能にするとともに、プログラム開発の複雑化を低減できる。

【0073】

なお、上記説明では、バリッドビット171が「0」の場合（S106でNo）、ステップS107及びS108を実施し、再度ステップS106に遷移するとしたが、ステップS107でフラッシュEEPROM101から読み出した要求データをCPU103に出力したうえで、ステップS111へ遷移してもよい。

10

【0074】

また、図4に示す処理手順は、一例であり、同様の結果を得られる範囲で、各ステップの順番を入れ替えてもよいし、一部を同時に行なってもよい。例えば、ステップS104、S105及びS106の順序は、図4に示す順序以外でもよいし、一部を同時に行なってもよい。

【0075】

また、上記説明では、RAM 102の容量は1Kバイトとしたが、RAM 102の容量はこれに限定されない。なお、RAM 102の容量は、フラッシュEEPROM101に格納されている低速モードプログラム160の容量より大きいほうが好ましい。これにより、一旦、低速モードプログラム160がRAM 102に転送された後は、RAM 102に格納されたプログラムの再度の書き換えが発生しない。これにより、マイクロコントローラ100は、フラッシュEEPROM101の読み出し動作が発生する頻度をさらに低減できるので、消費電力をさらに低減できる。

20

【0076】

また、上記説明では、フラッシュEEPROMを用いる例を示したが、FeRAM等の書換え可能な不揮発性メモリであれば他の不揮発性メモリを用いてもよい。

【0077】

また、上記説明では、低速モード時において、RAM 102を用いるとしたが、他の特定の動作モード時において、RAM 102を用いてもよい。例えば、通常モード時において、RAM 102を用いてもよい。この場合でも、同様の効果を実現できる。ただし、上述したような低速モード時において、RAM 102を用いることにより、当該低速モードに要求される低消費電力を、さらに改善できるので、より好ましい。

30

【0078】

なお、上記説明では、領域保持部105は、レジスタで構成されるとしたが、予め定められた固定の指定領域155を示す指定領域情報145を保持してもよい。これにより、レジスタを削除できるので、マイクロコントローラ100のコストを削減できる。

【0079】

また、領域保持部105は、複数の指定領域155を示す指定領域情報145を保持してもよい。

40

【0080】

（実施の形態2）

本発明の実施の形態2では、上述した実施の形態1に係るマイクロコントローラ100の変形例について説明する。

【0081】

図7は、本発明の実施の形態2に係るマイクロコントローラ200のブロック図である。なお、図1と同様の要素には同一の符号を付している。また、以下では、主に相違点を説明し、重複する説明は省略する。

50

## 【0082】

図7に示すマイクロコントローラ200は、図1に示すマイクロコントローラ100の構成に対して、領域保持部205の構成が領域保持部105と異なる。

## 【0083】

ここで、フラッシュEEPROM101はメモリ空間の0×4000000番地から0×400FFFF番地に割り当てられているとする。また、CPU103は、32ビットのアドレス信号125によりフラッシュEEPROM101のアドレスを指定する。

## 【0084】

領域保持部205は、フラッシュEEPROM101のベースアドレス255を示すベースアドレス情報245を保持する。このベースアドレス255は、図8に示すように、指定領域155の先頭アドレスである。また、このベースアドレス255は、フラッシュEEPROM101の32ビットのアドレスのうち上位22ビットを指定するアドレスである。例えば、領域保持部205は、CPU103からアクセス可能なレジスタで構成される。

10

## 【0085】

また、RAM制御部107は、ベースアドレス情報245が示すベースアドレス255から、RAM102の容量分の1Kバイトの空間をRAM102にデータを格納する指定領域155と判定する。

## 【0086】

以下、このような構成のマイクロコントローラ200における動作を、図9に示すフローチャートを参照して説明する。

20

## 【0087】

まず、CPU103は、ベースアドレス情報245を領域保持部205に設定する(S201)。ここで、低速モードプログラム160の領域を予めRAM102の容量である1Kバイト内に収まるようにしておき、アドレスの下位10ビットが0×0000から低速モードプログラム160が始まるように配置しておく。

## 【0088】

なお、ステップS102以降の処理は、実施の形態1と同様であり、説明は省略する。

以上より、本発明の実施の形態2に係るマイクロコントローラ200は、上述した実施の形態1に係るマイクロコントローラ100の効果に加え、さらに、予めRAM102へ格納するプログラムの配置領域を制限することで、領域保持部205のレジスタ数を削減できる。これにより、マイクロコントローラ200のコストを削減できる。

30

## 【0089】

なお、上記説明では、領域保持部205は、レジスタで構成されるとしたが、予め定められた固定のベースアドレス255を示すベースアドレス情報245を保持してもよい。これにより、レジスタを削除できるので、マイクロコントローラ200のコストをさらに削減できる。

## 【0090】

また、領域保持部205は、複数のベースアドレス255を示すベースアドレス情報245を保持してもよい。これにより、よりプログラム領域に自由度を与えることができる。

40

## 【0091】

また、上記説明では、ベースアドレス255は、フラッシュEEPROM101のアドレスのうち上位ビットを指定するアドレスであるとしたが、フラッシュEEPROM101のアドレスそのものを指定するアドレスでもよい。この場合でも、実施の形態1のように、先頭アドレスと最終アドレスとを保持する場合に比べて、レジスタ数を削減できる。

## 【0092】

(実施の形態3)

本発明の実施の形態3では、上述した実施の形態1に係るマイクロコントローラ100の変形例について説明する。

50

## 【0093】

図10は、本発明の実施の形態3に係るマイクロコントローラ300のブロック図である。なお、図1と同様の要素には同一の符号を付している。また、以下では、主に相違点を説明し、重複する説明は省略する。

## 【0094】

図10に示すマイクロコントローラ300は、図1に示すマイクロコントローラ100の構成に対して、RAM制御部307の構成がRAM制御部107と異なる。具体的には、RAM制御部307は、RAM制御部107の機能に加え、さらに、モード切替部317を備える。

## 【0095】

ここで、フラッシュEEPROM101は、動作速度が速い高速リードモードと、高速リードモード時より動作速度が遅く、かつ、消費電力が少ない低速リードモードと、低速リードモード時よりもさらに消費電力が少ない停止状態である停止モードとを有する。

## 【0096】

モード切替部317は、フラッシュEEPROM101の動作モード（高速リードモード、低速リードモード及び停止モード）を切り替えるモード切替信号320を生成する。具体的には、モード切替部317は、CPU103の動作モードが通常モードの場合、フラッシュEEPROM101の動作モードを高速リードモードに設定する。また、モード切替部317は、CPU103の動作モードが低速モードである場合、フラッシュEEPROM101の動作モードを低速リードモードに設定する。さらに、モード切替部317は、CPU103の動作モードが低速モードであり、かつ、RAM102からデータを読み出す場合、つまり、RAMアクセス動作を行なう場合には、フラッシュEEPROM101の動作モードを停止モードに設定する。

## 【0097】

このような構成のマイクロコントローラ300における動作を、図11に示すフローチャートを参照して説明する。なお、図11では、図5に示す処理に対して、ステップS301～S304の処理が追加されている。また、その他の処理は、実施の形態1と同様であり、説明は省略する。

## 【0098】

動作モード情報144で低速モードが示され（S104でYes）、かつ、要求アドレス166が指定領域155の範囲内であり（S105でYes）、かつ、要求アドレス166に対応するバリッドビット171が無効状態「0」の場合（S106でNo）、モード切替部317は、フラッシュEEPROM101の動作モードを低速リードモードに設定する（S301）。その後、RAM制御部107は、要求データを、フラッシュEEPROM101から読み出し、読み出した要求データをRAM102に書き込む（S107）。

## 【0099】

また、動作モード情報144で低速モードが示され（S104でYes）、かつ、要求アドレス166が指定領域155の範囲内であり（S105でYes）、かつ、要求アドレス166に対応するバリッドビット171が有効状態「1」の場合（S106でYes）、モード切替部317は、フラッシュEEPROM101の動作モードを停止モードに設定する（S302）。その後、RAM制御部107は、RAM102から要求データを読み出し、読み出した要求データをCPU103へ出力する（S109）。

## 【0100】

また、動作モード情報144で低速モードが示され（S104でYes）、かつ、要求アドレス166が指定領域155の範囲外である場合（S105でNo）、モード切替部317は、フラッシュEEPROM101の動作モードを低速リードモードに設定する（S303）。その後、RAM制御部107は、直接フラッシュEEPROM101から要求データを読み出し、読み出した要求データをCPU103へ出力する（S110）。

## 【0101】

10

20

30

40

50

また、動作モード情報144が低速モード以外を示す場合(S104でNo)、モード切替部317は、フラッシュEEPROM101の動作モードを高速リードモードに設定する(S304)。その後、RAM制御部107は、直接フラッシュEEPROM101から要求データを読み出し、読み出した要求データをCPU103へ出力する(S110)。

【0102】

以上のように、マイクロコントローラ300は、低速モードプログラム160をRAM102から読み出す場合に、フラッシュEEPROM101を停止モードに設定し、当該フラッシュEEPROM101をディセーブル状態にする。これにより、マイクロコントローラ300は、フラッシュEEPROM101に対する読み出し回数を低減することによる消費電力の削減に加え、待機電力も削減できる。

10

【0103】

このように、本発明の実施の形態3に係るマイクロコントローラ300は、実施の形態1に係るマイクロコントローラ100の効果に加え、さらに、消費電力を削減できる。

【0104】

また、上記実施の形態1～3に係るマイクロコントローラ100、200及び300は、典型的には、1チップの半導体集積回路(LSI)により実現される。なお、マイクロコントローラ100、200及び300に含まれる処理部は、個別に1チップ化されてもよいし、一部又は全てを含むように1チップ化されてもよい。

20

【0105】

また、集積回路化はLSIに限るものではなく、専用回路又は汎用プロセッサで実現してもよい。LSI製造後にプログラムすることが可能なFPGA(Field Programmable Gate Array)、又はLSI内部の回路セルの接続や設定を再構成可能なリプログラマブル・プロセッサを利用してもよい。

【0106】

また、本発明の実施の形態1～3に係るマイクロコントローラ100、200及び300の機能の一部又は全てを、CPU等のプロセッサがプログラムを実行することにより実現してもよい。

【0107】

さらに、本発明は上記プログラムであってもよいし、上記プログラムが記録された記録媒体であってもよい。また、上記プログラムは、インターネット等の伝送媒体を介して流通させることができるのは言うまでもない。

30

【0108】

また、上記実施の形態1～3に係る、マイクロコントローラ100、200及び300、及びその変形例の機能のうち少なくとも一部を組み合わせてもよい。

【0109】

また、上記で用いた数字は、全て本発明を具体的に説明するために例示するものであり、本発明は例示された数字に制限されない。さらに、ハイ/ロー(「0」/「1」)により表される論理レベルは、本発明を具体的に説明するために例示するものであり、例示された論理レベルの異なる組み合わせにより、同等な結果を得ることも可能である。

40

【0110】

更に、本発明の主旨を逸脱しない限り、本実施の形態に対して当業者が思いつく範囲内の変更を施した各種変形例も本発明に含まれる。

【産業上の利用可能性】

【0111】

本発明は、マイクロコントローラに適用でき、特に、EEPROM等の不揮発性メモリを搭載したマイクロコントローラに有効である。

【符号の説明】

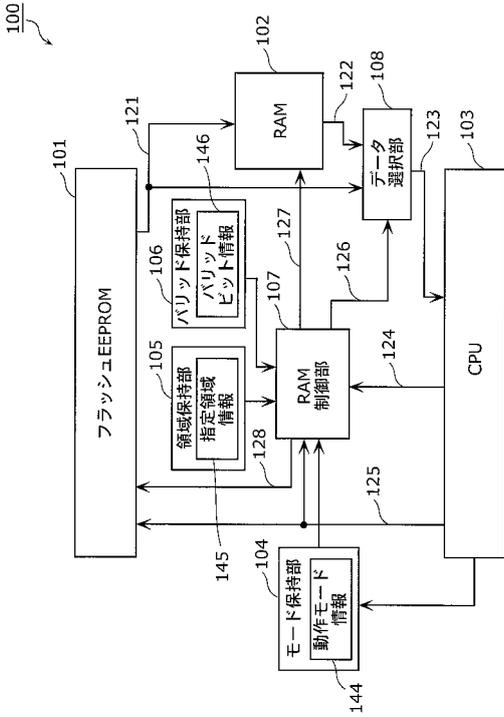
【0112】

100、200、300 マイクロコントローラ

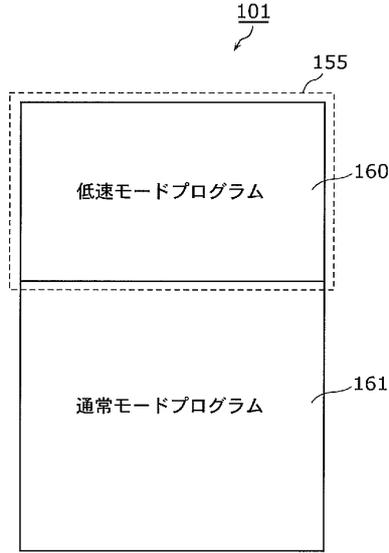
50

1 0 1	フラッシュ E E P R O M	
1 0 2	R A M	
1 0 3	C P U	
1 0 4	モード保持部	
1 0 5、2 0 5	領域保持部	
1 0 6	バリッド保持部	
1 0 7、3 0 7	R A M 制御部	
1 0 8	データ選択部	
1 2 1、1 2 2、1 2 3	データバス	
1 2 4、1 2 8	アクセス要求信号	10
1 2 5	アドレス信号	
1 2 6	選択制御信号	
1 2 7	アクセス制御信号	
1 4 4	動作モード情報	
1 4 5	指定領域情報	
1 4 6	バリッドビット情報	
1 5 5	指定領域	
1 6 0	低速モードプログラム	
1 6 1	通常モードプログラム	
1 6 5、1 6 5 A	ライン	20
1 6 6	要求アドレス	
1 6 7	転送アドレス範囲	
1 7 0	ラインアドレス	
1 7 1	バリッドビット	
2 4 5	ベースアドレス情報	
2 5 5	ベースアドレス	
3 1 7	モード切替部	
3 2 0	モード切替信号	

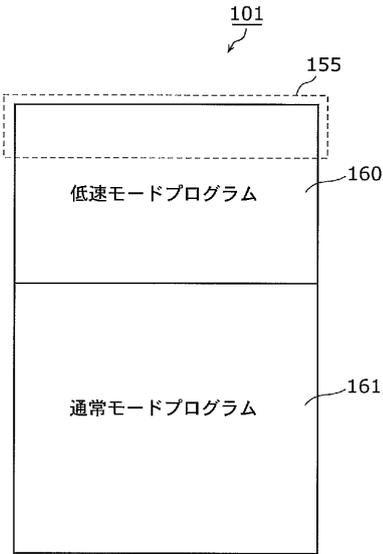
【図1】



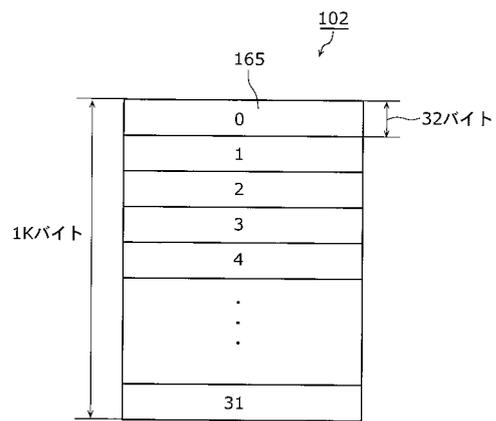
【図2A】



【図2B】



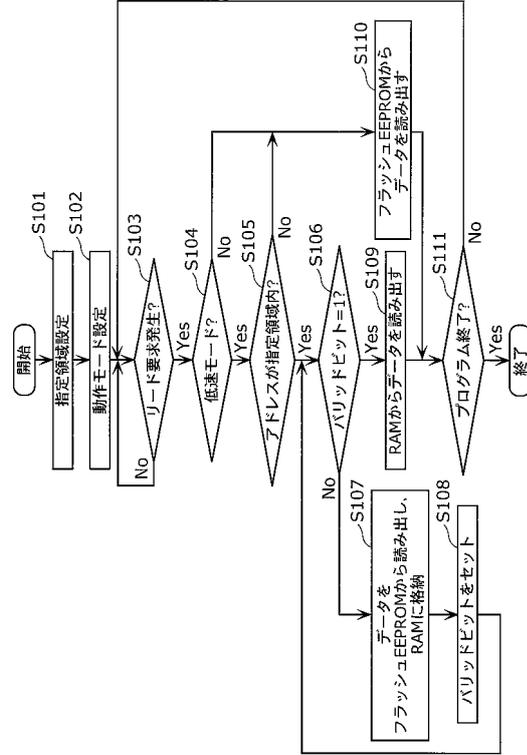
【図3】



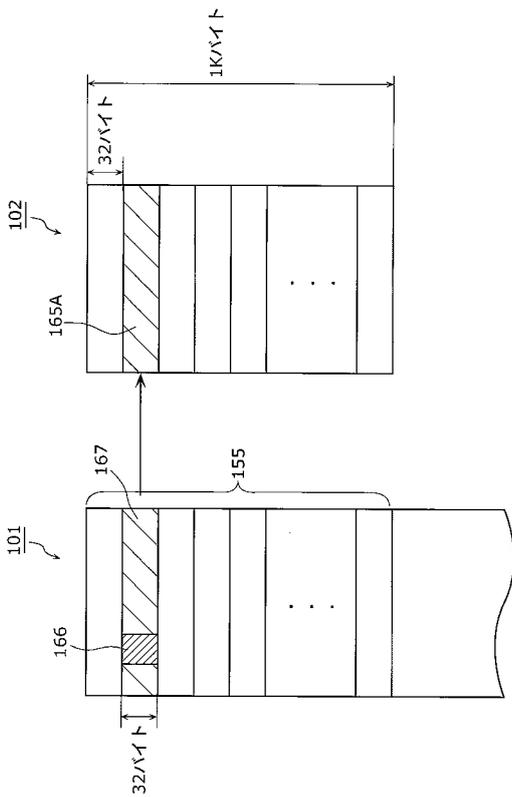
【 図 4 】

ラインアドレス	バリッドビット
0	1
1	1
2	0
⋮	⋮
31	0

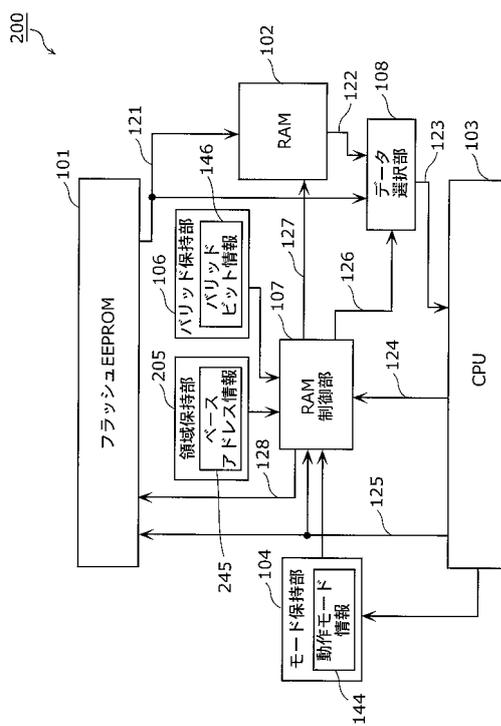
【 図 5 】



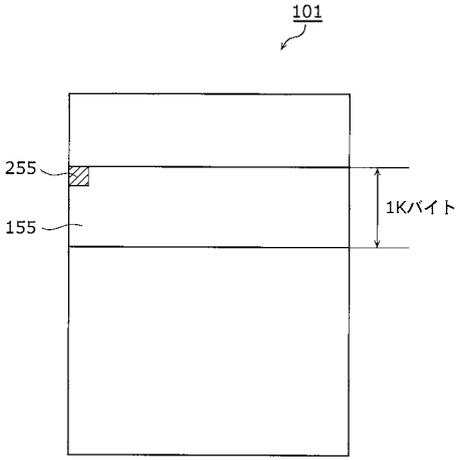
【 図 6 】



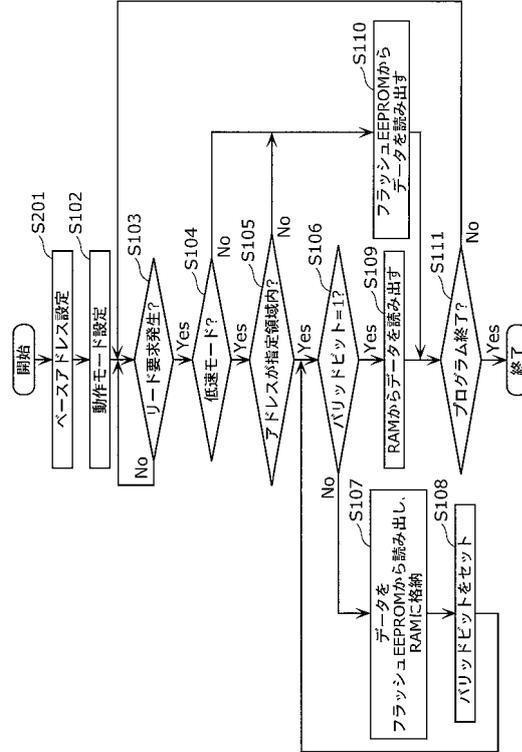
【 図 7 】



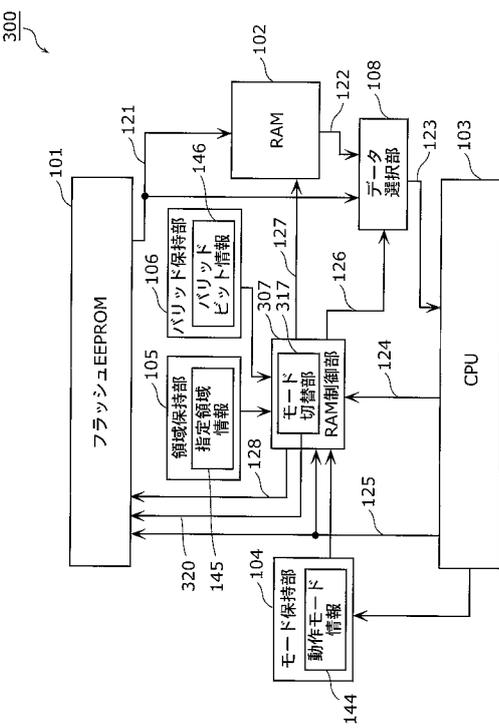
【図 8】



【図 9】



【図 10】



【図 11】

