



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

256 488

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 28 01 86
(21) PV 614-86.L

(51) Int. Cl.⁴

G 01 R 19/12

(40) Zveřejněno 17 09 87
(45) Vydáno 01 05 89

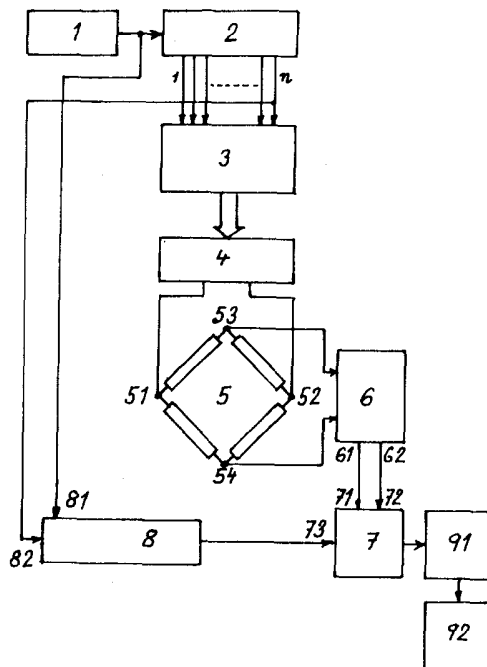
(75)
Autor vynálezu

ŠMEJKAL JAROMÍR ing. CSc., PLZEŇ

(54)

Napáječ s demodulátorem střídavého impedančního můstku

Zapojení se týká napáječe s demodulátorem pro střídavý impedanční můstek. Napájecí napětí pro můstek se generuje pomocí impulsního generátoru, čítače, pasivní paměti naprogramované diskretními hodnotami sinusovky a číslicově analogového převodníku. Fázový posun v impedančním můstku se kompenzuje časovým posunem funkce přepínače výstupního napětí můstku pomocí posuvného registru.



Vynález se týká napáječe s demodulátorem střídavého impedančního můstku, který slouží k vytváření střídavého napájecího napětí pro impedanční měřicí můstek a k demodulaci výstupního napětí tohoto můstku.

Dosud se k napájení impedančního měřicího můstku používají analogové generátory harmonického elektrického napětí a ke zpracování výstupního napětí tohoto můstku se používají kruhové demodulátory způsobující velký útlum signálu, který se musí proto značně zesílovat. To je obzvlášť nevýhodné tehdy, jestliže se rozladění impedančního můstku mění jen pomalu nebo je zcela konstantní v čase. V takových případech se musí použít stejnosměrný zesilovač ke zvýšení úrovně výstupního napětí měřicího můstku, čímž se do měření zavádějí chyby způsobené tepelnou nestálostí a posuvem nuly.

Tyto nevýhody odstraňuje napáječ s demodulátorem střídavého impedančního můstku, jehož podstata spočívá v tom, že výstup impulsního generátoru je připojen ke vstupu čítače a současně k taktovacímu vstupu posuvného registru, jehož výstup je připojen k ovládacímu vstupu přepínače. Přitom je k sériovému vstupu posuvného registru připojen výstup n-tého stupně čítače, jehož celý n-bitový výstup je připojen k n-bitovému vstupu pasívní paměti, která je svým výstupem připojena ke vstupu číslicově analogového převodníku, jehož výstupy jsou připojeny k napájecím uzlům impedančního měřicího můstku, a to tak, že jeho výstupní uzly jsou připojeny ke vstupům zesilovače. Přitom je přímý výstup zesilovače připojen k prvnímu vstupu přepínače a invertovaný výstup je připojen ke druhému vstupu. Výstup přepínače je připojen ke vstupu filtru, k jehož výstupu je připojen vstup měřidla.

Výhody tohoto zapojení napáječe s demodulátorem střídavého impedančního můstku spočívají v tom, že se obvykle používaný kruhový demodulátor, který způsobuje značný útlum, nahrazuje přepínačem řízeným dvouhodnotovým signálem, který signál z výstupu můstku nezeslabuje.

Napáječ s demodulátorem střídavého impedančního můstku je znázorněn na výkresu, na kterém je schematicky znázorněno připojení impulsního generátoru 1 k čítači 2 a k taktovacímu vstupu posuvného registru 8, dále připojení n-bitového výstupu čítače 2 k n-bitovému vstupu pasivní paměti 3, přičemž nejvýznamnější bit z n-tého stupně čítače 2 je zároveň připojen k sériovému vstupu 82 posuvného registru 8, jehož výstup je připojen k ovládacímu vstupu 73 přepínače 7. Číslicový výstup pasivní paměti 3 je připojen ke vstupu číslicově analogového převodníku 4, jehož výstupy jsou připojeny k napájecím uzlům 51,52 impedančního měřicího můstku 5, jehož výstupní uzly 53,54 jsou připojeny ke vstupům zesilovače 6. Přitom je přímý výstup 61 připojen k prvnímu vstupu 71 a invertovaný výstup 62 je připojen ke druhému vstupu 72 přepínače 7. Výstup přepínače 7 je připojen ke vstupu filtru 91, jehož výstup je připojen ke vstupu měřidla 92.

Napáječ s demodulátorem střídavého impedančního můstku funguje takto: napájecí střídavé harmonické napětí se vytváří v číslicové pasivní paměti 3, která je naprogramovaná tak, že na jednotlivých adresách v počtu $B = 2^n$ jsou uloženy číslicové hodnoty funkce $y = A \cdot \sin(2\pi i/B)$ pro $i = 0, 1, 2, \dots, B-1$, kde A je vhodná konstanta. Adresu této pasivní paměti 3 vytváří n-bitový výstup čítače 2, který se krokuje impulsy z výstupu impulsního generátoru 1. Nejvýznamnější, tj. n-tý bit na výstupu čítače 2 se současně přivádí na seriový vstup posuvného registru 8, který se krokuje rovněž impulsy z výstupu impulsního gene-

rátoru 1. Výstup pasivní paměti 3 se v číslicově analogovém převodníku 4 konvertuje na elektrické napětí, jímž se napájí impedanční měřicí můstek 5. Polarita toho elektrického napětí se řídí podle logické úrovně n -tého bitu na vstupu pasivní paměti 3. Střídavé elektrické napětí ve výstupních uzlech 53,54 impedančního měřicího můstku 5 se zpracovává zesilovačem 6, který má dva výstupy: přímý výstup 61 dodávající napětí E_2 a invertovaný výstup 62 dodávající napětí $-E_2$. Tato napětí se přivádějí k prvnímu vstupu 71 a ke druhému vstupu 72 přepínače 7. Počet stupňů posuvného registru 8 je takový, aby způsobil časové posunutí dvouhodnotového průběhu n -tého bitu z výstupu čítače 2 odpovídající fázovému posunu elektrického střídavého napětí z výstupu číslicově analogového převodníku 4 v impedančním měřicím můstku 5 a zesilovači 6. Výstupním signálem z posuvného registru 8 se řídí funkce přepínače 7 tak, aby se na vstup filtru 91 přivádělo napětí E_2 v časovém intervalu kladné půlvlny a napětí $-E_2$ během časového intervalu záporné půlvlny. Tím se na vstup filtru 91 přivádí elektrické napětí jen jedné polarity, v tomto případě kladné, ve tvaru půlvln, z nichž filtr 91 odstraní střídavé harmonické složky a na měřidlo 92 propustí jen složku stejnosměrnou, která je úměrná rozkladění impedančního měřicího můstku 5.

Z uvedeného popisu je zřejmé, že napáječ s demodulátorem střídavého impedančního můstku má široké uplatnění zejména v měřicí technice fyzikálních veličin.

P Ř E D M Ě T V Y N Á L E Z U

256 488

Napáječ s demodulátorem střídavého impedančního můstku, vyznačený tím, že výstup impulsního generátoru (1) je připojen ke vstupu čítače (2) a současně k taktovacímu vstupu (81) posuvného registru (8), jehož výstup je připojen k ovládacímu vstupu (73) přepínače (7), přičemž k sériovému vstupu (82) posuvného registru (8) je připojen výstup n-tého stupně čítače (2), jehož celý n-bitový výstup je připojen k n-bitovému vstupu pasívní paměti (3), která je svým výstupem připojena ke vstupu číslicově analogového převodníku (4), jehož výstupy jsou připojeny k napájecím uzlům (51,52) impedančního měřicího můstku (5), a to tak, že jeho výstupní uzly (53,54) jsou připojeny ke vstupům zesilovače (6), zatímco přímý výstup (61) zesilovače (6) je připojen k prvnímu vstupu (71) přepínače (7) a invertovaný výstup (62) je připojen ke druhému vstupu (72), přičemž výstup přepínače (7) je připojen ke vstupu filtru (91), k jehož výstupu je připojen vstup měřidla (92).

1 výkres

