



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

233 849

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 29 04 83
(21) (PV 3027-83)

(51) Int. Cl.³ H 03 K 3/00

(40) Zveřejněno 13 08 84
(45) Vydáno 01 07 86

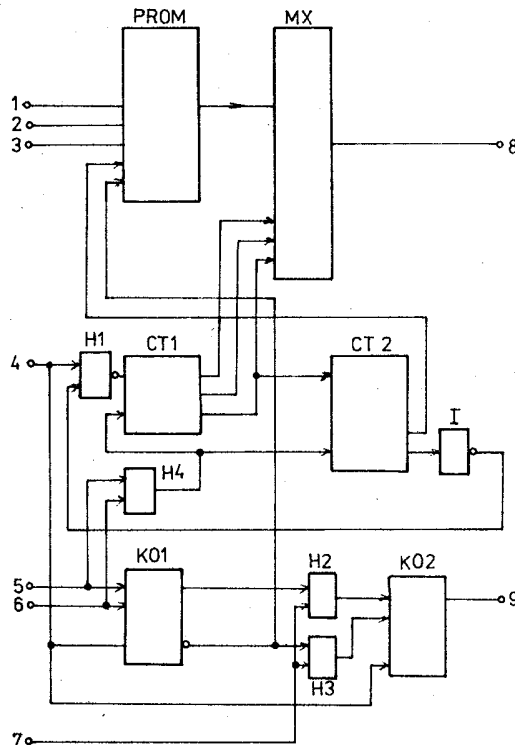
(75)
Autor vynálezu

KONOPÁČ VLADIMÍR,
ZIGMUND JOSEF ing. CSc.,
OKTÁBEC PETR, PRAHA

(54) Zapojení vysílače povelů pro dálkové uzavření a rozpojení smyčky

233 849

K uzavření smyčky v opakovací se vyše do vedení n -krát několikabitová povelová skupina přiřazená tomuto opakovací a po uzavření smyčky $(n+m)$ krát několikabitová kontrolní skupina. K rozpojení smyčky se tato povelová skupina vyše $(n+m)$ krát a po rozpojení smyčky se vyše n -krát kontrolní skupina. Povelová a kontrolní skupina má stejný počet bitů, který čítá první čítač. Druhý čítač čítá vždy n a $(n+m)$ skupin.



Vynález se týká zapojení vysílače povelů pro dálkové uzavření a rozpojení smyčky při lokalizaci opakováče optoelektronického přenosového systému.

Optoelektronické přenosové systémy jsou určeny pro přenos digitálního signálu po optickém kabelu. Mezi dvěma koncovými zařízeními je vždy několik neobsluhovaných zesilovacích stanic - opakováčů. Pro správnou činnost linkového traktu je nutné, aby z koncového zařízení bylo možno dálkově kontrolovat činnost jednotlivých opakováčů a lokalizovat vadný opakováč. Povelem pro uzavření smyčky ve známých zapojeních v opakováčích v digitálních přenosových systémech po kovových kabelech je přerušování impulsního sledu v rytmu nízkých kmitočtů. Povelem pro rozpojení smyčky je přerušování dálkového napájení opakováčů. Nevýhodou těchto známých zapojení je nutnost použít rezonanční obvody v přijímačích povelu pro dálkové uzavření smyčky, které je nutné naladit v každém opakováči jinak. Zhotovení rezonančních obvodů je pracné, protože obsahují indukčnosti. Povel pro rozpojení smyčky přerušováním dálkového napájení nelze použít pro optoelektronické přenosové systémy, protože opakováče jsou napájeny z místního zdroje.

Účelem zapojení vysílače povelů pro dálkové uzavření a rozpojení smyčky podle vynálezu je odstranit uvedené nevýhody. Podle podstaty vynálezu se toho dosahuje tím, že první vstupní svorka je připojena na první adresovací vstup paměti, druhá vstupní svorka je připojena na druhý adresovací vstup paměti, třetí vstupní svorka je připojena na třetí adresovací vstup paměti, jejíž výstupy jsou připojeny na vstupy multiplexeru, jehož výstup je připojen na první výstupní svorku. První, druhý a třetí adresovací vstup

multiplexeru je připojen na první, druhý a třetí výstup prvního čítače a tento třetí výstup je připojen zároveň na čítací vstup druhého čítače, jehož první výstup je připojen na čtvrtý adresovací vstup paměti a jehož druhý výstup je připojen přes invertor na první vstup prvního hradla. Výstup prvního hradla je připojen na čítací vstup prvního čítače, jehož nulovací vstup spolu s nulovacím vstupem druhého čítače je připojen na výstup součtového hradla, jehož první vstup a první vstup prvního klopného obvodu jsou připojeny na pátou vstupní svorku. Druhý vstup součtového hradla a druhý vstup prvního klopného obvodu jsou připojeny na šestou vstupní svorku. Přímý výstup prvního klopného obvodu je připojen na první vstup druhého hradla, jehož výstup je připojen na první vstup druhého klopného obvodu, jehož výstup je připojen na druhou výstupní svorku a jehož druhý vstup je připojen na výstup třetího hradla, jehož první vstup je připojen na invertující výstup prvního klopného obvodu a na pátý adresovací vstup paměti. Na čtvrtou vstupní svorku je připojen druhý vstup prvního hradla a taktovací vstupy prvního a druhého klopného obvodu. Druhé vstupy druhého a třetího hradla jsou připojeny na sedmou vstupní svorku.

Příklad vynálezu je dále popsán pomocí výkresu. První vstupní svorka 1 je připojena na první adresovací vstup paměti PROM, druhá vstupní svorka 2 je připojena na druhý adresovací vstup paměti PROM a třetí vstupní svorka 3 je připojena na třetí adresovací vstup paměti PROM. Její výstupy jsou připojeny na vstupy multiplexeru MX, jehož výstup je připojen na první výstupní svorku 8. První, druhý a třetí adresovací vstup multiplexeru MX je připojen na první, druhý a třetí výstup prvního čítače CT1. Třetí výstup prvního čítače CT1 je připojen též na čítací vstup druhého čítače CT2. První výstup druhého čítače CT2 je připojen na čtvrtý adresovací vstup paměti PROM. Druhý výstup druhého čítače CT2 je přes invertor I připojen na první vstup prvního hradla H1. Výstup prvního hradla H1 je připojen na čítací vstup prvního čítače CT1. Nulovací vstup prvního čítače CT1 a nulovací vstup druhého čítače CT2 je připojen na výstup součtového hradla H4 a první vstup prvního klopného obvodu KO1 a první vstup součtového hradla H4 jsou připojeny na pátou vstupní svorku 5. Druhý vstup součtového hradla H4 a druhý vstup prvního klopného obvodu KO1 jsou připojeny na šestou vstupní svorku 6. Přímý výstup prvního klopného obvodu KO1 je připojen na první vstup druhého hradla H2.

Invertující výstup prvního klopného obvodu KO1 je připojen na pátý adresovací vstup paměti PROM a první vstup třetího hradla H3. Druhé vstupy druhého a třetího hradla H2, H3 jsou připojeny na sedmou vstupní svorku 7. Výstup druhého hradla H2 je připojen na první vstup druhého klopného obvodu KO2, na jehož druhý vstup je připojen výstup třetího hradla H3. Výstup druhého klopného obvodu KO2 je připojen na druhou výstupní svorku 2. Taktovací vstup prvního a druhého klopného obvodu KO1, KO2 a druhý vstup prvního hradla H1 jsou připojeny na čtvrtou vstupní svorku 4.

K uzavření smyčky v opakovací se vyšle do vedení n krát několikabitová povelová skupina přiřazená tomuto opakovací. K rozpojení smyčky se tato povelová skupina vyšle $(n+m)$ krát. Např. pro lokalizaci osmi opakováčů by stačila tříbitová povelová skupina, ale aby se zabránilo jejímu náhodnému napodobení během přenosu signálu, použije se vícebitová povelová skupina a vyšle se několikrát. V povelové skupině je možno použít několik bitů pro rozlišení opakováče a zbývající bity zvolit shodně pro všechny opakováče. Tím se dosáhne zjednodušení obvodů přijímače povelů. Pro kontrolu uzavření smyčky je výhodné vyslat kontrolní skupinu impulsů a vyhodnotit její příjem. Podobně je možné před vysláním povelu pro rozpojení smyčky stejnou kontrolní skupinou zjistit, zda je smyčka uzavřena.

V uvedeném příkladě je lokalizováno osm opakováčů. Povelová skupina a kontrolní skupina je osmibitová. Pro uzavření smyčky se povelová skupina vysílá sedmkrát, pro rozpojení smyčky osmkrát. Na první, druhou a třetí vstupní svorku 1, 2, 3 jsou přivedeny logické úrovně přiřazené lokalizovanému opakovací. Na čtvrtém a pátém adresovacím vstupu paměti PROM je úroveň log 0, na všech výstupech prvního čítače CT1 je log 1, na prvním výstupu druhého čítače CT2 je log 0 a na jeho druhém výstupu je log 1, na páté, šesté a sedmé vstupní svorce 5, 6, 7 je úroveň log 0. Na čtvrtou vstupní svorku⁴ se přivádí taktovací kmitočet. Paměť PROM je nastavena na adresu, kde je uložena povelová skupina pro uvažovaný opakováč. Při povelu pro uzavření smyčky je přivedena na pátou vstupní svorku 5 krátkodobě úroveň log 1. Tím se na přímém výstupu prvního klopného obvodu KO1 nastaví úroveň log 1 a na jeho invertujícím výstupu log 0. První klopný obvod KO1 slouží jako paměť volby povelu. Pomocí součtového hradla H4 se vynuluje první a druhý čítač CT1, CT2.

Po odeznění úrovně log 1 na páté vstupní svorce 5 začnou oba čítače CT1, CT2 počítat. První čítač CT1 počítá vyslané bity v povelové a popř. kontrolní skupině, současně generuje adresy pro multiplexer MX. Druhý čítač CT2 počítá počet vyslaných skupin impulsů. Po načítání n skupin se na jeho prvním výstupu objeví úroveň log 1 a paměť PROM se nastaví na adresu, kde je uložena kontrolní skupina. Po načítání dalších $n+m$ skupin se na jeho druhém výstupu objeví úroveň log 1 a pomocí invertoru I a prvního hradla H1 se oba čítače CT1, CT2 zastaví. Tím je ukončeno vysílání skupin impulsů.

Při povelu pro rozpojení smyčky je přivedena na šestou vstupní svorku 6 krátkodobě úroveň log 1. Činnost obvodů vysílače je obdobná jako v případě vysílání povelu pro uzavření smyčky, ale povelová skupina se vysílá $(n+m)$ krát. Při uzavření smyčky se v koncovém zařízení vyhodnotí příjem kontrolní skupiny a na sedmé vstupní svorce 7 se objeví úroveň log 1. Je-li kontrolní skupina přijímána při povelu uzavření smyčky, pak se na výstupu druhého klopného obvodu KO2 objeví úroveň log 1. Je-li kontrolní skupina přijímána při povelu rozpojení smyčky, pak se na výstupu druhého klopného obvodu KO2 objeví úroveň log 0. Tím se na druhé výstupní svorce 2 signalizuje uzavření nebo rozpojení smyčky v opakovací.

Výhodou vysílače povelů pro dálkové uzavření a rozpojení smyčky podle vynálezu je, že se pro uzavření smyčky vyšle n krát povelová skupina a $(n+m)$ krát kontrolní skupina; pro rozpojení smyčky se vyšle n krát kontrolní skupina a $(n+m)$ krát povelová skupina. Protože povelová a kontrolní skupina má stejný počet bitů, první čítač CT1 počítá vždy právě tento počet a druhý čítač CT2 počítá vždy n a $(n+m)$ skupin. Uvedená skladba povelů pro dálkové uzavření a rozpojení smyčky umožňuje zjednodušení zapojení vysílače v koncovém zařízení a přijímače v opakovací.

Vynález se využívá v optoelektronických přenosových systémech.

Zapojení vysílače povelů pro dálkové uzavření a rozpojení smyčky při lokalizaci opakovače optoelektronického přenosového systému, vyznačené tím, že první vstupní svorka (1) je připojena na první adresovací vstup paměti (PROM), druhá vstupní svorka (2) je připojena na druhý adresovací vstup paměti (PROM), třetí vstupní svorka (3) je připojena na třetí adresovací vstup paměti (PROM), jejíž výstupy jsou připojeny na vstupy multiplexeru (MX), jehož výstup je připojen na první výstupní svorku (8), přičemž první, druhý a třetí adresovací vstup multiplexeru (MX) je připojen na první, druhý a třetí výstup prvního čítače (CT1) a tento třetí výstup je připojen zároveň na čítací vstup druhého čítače (CT2), jehož první výstup je připojen na čtvrtý adresovací vstup paměti (PROM) a jehož druhý výstup je připojen přes invertor (I) na první vstup prvního hradla (H1), jehož výstup je připojen na čítací vstup prvního čítače (CT1), jehož nulovací vstup spolu s nulovacím vstupem druhého čítače (CT2) je připojen na výstup součtového hradla (H4), jehož první vstup a první vstup prvního klopného obvodu (K01) jsou připojeny na pátou vstupní svorku (5), zatímco druhý vstup součtového hradla (H4) a druhý vstup prvního klopného obvodu (K01) jsou připojeny na šestou vstupní svorku (6), přičemž přímý výstup prvního klopného obvodu (K01) je připojen na první vstup druhého hradla (H2), jehož výstup je připojen na první vstup druhého klopného obvodu (K02), jehož výstup je připojen na druhou výstupní svorku (9) a jehož druhý vstup je připojen na výstup třetího hradla (H3), jehož první vstup je připojen na invertující výstup prvního klopného obvodu (K01) a na pátý adresovací vstup paměti (PROM), zatímco na čtvrtou vstupní svorku (4) je připojen druhý vstup prvního hradla (H1) a taktovací vstupy prvního a druhého klopného obvodu (K01, K02), přičemž druhé vstupy druhého a třetího hradla (H2, H3) jsou připojeny na sedmou vstupní svorku (7).

