

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 7/10 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710107143.2

[43] 公开日 2007 年 11 月 14 日

[11] 公开号 CN 101071626A

[22] 申请日 2007.4.30

[21] 申请号 200710107143.2

[30] 优先权

[32] 2006.5.8 [33] KR [31] 10-2006-0040932

[71] 申请人 海力士半导体有限公司

地址 韩国京畿道利川市

[72] 发明人 李炯东

[74] 专利代理机构 北京集佳知识产权代理有限公司
代理人 杨生平 杨红梅

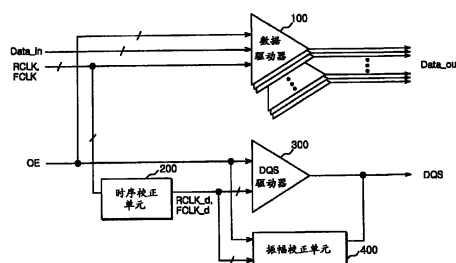
权利要求书 5 页 说明书 9 页 附图 5 页

[54] 发明名称

用于半导体存储装置的数据输出电路

[57] 摘要

多个第一驱动器，根据第一控制信号而输出多个数据。第二驱动单元，利用第一控制信号而产生与第一驱动器的数据输出周期同步的第二控制信号。振幅校正单元，至少利用第一控制信号而校正第二控制信号的振幅。



1.一种由于半导体存储装置的数据输出电路, 包括:

多个第一数据驱动器, 其根据第一控制信号而输出多个数据;

第二驱动器, 其至少根据所述第一控制信号而产生及输出第二控制信号至所述半导体存储装置的外部, 所述第二控制信号具有一振幅且与所述第一数据驱动器的数据输出周期同步; 以及

振幅校正单元, 其至少根据所述第一控制信号而校正所述第二控制信号的振幅。

2.如权利要求1所述的数据输出电路, 其中, 所述第一控制信号包括:

第一时钟, 其具有第一相位; 以及

第二时钟, 其具有第二相位, 其相对于所述第一时钟是反相的。

3.如权利要求1所述的数据输出电路, 其中, 每个第一数据驱动器包括:

上拉驱动器及下拉驱动器, 其根据驱动信号而驱动数据;

切换单元, 其根据所述第一控制信号而使所述多个数据中的一个作为输出而通过; 以及

驱动单元, 其至少根据所述切换单元的输出而驱动所述上拉驱动器及所述下拉驱动器。

4.如权利要求3所述的数据输出电路, 其中, 所述切换单元包括:

第一开关, 其具有: 输入端子, 所述多个数据中的一个被输入到所述输入端子; 控制端子, 第一时钟经由其而输入; 及输出端子; 以及

第二开关, 其具有: 控制端子, 所述第二时钟被输入到所述控制端子; 输入端子, 其耦合到所述第一开关的所述输入端子; 及输出端子, 其耦合到所述第一开关的所述输出端子。

5.如权利要求1所述的数据输出电路, 其中, 所述第二驱动器包括:

上拉驱动器及下拉驱动器, 其根据驱动信号而驱动所述第二控制信号;

切换单元, 其根据所述第一控制信号而输出电源电压值或接地电压值; 以及

驱动单元,其至少根据所述切换单元的输出而驱动所述上拉驱动器及所述下拉驱动器。

6.如权利要求5所述的数据输出电路,其中,所述切换单元包括:

第一开关,其具有:输入端子,所述电源电压被输入到所述输入端子;控制端子,延迟的第一时钟被输入到所述控制端子;及输出端子;以及

第二开关,其具有:输入端子,所述接地电压被输入到所述输入端子;控制端子,延迟的第二时钟被输入到所述控制端子;及输出端子,其连接所述第一开关的所述输出端子。

7.如权利要求1所述的数据输出电路,其中,所述振幅校正单元及所述第二驱动器具有彼此耦合的输出端子。

8.如权利要求1所述的数据输出电路,其中,所述振幅校正单元包括:

上拉驱动器及下拉驱动器,其至少根据驱动信号而驱动所述第二驱动器的输出的信号电平;

切换单元,其根据所述第一控制信号而输出电源电压值或接地电压值;以及

驱动单元,其至少根据所述切换单元的输出而驱动所述上拉驱动器及所述下拉驱动器。

9.如权利要求8所述的数据输出电路,其中,所述切换单元包括:

第一开关,其具有:输入端子,所述电源电压被输入到所述输入端子;控制端子,延迟的第一时钟被输入到所述控制端子;及输出端子;以及

第二开关,其具有:输入端子,所述接地电压被输入到所述输入端子;控制端子,延迟的第二时钟被输入到所述控制端子;及输出端子,其耦合到所述第一开关的所述输出端子。

10. 如权利要求4、6或9所述的数据输出电路,其中,所述第一开关及所述第二开关为通行门。

11. 如权利要求3、5或8所述的数据输出电路,其中,所述驱动单元包括:

第一逻辑电路,其接收所述切换单元的输出,且至少根据输出控制信号而驱动所述上拉驱动器;以及

第二逻辑电路,其接收所述切换单元的输出,且至少根据所述输出控

制信号而驱动所述下拉驱动器。

12. 如权利要求 11 所述的数据输出电路, 其中, 所述第一逻辑电路包括:

反相器, 所述切换单元的输出被输入到所述反相器以产生输出; 以及

NAND 门, 所述反相器的输出及所述输出控制信号被输入到所述 NAND 门。

13. 如权利要求 11 所述的数据输出电路, 其中, 所述第二逻辑电路包括:

反相器, 所述切换单元的输出被输入到所述反相器以产生输出; 以及

NOR 门, 所述切换单元的反相输出及所述反相器的输出被输入到所述 NOR 门。

14. 一种由于半导体存储装置的数据输出电路, 包括:

多个第一驱动器, 其根据第一控制信号而输出多个数据;

时序校正单元, 其将所述第一控制信号的时钟修改一预定时间, 且输出第一及第二时序经校正的控制信号;

第二驱动器, 其根据所述第一及第二时序经校正的控制信号而产生及输出第二控制信号至所述半导体存储装置的外部, 所述第二控制信号具有一振幅且与所述第一驱动器的数据输出周期同步; 以及

振幅校正单元, 其根据所述第一及第二时序经校正的控制信号而校正所述第二控制信号的振幅。

15. 如权利要求 14 所述的数据输出电路, 其中, 所述第一控制信号包括:

第一时钟, 其具有第一相位; 以及

第二时钟, 其具有第二相位, 其相对于所述第一时钟是反相的。

16. 如权利要求 14 所述的数据输出电路, 其中, 所述第一驱动器包括:

上拉驱动器及下拉驱动器, 其根据驱动信号而驱动数据;

切换单元, 其根据所述第一控制信号而使所述多个数据中的一个作为输出而通过; 以及

驱动单元,其根据所述切换单元的输出而驱动所述上拉驱动器及所述下拉驱动器。

17. 如权利要求 16 所述的数据输出电路,其中,所述切换单元包括:

第一开关,其具有:输入端子,所述多个数据中的一个被输入到所述输入端子;控制端子,所述第一时钟经由其而输入;及输出端子;以及

第二开关,其具有:控制端子,所述第二时钟被输入到所述控制端子;输入端子,其耦合到所述第一开关的所述输入端子;及输出端子,其耦合到所述第一开关的所述输出端子。

18. 如权利要求 14 所述的数据输出电路,其中,所述第二驱动器包括:

上拉驱动器及下拉驱动器,其根据驱动信号而驱动所述第二控制信号;

切换单元,其根据所述第一及第二时序经校正的控制信号而输出电源电压值或接地电压值;以及

驱动单元,其根据所述切换单元的输出而驱动所述上拉驱动器及所述下拉驱动器。

19. 如权利要求 18 所述的数据输出电路,其中,所述切换单元包括:

第一开关,其具有:输入端子,所述电源电压被输入到所述输入端子;控制端子,所述第一时序经校正的控制信号被输入到所述控制端子;及输出端子;以及

第二开关,其具有:输入端子,所述接地电压被输入到所述输入端子;控制端子,所述第二时序经校正的控制信号被输入到所述控制端子;及输出端子,其耦合到所述第一开关的所述输出端子。

20. 如权利要求 14 所述的数据输出电路,其中,所述振幅校正单元及所述第二驱动器具有彼此耦合的输出端子。

21. 如权利要求 14 所述的数据输出电路,其中,所述振幅校正单元包括:

上拉驱动器及下拉驱动器,其根据驱动信号而驱动所述第二驱动器的输出的信号电平;

切换单元,其至少根据所述第一及第二时序经校正的控制信号而输出

电源电压值或接地电压值；以及

驱动单元，其至少根据所述切换单元的输出而驱动所述上拉驱动器及所述下拉驱动器。

22. 如权利要求 21 所述的数据输出电路，其中，所述切换单元包括：

第一开关，其具有：输入端子，所述电源电压被输入到所述输入端子；控制端子，所述第一时序经校正的控制信号被输入到所述控制端子；及输出端子；以及

第二开关，其具有：输入端子，所述接地电压被输入到所述输入端子；控制端子，所述第二时序经校正的控制信号被输入到所述控制端子；及输出端子，其耦合到所述第一开关的所述输出端子。

23. 如权利要求 17、19 或 22 所述的数据输出电路，其中，所述第一开关及所述第二开关为通行门。

24. 如权利要求 16、18 或 21 所述的数据输出电路，其中，所述驱动单元包括：

第一逻辑电路，其接收所述切换单元的输出，且至少根据输出控制信号而驱动所述上拉驱动器；以及

第二逻辑电路，其接收所述切换单元的输出，且至少根据所述输出控制信号而驱动所述下拉驱动器。

25. 如权利要求 24 所述的数据输出电路，其中，所述第一逻辑电路包括：

反相器，所述切换单元的输出被输入到所述反相器以产生输出；以及

NAND 门，所述反相器的输出及所述输出控制信号被输入到所述 NAND 门。

26. 如权利要求 24 所述的数据输出电路，其中，所述第二逻辑电路包括：

反相器，所述切换单元的输出被输入到所述反相器；以及

NOR 门，所述切换单元的反相输出及所述反相器的输出被输入到所述 NOR 门。

27. 如权利要求 14 所述的数据输出电路，其中，所述时序校正单元包括延迟单元，其将每个第一控制信号延迟一预定时间。

用于半导体存储装置的数据输出电路

技术领域

本发明涉及半导体存储装置，更具体而言，涉及一种用于半导体存储装置的数据输出电路。

背景技术

一般来说，诸如半导体存储装置、利用半导体存储装置的芯片组或处理器等的系统通常利用预定的时钟以从半导体存储装置输出数据/将数据输入至半导体存储装置，或利用半导体存储装置所提供的时钟。半导体存储装置所提供的时钟为选通时钟(strobe clock)DQS，其被产生为与输入至半导体存储装置/从半导体存储装置输出的数据同步。

半导体存储装置的数据输出电路通常包括数据驱动器10及DQS驱动器20，如图1所示。

数据驱动器10接收多个数据Data_{in}，并根据上升时钟RCLK、下降时钟FCLK及输出控制信号OE来驱动所述数据，所述多个数据是从多个单元读出的且对应于地址输入。上升时钟RCLK及下降时钟FCLK从时钟分配电路产生。上升时钟RCLK与外部时钟的上升沿同步。下降时钟FCLK与外部时钟的下降沿同步。

DQS驱动器20接收上升时钟RCLK、下降时钟FCLK及输出控制信号OE以输出选通时钟DQS，从而读出数据Data_{out}，所述数据Data_{out}在与系统中的半导体存储装置的数据输出周期同步的时间从数据驱动器10输出，所述系统例如是数据Data_{out}输入到芯片组或处理器。

半导体存储装置所应用于的系统识别出数据利用选通时钟DQS从半导体存储装置输出，且读出数据Data_{out}。

通常，数据驱动器10设计成具有固定阻抗，而不管数据Data_{out}的变动。

如果数据Data_{out}规律地变动，则不会有问题，因为数据并非规律地变动。

然而，通常 DQS 驱动器 20 的阻抗等于数据驱动器 10 的阻抗。由于负载量的不同，数据 Data_out 及选通时钟 DQS 的振幅彼此不同，如图 2 所示。即，选通时钟 DQS 的振幅小于数据 Data_out 的振幅。

另外，如果系统具有大输出负载，则用于识别数据 Data_out 及选通时钟 DQS 的参考点彼此不同地分布。因此，数据 Data_out 及选通时钟 DQS 的偏斜 (skew) 增加。

于是，选通时钟 DQS 的振幅小于数据 Data_out 的振幅，且由于数据 Data_out 及选通时钟 DQS 增加的偏斜，数据 Data_out 被提供到的系统的输入裕度降低。结果，整个系统的性能降低。另外，当系统的操作频率增加时，上述问题可能变得更严重，这在高速系统中是不可接受的。

发明内容

一个示例性实施例提供了一种用于半导体存储装置的数据输出电路及方法，其增加同步时钟的振幅同时减小输出数据及同步时钟的偏斜。

一个示例性实施例包括：多个第一驱动器，其根据第一控制信号而输出多个数据；第二驱动器，其利用至少第一控制信号来产生及输出与第一驱动单元的数据输出周期同步的第二控制信号；及振幅校正单元，其利用至少第一控制信号来校正第二控制信号的振幅。

一个示例性实施例包括：多个第一驱动器，其根据第一控制信号而输出多个数据；第二驱动器，其利用时序经校正的第一控制信号来产生及输出与第一驱动器的数据输出周期同步的第二控制信号；振幅校正单元，其利用时序经校正的第一控制信号来校正第二控制信号的振幅；及时序校正单元，其将第一控制信号的时序修改一预定时间，且输出时序经校正的第一控制信号。

附图说明

图 1 为框图，示出根据相关技术的半导体存储装置的数据输出电路的结构。

图 2 为根据相关技术的半导体存储装置的数据输出电路的输出波形图。

图 3 为框图，示出根据一个示例性实施例的半导体存储装置的示例性

数据输出电路。

图 4 为电路图，示出图 3 的数据输出电路的示例性数据驱动器。

图 5 为电路图，示出图 3 的数据输出电路的示例性 DQS 驱动器。

图 6 为框图，示出图 3 的数据输出电路的示例性时序校正单元。

图 7 为根据一个示例性实施例的示例性数据输出电路的输出波形图。

具体实施方式

以下参考附图来描述半导体存储装置的数据输出电路及数据输出方法的示例性实施例。

如图 3 所示，根据一个示例性实施例的半导体存储装置的数据输出电路包括多个第一数据驱动器 100，其根据第一控制信号 RCLK 及 FCLK 而输出多个数据 Data_out。DQS 驱动器 300 利用时序经校正的第一控制信号 RCLK_d 及 FCLK_d 而产生及输出与数据驱动器 100 的数据输出周期同步的第二控制信号 DQS。振幅校正单元 400 利用时序经校正的第一控制信号 RCLK_d 及 FCLK_d 来校正第二控制信号 DQS 的振幅。时序校正单元 200 将第一控制信号 RCLK 及 FCLK 的时序调整一预定时间，以输出时序经校正的第一控制信号。如现有技术中所公知的，第一控制信号 RCLK 可设计成上升时钟。如现有技术中所公知的，第一控制信号 FCLK 可设计成下降时钟。如现有技术中所公知的，第二控制信号 DQS 可设计成选通时钟。

如图 4 所示，数据驱动器 100 包括上拉驱动器 130 及下拉驱动器 140，其根据驱动信号而执行数据驱动操作。切换单元 110 根据第一控制信号 RCLK 及 FCLK 而使多个数据中的一个通过。驱动单元 120 根据切换单元 110 的输出而驱动上拉驱动器 130 及下拉驱动器 140。

上拉驱动器 130 包括 PMOS 晶体管。下拉驱动器 140 包括 NMOS 晶体管。

切换单元 110 包括：第一反相器 IV11，第一控制信号 RCLK 输入到所述第一反相器 IV11；第一通行门 PG11，输入数据 Data_in 经由输入端子而输入到所述第一通行门 PG11，第一反相器 IV11 的输出经由第一控制端子如 P 型栅被输入，且第一控制信号 RCLK 经由第二控制端子如 N 型栅被输入；第二反相器 IV12，第一控制信号 FCLK 输入到所述第二反

相器 IV12; 及第二通行门 PG12, 输入数据 Data_in 经由输入端子而输入到所述第二通行门 PG12, 第二反相器 IV12 的输出经由第一控制端子 (P 型栅) 被输入, 且第一控制信号 FCLK 经由第二控制端子 (N 型栅) 被输入。第二通行门 PG12 的输出端子连接第一通行门 PG11 的输出端子。

驱动单元 120 包括: 第三反相器 IV13, 切换单元 110 的第一通行门 PG11 的输出被输入到所述第三反相器 IV13; NAND 门 ND11, 其接收第三反相器 IV13 的输出及输出控制信号 OE, 以驱动上拉驱动器 130; 第四反相器 IV14, 输出控制信号 OE 被输入到所述第四反相器 IV14; 及 NOR 门 NR11, 其接收第三反相器 IV13 的输出及第四反相器 IV14 的输出, 以驱动下拉驱动器 140。

如图 5 所示, DQS 驱动器 300 包括上拉驱动器 330 及下拉驱动器 340, 其根据驱动信号而执行数据驱动操作。切换单元 310 根据时序经校正的第一控制信号 RCLK_d 及 FCLK_d 而输出电源电压值或接地电压值。驱动单元 320 根据切换单元 310 的信号输出而驱动上拉驱动器 330 及下拉驱动器 340。

上拉驱动器 330 包括 PMOS 晶体管。下拉驱动器 340 包括 NMOS 晶体管。

切换单元 310 包括: 第一反相器 IV21, 时序经校正的第一控制信号 RCLK_d 被输入到所述第一反相器 IV21; 第一通行门 PG21, 第一反相器 IV21 的输出经由第一控制端子如 P 型栅而被输入到所述第一通行门 PG21, 且时序经校正的第一控制信号 RCLK_d 经由第二控制端子如 N 型栅而被输入到所述第一通行门 PG21; 第二反相器 IV22, 时序经校正的第一控制信号 FCLK_d 被输入到所述第二反相器 IV22; 及第二通行门 PG22, 输入数据 Data_in 经由输入端子而被输入到所述第二通行门 PG22, 第二反相器 IV22 的输出经由第一控制端子 (P 型栅) 被输入, 且时序经校正的第一控制信号 FCLK_d 经由第二控制端子 (N 型栅) 被输入。第一通行门 PG21 的输入端子连接电源端子。另外, 第二通行门 PG22 的输入端子连接接地端子, 且第二通行门 PG22 的输出端子连接第一通行门 PG21。

驱动单元 320 包括: 第三反相器 IV23, 切换单元 310 的第一通行门 PG21 的输出被输入到所述第三反相器 IV23; NAND 门 ND21, 其接收第三反相器 IV23 的输出及输出控制信号 OE, 以驱动上拉驱动器 330; 第四反相器 IV24, 输出控制信号 OE 被输入到所述第四反相器 IV24; 及 NOR

门 NR21, 其接收第三反相器 IV23 的输出及第四反相器 IV24 的输出, 以驱动下拉驱动器 340。

振幅校正单元 400 被配置成通过以与图 5 所示的 DQS 驱动器 300 相同的时序进行操作来降低 DQS 驱动器 300 的阻抗, 且具有与 DQS 驱动器 300 相同的结构。振幅校正单元 400 的阻抗可依赖于待降低的阻抗而变化, 以便基本上等于或不同于 DQS 驱动器 300 的阻抗。

如图 6 所示, 时序校正单元 200 包括: 第一延迟单元 210, 其将第一控制信号 RCLK 延迟第一预定时间, 以输出时序经校正的第一控制信号 RCLK_d; 及第二延迟单元 220, 其将第一控制信号 FCLK 延迟第二预定时间, 以输出时序经校正的第一控制信号 RCLK_d。第一延迟单元 210 及第二延迟单元 220 的第一及第二预定时间可基本上彼此相同, 或第一及第二预定时间可通过仿真来确定。

以下描述根据一个示例性实施例的半导体存储装置的操作。

数据驱动器 100 的切换单元 110 根据第一控制信号 RCLK 及 FCLK 而将根据周期顺次输入的输入数据 Data_in 输出至驱动单元 120。

更具体地说, 在第一控制信号 RCLK 处于高电平的时段中, 第一通行门 PG11 接通以输出输入数据 Data_in。在第一控制信号 FCLK 处于高电平的时段中, 第二通行门 PG12 接通以输出输入数据 Data_in。

当输出控制信号 OE 被使能为处于高电平时, 驱动单元 120 根据切换单元 110 的输出而驱动上拉驱动器 130 或下拉驱动器 140。

更具体地说, 在输入数据 Data_in 处于高电平的时段中, 输入数据 Data_in 经由第三反相器 IV13 变成低电平, 且输入至 NAND 门 ND11 及 NOR 门 NR11 的第一端子。在输出控制信号 OE 处于高电平的时段中, 高电平信号被输入至 NAND 门 ND11 的第二输入端子。低电平信号被输入至 NOR 门 NR11 的第二输入端子。因此, 在输出控制信号 OE 处于高电平的时段中, NAND 门 ND11 输出高电平信号至上拉驱动器 130, 且 NOR 门 NR11 输出高电平信号至下拉驱动器 140。

在输入数据 Data_in 处于低电平的时段中, 输入数据 Data_in 通过第三反相器 IV13 而变成高电平, 且分别被输入至 NAND 门 ND11 及 NOR 门 NR11 的第一端子。在输出控制信号 OE 处于高电平的时段中, 高电平信号被输入至 NAND 门 ND11 的第二输入端子。低电平信号被输入至 NOR 门 NR11 的第二输入端子。因此, 在输出控制信号 OE 处于高电平的时段

中, NAND 门 ND11 输出高电平信号至上拉驱动器 130, 且 NOR 门 NR11 输出高电平信号至下拉驱动器 140。

结果, 上拉驱动器 130 或下拉驱动器 140 执行上拉操作或下拉操作以输出数据 Data_out。

另外, 时序校正单元 200 的第一延迟单元 210 及第二延迟单元 220 将第一控制信号 RCLK 及 FCLK 延迟预定量的时间, 以输出时序经校正的第一控制信号 RCLK_d 及 FCLK_d。

因此, DQS 驱动器 300 的切换单元 310 根据时序经校正的第一控制信号 RCLK_d 及 FCLK_d 而将电源电平信号及接地电平信号输出至驱动单元 320。

更具体地说, 在时序经校正的第一控制信号 RCLK_d 处于高电平的时段中, 第一通行门 PG21 接通, 以输出电源电压 (高电平) 信号。在时序经校正的第一控制信号 FCLK_d 处于高电平的时段中, 第二通行门 PG22 接通, 以输出接地电压 (低电平) 信号。

在输出控制信号 OE 被使能为处于高电平的时段中, 驱动单元 320 根据切换单元 310 的输出而驱动上拉驱动器 330 或下拉驱动器 340。

更具体地说, 电源电压通过第三反相器 IV23 变成低电平以输入至 NAND 门 ND21 及 NOR 门 NR21 的第一端子。在输出控制信号 OE 处于高电平的时段, 高电平信号被输入至 NAND 门 ND21 的第二输入端子。低电平信号被输入至 NOR 门 NR21 的第二输入端子。因此, 在输出控制信号 OE 处于高电平的时段中, NAND 门 ND21 输出高电平信号至上拉驱动器 330, 且 NOR 门 NR21 输出高电平信号至下拉驱动器 340。

接地电压通过第三反相器 IV23 变成高电平且输入至 NAND 门 ND21 及 NOR 门 NR21 的第一端子。在输出控制信号 OE 处于高电平的时段中, 高电平信号被输入至 NAND 门 ND21 的第二输入端子。低电平信号被输入至 NOR 门 NR21 的第二输入端子。因此, 在输出控制信号 OE 处于高电平的时段中, NAND 门 ND21 输出低电平信号至上拉驱动器 330, 且 NOR 门 NR21 输出低电平信号至下拉驱动器 340。

结果, 上拉驱动器 330 或下拉驱动器 340 执行上拉操作或下拉操作以输出第二控制信号 DQS。

在输出控制信号 OE 被使能的时段中, 振幅校正单元 400 根据时序经校正的第一控制信号 RCLK_d 及 FCLK_d、经由 DQS 驱动器 300 的输出

端子而输出与 DQS 驱动器 300 相同的信号。

更具体地说,在 DQS 驱动器 300 输出第二控制信号 DQS 的同时,振幅校正单元 400 经由与 DQS 驱动器 300 相同的输出端子而执行相同的输出操作。DQS 驱动器 300 的输出阻抗由于振幅校正单元 400 的操作而降低。

如图 7 所示,由于 DQS 驱动器 300 的输出阻抗降低,第二控制信号 DQS 的振幅与相关技术相比较有了增加,且因此参考点的分布与输出数据 Data_out 相匹配。因此,输出数据 Data_out 及 DQS 的偏斜基本上减至最小。

例如,第二控制信号 DQS 的振幅通过利用振幅校正单元 400 而增加,且因此可使得第二控制信号 DQS 的时序比输出数据 Data_out 快。

时序校正单元 200 可使 DQS 驱动器 300 及振幅校正单元 400 以晚于数据驱动器 100 的时序的时序进行操作。

如上所述,通过包括振幅校正单元 400 的电路结构的仿真,时序校正单元 200 的延迟时间被设置成与输出数据 Data_out 及第二控制信号 DQS 的时序相匹配。

对本领域技术人员将明显的是,可在不背离所述的范围和精神的情况下进行各种修改和改变。因此,应理解以上示例性实施例在各个方面不是限制性的,而是说明性的。本申请的范围由所附权利要求所限定,而不是由在这之前的说明书所限定。因此,落入权利要求的界限和范围或这些界限和范围的等同形式内的各种改变和修变将由权利要求所包含。

根据一个示例性实施例,根据半导体存储装置的数据输出电路,由于 DQS 驱动器的操作时序受到控制且阻抗被降低以使振幅差以及输出数据 Data_out 和控制信号 DQS 的偏斜最小化,因此通过增加从半导体存储输出的数据被输入到的系统的输入裕度,可改善整个系统的性能。

另外,可扩大产品的应用范围,因为半导体存储装置可通过使振幅及偏斜的差最小化而应用于高速系统。

【主要元件符号说明】

10	数据驱动器
20	DQS 驱动器
100	数据驱动器
110	切换单元
120	驱动单元
130	上拉驱动器
140	下拉驱动器
200	时序校正单元
210	第一延迟单元
220	第二延迟单元
300	DQS 驱动器
310	切换单元
320	驱动单元
330	上拉驱动器
340	下拉驱动器
400	振幅校正单元
IV11	第一反相器
IV12	第二反相器
IV13	第三反相器
IV14	第四反相器
IV21	第一反相器
IV22	第二反相器
IV23	第三反相器
IV24	第四反相器
ND11	NAND 门
NR11	NOR 门

ND21	NAND 门
NR21	NOR 门
PG11	第一通行门
PG12	第二通行门
PG21	第一通行门
PG22	第二通行门

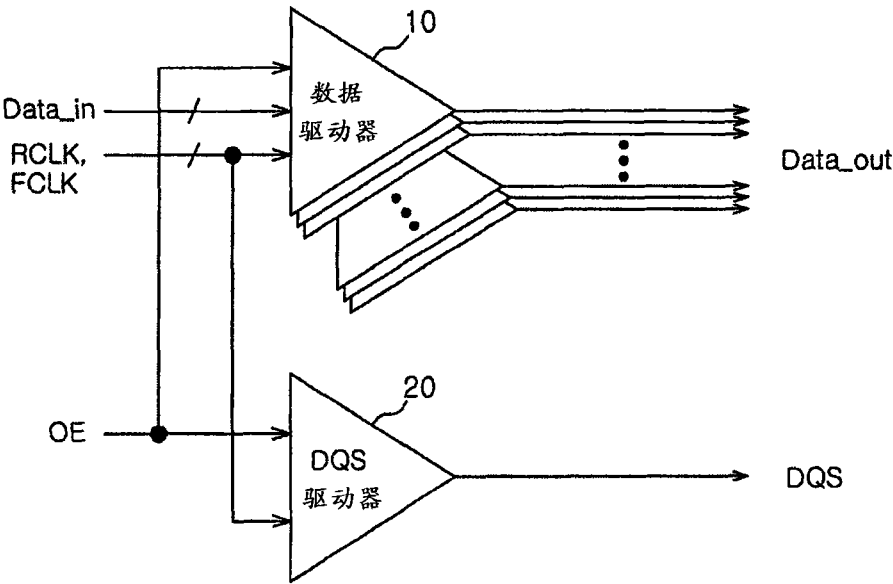


图1
相关技术

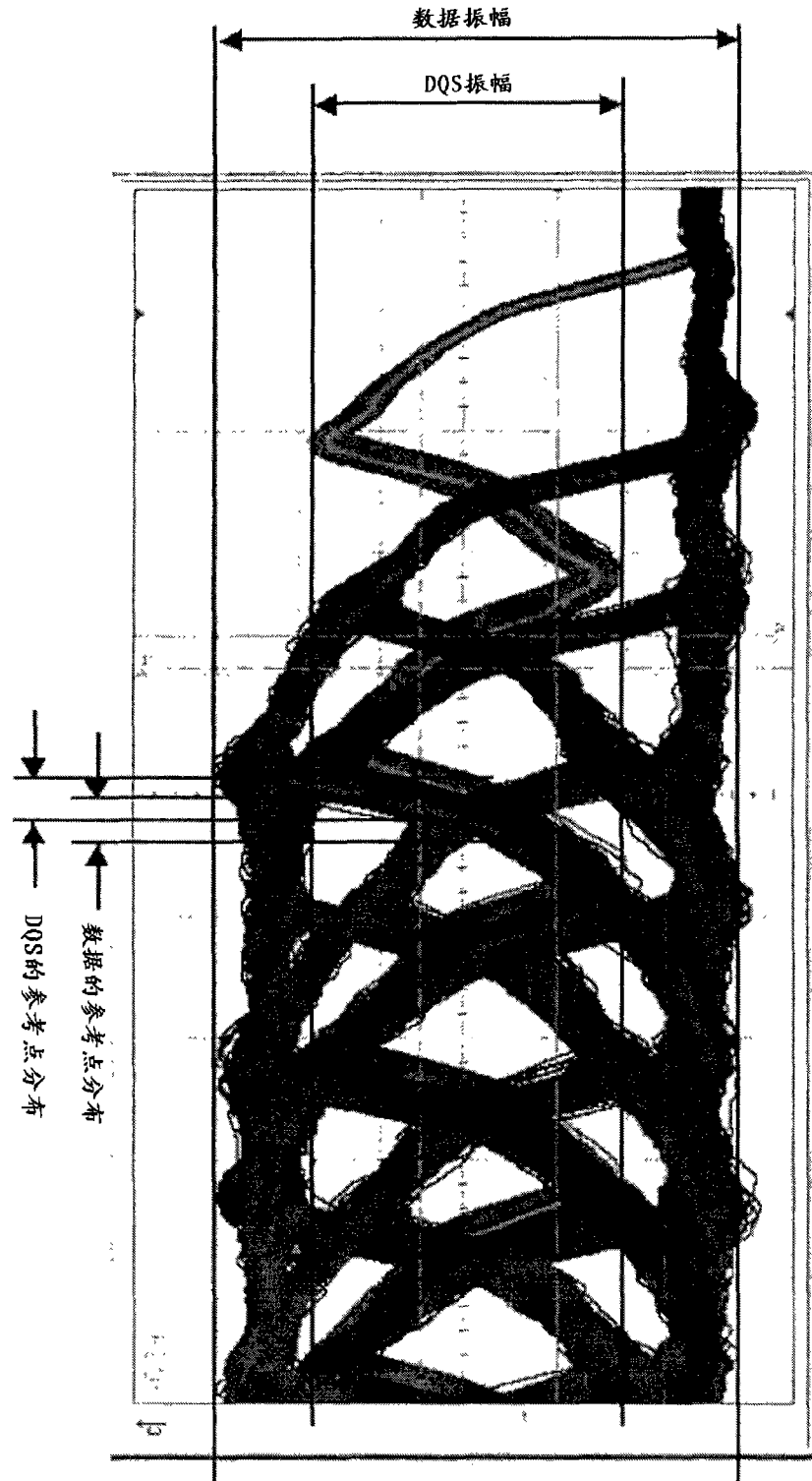


图2

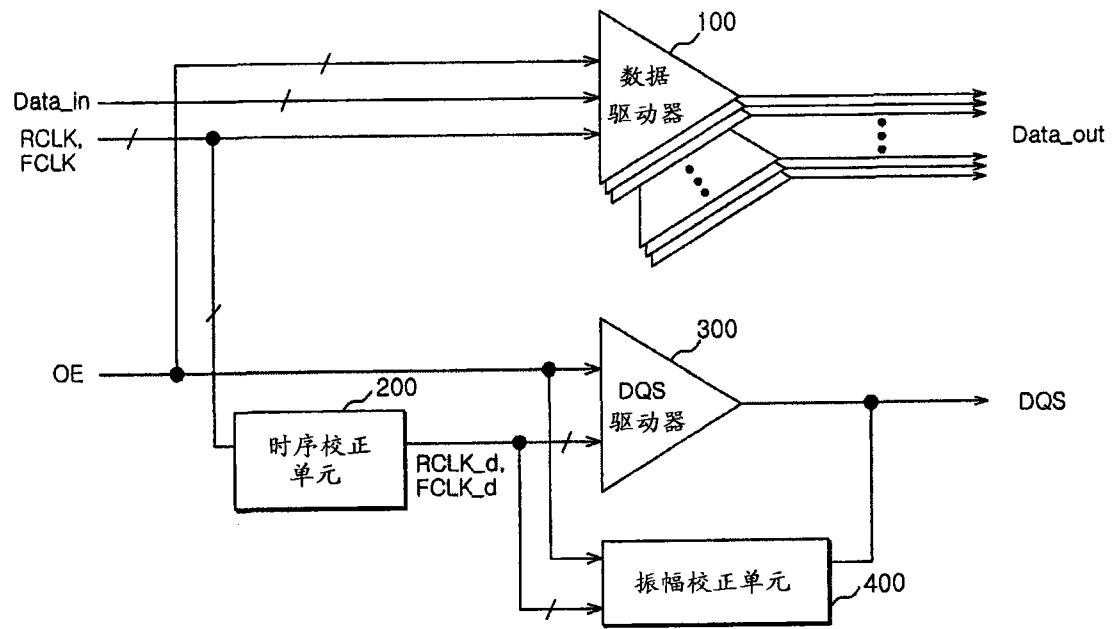


图 3

100

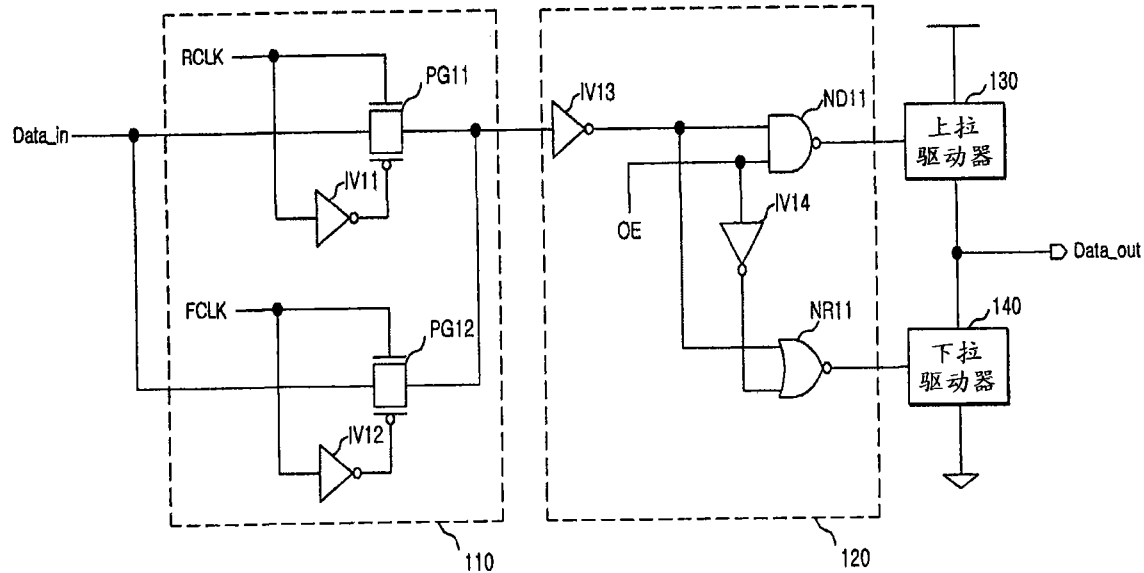


图 4

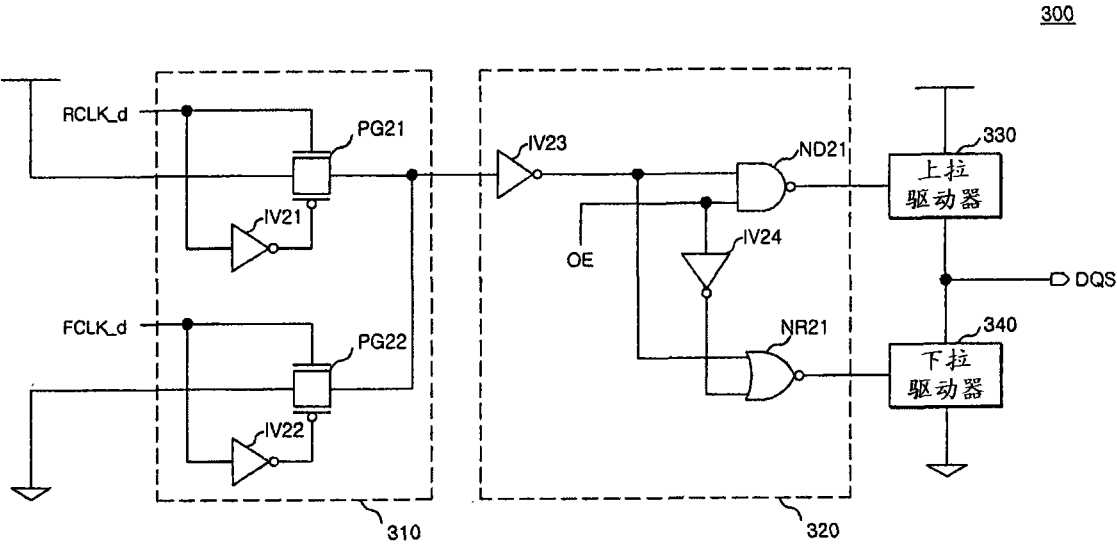


图 5

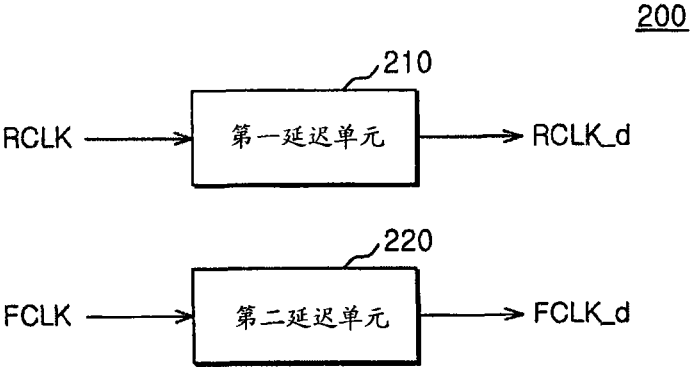


图 6

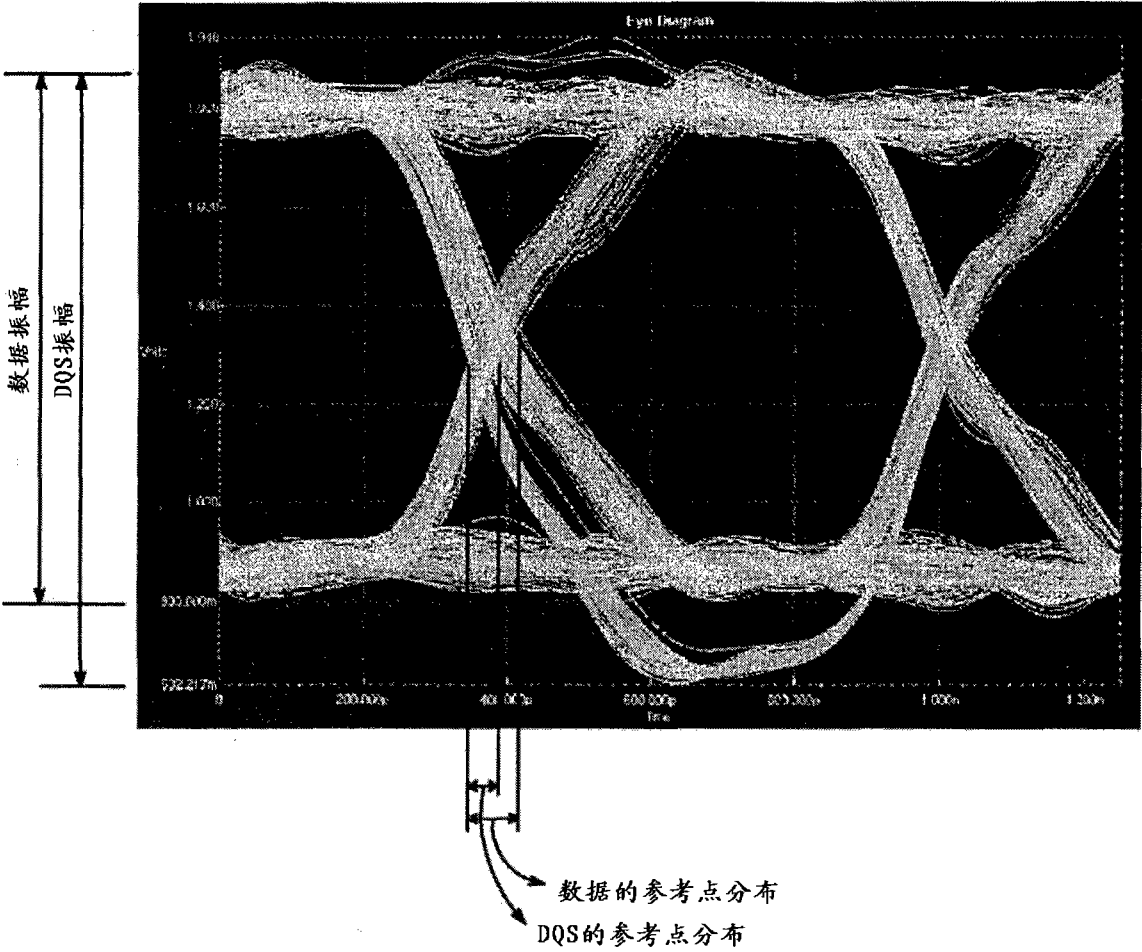


图 7