

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公开说明书

[21] 申请号 200510064606.2

[51] Int. Cl.

H04N 1/21 (2006.01)

G06T 1/60 (2006.01)

G06T 3/00 (2006.01)

[43] 公开日 2006 年 7 月 5 日

[11] 公开号 CN 1798236A

[22] 申请日 2005.4.15

[21] 申请号 200510064606.2

[30] 优先权

[32] 2004.12.28 [33] JP [31] 381070/2004

[71] 申请人 富士通株式会社

地址 日本神奈川县

[72] 发明人 工藤聪夫 山田淳

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 赵淑萍

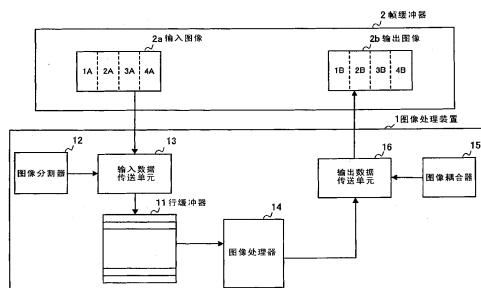
权利要求书 3 页 说明书 20 页 附图 18 页

[54] 发明名称

用于处理图像的装置和方法

[57] 摘要

本发明提供了一种用于处理图像的装置和方法，用于增强图像处理功能，而无需增大电路规模。图像处理装置包括图像分割器、像素处理器和图像耦合器。如果输入图像宽度上的水平像素数大于行缓冲器的大小，则图像分割器沿垂直方向均等地分割输入图像，使得得到的分割区域小于行缓冲器宽度上的水平像素数。然后，图像分割器控制输入数据传送电路，使得对于每个均等分割区域，输入图像的像素数据可被顺序传送到行缓冲器。图像处理器顺序地处理临时存储在行缓冲器中的输入图像的像素数据，然后发送输出像素数据。图像耦合器控制输出数据传送电路，使得一个分割区域的顺序输出的输出像素数据可与另一个分割区域的输出像素相耦合，以生成输出图像。



1. 一种用于在预定单位基础上读取输入图像，处理所述图像，并生成输出图像的图像处理装置，包括：

5 临时存储单元，具有水平分布并且在宽度上提供有预定水平像素数的存储区域，并用于在与所述预定水平像素数相对应的宽度上临时地存储组成所述输入图像的像素数据的多个行；

图像分割单元，用于如果所述输入图像的水平像素数大于所述宽度上的预定水平像素数，则根据所述宽度上的预定水平像素数垂直且均等地分割所述输入图像，并用于控制在每个分割区域处所述输入图像的像素数据向所述临时存储单元中的传送；

10 输入数据传送单元，用于在所述图像分割单元的控制下，将所述输入图像中属于所指示的分割区域的像素数据顺序地传送到所述临时存储单元；

15 像素处理单元，用于对被传送到所述临时存储单元的所述输入图像的像素数据执行以单个或多个像素为单位的图像处理；

图像耦合单元，用于控制在每个分割区域处要被顺序输出的所述像素处理单元的像素数据的传送，使得所述分割区域的输出像素数据可以彼此耦合，以生成输出图像；和

20 输出数据传送单元，用于在所述图像耦合单元的控制下，将来自所述像素处理单元的所述输出像素数据传送到输出图像存储区域中。

2. 根据权利要求 1 所述的图像处理装置，其中，所述图像分割单元将所述输入图像分割为偶数个区域，每个区域在宽度上的水平像素数不超过所述宽度上的预定水平像素数。

25 3. 根据权利要求 1 所述的图像处理装置，其中，所述输入数据传送单元将每个均等分割区域的宽度上的水平像素数提供作为单位，并且在该单位基础上以逐行方式传送所述输入图像中属于所述分割区域的像素数据。

4. 根据权利要求 1 所述的图像处理装置，其中，所述图像分割单元将每个均等分割区域的宽度上的水平像素数作为偏量值，计算指针，以指向所述输入图像中与所述分割区域相对应的像素数据以所述偏量值被存储的

位置，并且将所计算的指针作为读取起始点指示给所述输入数据传送单元。

5. 根据权利要求 1 所述的图像处理装置，其中，所述图像耦合单元将每个均等分割区域的宽度上的水平像素数作为偏量值，计算指针，以指向所述输出图像中与每个分割区域相对应的输出像素数据以所述偏量值被存储的位置，并且将所计算的指针作为写入起始点指示给所述输出数据传送单元。

10 6. 根据权利要求 1 所述的图像处理装置，其中，如果要被均等分割的所述输入图像或者要被均等分割的分割区域的水平像素数为奇数，则所述图像分割单元分割位于要被均等分割的区域的水平中心处的像素数据列，使得所分割的像素数据列可被包括在分割区域中，并且

如果要被耦合的两个分割区域都包括彼此共同的位于水平中心处的所述像素数据列，则所述图像耦合单元耦合两个分割区域之间位于水平中心处的所述像素数据列。

15 7. 根据权利要求 1 所述的图像处理装置，其中，所述输入数据传送单元和所述输出数据传送单元中的至少一个是直接存储器访问控制器。

8. 根据权利要求 7 所述的图像处理装置，其中，所述输入数据传送单元和所述输出数据传送单元由通用直接存储器访问控制器组成，使得所述输入数据传送或所述输出数据传送可以通过所述图像分割单元和所述图像耦合单元独占地执行。

20 9. 根据权利要求 1 所述的图像处理装置，其中，所述临时存储单元中所包括的所述宽度上的预定水平像素数大于视频图形阵列大小的宽度上的水平像素数。

10. 一种用于在预定单位基础上读取输入图像，执行图像处理，并生成输出图像的图像处理方法，在所述图像处理方法中

25 如果所述输入图像的水平像素数大于临时存储单元的宽度上的预定水平像素数，则图像分割单元根据所述宽度上的预定水平像素数，垂直且均等地分割所述输入图像，其中，所述临时存储单元被提供有水平分布并且在宽度上具有预定水平像素数的存储区域，并用于在由所述预定水平像素数组成的宽度上临时地存储所述输入图像的像素数据的多个行；

所述图像分割单元控制输入数据传送单元，使得在每个分割区域处所述输入图像中属于所述分割区域的像素数据可被顺序地传送到所述临时存储单元；

5 像素处理单元对被传送到所述临时存储单元的所述输入图像的像素数  
据执行以单个或多个像素为单位的图像处理；并且

图像耦合单元控制输出数据传送单元，使得在每个分割区域处要从所  
述图像处理单元输出的一个分割区域的像素数据可与另一个分割区域的输  
出像素数据相耦合，并且

10 其中，在每个分割区域处，所述输入图像的像素数据以分割区域的宽  
度上的水平像素数为单位被逐行地传送并被处理，并且当像素数据被处理  
时在每个分割区域处要输出的一个分割区域的输出像素数据与另一个分割  
区域的输出像素数据相耦合，以生成所述输出图像。

11. 一种用于在预定单位基础上读取输入图像，对所述输入图像执行  
图像处理，并生成输出图像的半导体设备，包括：

15 缓冲器，被提供有水平分布并且在宽度上有预定水平像素数的存储区  
域，并用于在最大由所述预定水平像素数组成的宽度上临时地存储所述输  
入图像的像素数据的多个行；

20 图像分割器，用于如果所述输入图像的水平像素数大于所述缓冲器的  
宽度上的所述预定水平像素数，则根据所述宽度上的预定水平像素数，垂  
直地分割所述输入图像，然后控制在每个分割区域处所述输入图像的像素  
数据向所述缓冲器的传送；

输入数据传送电路，用于将所述输入图像中属于由所述图像分割器所  
指示的分割区域的像素数据顺序地传送到所述缓冲器；

25 像素处理器，用于对被传送到所述缓冲器的所述输入图像的像素数据  
执行以单个或多个像素为单位的图像处理；

图像耦合器，用于控制在每个分割区域处要被顺序输出的所述像素处  
理器的输出像素数据的传送，使得所述分割区域的输出像素数据彼此耦  
合，以生成输出图像；和

30 输出数据传送电路，用于根据所述图像耦合器，将要从所述像素处  
理器输出的输出像素数据传送到所指示的输出图像存储区域。

## 用于处理图像的装置和方法

### 5 技术领域

本发明涉及用于处理图像的装置和方法，更具体地说，涉及被配置来以预定规模读取输入图像、处理图像并生成输出图像的图像处理装置和方法。

### 10 背景技术

对于多媒体处理系统，具体地说，针对手持设备的系统，越来越需要增强照相机能力，具体地说，增加静态图像的像素数并提高运动图像的处理性能。另一方面，也越来越需要增强每一个芯片上的功能密度。由于要平衡这两个要求，因此为了改进照相机能力，不能在不考虑增强一个芯片的功能密度的情况下单纯增加电路面积。

在传统的多媒体处理系统的图像处理中，为了对从 CCD（电荷耦合器件）或 CMOS（互补金属氧化物半导体）传感器发送的 Bayer 数据执行诸如伽马（gamma）校正、色彩空间转换和像素差值之类的图像处理，需要以块或行的形式读取 Bayer 数据。

20 下面将对被配置来以块形式读取数据的图像处理装置给出描述。

图 15 图示了传统块读取中的数据读取顺序。图 16 是示出了用于读取块的传统处理电路的框图。当读取块时，一个图像的 Bayer 数据 800 被分割为多个块 801，每个块 801 由水平和垂直方向上的预定数目的像素组成，并且被顺序的逐块读取。在图示中，以块序号的顺序来读取数据，即，以从位于左上的块 1 开始向右的顺序来读取数据，即，块 1、块 2、块 3...，如图 15 所示。在该数据读取中，为了处理像素形式的图像，数据以确保预定的重叠面积的方式读取。

在逐块读取和处理电路中，以前述的块顺序经由系统总线 901a 逐块读取 Bayer 数据，然后将其临时存储在块缓冲器 0 (902a) 或块缓冲器 1

(902b) 中。选择器 903 用来选择保存在一个缓冲器中的数据，然后将所选择的数据输出到色彩处理器 904 以处理图像。为了增强处理效率，将数据经由系统总线 901a 写入到不与色彩处理器 904 连接的另一个缓冲器中。色彩处理器 904 对输入像素数据执行图像处理，然后将处理后的数据经由 5 系统总线 901b 输出。

接着，下面将对被配置来以行形式读取数据的图像处理装置进行描述。图 17 图示了传统的以行形式读取数据的处理中的数据读取顺序。图 18 是示出了传统的逐行读取和处理电路的框图。在逐行读取处理中，在一个水平行单元 810 上顺序地读取 Bayer 数据 800。

10 逐行读取和处理电路被配置来以从顶部到底部的顺序逐行读取 Bayer 数据，然后将行数据临时保存在行缓冲器 905 中。行缓冲器 905 能够存储色彩处理器 904 中的图像处理所需数目的行。色彩处理器 904 对存储在行缓冲器 905 中的像素数据执行图像处理，然后将处理后的数据经由系统总线 901b 输出。

15 关于逐行读取处理，提出了这样一种图像处理装置，该图像处理装置被配置来将超过行存储器的存储容量（可读水平像素）的初始图像数据分割为与行存储器的存储容量相对应的数据和从行存储器溢出的剩余数据。

（例如，参考日本未审查专利申请公开 No. 2002-252749（段落号[0021]到 [0029]和图 2）。）

20 然而，传统的逐块或逐行读取处理难以在不增加电路规模的前提下增强图像处理功能。具体地说，逐块读取处理使得可以压缩色彩处理器中所包括的输入缓冲器的大小，从而减小安装面积。然而，其缺点是这种类型的读取处理增加了访问存储输入图像和输出图像的帧缓冲器的次数，因此需要更长的处理时间。因而，随着组成要被处理的图像的像素越来越多， 25 处理时间也会越来越长。例如，从按下照相机快门开始，到处理图像，再到将经处理的图像数据存储在存储介质中的处理过程需要花费很长时间。另一个缺点是这种读取处理不适合于需要快速处理的运动图像。

至于逐行读取处理，该处理所涉及的在从帧缓冲器读取或向帧缓冲器写入数据中所引起的突发效应（burst effect）很大，使得可以缩短处理时

间。但是，该处理需要具有一些全行大小的缓冲器作为色彩处理器的输入缓冲器。这不利地导致使得安装面积更大。因而，随着组成要被处理的图像的像素越来越多，安装面积也越来越大。大的安装面积阻碍了最终产品的小型化和轻便化。具体地说，该逐行读取处理实际上不适合于希望更 5 小、更轻便的诸如移动电话或数码照相机之类的手持设备。

另外，在当处理超过行存储器的存储容量的初始图像数据时将初始图像数据分割为与行存储器的存储容量相对应的数据区域和从其存储容量溢出的剩余数据区域的情况下，对应于行存储器容量的区域的大小并不与溢出区域吻合。这带来了使得诸如大小之类的参数交换变得复杂的缺点。另 10 外，由于当处理图像数据时将初始图像数据分割为这两个区域，因此有必要保证行存储器的存储容量最少对应于估计的行的一半。该方法的另一个缺点是不能处理由较大量像素组成的图像。

## 发明内容

15 考虑到前述方面，作出了本发明，本发明的一个目的是提供一种处理图像的装置和方法，其被配置以增强图像处理功能，而无需增大电路规模。

为了实现该目的，根据本发明的一个方面，提供了一种图像处理装置，用于在预定单位基础上读取图像，处理该图像，并生成要输出的图 20 像。该图像处理装置包括：临时存储单元，具有在宽度上有预定水平像素数的存储区域，用于在由预定水平像素数组成的存储区域中临时地存储输入图像的像素数据的多个行；图像分割单元，用于在输入图像的水平像素数大于临时存储单元的预定水平像素数时，根据预定水平像素数在沿垂直方向均等地分割输入图像，并控制每个分割区域处将输入图像的像素数据 25 顺序传送到临时存储单元中的操作；输入数据传送单元，用于将输入图像中属于图像分割单元所指向的分割区域的像素数据顺序传送到临时存储单元；像素处理单元，用于对传送到临时存储单元的输入图像的像素数据执行以单个或多个像素为单位的图像处理；图像耦合单元，用于控制每个分割区域处要从像素处理单元顺序输出的输出像素数据的传送，将分割区域

的输出像素数据彼此耦合，并生成要输出的结果图像；以及输出数据传送单元，用于将要由像素处理单元输出的输出像素数据传送到所指向的输出图像存储区域。

根据本发明的另一个方面，提供了一种图像处理方法，用于在预定单位基础上读取输入图像，处理图像，并生成要输出的最终图像。在该图像处理方法中，如果输入图像宽度上的水平像素数大于存储在临时存储单元中的预定水平像素数，则图像分割单元根据宽度上的预定水平像素数，沿垂直方向均等地分割输入图像，其中，临时存储单元具有在宽度上有预定水平像素数的存储区域，并用于在宽度上有预定水平像素数的存储区域中临时地存储输入图像的像素数据的多个行；图像分割单元将输入图像中属于每个分割区域的像素数据顺序传送到临时存储单元；像素处理单元对被传送到临时存储单元的输入图像的像素数据执行以单个或多个像素为单位的图像处理；并且图像耦合单元控制输出数据传送单元，使得从分割区域输出的像素处理单元的输出像素数据彼此耦合。该图像处理方法被配置来以每个分割区域的水平像素数为单位，逐行地传送输入图像的像素数据，处理该像素数据，并在像素处理终止后，将从分割区域输出的输出像素数据彼此耦合，以生成要输出的最终图像。

### 附图说明

从下面结合附图的描述中，将清楚了解本发明以上和其他的目的、特征和优点，其中附图以示例方式图示了本发明的优选实施例。

图 1 是应用到实施例的本发明的概念图。

图 2 图示了将图像分割为两份的情况中的数据传送顺序。

图 3 图示了输入图像和输出图像之间的大小关系。

图 4 是示出了根据本发明实施例的图像处理装置的示例性硬件配置的框图。

图 5 是示出了实施例中所包括的垂直  $2N$  分割电路的框图。

图 6 图示了在本发明实施例中无分割情况下的地址计数器的操作。

图 7A 和图 7B 图示了在本发明实施例中两份分割处理中的地址计数器

的操作。

图 8A、图 8B、图 8C 和图 8D 图示了在本发明实施例中四份分割处理中的地址计数器的操作，其中，图 8A 示出了第一分割区域中地址计数器的操作，图 8B 示出了第二分割区域中地址计数器的操作，图 8C 示出了第 5 分割区域中地址计数器的操作，图 8D 示出了第四分割区域中地址计数器的操作。

图 9 图示了在将水平像素数  $H$  为偶数的输入图像分割为两份以处理图像的情况下耦合图像的操作。

图 10 图示了在分割水平像素数  $H$  为奇数的输入图像以处理图像的情况 10 下的耦合图像的操作。

图 11 图示了根据本发明实施例，在将水平像素数  $H$  为偶数的输入图像分割为两份，并进一步对分割区域中的水平像素数  $H_2$ （奇数）进行分割以处理输入图像的情况下，耦合图像的操作。

图 12 是示出了根据本发明实施例的图像处理方法的步骤的流程图。

图 13 是示出了在根据本发明实施例的图像处理方法中无分割情况下执行的步骤的流程图。

图 14 是示出了在根据本发明实施例的图像处理方法中垂直分割为四份的情况下执行的步骤的流程图。

图 15 图示了传统逐块读取处理中的数据读取顺序。

图 16 是示出了传统的逐块读取和处理电路的框图。

图 17 图示了传统逐行读取处理中的数据读取顺序。

图 18 是示出了传统的逐行读取和处理电路的框图。

### 具体实施方式

下面将参考附图描述本发明的实施例。首先，将对应用到实施例的发明的概念给出描述。然后将描述这些实施例的具体内容。

图 1 图示了应用到实施例的发明的概念。

根据本发明的图像处理装置 1 具有这样的功能：输入预定规模的输入图像 2a，处理读取的输入图像，并将处理后的图像作为输出图像 2b 写入

到帧缓冲器 2 的给定区域。该图像处理装置 1 被配置为具有行缓冲器 11、图像分割器 12、输入数据传送单元 13、像素处理器 14、图像耦合器 15 和输出数据传送单元 16。

行缓冲器 11 是临时存储装置，用于临时存储要在图像处理装置 1 中  
5 处理的像素数据。行缓冲器 11 能够在由预定数目水平像素组成的宽度上临时存储输入图像 2a 的多个行的像素数据。例如，由于运动图像的处理大小估计足够达到最大为 VGA（视频图形阵列）大小（由  $640 \times 480$  像素组成），因此行缓冲器 11 具有宽度方向上至少大于 VGA 大小的数量的像素，垂直方向上至少与像素处理器 14 的单元像素相同数量的像素。例  
10 如，在使用  $5 \times 5$  像素的图像处理滤波器的情况下，提供了 5 行或 6 行。

图像分割器 12 操作来将输入图像 2a 垂直地分割为偶数数目（表示为  
2N）的区域。即，图像分割器 12 将输入图像 2a 的水平像素数与行缓冲器  
11 的水平像素数相比较，如果前者大于后者，则在垂直方向均等地分割输入  
15 图像 2a。在这种分割中，均等分割区域数被调整为 2N。图示中的输入图像 2a 被分割为四个区域 1A、2A、3A 和 4A。然后，通过指向每个分割区域的读取起始点和读取线宽（跨过的水平像素的数目），图像分割器 12 控制输入数据传送单元 13，使得分割区域中输入图像 2a 的像素数据可被顺序地传送到行缓冲器 11。另外，行大小可由分割数目指示。

输入数据传送单元 13 从位于图像分割器 12 所指向的分割区域的读取  
20 起始点的行开始，顺序逐行将输入图像 2a 的像素数据传送到行缓冲器 11。另外，输入数据传送单元 13 可由 CPU 或 DMA（直接存储器访问）控制器执行的数据传送程序实现。

像素处理器 14 执行使用图像滤波器的处理，诸如像素插值和边缘增  
25 强，以及进一步的基于像素的操作，诸如伽马校正和色彩空间转换，然后计算输出像素数据。图像耦合器 15 操作来耦合被图像分割器 12 分割、然后在每个分割区域处被像素处理器 14 处理的像素数据。图示中，图像耦合器 15 与图像分割器 12 相反地指向到输出数据传送单元 16 的写入起始点和行大小，使得输入图像 2a 的分割区域 1A 的像素数据可被传送到输出图像 2b 的对应分割区域 1B。输出数据传送单元 16 操作来在图像耦合器 15

的控制下，将每个分割区域处要被像素处理器 14 输出的像素数据传送到用于输出图像 2b 的存储区域的对应区域中。另外，输出数据传送单元 16 可由 CPU 或 DMA 控制器执行的数据传送程序实现。

代替输入数据传送单元 13 和输出数据传送单元 16，可以提供两个 5 DMA 通道以独立地读取和写入数据，或者可提供一个 DMA 通道以独占地读取或写入数据。

接着，将对如上配置的图像处理装置 1 的操作给出描述。

图像处理装置 1 包括行缓冲器 11 以读取行。行缓冲器使得能够以预定数量的水平像素临时存储多个行。如果要被存储在帧缓冲器 2 中的输入 10 图像 2a 的水平像素数大于行缓冲器 11 的行大小，则图像分割器 12 操作来将输入图像 2a 垂直分割为 2N 份，并将输入图像 2a 划分为多个矩形长条，每个矩形长条的宽度小于行大小。在图 1 的图示中，输入图像 2a 被分割为四个区域，即 1A、2A、3A 和 4A 分割区域。然后，图像分割器 12 控制输入数据传送单元 13，使得传送单元 13 可以传送分割区域中的输入图 15 像 2a 的像素数据。

例如，假定首先传送分割区域 1A 的数据，将数据传送到行缓冲器 11 的操作被指示以分割区域 1A 的任一像素位置（左上）作为读取起始点，并以读取的行的单位作为分割区域宽度方向的水平像素数。输入数据传送单元 13 以分割区域中水平像素数为读取单元，将分割区域 1A 的数据从所 20 指向的读取起始点逐行地顺序传送到行缓冲器 11。像素处理器 14 以单个像素或多个像素为单位，处理临时存储在行缓冲器 11 中的像素，然后输出最终的像素数据。图像耦合器 15 根据输出像素图像 2b 的分割区域控制输出数据传送单元 16，从而使得输出数据传送单元 16 可将输出像素数据传送到对应的分割区域。如果数据是从分割区域 1A 输入的话，则图像耦 25 合器 15 指示输出数据传送单元 16 将输出像素数据传送到与分割区域 1A 相对应的分割区域 1B。这些操作导致处理了输入图像 2a 的分割区域 1A 的像素数据，并指定了输出图像 2b 的分割区域 1B。接着，处理分割区域 2A 的像素数据。图像分割器 12 操作来将读取起始点移动当获得分割区域宽度上的水平像素数时所导出的偏量值，然后执行与分割区域 1A 类似的

处理。图像耦合器 15 也操作来将写入起始点移动偏量值，然后将输出像素数据存储在分割区域 2B 中。随后，对其他的分割区域执行类似的处理。

接着，将描述数据传送顺序。图 2 图示了在将图像分割为两份的情况 5 中的数据传送顺序。

在图 2 所示的图示中，在 Bayer 数据 21 被分割为分割区域 A (21a) 和分割区域 B (21b) 后，传送 Bayer 数据 21。在图像分割器 12 中，如果要被分割的图像的水平像素数为偶数，则当分割数据时，水平像素数的一半加上 “m” 对应于宽度上的水平像素数。这里，“m” 是取决于图像处理滤波器大小的参数。对于  $5 \times 5$  的像素矩阵，给定  $m=2$ 。然而，如果图像的水平像素数为奇数，则水平像素数不能分割为两份。因而，每个分割区域被规定为具有位于水平中心位置的像素数据列，并加上 “+m” 。在图示中，执行分割使得在分割区域 A (21a) 和 B (21b) 中都可以包括重叠部分 21c。

15 在确定分割区域后，将数据以从分割区域 A (21a) 到 B (21b) 的顺序传送到行缓冲器。首先，数据传送从分割区域 A (21a) 的行 1 的宽度上的水平像素开始，然后以从行 1 到 38 的顺序进行。接着，对分割区域 B (21b) 从顶部（图 2 中的行 39）开始执行数据传送。当数据传送终止时，传送最后一行（图 2 中的行 76）上的像素数据。

20 另外，像素处理器 14 以相同顺序输出分割区域 A (21a) 和 B (21b) 的输出像素数据。图像耦合器 15 控制数据传送，使得输出像素数据可被传送到输出图像的对应位置，以耦合图像。在该数据传送过程中，分割区域 B (21b) 使得包含在两个分割区域中的、位于水平中心位置的像素数据列与分割区域 A (21a) 重叠。

25 如上所述，通过提供具有给定行大小的行缓冲器并根据行大小将输入图像在垂直方向上均等地分割以处理像素，可以相对快速地处理包含大量像素的图像，并尽可能地压缩行缓冲器的容量。由于根据行缓冲器的行大小分割输入图像，因此对于要被处理图像的像素数没有给定上限。另外，由于具有少量像素的运动图像可以全行方式读取（在这种方式中，所有行

不加分割即可读取），因此允许以高帧率实现数据处理。如上所述，图像处理的功能被尽力增强，而不用必须增加缓冲器容量。另外，输入图像可应用于除了 Bayer 数据外的诸如 YUV 的像素数据。

下文中将参考附图详细描述本发明的实施例。该实施例被配置使得对行大小配备有  $1024+\alpha$  的行缓冲器，且输入图像可被分割至四份。另外，在  $5 \times 5$  像素的图像处理滤波器上执行以多个像素为单位的像素处理。

这里，位于图像处理装置中的行缓冲器的行大小需要小到比输入图像宽度上的水平像素数的一半稍大一点，因为只是需要将输入图像垂直分割为两份，处理每个矩形图像长条，并将这些图像长条恢复为一个图像。例如，广泛可用的图像大小可以是 VGA ( $640 \times 480$  像素) 或 SVGA (超级视频图形阵列 ( $1204 \times 768$  像素))。在这个实施例中，为了至少对应于全行方式下的大小，宽度上的水平像素数假定为  $1024+\alpha$  (其中， $\alpha$  表示一些余量)。

如果行缓冲器的大小为  $1024+\alpha$  像素且静态图像被分割为四份，则行缓冲器能够处理水平像素数为 4096 像素的图像。另外，由于估计行缓冲器的大小只需要大到能够覆盖 VGA 大小，因此  $1024+\alpha$  的行缓冲器大小可以以全行方式快速处理像素图像。

下面将描述要被处理的图像。图 3 示出了输入图像和输出图像之间的大小关系。由于对于输入图像 200a 的大小 (水平方向上 H 个像素，垂直方向上 V 个像素)，执行了  $5 \times 5$  像素的图像处理滤波器以处理像素，因此输出图像 200b 的大小被使得在垂直和水平方向上变小了两个像素 (水平方向上  $H-4$  像素，垂直方向上  $V-4$  像素)。下文中，输入图像的水平像素数为 H，其垂直像素数为 V。

接着，将参考图 4 对图像处理装置的硬件配置给出描述。

图像处理装置被配置为具有图像处理器 10、帧缓冲器 20、CPU (中央处理单元) 30、DMA 40、RAM (随机访问存储器) 50 和 ROM (只读存储器) 60，所有这些经由系统总线 70 连接。CPU 30 控制整个装置。

图像处理器 10 包括具有预定行大小的行缓冲器 11，并且操作以预定行为单位，将存储在帧缓冲器 20 中的输入图像的像素数据传送到行缓冲

器 11。在像素被处理之后，图像处理器 10 将数据传送到帧缓冲器 20 的图像存储区域。要被处理的输入图像的像素数据和处理后的输出图像的像素数据临时存储在帧缓冲器 20 中。CPU 30 控制整个装置，并通过执行程序使得该装置运行为图像分割器、图像耦合器和图像处理器。当指定了传送 5 目的地、传送源地址和传送大小时，DMA 40 传送数据，而不经由 CPU 30。RAM 50 存储 CPU 30 的处理所需的各种数据。ROM 60 存储 OS（操作系统）和相关的应用程序。

前述硬件配置可以实现本实施例的处理功能。由于前述配置是示例性的，因此 DMA 40 可以采用两个通道或一个通道，其中，两个通道时数据 10 的读取和写入是独立执行的，一个通道时数据的读取和写入是独占执行的。而且，CPU 30 可负责数据的传送。用于分割输入图像的图像分割器可采用由 CPU 30 执行的程序组成的软件配置，或由图像分割器组成的硬件配置。同样地，图像耦合器也可由软件或硬件配置。

在本实施例中，图像分割器由硬件配置。图 5 是示出了根据本实施例 15 的垂直 2N 分割器的框图。

垂直 2N 分割器被配置为具有输入图像左上原点地址寄存器 101、垂直像素数 (V) 寄存器 102、水平像素数 (H) 寄存器 103、二等分水平像素数 (称为 H2) 寄存器 104、四等分水平像素数 (称为 H4) 寄存器 105、用于对输入值进行二等分的二等分功能 106 和 107、选择器 108、用于确定分割部分数目 (称为分割数) 的判决电路 109 和用于控制数据传送 20 的地址计数器 110。

输入图像左上原点地址寄存器 101、V 寄存器 102 和 H 寄存器 103 的各个给定值由 CPU 30 根据输入图像指定。对于地址寄存器 101，指定了输入图像在帧缓冲器中所存储的区域的读取原点的左上地址。对于 V 寄存器 102，指定了输入图像的垂直像素数。对于 H 寄存器 103，指定了输入图像的水平像素数。

N 表示用于对诸如 0、1、2...的数字计数的计数器，并且当判决电路 109 的输出 Hsel 达到 1 (其中，确定了分割数) 时停止。

当计数器 N 的计数值达到相应值且判决电路 109 的输出 Hsel 达到 0

(其中，未确定分割数)时，执行二等分功能 106 和 107，以计算通过对输入的水平像素数二等分得到的值 Hsize，然后将值 Hsize 输出到判决电路 109。当 N=1 且 Hsel=0 时，二等分功能 106 将 H 寄存器 103 的二等分值存储在 H2 寄存器 104 中，而当 N=2 且 Hsel=0 时，二等分功能 107 将 H2 寄存器 104 的二等分值存储在 H4 寄存器 105 中。

选择器 108 操作来将与计数器 N 的值相对应的 Hsize 值输出到判决电路 109。选择器 108 操作来在 N=0 时提供存储在全行 H 寄存器 103 中的值，在 N=1 时提供存储在 H2 寄存器 104 中的值，在 N=2 时提供存储在 H4 寄存器 105 中的值。

判决电路 109 将被输入的 Hsize 与行缓冲器的行大小  $1024 + \alpha$  相比较，并且当 Hsize 小于行大小时确定有关的分割数。即，如果关系  $Hsize \leq 1024 + \alpha$  成立，则输出 Hsel=1 (其中，确定了分割数)，而如果该关系不成立，则输出 Hsel=0 (其中，未确定分割数)。

当判决电路 109 的输出 Hsel 变为 1，从而确定了分割数时，地址计数器 110 通过利用水平像素 Hsize 以及地址寄存器 101 和 V 寄存器 102 的值，来计算传送数据的存储地址。

接着，将对垂直  $2N$  分割器的操作给出描述。

首先，当 N 变为 0 时，存储在 H 寄存器 103 中的输入图像的水平像素数 (H) 被输入到判决电路 109。判决电路 109 将  $Hsize = H$  与  $1024 + \alpha$  相比较，并且在 H 小于  $1024 + \alpha$  时输出 Hsel=1 以确定分割数为 0。

此时，如果 Hsel=1 不成立，则计数器 N 加 1，即，给定 N=1。N=1 的关系使得二等分功能 106 计算 H2，然后将所计算的 H2 存储在 H2 寄存器 104 中，并将 H2 输入到判决电路 109。判决电路 109 将  $Hsize = H2$  与  $1024 + \alpha$  相比较，并且在 H2 小于  $1024 + \alpha$  时输出 Hsel=1 以确定分割数为 1。

此时，如果 Hsel=1 不成立，则计数器 N 加 1，即，给定 N=2。N=2 的关系使得二等分功能 107 计算 H4，然后将所计算的 H4 存储在 H4 寄存器 105 中，并将 H4 输入到判决电路 109。判决电路 109 将  $Hsize = H4$  与  $1024 + \alpha$  相比较，并且在 H4 小于  $1024 + \alpha$  时输出 Hsel=1 以确定分割数为

## 2.

当给定  $Hsel=1$  时，地址计数器 110 根据所确定的分割数以及地址寄存器 101 和 V 寄存器 102 的值，通过利用 Hsize (H、H2 或 H4)，执行数据传送控制。下文中将描述每种分割情况。

5 首先将参考图 6 对无分割（分割数=0）情况中地址计数器的操作给出描述。在该实施例中，如果输入图像 200 的 H 小于  $1024+\alpha$ ，则无需任何分割即可处理诸如 VGA 和 SVGA 大小的图像。由于考虑到运动图像的最大尺寸为 VGA 大小，因此无需任何分割也可处理运动图像。

10 由于没有分割，因此执行地址控制使得可以逐行地传送数据，其中地址寄存器 101 的值为读取起始点，H 为行大小。这允许位于输入图像 200 水平上从原点地址 (0, 0) 到第 H 地址的所有像素可作为一行读取，然后传送到行缓冲器中。接着，当指向下一行的读取起始点地址 (0, 1) 时，传送位于从该地址到第 H 地址的一行的数据。重复前述操作，直到数据到达最终像素 (H-1, V-1)。

15 接着，将参考图 7A 和图 7B 对两份分割或二等分（分割数=1）情况中的地址计数器的操作给出描述。图 7A 图示了在本实施例的二等分处理中的分割区域 1 的地址计数器的操作。图 7B 图示了分割区域 2 的地址计数器的操作。例如，在这个实施例中，如果输入图像的 H 的范围是从 1024+ $\alpha$  到 2048，则通过二等分过程处理诸如 SXGA (1280×1024 像素)  
20 大小的图像。

二等分情况中的数据传送的执行顺序是从分割区域 1 (211) 到分割区域 2 (212)，其中分割区域 1 (211) 和分割区域 2 (212) 都是对输入图像进行二等分的结果。如图 7A 所示，对于分割区域 1 (211)，执行地址控制使得数据可逐行地传送，其中原点地址 (0, 0) 为读取起始点，H2 为行大小。如上所述，H2 由通过将输入图像二等分得到的值加上 m (m 是取决于图像处理滤波器大小的参数) 来指定，且偏量 S2 根据参数 m 利用 H2 来计算。这使得水平上位于从原点地址 (0, 0) 到第 H2 地址的像素被作为一行读取，然后被传送到行缓冲器中。一旦完成以 H2 为单位的一行，则顺序地指向下一行的读取起始点，直到传送了分割区域 1 (211) 的

最终像素 (H2-1, V-1) 处的数据为止。然后, 如图 7B 所示, 对于分割区域 2 (212), 利用偏量 S2 指定读取起始地址 (S2, 0), 并且以新指定的地址作为起始点, 以 H2 为单位逐行地传送数据。与分割区域 1 类似, 数据是逐行垂直地传送, 直到传送了最终像素 (H-1, V-1)。

5 接着, 将参考图 8A 到图 8D 对四份分割或四等分处理 (分割数=2) 情况中的地址计数器的操作给出描述。图 8A 图示了本实施例的四等分处理的情况中的分割区域 1 中地址计数器的操作。类似地, 图 8B 图示了分割区域 2 中地址计数器的操作。图 8C 图示了分割区域 3 中地址计数器的操作。图 8D 图示了分割区域 4 中地址计数器的操作。在这个实施例中, 10 在输入图像的 H 的范围是从 2048 到 4096 的情况下, 通过四等分过程处理图像。

在四等分处理中, 数据传送的执行顺序是从分割区域 1 (221)、分割区域 2 (222)、分割区域 3 (223) 到分割区域 4 (224), 其中所有四个分割区域都是对输入图像四等分的结果。如图 8A 所示, 对于分割区域 1 15 (221), 执行地址控制使得数据可逐行地传送, 其中原点地址 (0, 0) 为读取起始点, H4 为行大小。与 H2 类似, H4 被指定为具有 “m”, 且根据 “m” 利用 H4 计算偏量 S4。这使得水平上位于从原点地址 (0, 0) 到第 H4 地址的像素被作为一行读取, 然后被传送到行缓冲器中。然后, 在垂直方向上以 H4 为单位顺序地逐行传送数据, 直到传送了分割区域 1 20 (221) 的所有数据为止。接着, 如图 8B 所示, 对于分割区域 2 (222), 执行地址控制使得数据可以以 H4 为单位逐行地传送, 其中由偏量 S4 指定的读取起始地址 (S4, 0) 作为起始点。与分割区域 1 (221) 类似, 在垂直方向上以 H4 为单位顺序地逐行传送数据, 直到传送了分割区域 2 25 (222) 的所有数据为止。接着, 如图 8C 所示, 对于分割区域 3 (223), 执行地址控制使得数据可以以 H4 为单位逐行地传送, 其中由偏量 S2 指定的起始点地址 (S2, 0) 作为起始点。与分割区域 1 (221) 类似, 在垂直方向上以 H4 为单位顺序地逐行传送数据, 直到传送了分割区域 3 (223) 的所有数据为止。接着, 如图 8D 所示, 对于分割区域 4 (224), 执行地址控制使得数据可以以 H4 为单位逐行地传送, 其中由偏量 S2+S4 指定的

起始点地址 ( $S_2 + S_4, 0$ ) 作为起始点。与分割区域 1 (221) 类似，在垂直方向上以  $H_4$  为单位顺序地逐行传送数据，直到传送了最终像素 ( $H-1, V-1$ ) 为止。

如上所述，在垂直  $2N$  分割中，输入图像被分割为每个具有相同数目 5 水平像素的多个区域，在这种分割中，当从帧缓冲器中读取输入图像的像素数据时要执行的地址递增方法允许计数器操作通用于任何分割处理，除了水平坐标上的偏量值。即，用于指向地址的参数只由偏量值更新，这使得可以执行快速处理。另外，根据输入图像大小而增加分割区域也可以使得通过有限的资源（行缓冲器）处理任何大小的图像。

接着，将对在前述处理中被垂直  $2N$  分割并被处理的输出像素数据的 10 图像耦合给出描述。像素处理器以前述的数据传送顺序输出像素数据。

对于无分割情况，以  $H$  为单位逐行地传送像素数据，其中帧缓冲器的输出图像区域的原点地址  $(0, 0)$  为写入起始点。

对于两个或更多分割的情况，取决于被分割前的水平像素数（在以 15  $H_2$  为单位耦合分割区域的情况下为  $H$ ，在以  $H_4$  为单位耦合分割区域的情况下为  $H_2$ ），即，像素数是偶数还是奇数，来划分处理。对于偶像素数，直接耦合分割区域。对于奇像素数，耦合分割区域，使得一列的接合处彼此重叠。

首先，将参考图 9 对在将水平像素数  $H$  为偶数的输入图像分割为两份 20 的情况中的图像耦合给出描述。对于耦合由对偶数水平像素数  $H$  二等分而形成的区域，这些区域被简单地耦合。即，垂直方向上范围为  $V-4$  的分割区域 1 (301) 的输出像素数据与水平方向上范围为  $H_2-4$ 、垂直方向上范围为  $V-4$  的分割区域 2 (302) 的输出像素数据相耦合。耦合后的数据成为水平方向上范围为  $H-4$ 、垂直方向上范围为  $V-4$  的输出图像 303 的像素数据。通过将当数据被传送到帧缓冲器时所指向的输出地址水平地移动偏量  $H_2-4$ ，执行分割区域 2 (302) 的图像耦合。

接着，将参考图 10 对当将水平像素数  $H$  为奇数的输入图像二等分时要执行的图像耦合给出描述。当二等分奇数水平像素数  $H$  时，一个分割区域的一列的接合处与另一个分割区域的一列的接合处重叠。即，在分割区

域 1 (311) 的输出像素数据被传送到帧缓冲器后，地址被指向使得分割区域 1 的接合处的一列与分割区域 2 的接合处的一列重叠，其中偏量值为  $H_2 - 3$ ，然后分割区域 2 (312) 的输出像素数据被传送到帧缓冲器中。这一处理导致生成了输出图像 313，其中接合处 314 由分割区域 1 的与分割区域 2 重叠的一列组成。另外，在前述处理中，位于接合处 314 的一列的像素数据被指定为具有分割区域 2 (312) 的像素数据。关于接合处 314 的一列，对于分割区域 1 (311) 和 2 (312) 计算了相同的像素值。因而，可选择任何分割区域的接合处。

然后，将参考图 11 对将输入图像二等分的处理中要执行的图像耦合给出描述，其中输入图像的水平像素数  $H$  为偶数，分割区域中的水平像素数  $H_2$  为奇数。首先，传送分割区域 1 (321) 的输出像素数据，其中输出图像的原点地址 (0, 0) 为写入起始地址。随后，由于由分割区域 2 (322) 和 1 (321) 组成的水平像素数  $H_2$  为奇数，因此地址被控制为具有偏量值  $H_4 - 3$ ，使得当传送数据时分割区域 2 (322) 的一列可以与分割区域 1 (321) 的一列重叠。随后进行到分割区域 3 (323) 和 2 (322) 的耦合，由于当分割图像时水平像素数  $H$  为偶数，因此当传送数据到帧缓冲器时所指向的输出地址被水平地移动了偏量  $(H_4 - 4) \times 2$ ，并且分割区域 3 (323) 和 2 (322) 无重叠地耦合。另外，由于由分割区域 4 (324) 和 3 (323) 组成的水平像素数  $H_2$  为奇数，因此当传送数据时分割区域 4 (324) 与分割区域 3 (323) 有一列重叠。这导致生成了输出图像 315，其中接合处 316 与接合处 317 重叠。

如上所述，数据传送处理通用于任何分割区域，除了通过对于每个分割区域使用偏量值来改变写入起始点地址，这使得可以快速执行处理。另外，仅通过数据传送目的地的偏移，可执行分割区域的耦合。因而，不需要用于临时存储耦合的中间数据的存储区域，这使得可以高效利用存储器。

接着，将对由前述的图像处理装置执行的图像处理方法给出描述。

图 12 是图示了根据本实施例的图像处理方法的过程的流程图。

在输入图像被设置到帧缓冲器中之后，过程开始。

[步骤 S01] 输入图像的 H 与行缓冲器的大小  $1024+\alpha$  相比较。如果 H 小于  $1024+\alpha$ , 即, 允许不加任何分割执行处理, 则处理进行到后面将讨论的处理 A。如果 H 超过  $1024+\alpha$ , 则处理进行到步骤 S02。

5 [步骤 S02] 如果输入图像的像素 H 组成了具有  $1024+\alpha$  或更多像素的静态图像, 则执行处理以通过垂直地二等分输入图像来计算 H2。如果 H 为偶数, 则通过下式计算 H2:

$$H2=Int(H/2)+2 \quad (1)$$

如果 H 为奇数, 则通过下式计算 H2:

$$H2=Int(H/2)+1+2 \quad (2)$$

10 其中, “Int” 是取变量的整数部分的函数 (对分数部分舍去)。H2 由式 (1) 和 (2) 计算。

[步骤 S03] 二等分部分的水平像素数 H2 与行缓冲器的大小  $1024+\alpha$  相比较。如果 H2 超过  $1024+\alpha$ , 即, 处理不允许二等分, 则处理进行到后面将讨论的处理 B。如果 H2 小于  $1024+\alpha$ , 则处理进行到步骤 S04。

15 [步骤 S04] 由于允许对输入图像进行垂直地二等分, 因此执行下面的垂直二等分处理。首先, 用于指示被处理的分割区域的分割次数 N 的初始值被设为 0。N=0 指示分割区域 1 的处理, N=1 指示分割区域 2 的处理。

20 [步骤 S05] 输入图像的左上原点 (0, 0) 被设为数据传送源的读取起始点。另外, 与读取起始点相对应的输出图像的左上原点被设为对应的输出像素数据的写入起始点。

25 [步骤 S06] 以 H2 为单位逐行地读取与输入图像相关的像素数据, 然后将其传送到行缓冲器。即, 水平范围内由 H2 个像素组成的像素数据被垂直地逐行读取, 读取量对应于行缓冲器的空区域, 然后, 读取的像素数据被写入到行缓冲器中。

[步骤 S07] 对于传送到行缓冲器中的像素数据执行使用图像滤波器的处理, 诸如像素插值和边缘增强, 并且对于处理后的像素数据执行基于像素的操作, 诸如伽马校正和色彩空间转换, 以生成要输出的最终像素数据。

[步骤 S08] 逐行地将输出像素数据写入到帧缓冲器中，并且将由写入的像素数据组成的图像彼此耦合。即，水平范围内由 H2-4 个像素组成的输出像素数据被逐行地写入到帧缓冲器中。

5 [步骤 S09] 确定处理是否到达了最后一行。如果不是，则处理返回到步骤 S06，其中对仍未传送的剩余行重复数据传送处理。

[步骤 S10] 如果处理到达了最后一行，则递增分割次数 N。

[步骤 S11] 确定分割次数 N 是否为 2，即，处理是否到达了表示为 N=1 的分割区域 2。如果 N=2，则处理终止。如果 N=1，则对于分割区域 2 执行数据传送处理。

10 [步骤 S12] 为了传送分割区域 2 的数据，将读取起始点被移动偏量 S2，并且输入图像的坐标 (S2, 0) 被指定为读取起始点。然后，返回到步骤 S06，从以 H2 为单位逐行读取开始重复处理。通过下式利用 H 计算 S2 的值：

$$S2=\text{Int}(H/2)=2 \quad (3)$$

15 前述处理导致了垂直地二等分水平像素数范围从  $1024+\alpha$  到 2048 的输入图像，处理分割部分的这些像素，并生成要输出的最终图像。

接着，将对处理 A 给出描述。处理 A 涉及到不带任何分割地对由  $1024+\alpha$  或更少像素组成的静态图像或运动图像的处理。图 13 是图示了由根据本实施例的图像处理方法执行的不带任何分割的处理的流程图。

20 [步骤 S21] 输入图像的左上原点 (0, 0) 被设为数据传送源的读取起始点。另外，与读取起始点相对应的输出图像的左上原点被设为对应的输出像素数据的写入起始点。

25 [步骤 S22] 执行处理来以 H 为单位逐行地读取数据，然后将相关的输入图像的像素数据传送到行缓冲器。即，水平范围内由 H 个像素组成的像素数据被垂直地以逐行方式读取，读取量对应于行缓冲器的空区域。读取的像素数据被写入到行缓冲器中。

[步骤 S23] 对于传送到行缓冲器中的像素数据执行使用图像滤波器的处理，诸如像素插值和边缘增强。另外，对于处理后的像素数据执行基于像素的操作，诸如伽马校正和色彩空间转换，以生成要输出的像素数据。

[步骤 S24] 逐行地将输出像素数据写入到帧缓冲器中，并且将由写入的像素数据组成的图像彼此耦合。即，水平范围内由  $H-4$  个像素组成的输出像素数据被逐行地写入到帧缓冲器中。

5 [步骤 S25] 确定处理是否到达了最后一行。如果不是，则处理返回到  
步骤 S22，对仍未传送的剩余行重复数据传送处理。

前述处理导致了不加任何分割就处理了由  $1024+\alpha$  或更少水平像素组成的静态图像或运动图像的输入像素数据，并生成了要输出的图像。

接着，将对处理 B 给出描述。处理 B 涉及垂直地四等分由 2048 或更多像素组成的静态图像的处理。图 14 是图示了由根据本实施例的图像处理方法执行的垂直四等分处理的流程图。  
10

[步骤 S31] 如果被二等分的  $H_2$  的像素组成了具有  $1024+\alpha$  或更多像素的静态图像，则执行处理以计算垂直四等分图像的  $H_4$ 。如果  $H_2$  为偶数，则通过下式计算  $H_4$ :

$$H_4 = \text{Int}(H_2/2) + 2 \quad (4)$$

15 另一方面，如果  $H_2$  为奇数，则通过下式计算  $H_4$ :

$$H_4 = \text{Int}(H_2/2) + 1 + 2 \quad (5)$$

[步骤 S32] 四等分图像的  $H_4$  与行缓冲器的大小  $1024+\alpha$  相比较。如果  $H_4$  超过大小  $1024+\alpha$ ，即，处理不允许四等分，则处理进行到处理 C。处理 C 涉及二等分  $H_4$  并执行与四等分处理相同的处理。因而，略去关于处理 C 的描述。如果  $H_4$  小于  $1024+\alpha$ ，则处理进行到步骤 S33。  
20

[步骤 S33] 由于可通过垂直四等分处理来处理输入图像，因此执行下面的垂直四等分处理。首先，分割次数 N 被设为初始值 0。次数  $N=0$  表示分割区域 1 的处理，次数  $N=1$  表示分割区域 2 的处理，次数  $N=2$  表示分割区域 3 的处理，次数  $N=3$  表示分割区域 4 的处理。

25 [步骤 S34] 输入图像的左上原点 (0, 0) 被设为数据传送源的读取起始点。另外，与读取起始点相对应的输出图像的左上原点被设为对应的输出像素数据的写入起始点。

[步骤 S35] 以  $H_4$  为单位逐行地读取数据，使得对应的输入图像的像素数据可被传送到行缓冲器中。即，水平范围上的  $H_4$  个像素数据被垂直地

读取，读取量对应于行缓冲器的空区域，然后读取的像素数据被写入到行缓冲器中。

[步骤 S36] 对于传送到行缓冲器中的像素数据执行使用图像滤波器的处理，诸如像素插值和边缘增强，然后对于处理后的像素数据执行基于像素的操作，诸如伽马校正和色彩空间转换，以生成要输出的像素数据。

[步骤 S37] 以逐行方式将输出像素数据写入到帧缓冲器中。然后，将由写入的像素数据组成的图像彼此耦合。即，水平范围上由 H4—4 个像素组成的输出像素数据被逐行地写入到帧缓冲器中。

[步骤 S38] 确定处理是否到达了最后一行。如果不是，则处理返回到步骤 S35，对仍未传送的剩余行重复数据传送处理。

[步骤 S39] 如果处理到达了最后一行，则递增分割次数 N。

[步骤 S40] 确定分割次数 N 是否为 4，即，处理是否到达了表示为 N=3 的分割区域 4。如果确定 N=4，则处理终止。如果确定 N=1，则处理进行到步骤 S41。如果确定 N=2，则处理进行到步骤 S42。如果确定 N=15 3，则处理进行到步骤 S43。每种情况中，对于对应的分割区域执行数据传送处理。

[步骤 S41] 如果 N=1，为了传送分割区域 2 的数据，读取起始点被移动偏量 S4，且输入图像的坐标 (S4, 0) 被设为读取起始点。然后，处理返回到步骤 S35，执行以 H4 为单位逐行读取数据的处理。通过下式利用 20 H2 计算 H4 的值：

$$S4=\text{Int}(H2/2)-2 \quad (6)$$

[步骤 S42] 如果 N=2，为了传送分割区域 3 的数据，读取起始点被移动偏量 S2，且输入图像的坐标 (S2, 0) 被设为读取起始点。然后，处理返回到步骤 S35，执行以 H4 为单位逐行读取数据的处理。S2 的值由式 25 (3) 计算。

[步骤 S43] 如果 N=3，为了传送分割区域 4 的数据，读取起始点被移动偏量 S2+S4，且输入图像的坐标 (S2+S4, 0) 被设为读取起始点。然后，处理返回到步骤 S35，执行以 H4 为单位逐行读取数据的处理。S2 的值由式 (3) 计算，S4 的值由式 (6) 计算。

前述处理导致了垂直地四等分具有 2048 到 4096 水平像素的输入图像，处理四等分像素，并生成要输出的最终图像。

另外，通过对图像区域的  $2N$  分割，可通过前述处理来处理任何大小的输入图像。

5 另外，前述图像处理装置可实现为半导体设备，其中，至少包括垂直  $2N$  分割功能的图像处理功能的电路实现为半导体电路。实现为芯片上的半导体设备的图像处理装置可应用于移动电话或数码照相机。因而，该图像处理装置极大地增强了图像处理功能，而不需增大电路规模。

根据本发明，图像处理装置和方法被配置来根据存储在行缓冲器中的  
10 宽度上的水平像素数，垂直地均等分割输入图像，将每个分割区域的像素顺序地传送到行缓冲器中，处理这些像素，然后所有分割区域的将处理后的像素数据耦合为输出图像，其中，行缓冲器能够临时存储由预定多个行组成的像素数据，其中每行由预定数目的水平像素组成。如上所述，通过  
15 垂直地分割输入图像，处理分割后的矩形图像，并将这些图像耦合为一个图像，这些图像处理装置和方法能够利用宽度上水平像素数有限的行缓冲器快速地以逐行方式处理任意大小的图像。这样可以增强图像处理功能，而不需增大电路规模。

前述内容只能被认为是对本发明原理的示例说明。另外，由于本领域的技术人员很容易进行大量的修改和变化，因此并不希望将本发明限于所示和所描述的确切结构和应用，并且，所有合适的修改和等同物都可被认为落在本发明所附权利要求及其等同物的范围内。

# 说 明 书 附 图

200510064606.2

第1/18页

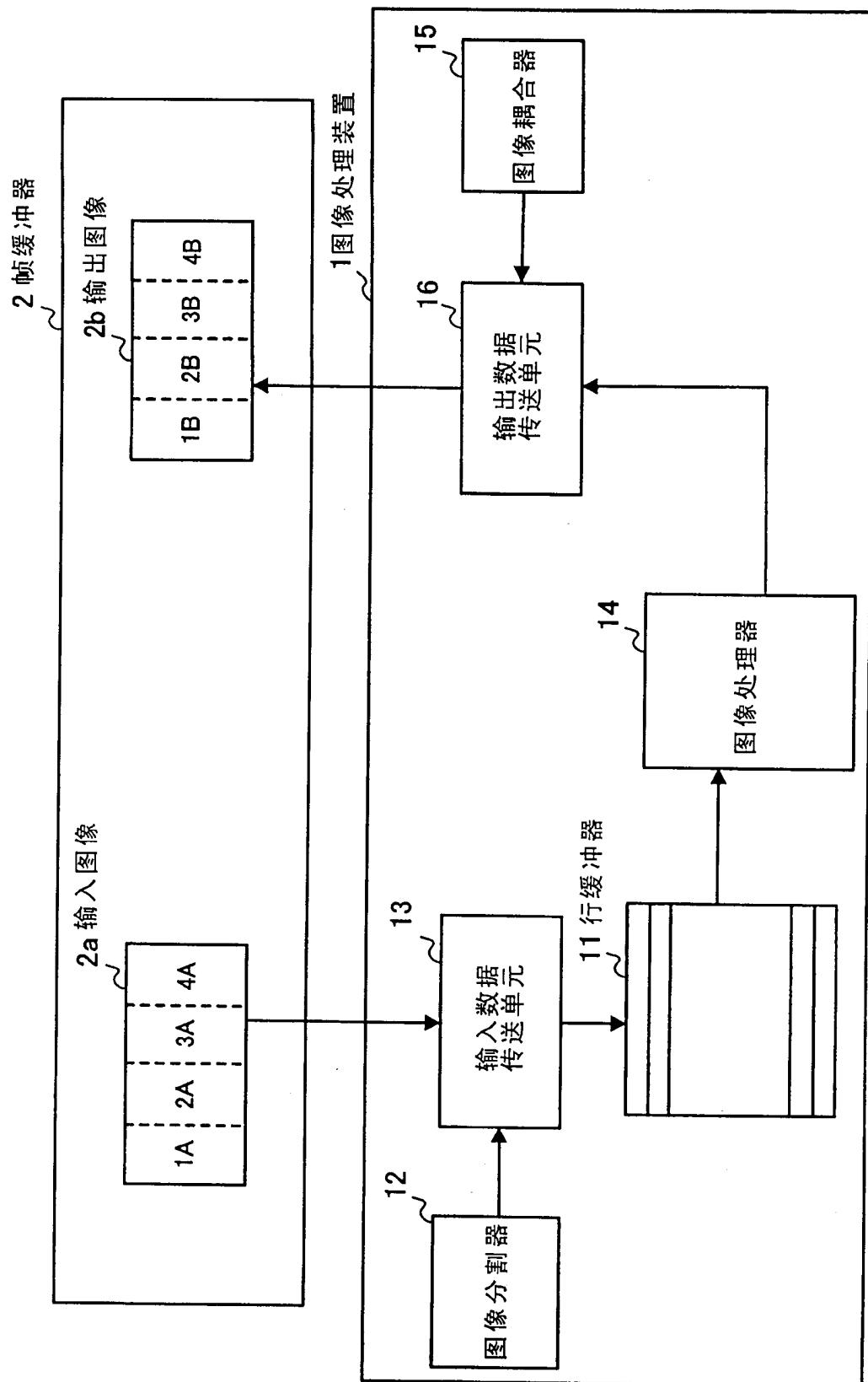


图 1

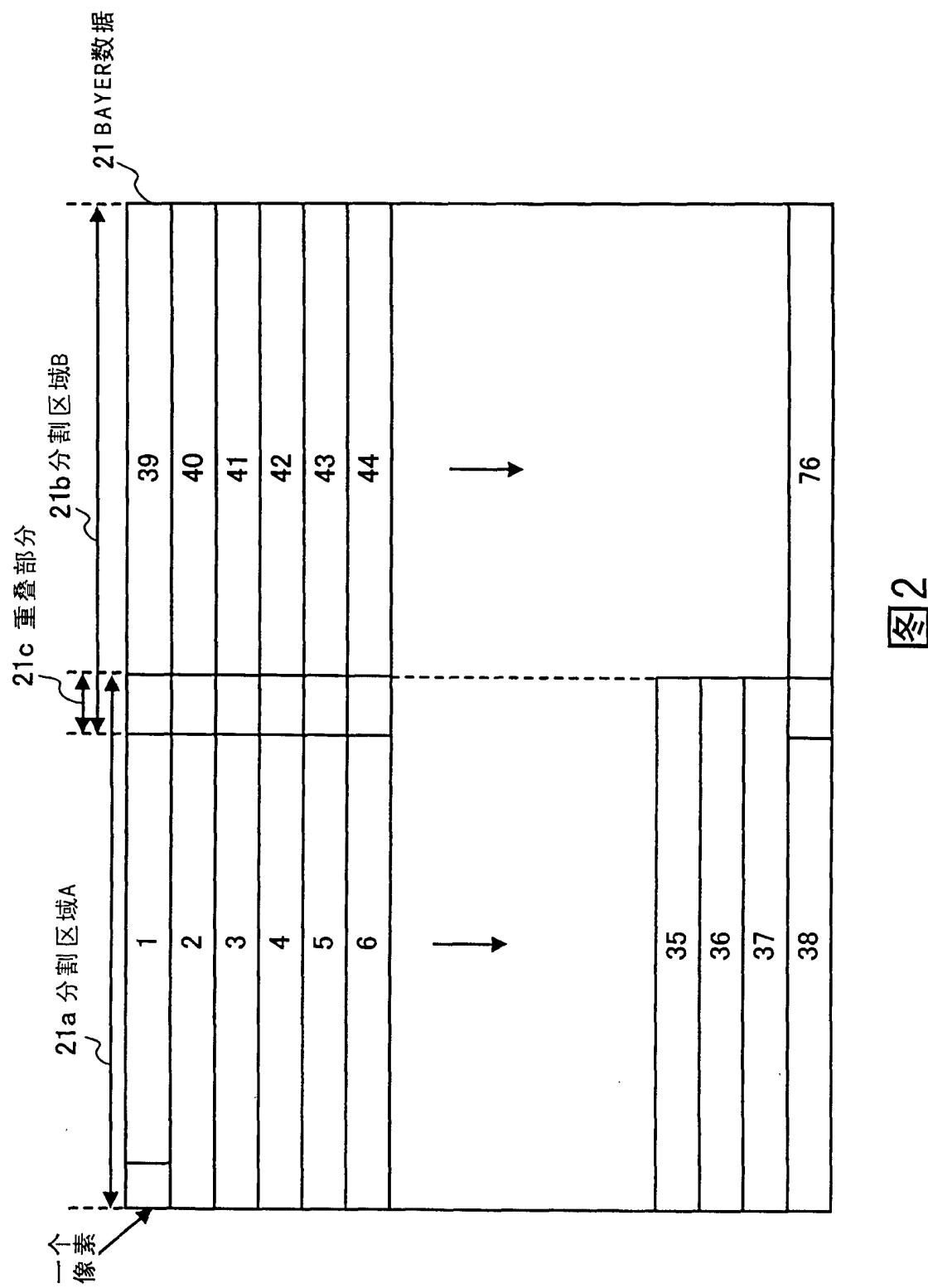


图2

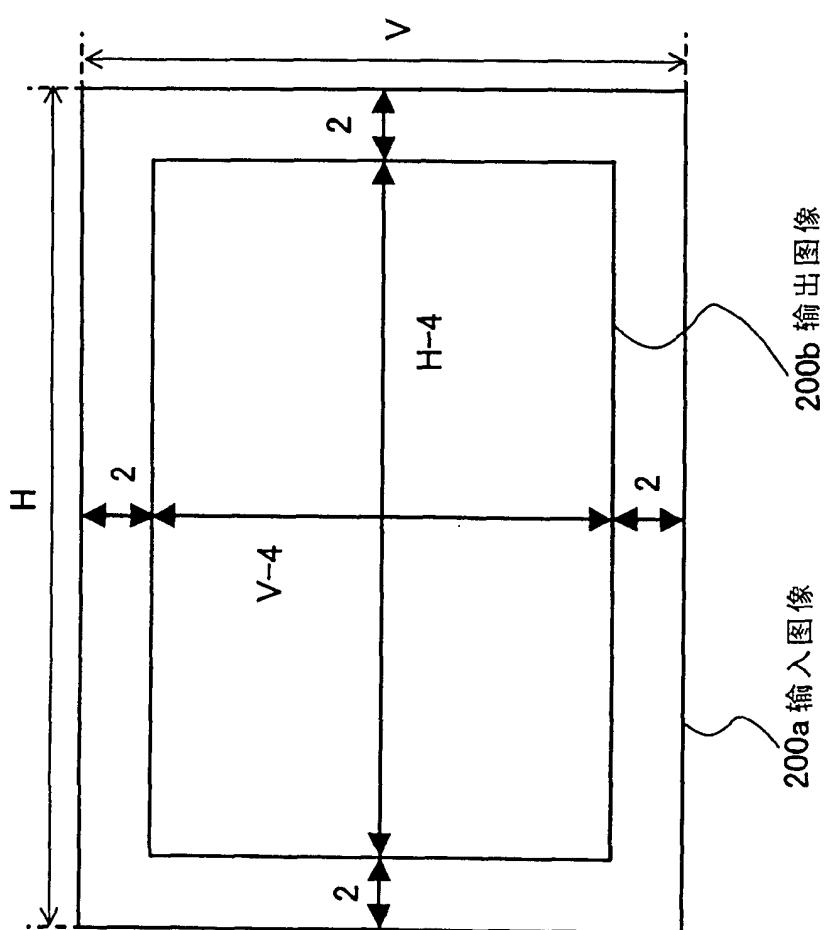


图3

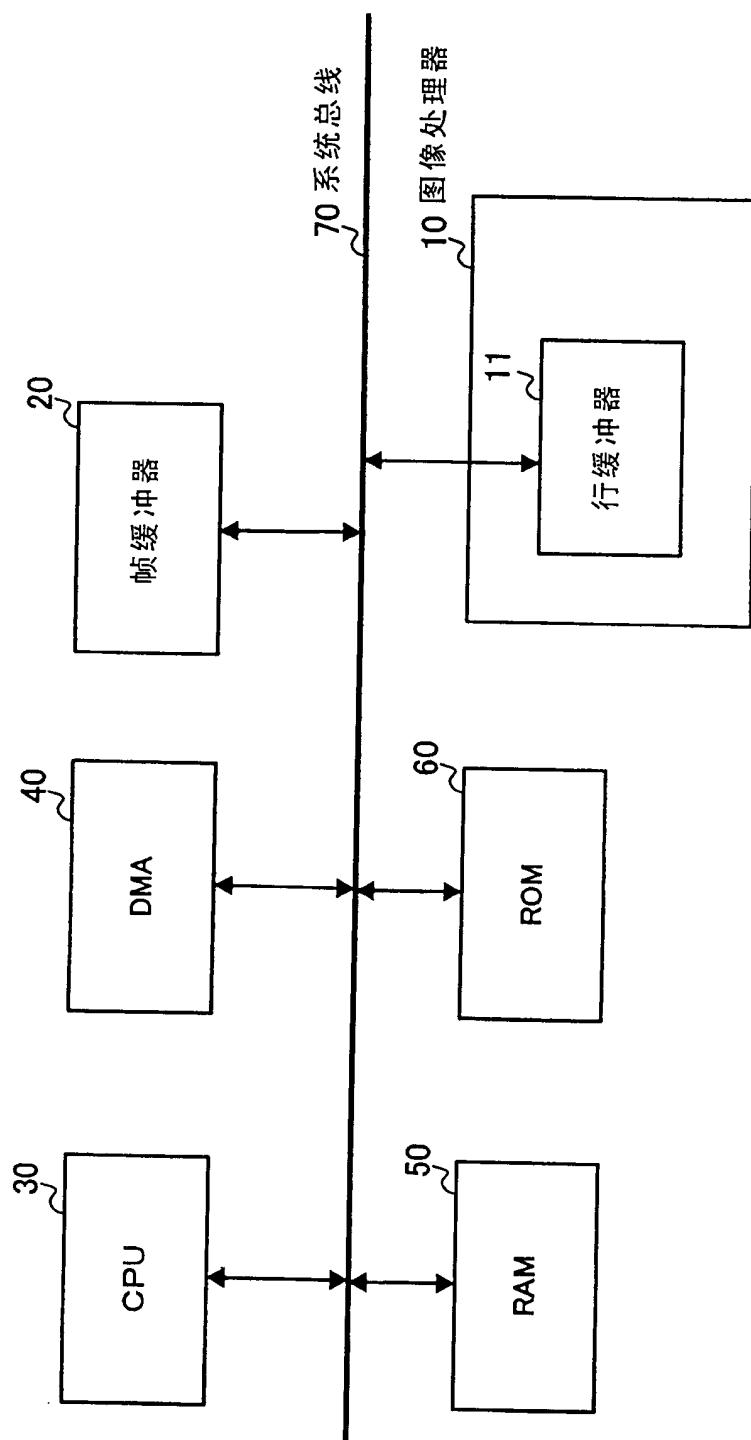
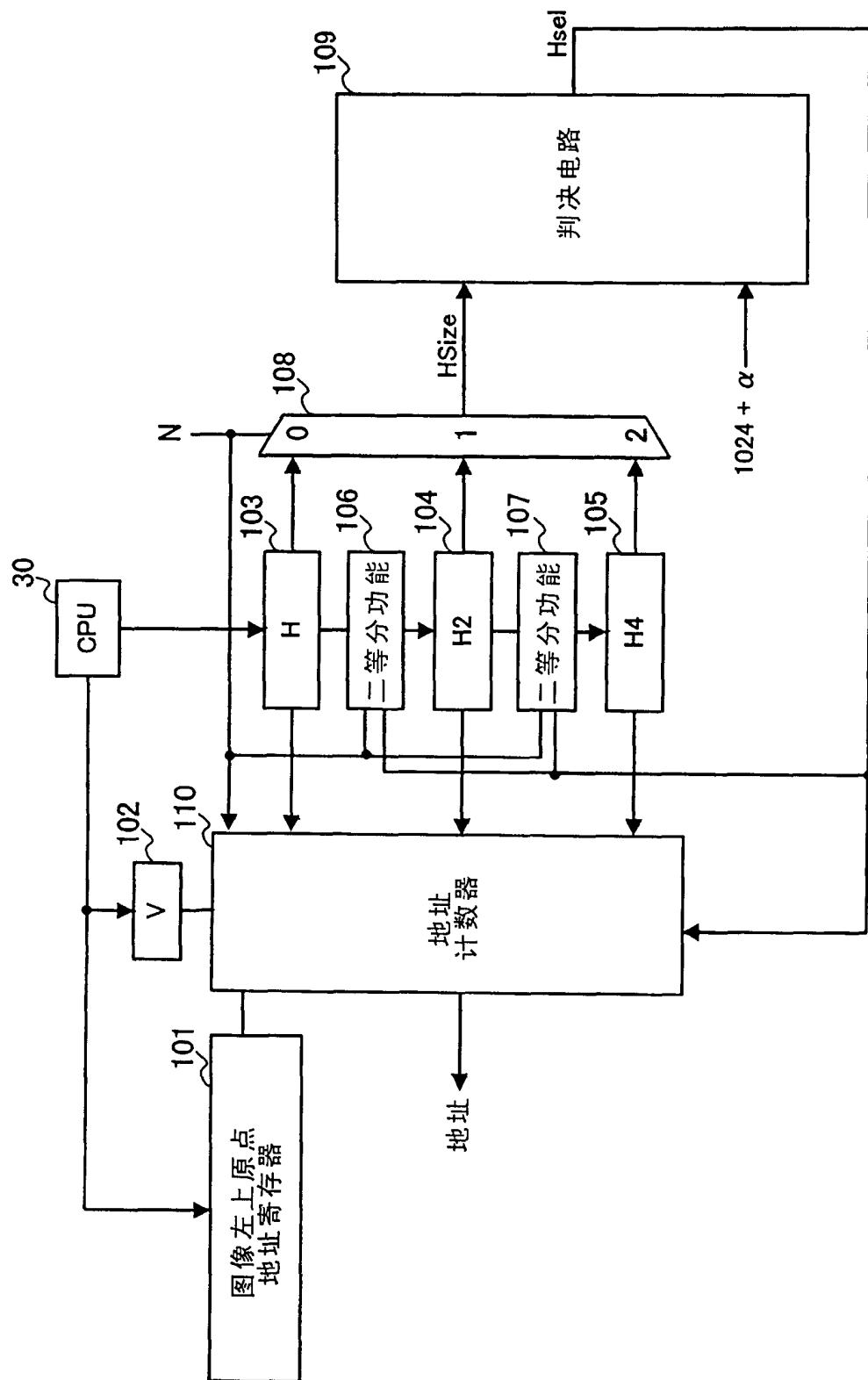


图4



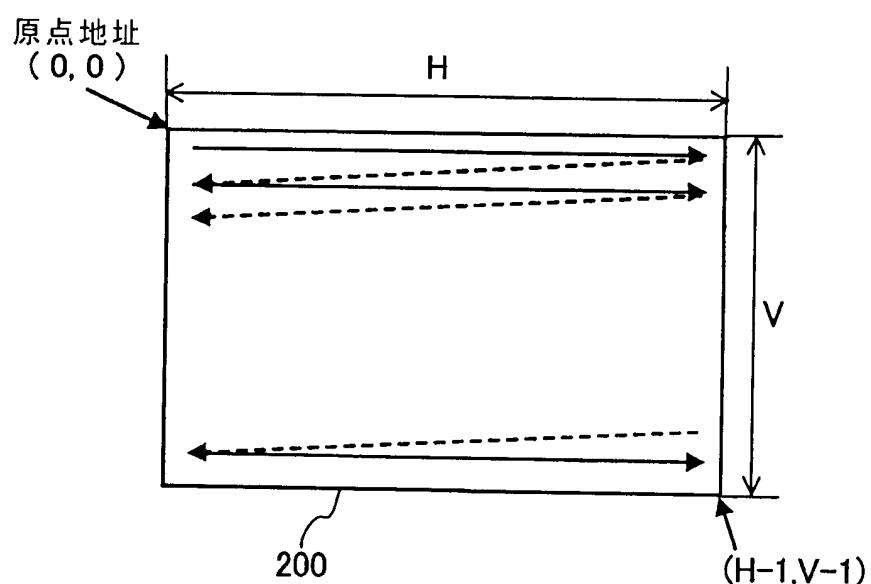


图6

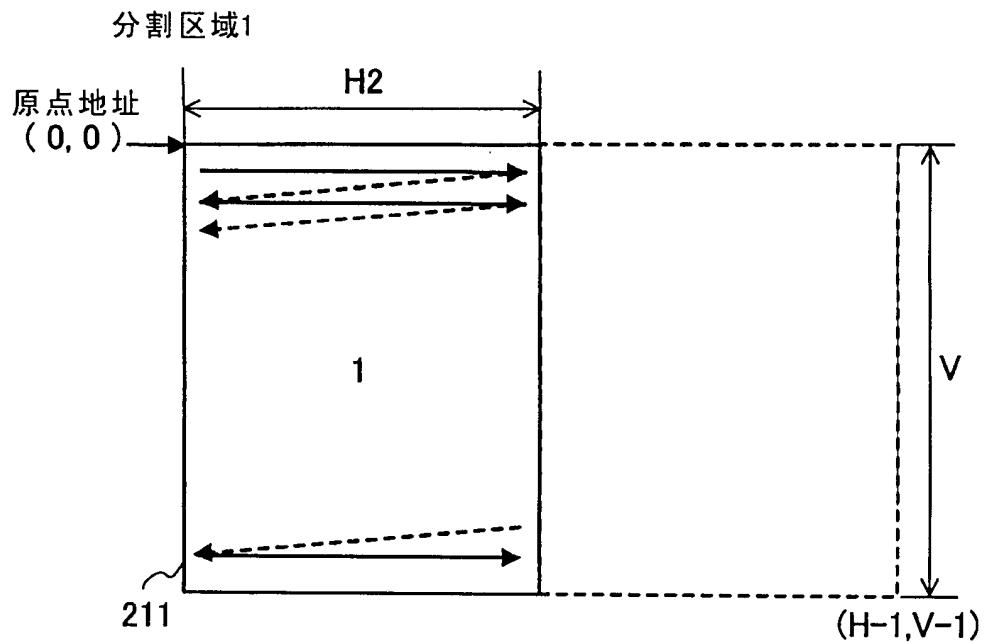


图7A

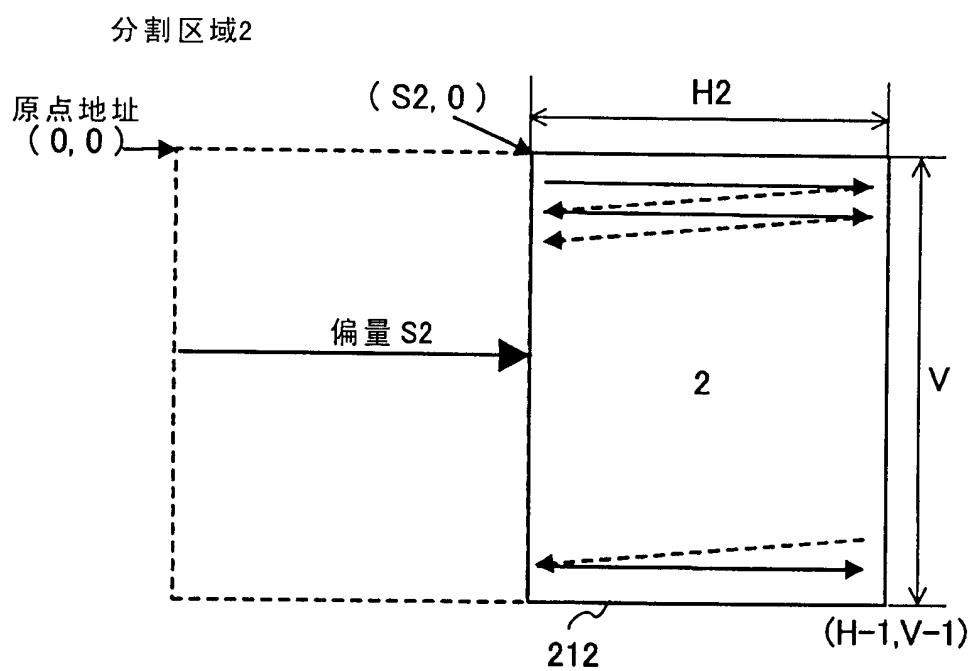


图7B

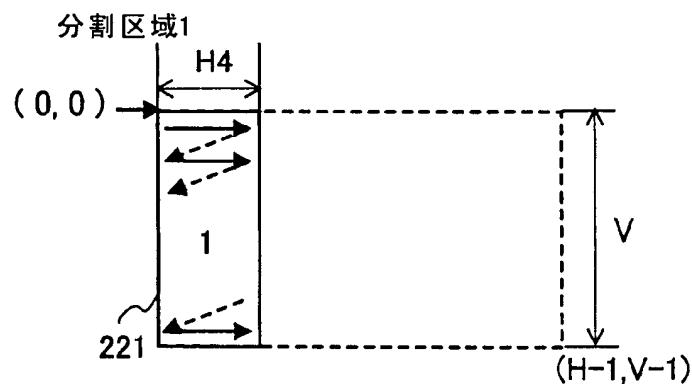


图8A

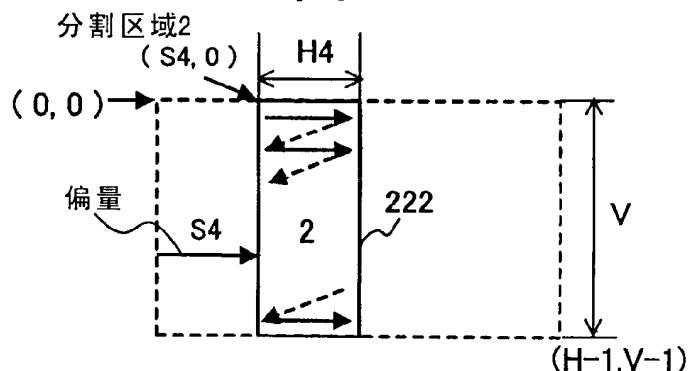


图8B

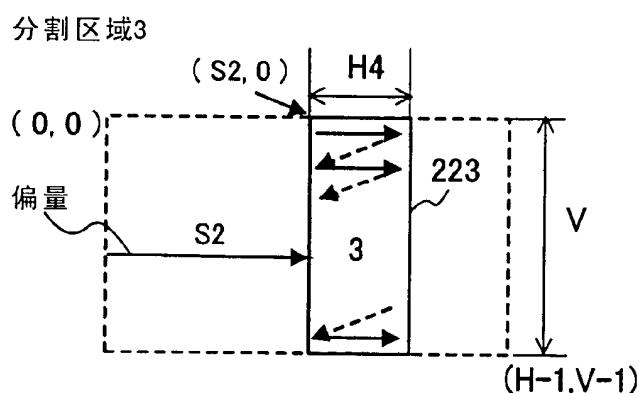


图8C

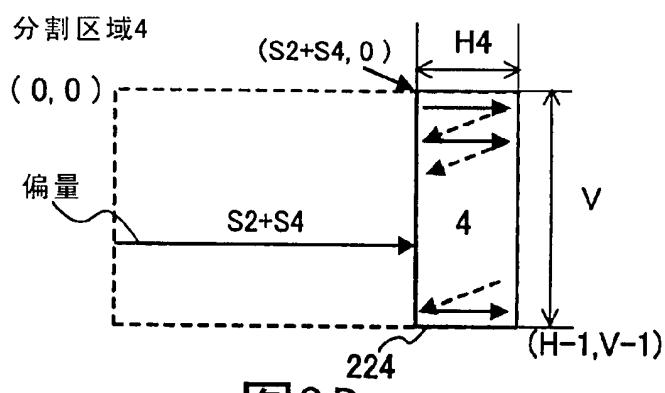


图8D

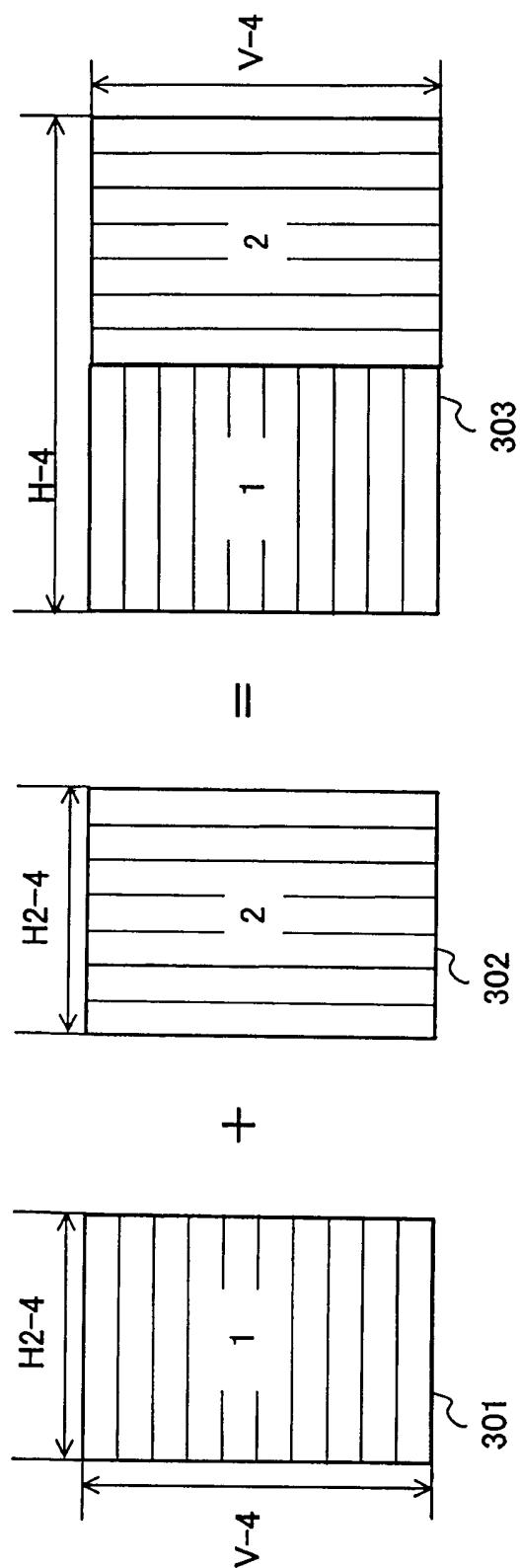
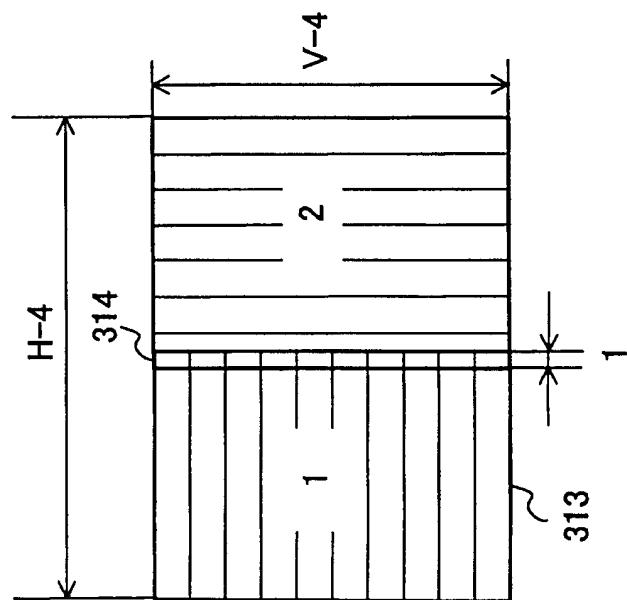
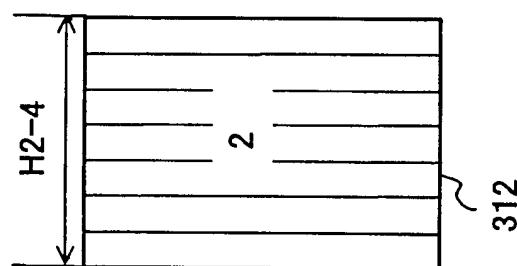


图9

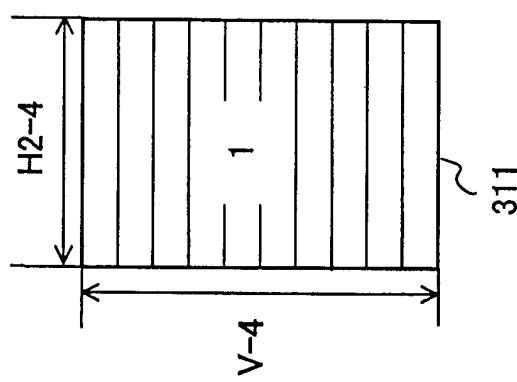


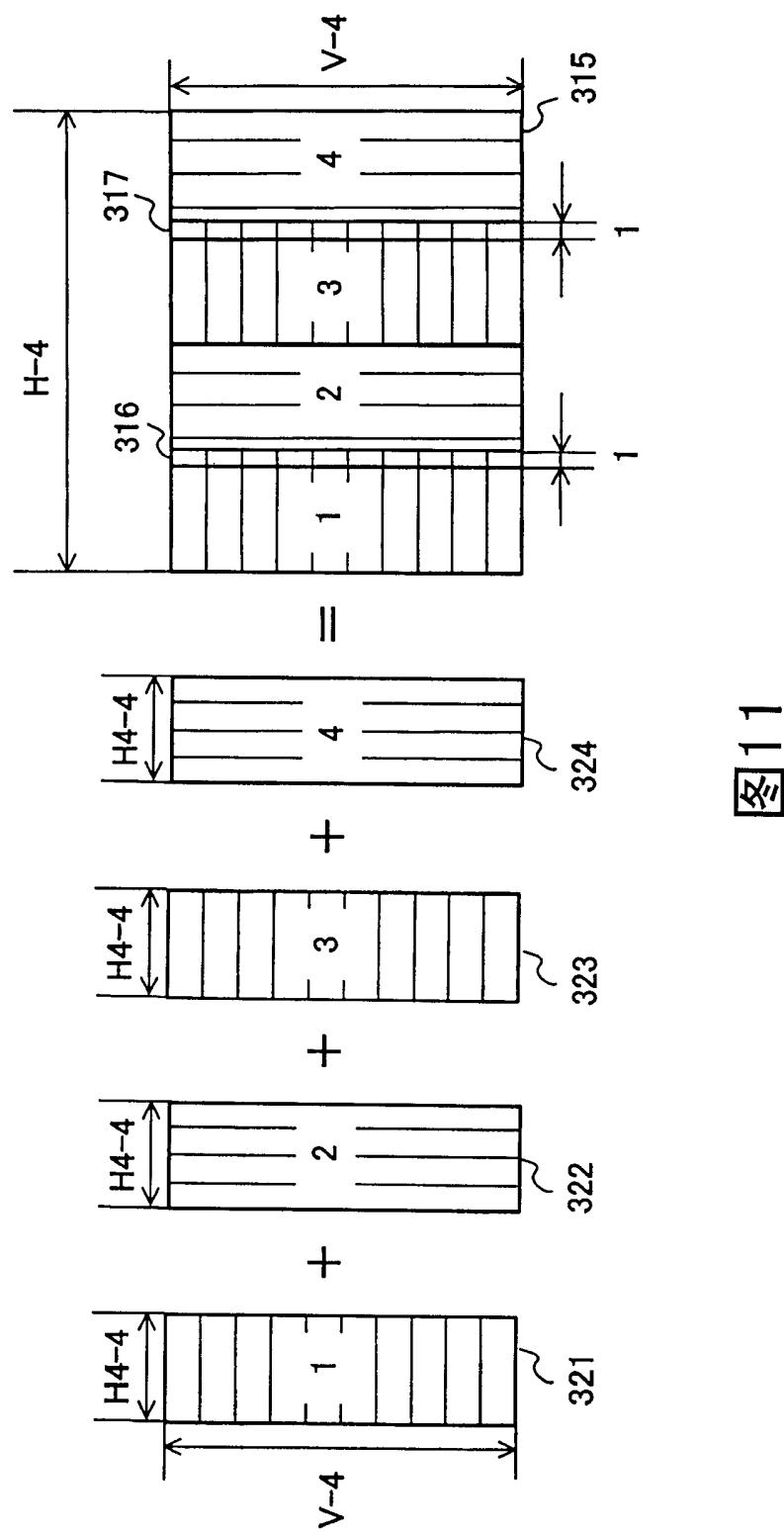
=



冬10

+





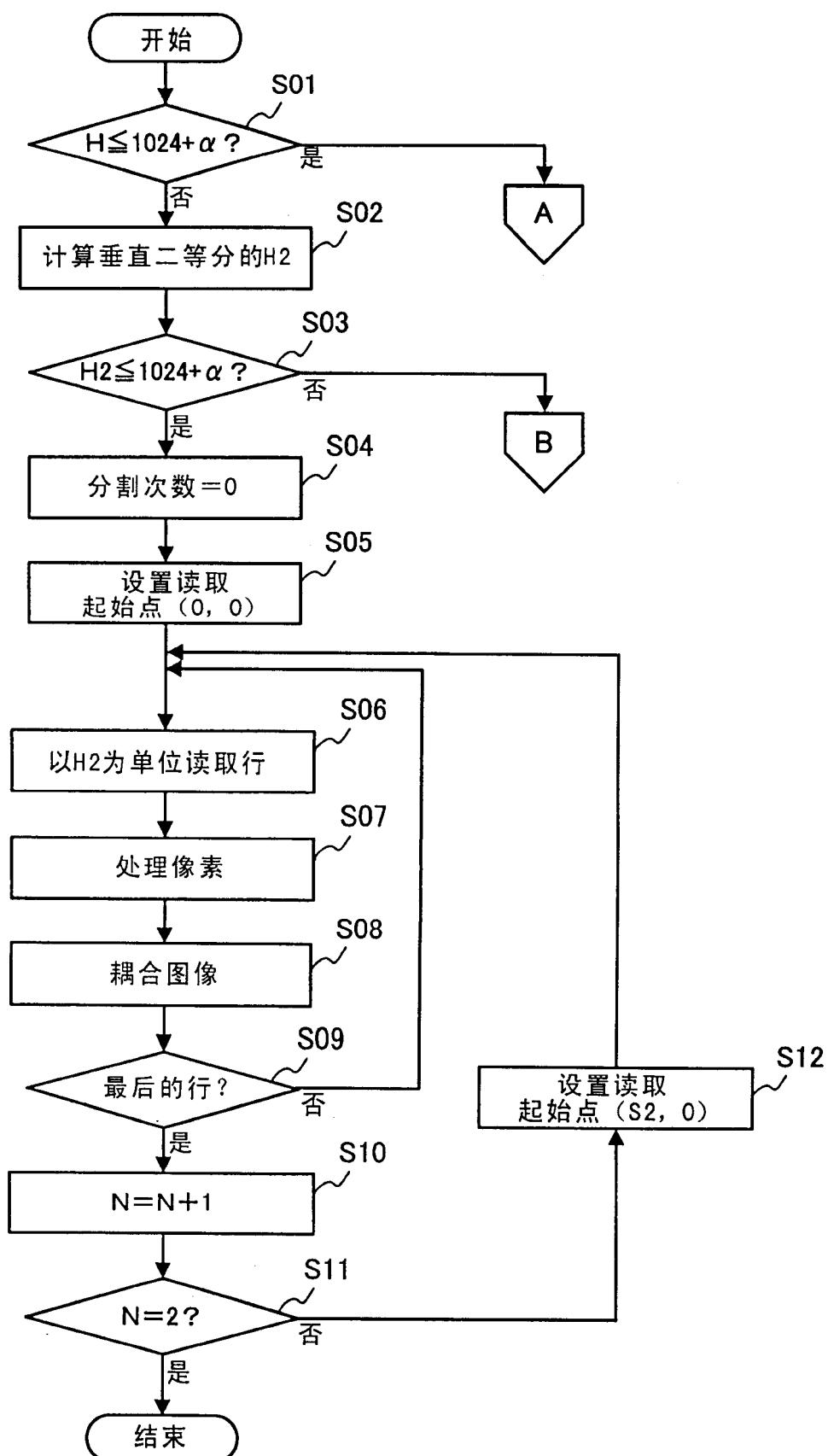


图12

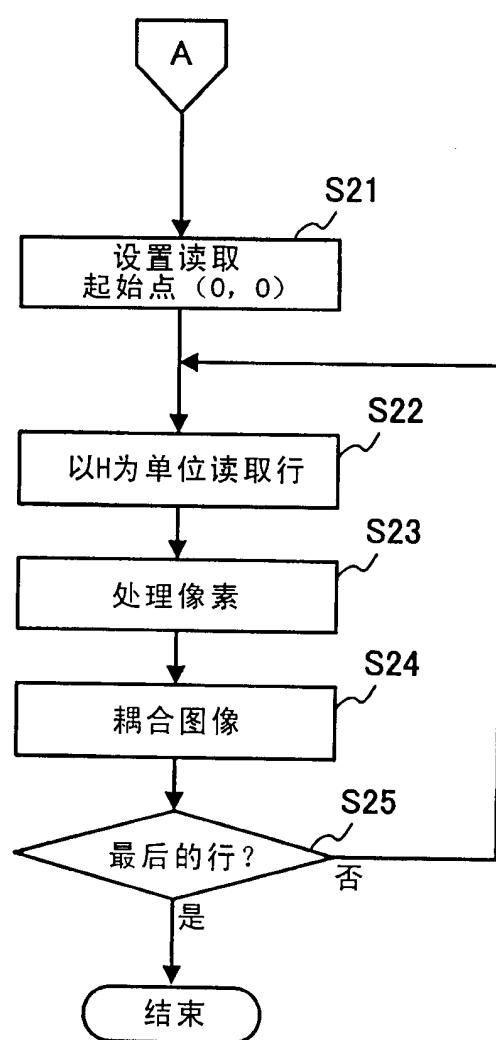


图13

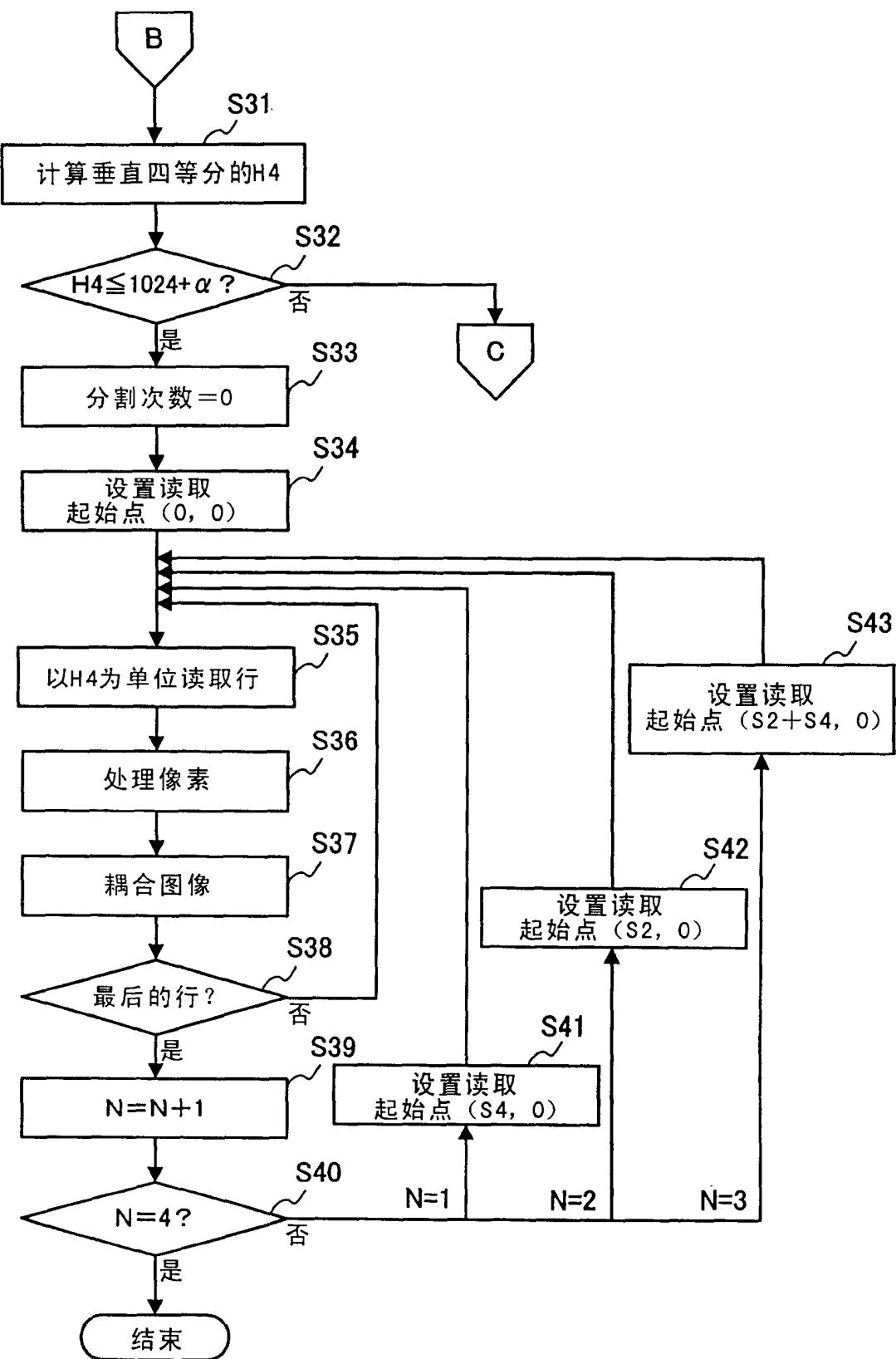


图14

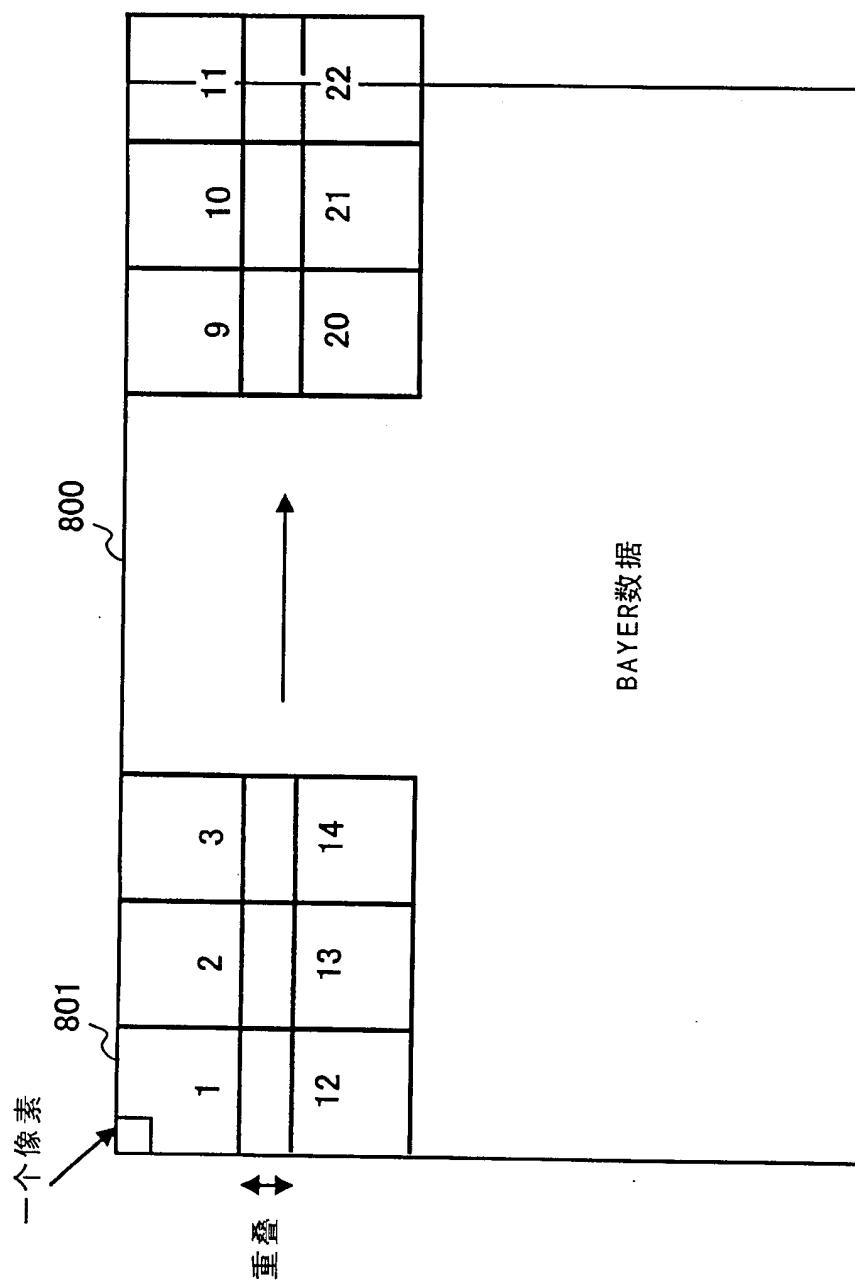
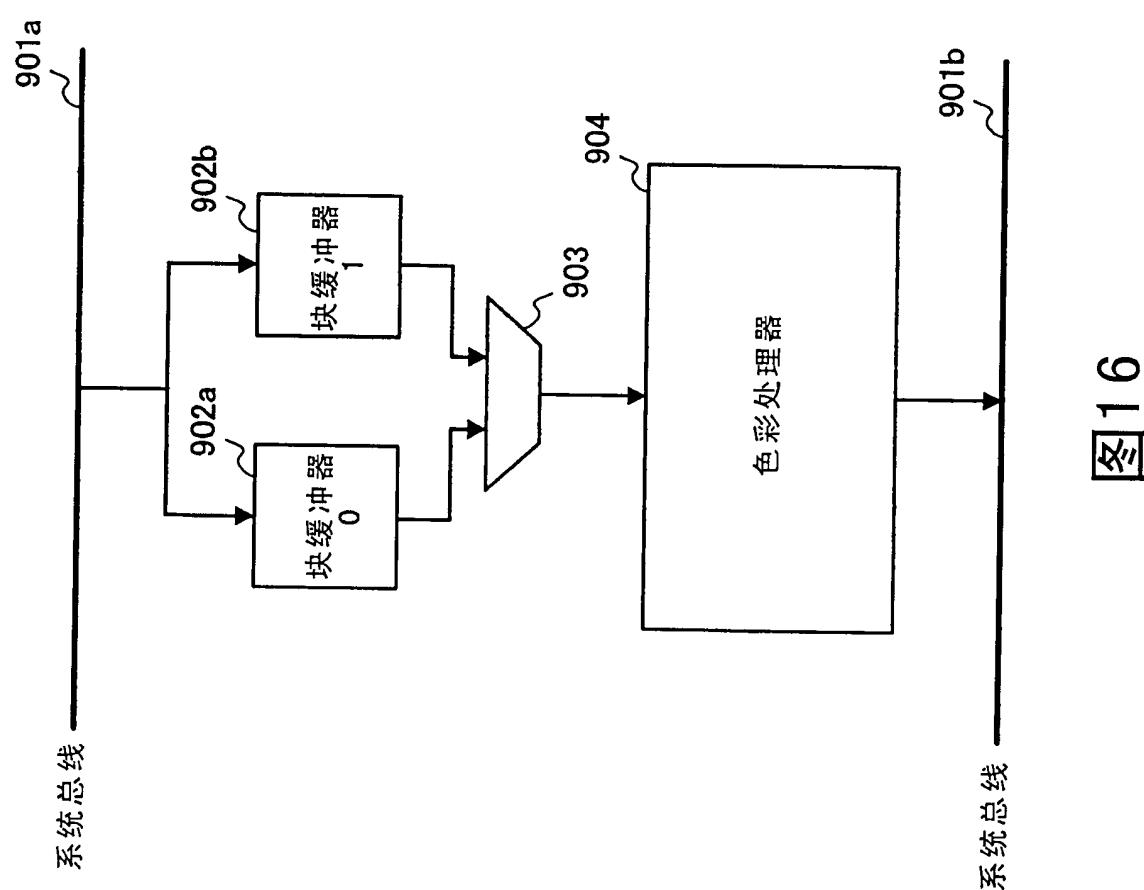


图15



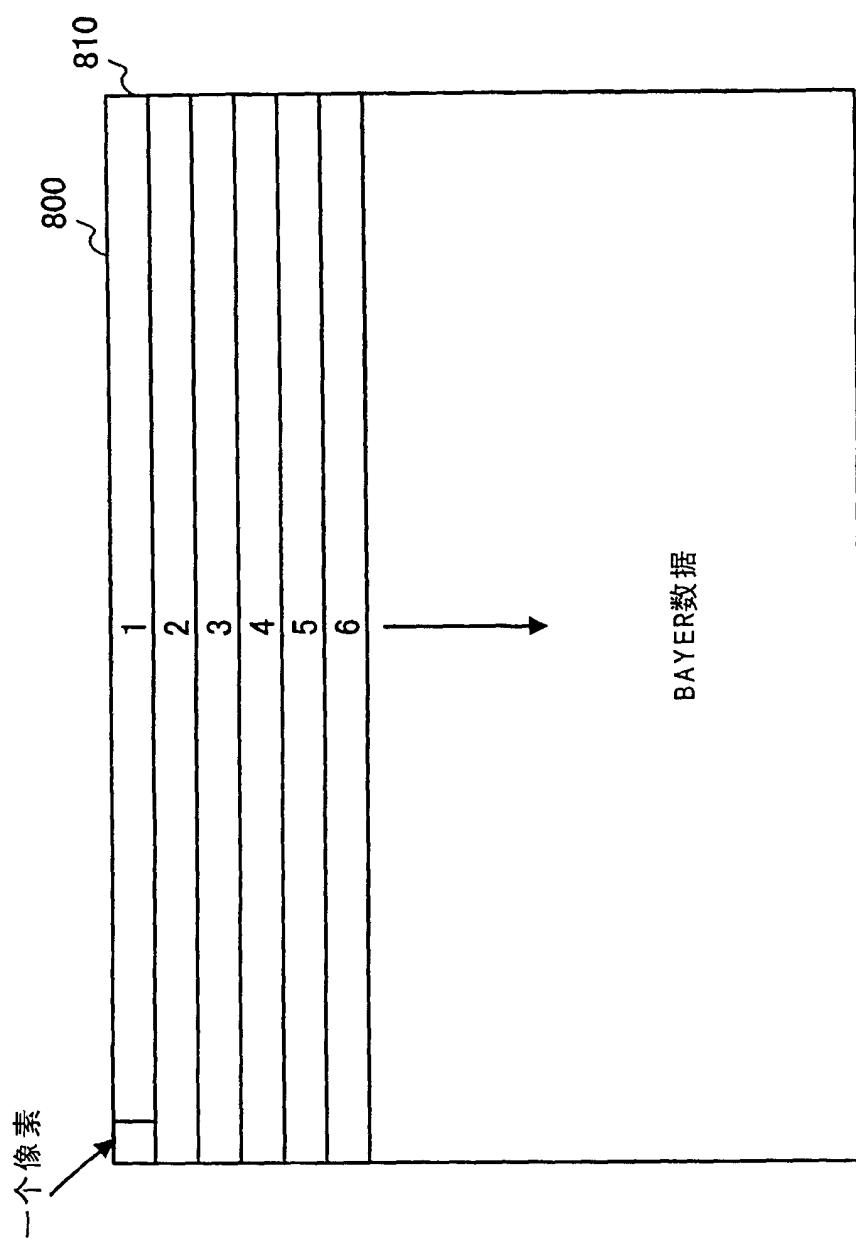


图17

