

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

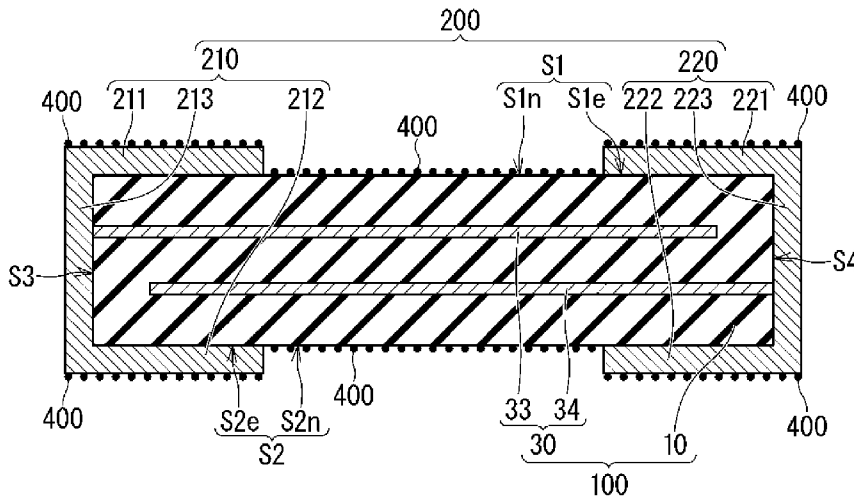
WO 2024/202709 A1

- (51) 国際特許分類:
H01G 4/30 (2006.01) H01F 27/29 (2006.01)
- (21) 国際出願番号: PCT/JP2024/006007
- (22) 国際出願日: 2024年2月20日(20.02.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-058510 2023年3月31日(31.03.2023) JP
- (71) 出願人: 日本碍子株式会社(NGK INSULATORS, LTD.) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町2番56号 Aichi (JP).
- (72) 発明者: 池田 竜介(IKEDA Ryusuke); 〒4678530 愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内 Aichi (JP). 小畑 博基(OBATA Hiroki); 〒4678530 愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内 Aichi (JP). 日比野 朝彦(HIBINO Tomohiko); 〒4678530 愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内 Aichi (JP). 小熊 勇(OGUMA Isamu); 〒4678530 愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内 Aichi (JP). 小寺 裕斗(KODERA Hiroto); 〒4678530 愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内 Aichi (JP).
- (74) 代理人: 吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区域見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: CERAMIC ELECTRONIC COMPONENT AND MANUFACTURING METHOD FOR SAME

(54) 発明の名称: セラミック電子部品およびその製造方法

701



(57) Abstract: A main body part (100) has a first surface (S1) and a second surface (S2) opposite the first surface (S1), and includes a ceramic portion (10). At least one external electrode (200) includes a first portion (211) located on the first surface (S1) of the main body part (100). Fluorine compounds (400) are present on the surface of the first portion (211) of the at least one external electrode (200).

(57) 要約: 本体部(100)は、第1の面(S1)と、第1の面(S1)と反対の第2の面(S2)と、を有し、セラミック部分(10)を含む。少なくとも1つの外部電極(200)は、本体部(100)の第1の面(S1)上に位置する第1の部分(211)を含む。少なくとも1つの外部電極(200)の第1の部分(211)の表面上にフッ素化合物(400)が存在している。



WO 2024/202709 A1

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：セラミック電子部品およびその製造方法

技術分野

[0001] 本発明は、セラミック電子部品に関するものであり、特に、外部電極を有するセラミック電子部品に関するものである。

背景技術

[0002] 特開平11-186696号公報（特許文献1）によれば、コンデンサ、コイル、抵抗、フィルターなどのセラミック電子部品の下面と、当該セラミック電子部品を基板へ実装するための結合材（具体的には、はんだ）とのなす角度が鈍角とされる。この構成は、基板への機械的ストレスに起因してのセラミック電子部品の破壊を防止することを意図している。

[0003] 国際公開第2015/066957号（特許文献2）によれば、セラミックデバイスの外部電極は、主材料としての白金等に加えて、金（Au）を含有している。この構成は、外部電極と、セラミックデバイスの実装のための低融点はんだとの間の接合に関する信頼性を高めることを意図している。これに関連して、外部電極のAu含有率が3重量%以上の場合、低融点はんだの濡れ性がよくなることも開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開平11-186696号公報

特許文献2：国際公開第2015/066957号

発明の概要

発明が解決しようとする課題

[0005] セラミック電子部品の実装に関連して、液状の樹脂材料の塗布および硬化によって樹脂膜が形成されることがある。その場合、液状の樹脂材料が適切に塗布されるか否かは、実装信頼性に影響する。これについて、これまで十分な検討がなされてきていない。

[0006] 本発明は以上のような課題を解決するためになされたものであり、その目的は、実装信頼性が高められたセラミック電子部品を提供することである。

課題を解決するための手段

[0007] 態様1は、セラミック電子部品(701~703)であって、第1の面(S1)と前記第1の面(S1)と反対の第2の面(S2)とを有し、セラミック部分(10)を含む本体部(100)と、前記本体部(100)の前記第1の面(S1)上に位置する第1の部分(211, 221, 230, 251)を含む少なくとも1つの外部電極(200)と、を備える。前記少なくとも1つの外部電極(200)の前記第1の部分(211, 221; 230; 251)の表面上にフッ素化合物(400)が存在している。

[0008] 態様2は、態様1に記載のセラミック電子部品(701~703)であって、前記少なくとも1つの外部電極(200)の前記第1の部分(211, 221; 230; 251)の表面上にフッ素化合物が、0.06以上1.18以下のピーク比で存在している。態様3は、態様1または2に記載のセラミック電子部品(701~703)であって、前記少なくとも1つの外部電極(200)の前記第1の部分(211, 221; 230; 251)の表面上にフッ素化合物が、0.10以上1.18以下のピーク比で存在している。態様4は、態様1から3のいずれか1項に記載のセラミック電子部品(701~703)であって、前記少なくとも1つの外部電極(200)の前記第1の部分(211, 221; 230; 251)の表面上にフッ素化合物が、0.20以上0.78以下のピーク比で存在している。

[0009] 態様5は、態様1から4のいずれか1項に記載のセラミック電子部品(701~703)であって、前記少なくとも1つの外部電極(200)は、前記本体部(100)の前記第2の面(S2)上に位置する第2の部分(212, 222; 240; 252, 260)を含む。

[0010] 態様6は、態様5に記載のセラミック電子部品(701)であって、前記少なくとも1つの外部電極(200)の前記第2の部分(212, 222; 240; 252, 260)の表面上にフッ素化合物(400)が存在してい

る。

- [0011] 態様7は、態様1から6のいずれか1項に記載のセラミック電子部品（701）であって、前記本体部（100）は、前記第1の面（S1）と前記第2の面（S2）とをつなぐ第3の面（S3）を有しており、前記少なくとも1つの外部電極（210）は、前記本体部（100）の前記第3の面（S3）上に位置する第3の部分（213；253）を含む。
- [0012] 態様8は、態様7に記載のセラミック電子部品（701）であって、前記本体部（100）は、前記少なくとも1つの外部電極（200）の前記第3の部分（213）につながれた第1の内部電極層（33）を有する。
- [0013] 態様9は、態様7に記載のセラミック電子部品（701）であって、前記本体部（100）は、前記第1の面（S1）と前記第2の面（S2）とをつなぐ第4の面（S4）を有しており、前記少なくとも1つの外部電極（200）は、前記本体部（100）の前記第4の面（S4）上に位置する第4の部分（223）を含む。
- [0014] 態様10は、態様9に記載のセラミック電子部品（701）であって、前記本体部（100）は、前記少なくとも1つの外部電極（200）の前記第3の部分（213）につながれた第1の内部電極層（33）と、前記少なくとも1つの外部電極（200）の前記第4の部分（223）につながれた第2の内部電極層（34）と、を有している。
- [0015] 態様11は、態様1から10のいずれか1項に記載のセラミック電子部品（701）であって、前記本体部（100）の前記第1の面（S1）は、前記少なくとも1つの外部電極（200）に被覆された第1の領域（S1e）と、前記少なくとも1つの外部電極（200）に被覆されていない第2の領域（S1n）と、を有しており、前記本体部（100）の前記第1の面（S1）の前記第2の領域（S1n）上にフッ素化合物（400）が存在している。
- [0016] 態様12は、態様1から11のいずれか1項に記載のセラミック電子部品（701～703）であって、前記少なくとも1つの外部電極（200）は

、白金を含有する電極を含む。

[0017] 態様13は、セラミック電子部品(701)の製造方法であって、外部電極(210, 220)を有するセラミック電子部品(701C)を準備する工程と、前記外部電極(210, 220)をフッ素化合物層(1002)に接触させる工程と、を備える。

[0018] なお上記各態様における括弧が付された符号は、上記各態様の理解を容易とするための例示にすぎず、上記各態様を限定するものではない。

発明の効果

[0019] 上記態様によれば、外部電極の第1の部分の表面上にフッ素化合物が存在している。このフッ素化合物の量の調整によって、外部電極の第1の部分の濡れ性を制御することができる。これにより、外部電極の濡れ性を最適化することができる。よって、セラミック電子部品の実装信頼性を高めることができる。

図面の簡単な説明

[0020] [図1]実施の形態1におけるセラミック電子部品の構成を概略的に示す断面図である。

[図2]図1のセラミック電子部品が実装され、かつ、導電性樹脂膜が最適な広がりで形成された電子機器の構成を概略的に示す部分断面図である。

[図3]図2に比して導電性樹脂膜の広がりが過小な場合を概略的に示す図である。

[図4]図2に比して導電性樹脂膜の広がりが過大な場合を概略的に示す図である。

[図5]実施の形態1におけるセラミック電子部品の製造方法の第1工程を概略的に示す部分断面図である。

[図6]実施の形態1におけるセラミック電子部品の製造方法の第2工程を概略的に示す部分断面図である。

[図7]実施の形態1におけるセラミック電子部品の製造方法の第3工程を概略的に示す部分断面図である。

[図8]実施の形態1におけるセラミック電子部品の製造方法の第4工程を概略的に示す部分断面図である。

[図9]実施の形態1におけるセラミック電子部品の製造方法の第5工程を概略的に示す部分断面図である。

[図10]実施の形態1におけるセラミック電子部品の製造方法の第6工程を概略的に示す部分断面図である。

[図11]実施例のセラミック電子部品の外部電極の表面に対するX線光電子分光法(XPS: X-ray Photoelectron Spectroscopy)の測定結果の一例を示すグラフ図である。

[図12]比較例のセラミック電子部品の外部電極の表面に対するXPSの測定結果の一例を示すグラフ図である。

[図13]図11における破線部EFの、より精密なXPS測定の結果の一例を示すグラフ図である。

[図14]図11における破線部EPの、より精密なXPS測定の結果の一例を示すグラフ図である。

[図15]表1におけるF/Ptの分布範囲を示すグラフ図である。

[図16]実施の形態2におけるセラミック電子部品の構成を概略的に示す断面図である。

[図17]実施の形態3におけるセラミック電子部品の構成を概略的に示す断面図である。

発明を実施するための形態

[0021] 以下、図面に基づいて本発明の実施の形態について説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

[0022] <実施の形態1>

図1は、実施の形態1におけるセラミック電子部品701の構成を概略的に示す断面図である。セラミック電子部品701は、積層セラミック技術を用いて製造された積層セラミック電子部品であってよい。セラミック電子部

品701は、チップ状の電子部品であってよく、例えばチップコンデンサである。セラミック電子部品701は、例えば、長さ1mm（図1における横方向の寸法、）と、厚み0.1mm（図1における縦方向の寸法）と、幅0.5mmとのサイズを有している。

[0023] セラミック電子部品701は、本体部100と、少なくとも1つの外部電極200とを有している。この少なくとも1つの外部電極200は、本実施の形態においては、第1の外部電極210および第2の外部電極220を含む複数の外部電極200である。少なくとも1つの外部電極200は、白金（Pt）を含有する電極を含んでよく、これは実質的にPtからなる電極、すなわちPt電極であってよい。ただし少なくとも1つの外部電極200の材料は、必ずしもPtを含有する必要はなく、例えば、銅、パラジウム、金、銀、ニッケル、タングステンおよびモリブデンの少なくともいずれかを含有する材料であってよい。以下においては、外部電極200がPt電極である場合について詳述する。

[0024] 本体部100は、第1の面S1と、厚み方向（図中、縦方向）において第1の面S1と反対の第2の面S2とを有している。また本体部100は、第1の面S1と第2の面S2とをつなぐ第3の面S3と、第1の面S1と第2の面S2とをつなぐ第4の面S4とを有している。第3の面S3と第4の面S4とは、図1に示されているように、長さ方向（図中、横方向）において互いに反対の面であってよい。本体部100はセラミック部分10を含む。第1の面S1および第2の面S2の各々は、図1に示されているように、セラミック部分10からなる面であってよい。言い換えれば、第1の面S1および第2の面S2は、セラミック部分10の面であってよい。セラミック部分10は、典型的には絶縁体からなる。言い換えれば、セラミック部分10は、典型的には絶縁体セラミック部分である。

[0025] 第1の外部電極210は、本体部100の第1の面S1上に位置する第1の部分211を含む。また本実施の形態においては、第1の外部電極210は、本体部100の第2の面S2上に位置する第2の部分212と、本体部

100の第3の面S3上に位置する第3の部分213とを含む。

[0026] 第2の外部電極220は、本体部100の第1の面S1上に位置する第1の部分221を含む。また本実施の形態においては、第2の外部電極220は、本体部100の第2の面S2上に位置する第2の部分222と、本体部100の第4の面S4上に位置する第4の部分223とを含む。

[0027] 本体部100は、第1の外部電極210の第3の部分213につながれた少なくとも1つの第1の内部電極層33を有してよい。また本体部100は、第2の外部電極220の第4の部分223につながれた少なくとも1つの第2の内部電極層34を有してよい。

[0028] 第1の外部電極210の第1の部分211の表面上にはフッ素化合物400が存在している。本実施の形態においては、フッ素化合物400は、第2の外部電極220の第1の部分221の表面上にも存在している。また本実施の形態においては、フッ素化合物400は、第1の外部電極210の第2の部分212の表面上と、第2の外部電極220の第2の部分222の表面上とも存在してよい。

[0029] 本実施の形態においては、本体部100の第1の面S1は、外部電極200（本実施の形態においては第1の外部電極210および第2の外部電極220）に被覆された第1の領域S1eと、外部電極200に被覆されていない第2の領域S1nとを有している。また本体部100の第2の面S2は、外部電極200に被覆された第1の領域S2eと、外部電極200に被覆されていない第2の領域S2nとを有している。

[0030] フッ素化合物400は、本体部100の第1の面S1の第2の領域S1n上にも存在してよい。またフッ素化合物400は、本体部100の第2の面S2の第2の領域S2n上にも存在してよい。単位面積当たりのフッ素化合物400の量は、外部電極200の第1の部分211, 221上に比して、第2の領域S1n上においては、より低くてよい。また単位面積当たりのフッ素化合物400の量は、外部電極200の第2の部分212, 222上に比して、第2の領域S2n上においては、より低くてよい。変形例として、

フッ素化合物400は、第2の領域S1nに存在しないようにされてよい。
またフッ素化合物400は、第2の領域S2nに存在しないようにされてよい。

[0031] 図2は、セラミック電子部品701（図1）が実装された電子機器2101の構成を概略的に示す部分断面図である。電子機器2101は、基板800と、セラミック電子部品701と、導電性樹脂膜921, 922とを含む。基板800は、絶縁体からなる基部801と、導体からなる配線部803, 804とを含む。本実施の形態においては、セラミック電子部品701の第1の外部電極210の第3の部分213は導電性樹脂膜921によって配線部803に接続されており、またセラミック電子部品701の第2の外部電極220の第4の部分223は導電性樹脂膜922によって配線部804に接続されている。

[0032] 導電性樹脂膜921, 922は、基板800へのセラミック電子部品701の実装信頼性を高く保ちつつ、第1の外部電極210および第2の外部電極220のそれぞれを配線部803および配線部804に電氣的に接続するために設けられている。導電性樹脂膜921, 922は、液状の樹脂材料の塗布と、その硬化とによって形成される。よって、導電性樹脂膜921および導電性樹脂膜922の各々の広がり、液状の樹脂材料に対するセラミック電子部品701の濡れ性に、大きく影響される。導電性樹脂膜921および導電性樹脂膜922の各々を形成するために塗布される液状の樹脂材料の量は、通常、予め定められており、例えば10マイクロリットル程度である。

[0033] 電子機器2101（図2）においては、導電性樹脂膜921および導電性樹脂膜922の各々が最適な広がりを有している。具体的には、導電性樹脂膜921が、第1の外部電極210の第1の部分211上と基板800上との各々にまで達している。同様に、保護樹脂膜912が、第2の外部電極220の第1の部分221上と基板800上との各々にまで達している。一方で、本体部100の第1の面S1上において導電性樹脂膜921と導電性樹脂膜

922とが互いに接触しておらず離されていることによって、第1の外部電極210と第2の外部電極220とが電氣的に短絡されることが避けられている。

[0034] 図3は、電子機器2101（図2）に比して、導電性樹脂膜921および導電性樹脂膜922の各々の広がりが過小な場合の電子機器2102の構成を概略的に示す部分断面図である。具体的には、導電性樹脂膜921および導電性樹脂膜922のそれぞれが、第1の外部電極210の第1の部分211上および第2の外部電極220の第1の部分221上にまで達していない。なお図示された例においては、当該広がりさがさらに過小であり、導電性樹脂膜921および導電性樹脂膜922のそれぞれが第1の外部電極210および第2の外部電極220に達していない。

[0035] 図4は、電子機器2101（図2）に比して、導電性樹脂膜921および導電性樹脂膜922の各々の広がりが過大な場合の電子機器2103を概略的に示す図である。具体的には、導電性樹脂膜921、922の各々が、第1の外部電極210および第2の外部電極220が設けられた第1の面S1上において過度に広く延びた結果、基板800近傍において導電性樹脂膜921、922の量が不足して、導電性樹脂膜921、922が基板800から離れてしまっている。その結果、導電性樹脂膜921、922は、電氣的接続のための機能を失っている。なお図示された例においては、当該広がりさがさらに過大であり、導電性樹脂膜921と導電性樹脂膜922とが第1の面S1上で互いに接触しており、よって第1の外部電極210と第2の外部電極220とが互いに電氣的に短絡される不具合が発生している。

[0036] 図5～図10は、セラミック電子部品701（図1）の製造方法の第1～第6工程を概略的に示す部分断面図である。

[0037] 図5の上側を参照して、フッ素化合物400（図1）が設けられることによってセラミック電子部品701（図1）となるセラミック電子部品701C（図5）が準備される。言い換えれば、フッ素化合物400を有しないセラミック電子部品701Cが製造される。セラミック電子部品701Cの製

造は公知の製造方法によって行われてよい。

[0038] 図5の下側を参照して、表面改質用の器具1000が準備される。器具1000は、フッ素化合物層1002（フッ素化合物部）からなる表面を有している。フッ素化合物層1002は、本実施の形態においては支持板1001（支持部）によって支持されている。フッ素化合物層1002は、例えば、バイトン（登録商標）または他のフッ素樹脂からなっていてよい。器具1000は、例えば、支持板1001上に液状フッ素エラストマーを塗布した後、この液状フッ素エラストマーを硬化することによって、フッ素化合物からなる硬化物へと変化させることによって製造されてよい。この場合、フッ素化合物層1002はエラストマー層である。

[0039] 次に図5の矢印に示されたように、セラミック電子部品701Cがフッ素化合物層1002に対向させられる。具体的には、第1の外部電極210の第1の部分211および第2の外部電極220の第1の部分221が設けられた第1の面S1が、フッ素化合物層1002に対向させられる。

[0040] 図6を参照して、第1の外部電極210の第1の部分211および第2の外部電極220の第1の部分221がフッ素化合物層1002上に配置される。具体的には、第1の外部電極210の第1の部分211および第2の外部電極220の第1の部分221とフッ素化合物層1002との接触状態が得られる。フッ素化合物層1002がエラストマー層である場合、第1の部分211および第1の部分221の表面に対応してフッ素化合物層1002が変形することによって、接触状態を、より広い面積で得ることができる。またフッ素化合物層1002の表面が粘着性を有することによって、接触状態を容易に維持することができる。この接触状態を、例えば2時間程度維持することによって、フッ素化合物層1002を材料源としての表面改質処理、すなわちフッ素付着処理が行われる。この処理は、フッ素化合物層1002を加熱することによって強めることができる。さらに図7を参照して、このフッ素付着処理によって、第1の部分211上および第1の部分221上にフッ素化合物400（図1参照）が存在するセラミック電子部品701M

が得られる。

[0041] 上記のフッ素付着処理において、セラミック部分10の第1の面S1の第2の領域S1n上にもフッ素化合物400が存在するようにされてよい。上記のフッ素付着処理の際に、フッ素化合物層1002が第2の領域S1nにも接触していてよく、その場合、第2の領域S1n上に、より多くのフッ素化合物400が形成される。この接触状態は、フッ素化合物層1002がエラストマー層であることによって得やすくなり、フッ素化合物層1002の表面が粘着性を有することによって維持されやすくなる。

[0042] 図8を参照して、セラミック電子部品701Mがフッ素化合物層1002に対向させられる。具体的には、第1の外部電極210の第2の部分212および第2の外部電極220の第2の部分222が設けられた第2の面S2がフッ素化合物層1002に対向させられる。

[0043] 図9を参照して、第1の外部電極210の第2の部分212および第2の外部電極220の第2の部分222がフッ素化合物層1002上に配置される。具体的には、第1の外部電極210の第2の部分212および第2の外部電極220の第2の部分222とフッ素化合物層1002との接触状態が得られる。フッ素化合物層1002がエラストマー層である場合、第2の部分212および第2の部分222の表面に対応してフッ素化合物層1002が変形することによって、接触状態を、より広い面積で得ることができる。またフッ素化合物層1002の表面が粘着性を有することによって、接触状態を容易に維持することができる。この接触状態を、例えば2時間程度維持することによって、フッ素化合物層1002を材料源としてのフッ素付着処理が行われる。この処理は、フッ素化合物層1002を加熱することによって強めることができる。さらに図10を参照して、このフッ素付着処理によって、第2の部分212上および第2の部分222上にもフッ素化合物400が存在するセラミック電子部品701が得られる。

[0044] なお変形例として、図7の時点でフッ素付着処理が終了されて、図8および図9の工程が省略されてもよい。その場合、電子機器用の部品として、セ

ラミック電子部品701に代わってセラミック電子部品701M(図7)が得られる。

[0045] 上記のフッ素付着処理において、セラミック部分10の第2の面S2の第2の領域S2n上にもフッ素化合物400が存在するようにされてよい。上記のフッ素付着処理の際に、フッ素化合物層1002が第2の領域S2nにも接触してよく、その場合、第2の領域S2n上に、より多くのフッ素化合物400が存在する。この接触状態は、フッ素化合物層1002がエラストマー層であることによって得やすくなり、フッ素化合物層1002の表面が粘着性を有することによって維持されやすくなる。

[0046] 図11は、セラミック電子部品701に対応した3つの試料についての(言い換えれば実施例についての)、外部電極200(具体的には、第1の外部電極210の第1の部分211)の表面に対するXPSの測定結果の一例を示すグラフ図である。なお本図の試料の各フッ素付着処理(図6および図9の各々の処理)は、80℃で2時間行われた。破線部EPは、第1の外部電極210としてのPt電極が含有するPt(白金)の4fピークの結合エネルギー(Binding Energy)に対応している。また破線部EFは、第1の外部電極210の表面上のフッ素化合物400が含有するF(フッ素)の1sピークの結合エネルギーに対応している。以下において、Ptの4fピークの実効ピーク高さに対するFの1sピークの実効ピーク高さの比のことを、F/Ptと称するものとする。なお実効ピーク高さの詳細については後述する。

[0047] 図12は、フッ素化合物400(図1を参照)を有しないセラミック電子部品701C(図5参照)である3つの試料についての、外部電極200(具体的には、第1の外部電極210の第1の部分211)の表面に対するXPSの測定結果の一例を示すグラフ図である。言い換えれば、図12は、フッ素付着処理を有しない比較例の場合のXPSの測定結果である。この測定結果においては、図11と異なり、破線部EFにおけるFの1sピークが観測されなかった。図11と図12との対比から、上述したF/Ptの値は、

外部電極 200 としての Pt 電極上におけるフッ素化合物 400 の量を表す指標として用いることができると考えられる。

[0048] 図 13 および図 14 のそれぞれは、破線部 EF および破線部 EP (図 11) の 3 つの試料 (具体的には試料 SL1 ~ SL3) についての、より精密な XPS 測定の結果の一例を示すグラフ図である。比 F/Pt を算出するための、F の 1s の実効ピーク面積高さおよび Pt の 4f の実効ピーク面積高さは、本明細書においては、具体的には、以下のように算出される。まず図 13 の XPS 測定結果を参照して、F の 1s ピークの実効ピーク高さは、1s ピークよりも低いエネルギー領域において 1s ピークに隣接する平坦部のピーク高さをバックグラウンド BG として用いることによって算出される。例えば、700 eV 近傍でのピーク高さがバックグラウンド BG として用いられる。F の 1s の最大ピーク高さ (例えば、ピーク高さ $VF1 \sim VF3$ のいずれか) からバックグラウンド BG が差し引かれることによって、その実効ピーク高さが算出される。また Pt の 4f ピークの実効ピーク高さは、4f ピークよりも低いエネルギー領域において 4f ピークに隣接する平坦部のピーク高さをバックグラウンド BG として用いることによって算出される。例えば、85 eV 近傍でのピーク高さがバックグラウンド BG として用いられる。Pt の 4f の最大ピーク高さ (例えば、ピーク高さ $VP1 \sim VP3$ のいずれか) からバックグラウンド BG が差し引かれることによって、その実効ピーク高さが算出される。

[0049] なお上記の XPS は、アルバック・ファイ株式会社の ESCA-5600ci を用いた。X線源としては、300W の Al 線源を単色化して用いた。X線のスポットサイズは直径 0.5 mm とされた。

[0050] 以下に、フッ素付着処理なしの場合と、フッ素付着処理ありであって処理温度が室温、60℃、80℃ および 100℃ の場合とにおける、セラミック電子部品が実装された電子機器 (図 2 ~ 図 4 を参照) の良品率と、 F/Pt の値とを調べた結果を、以下の表 1 に示す。なお図 15 は、この表 1 における F/Pt の分布範囲を示すグラフ図である。

[0051] [表1]

フッ素付着処理	良品率	試料番号	F/P t
処理なし	1/5	1	Fピークなし
		2	Fピークなし
		3	Fピークなし
		4	Fピークなし
		5	Fピークなし
処理あり 室温	3/5	1	0.10
		2	0.10
		3	0.14
		4	0.06
		5	0.08
処理あり 60°C	4/5	1	0.18
		2	0.12
		3	0.18
		4	0.14
		5	0.10
処理あり 80°C	5/5	1	0.78
		2	0.60
		3	0.46
		4	0.51
		5	0.20
処理あり 100°C	4/5	1	1.08
		2	1.05
		3	1.18
		4	1.06
		5	0.92

[0052] ここで、上記の良品率は、試料が実装されることによって得られた電子機器が電子機器2001（図2）に対応すれば良品とみなし、電子機器2002（図3）または電子機器2003（図4）に対応すれば不良品と見なすことによって算出された。なお上記の表においてF/P tの列における「Fピークなし」は、Fの1sピークが有意には検出されなかったことを表す。

[0053] 上記の表を参照して、「処理なし」の場合に比して「処理あり」の方が、良品率が向上していることがわかる。処理なしの場合の良品率が低い理由は、処理がなされていない表面は、表面状態が制御されておらず、よって、保護樹脂膜 9 1 1 および保護樹脂膜 9 1 2（図 2～図 4）を形成するための液状の樹脂材料に対する濡れ性のばらつきが大きいからであると考えられる。具体的には、処理がなされていない表面の濡れ性は、特段の制御なしに表面上に吸着された物質（例えば、水分または有機物）によって、大きく影響されてしまうと考えられる。なお、表 1 における「処理あり」の場合の F/P_t は、0.06 以上 1.18 以下の範囲に対応していた（図 16 も参照）。

[0054] さらに、処理温度が室温、60℃、80℃および100℃の場合を互いに対比すると、室温に比して、60℃、80℃および100℃の場合の方が、良品率が高かった。これらの場合の F/P_t は、0.10 以上 1.18 以下の範囲に対応していた（図 16 も参照）。特に 80℃ の場合に良品率が最大化されていることがわかる。この場合の F/P_t は、0.20 以上 0.78 以下の範囲に対応していた（図 16 も参照）。ここで、フッ素付着処理の温度が高いほど F/P_t が大きくなることを勘案すると、 F/P_t が過大でも過小でもない値とされたことによって濡れ性が最適化され、よって良品率が最大化されたと考えられる。具体的には、 F/P_t が過小であると、フッ素付着処理の寄与が小さいことから濡れ性の制御が不十分になりやすいと考えられる。また F/P_t が過大であると、フッ素化合物 400 の影響が過大となることによって濡れ性が低くなり過ぎることが想定される。

[0055] なお、外部電極 200 は、 P_t ではなく他の金属（以下、金属 M とも称する）からなっているもよい。その場合は、 P_t の 4 f ピークに代わって、金属 M の適切なピークを用いて、XPS 測定結果に基づいて、 F/P_t に類した比率 F/M が算出される。次に、 F/M へ補正係数 C を乗じることによって、前述のように好適な数値範囲を有するピーク比が得られる。補正係数 C は、例えば、 P_t からなる板と金属 M からなる板とに対して共通条件でフッ

素付着処理を行った後にXPSを実施することによって、実験的に容易に得ることができると考えられる。具体的には、共通条件下において共通のピーク比が得られるよう、補正係数Cが決定される。なお金属Mが、元素E_A、E_B・・・からなる合金からなる場合は、金属Mの実効ピーク高さは、元素E_Aの実効ピーク高さ+元素E_Bの実効ピーク高さ+・・・より算出されてよい。

[0056] 本実施の形態によれば、外部電極200の第1の部分211, 221の表面上にフッ素化合物400が存在する。このフッ素化合物400の量の調整によって、導電性樹脂膜921, 922を形成するための樹脂材料に対する外部電極200の第1の部分211, 221の濡れ性を制御することができる。これにより、外部電極200の濡れ性を最適化することができる。よって、セラミック電子部品701の実装信頼性を高めることができる。

[0057] なお変形例として、導電性樹脂膜921, 922の代わりに、導電性樹脂膜921, 922の形状に類した形状を有する絶縁性樹脂膜が用いられてよい。この場合さらに、第1の外部電極210と配線部803との電気的接続のための部材と、第2の外部電極220と配線部804との電気的接続のための部材とが設けられてよい。これら部材は絶縁性樹脂膜によって覆われてよい。絶縁性樹脂膜は、基板800へのセラミック電子部品701の実装信頼性を高めるために設けられる。絶縁性樹脂膜の具体的な目的は、電子機器2001の仕様によるが、典型的には、セラミック電子部品701にとっての、基板800への電気的接続箇所の保護と、基板800への機械的接続の補強との少なくともいずれかである。

[0058] この変形例において、絶縁性樹脂膜の形状が図2の導電性樹脂膜921, 922の形状に対応する場合、絶縁性樹脂膜は最適な広がりを持つ。一方で、絶縁性樹脂膜の形状が図3または図4の導電性樹脂膜921, 922の形状に対応する場合、絶縁性樹脂膜が保護すべき部分が保護されない。

[0059] 絶縁性樹脂膜は、意図しない電気的接続を招くことを避ける観点では、絶縁体からなることが好ましく、例えばエポキシ樹脂からなる。絶縁性樹脂膜は、液状の樹脂材料の塗布と、その硬化とによって形成される。よって、絶

縁性樹脂膜の各々の広がり、液状の樹脂材料に対するセラミック電子部品701の濡れ性に、大きく影響される。絶縁性樹脂膜の各々を形成するために塗布される液状の樹脂材料の量は、通常、予め定められており、例えば10マイクロリットル程度である。

[0060] <実施の形態2>

図16は、本実施の形態2におけるセラミック電子部品702の構成を概略的に示す断面図である。セラミック電子部品702は、少なくとも1つの外部電極200として、第1の外部電極210および第2の外部電極220（図2）に代わって、第1の外部電極230および第2の外部電極240を有している。第1の外部電極230は、第1の面S1上に配置されており、図示された例においては第1の面S1の実質的に全体に配置されている。第1の外部電極230は、第1の面S1以外の面上には、配置されている必要はない。第2の外部電極240は、第2の面S2上に配置されており、図示された例においては、第2の面S2の実質的に全体に配置されている。第2の外部電極240は、第2の面S2以外の面上には、配置されている必要はない。また本実施の形態においては、内部電極層33, 34（図2）も必要ではない。

[0061] なお、上記以外の構成については、上述した実施の形態1の構成とほぼ同じであるため、同一または対応する要素について同一の符号を付し、その説明を繰り返さない。

[0062] <実施の形態3>

図17は、本実施の形態3におけるセラミック電子部品703の構成を概略的に示す断面図である。セラミック電子部品703は、少なくとも1つの外部電極200として、第1の外部電極210および第2の外部電極220（図2）に代わって、第1の外部電極250および第2の外部電極260を有している。

[0063] 第1の外部電極210は、本体部100の第1の面S1上に位置する第1の部分251を含む。また本実施の形態においては、第1の外部電極210

は、本体部 100 の第 2 の面 S2 上に位置する第 2 の部分 252 と、本体部 100 の第 3 の面 S3 の一部の上に位置する第 3 の部分 253 とを含む。第 1 の部分 251 は、図示された例においては第 1 の面 S1 の実質的に全体に配置されている。

[0064] 第 2 の外部電極 260 は、第 2 の面 S2 上において第 1 の外部電極 250 から離されて配置されている。第 2 の外部電極 260 は、第 2 の面 S2 以外の面上には、配置されている必要はない。また本実施の形態においては、内部電極層 33, 34 (図 2) も必要ではない。

[0065] なお、上記以外の構成については、上述した実施の形態 1 の構成とほぼ同じであるため、同一または対応する要素について同一の符号を付し、その説明を繰り返さない。

[0066] 上記の各実施の形態および各変形例で説明された各構成は、相互に矛盾しない限り適宜組み合わせたり、省略したりすることができる。

符号の説明

- [0067] 10 : セラミック部分
33, 34 : 第 1 および第 2 の内部電極層
100 : 本体部
200 : 外部電極
210, 230, 250 : 第 1 の外部電極
211, 221, 251 : 第 1 の部分
212, 222, 252 : 第 2 の部分
213, 253 : 第 3 の部分
220, 240, 260 : 第 2 の外部電極
223 : 第 4 の部分
400 : フッ素化合物
701 ~ 703 : セラミック電子部品
800 : 基板
801 : 基部

803, 804 : 配線部

921, 922 : 導電性樹脂膜

1002 : フッ素化合物層

2101 : 電子機器

S1~S4 : 第1~第4の面

S1e, S2e : 第1の領域

S1n, S2n : 第2の領域

請求の範囲

- [請求項1] 第1の面と前記第1の面と反対の第2の面とを有し、セラミック部分を含む本体部と、
前記本体部の前記第1の面上に位置する第1の部分を含む少なくとも1つの外部電極と、
を備え、
前記少なくとも1つの外部電極の前記第1の部分の表面上にフッ素化合物が存在している、セラミック電子部品。
- [請求項2] 請求項1に記載のセラミック電子部品であって、前記少なくとも1つの外部電極の前記第1の部分の表面上にフッ素化合物が、0.06以上1.18以下のピーク比で存在している、セラミック電子部品。
- [請求項3] 請求項2に記載のセラミック電子部品であって、前記少なくとも1つの外部電極の前記第1の部分の表面上にフッ素化合物が、0.10以上1.18以下のピーク比で存在している、セラミック電子部品。
- [請求項4] 請求項3に記載のセラミック電子部品であって、前記少なくとも1つの外部電極の前記第1の部分の表面上にフッ素化合物が、0.20以上0.78以下のピーク比で存在している、セラミック電子部品。
- [請求項5] 請求項1に記載のセラミック電子部品であって、前記少なくとも1つの外部電極は、前記本体部の前記第2の面上に位置する第2の部分を含む、セラミック電子部品。
- [請求項6] 請求項5に記載のセラミック電子部品であって、前記少なくとも1つの外部電極の前記第2の部分の表面上にフッ素化合物が存在している、セラミック電子部品。
- [請求項7] 請求項1から6のいずれか1項に記載のセラミック電子部品であって、
前記本体部は、前記第1の面と前記第2の面とをつなぐ第3の面を有しており、
前記少なくとも1つの外部電極は、前記本体部の前記第3の面上に

位置する第3の部分を含む、セラミック電子部品。

[請求項8] 請求項7に記載のセラミック電子部品であって、前記本体部は、前記少なくとも1つの外部電極の前記第3の部分につながれた第1の内部電極層を有する、セラミック電子部品。

[請求項9] 請求項7に記載のセラミック電子部品であって、
前記本体部は、前記第1の面と前記第2の面とをつなぐ第4の面を有しており、

前記少なくとも1つの外部電極は、前記本体部の前記第4の面上に位置する第4の部分を含む、セラミック電子部品。

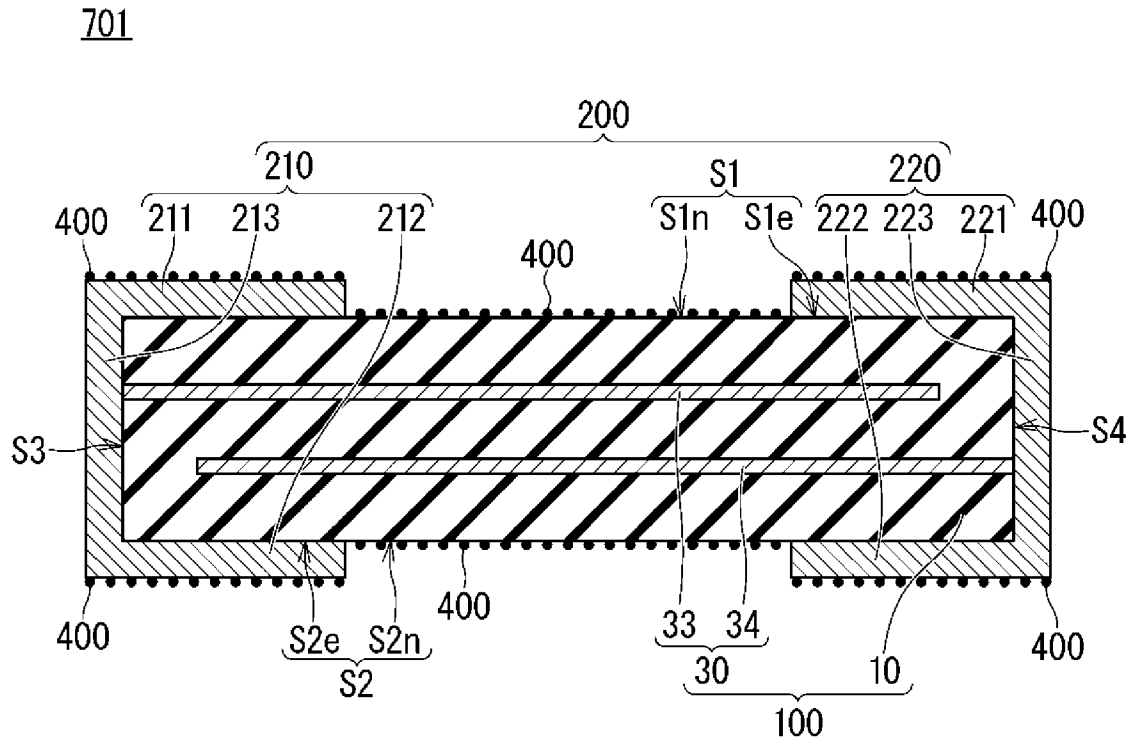
[請求項10] 請求項9に記載のセラミック電子部品であって、前記本体部は、前記少なくとも1つの外部電極の前記第3の部分につながれた第1の内部電極層と、前記少なくとも1つの外部電極の前記第4の部分につながれた第2の内部電極層と、を有している、セラミック電子部品。

[請求項11] 請求項1から6のいずれか1項に記載のセラミック電子部品であって、前記本体部の前記第1の面は、前記少なくとも1つの外部電極に被覆された第1の領域と、前記少なくとも1つの外部電極に被覆されていない第2の領域と、を有しており、前記本体部の前記第1の面の前記第2の領域上にフッ素化合物が存在している、セラミック電子部品。

[請求項12] 請求項1から6のいずれか1項に記載のセラミック電子部品であって、前記少なくとも1つの外部電極は、白金を含有する電極を含む、セラミック電子部品。

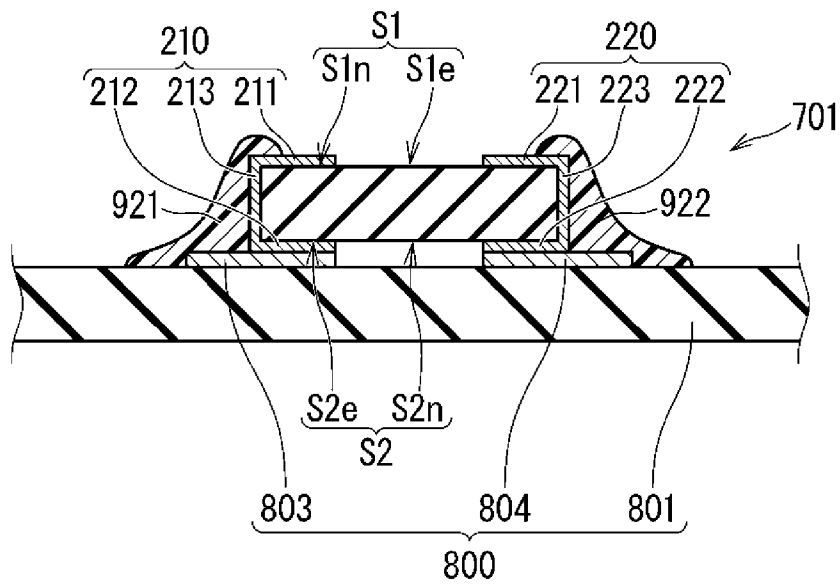
[請求項13] 外部電極を有するセラミック電子部品を準備する工程と、
前記外部電極をフッ素化合物層に接触させる工程と、
を備える、セラミック電子部品の製造方法。

[図1]



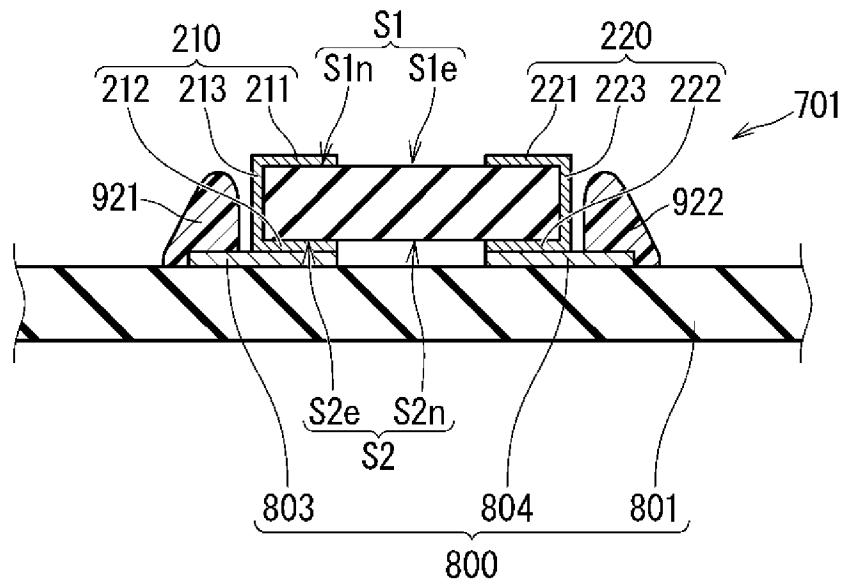
[図2]

2101



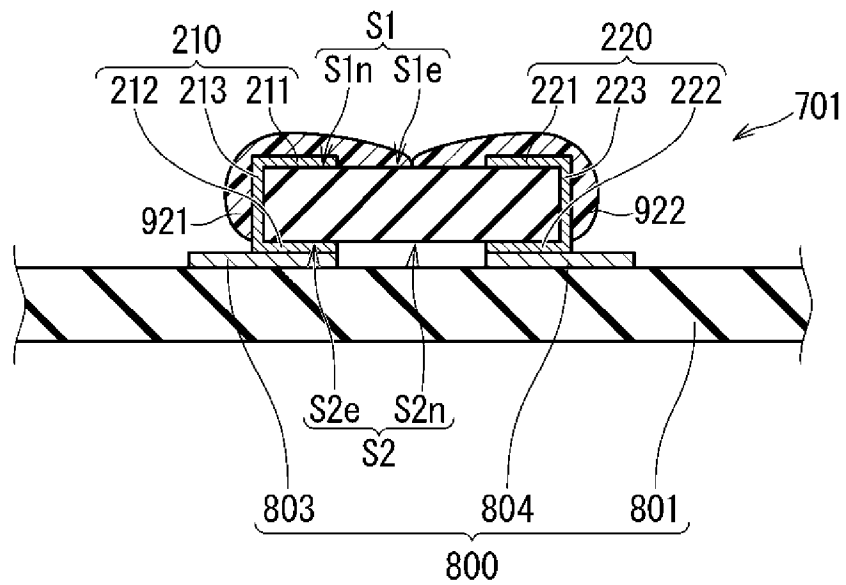
[図3]

2102

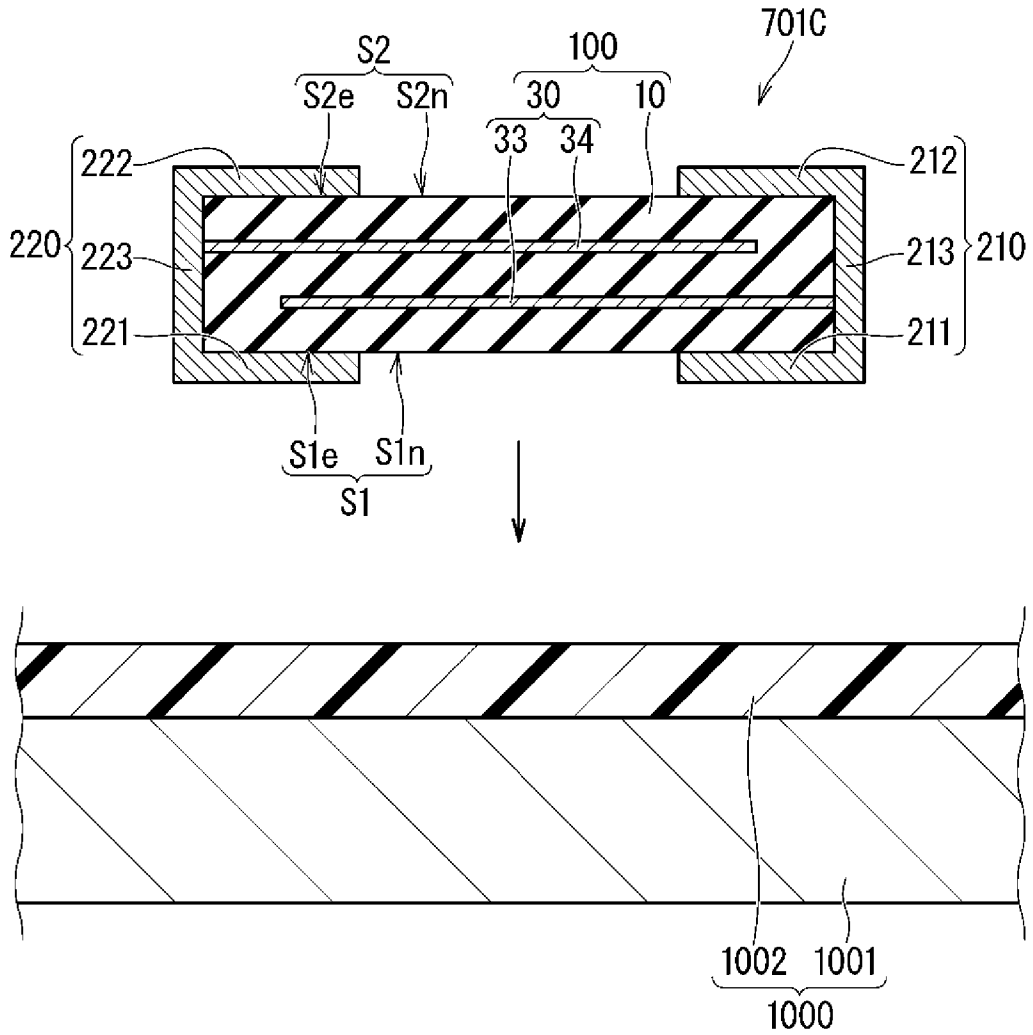


[図4]

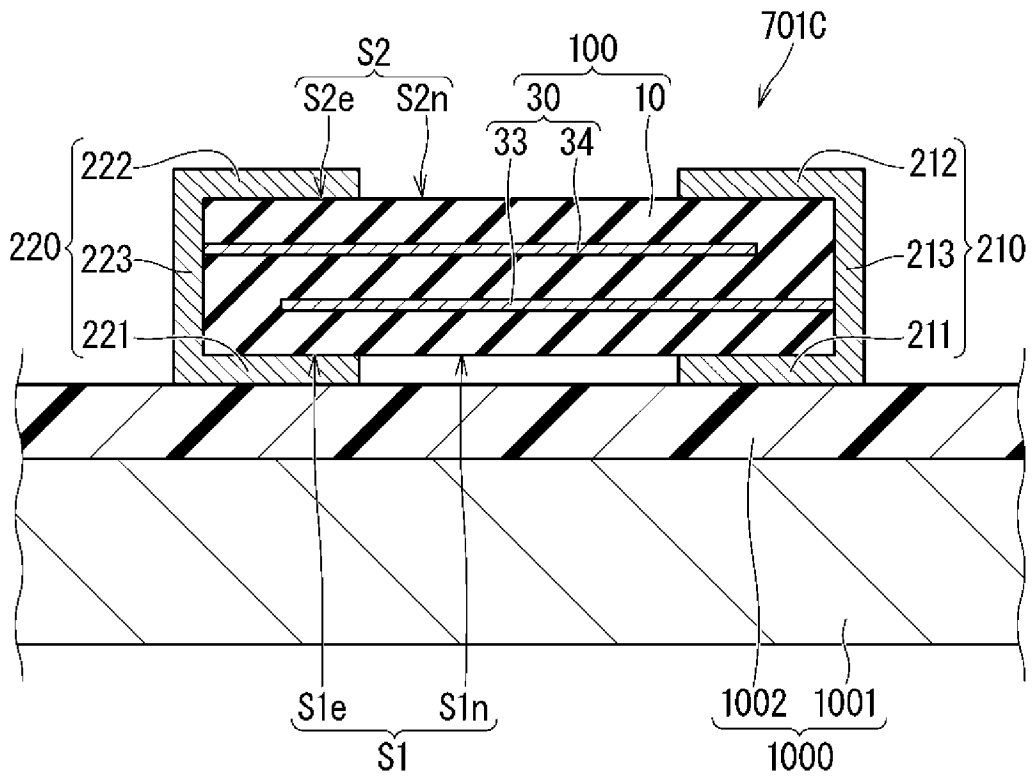
2103



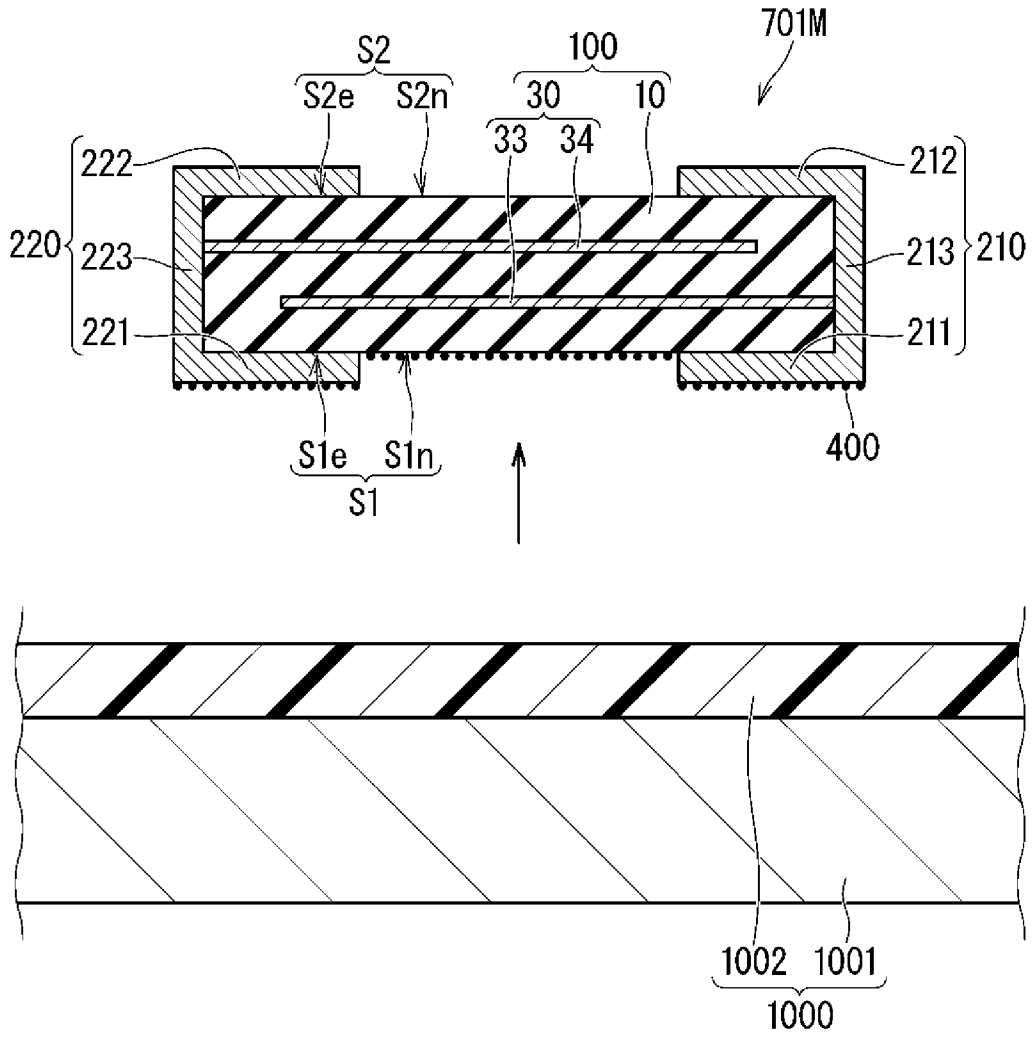
[図5]



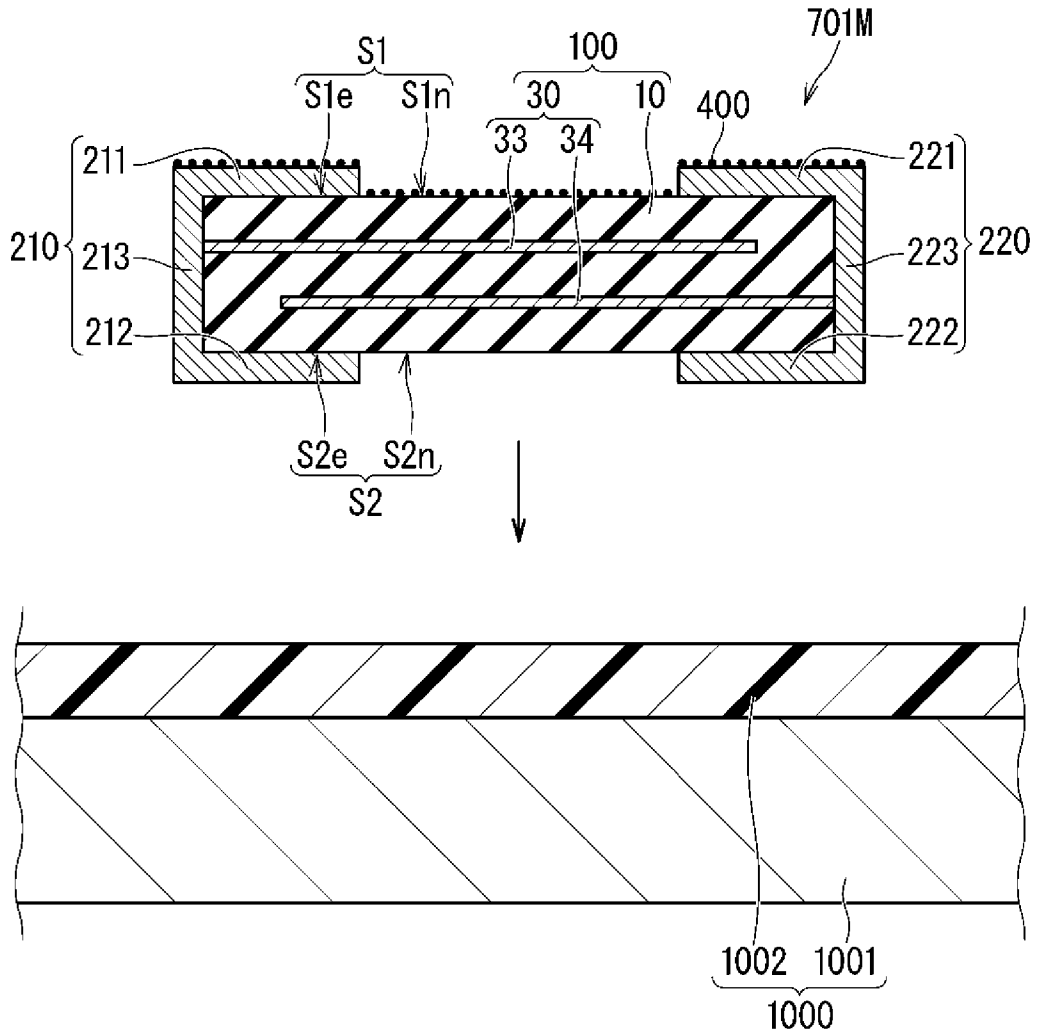
[図6]



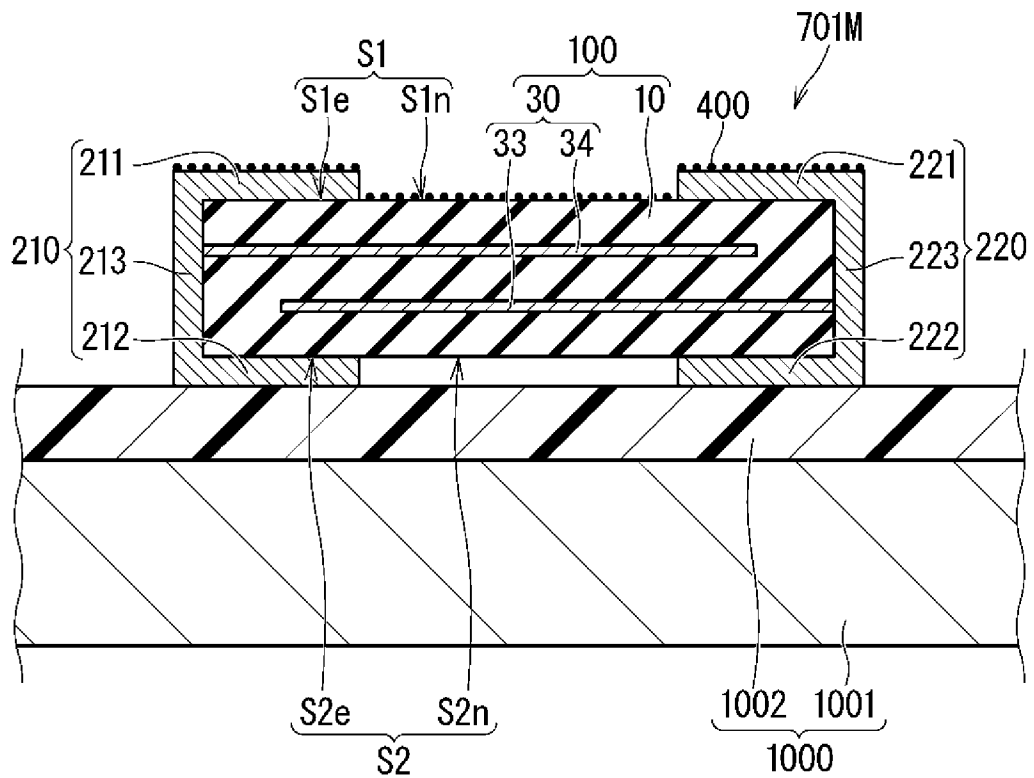
[図7]



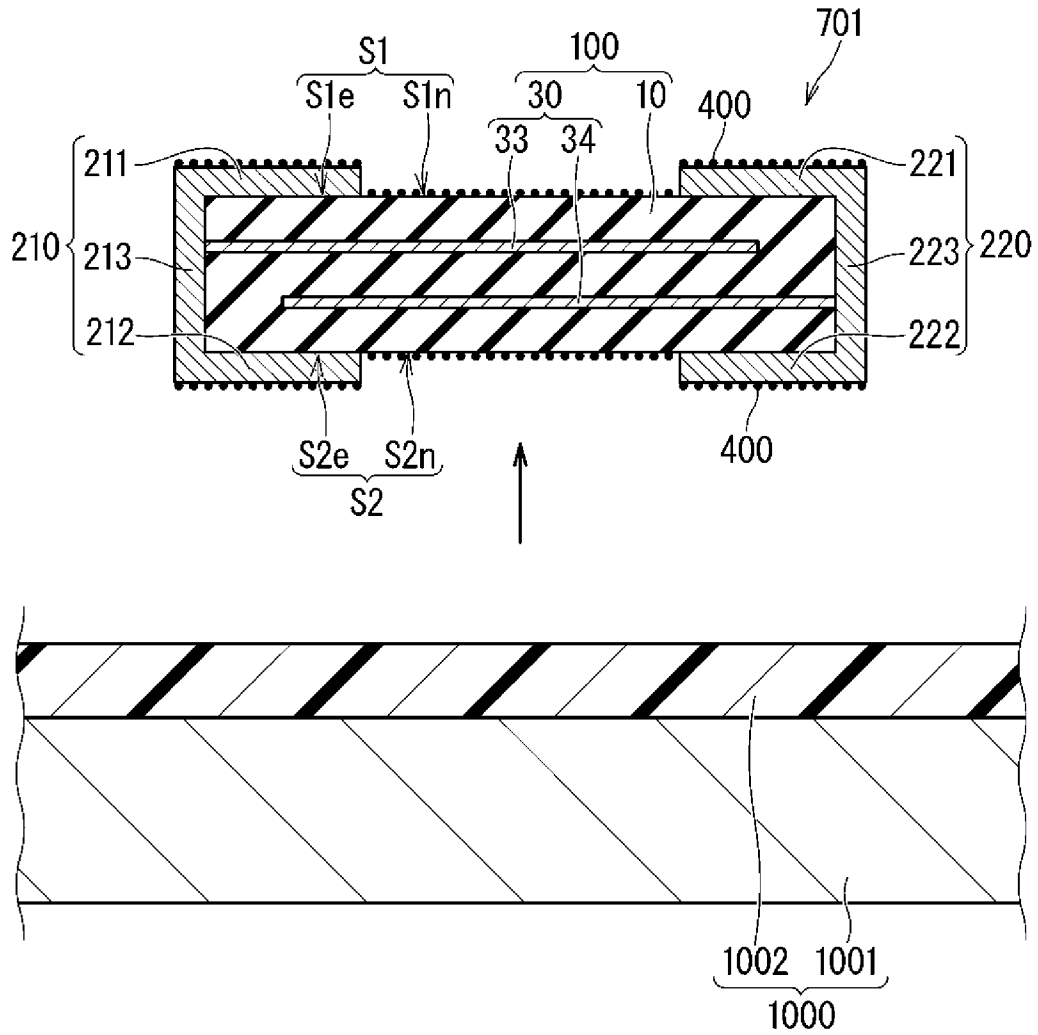
[図8]



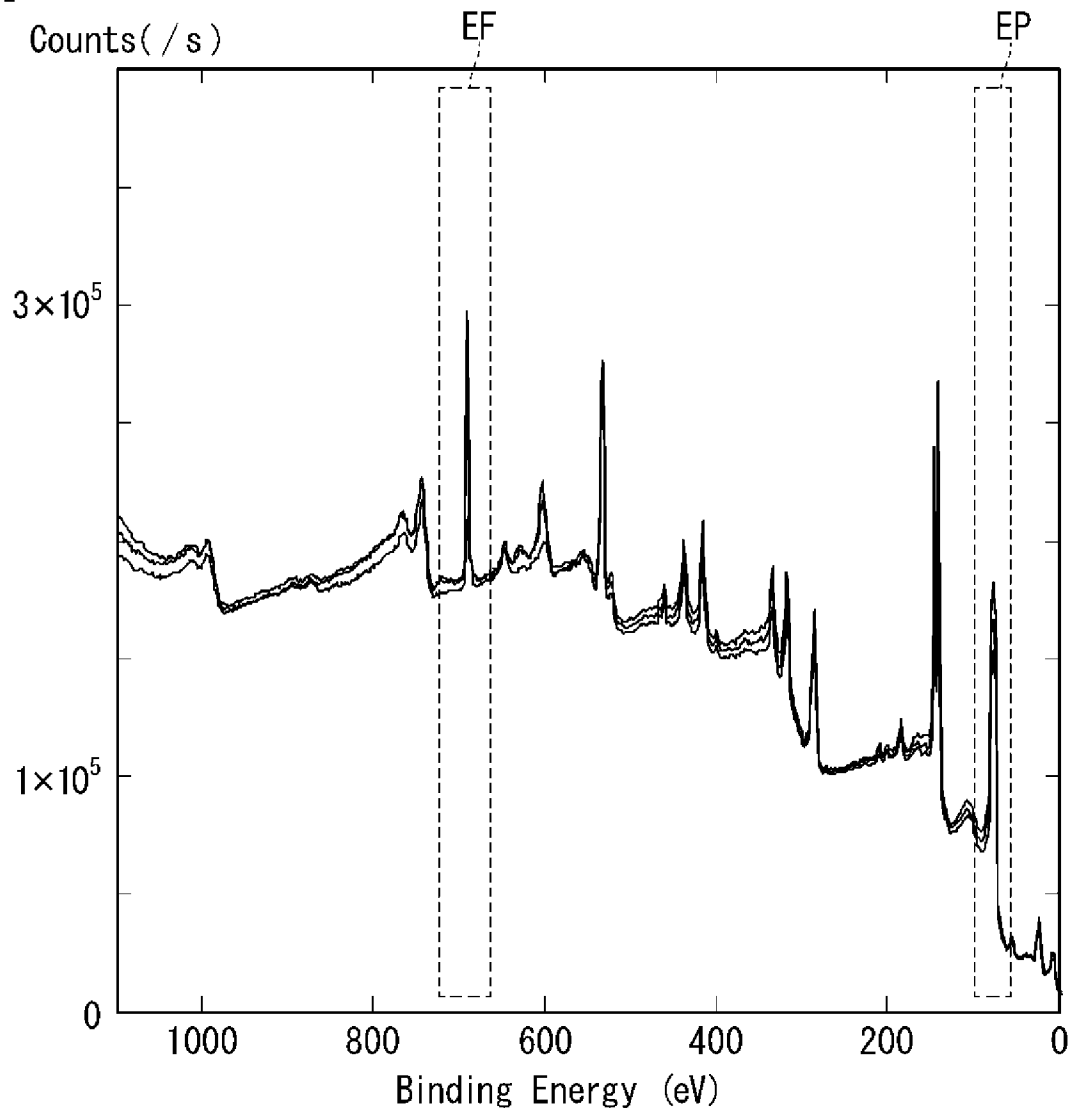
[図9]



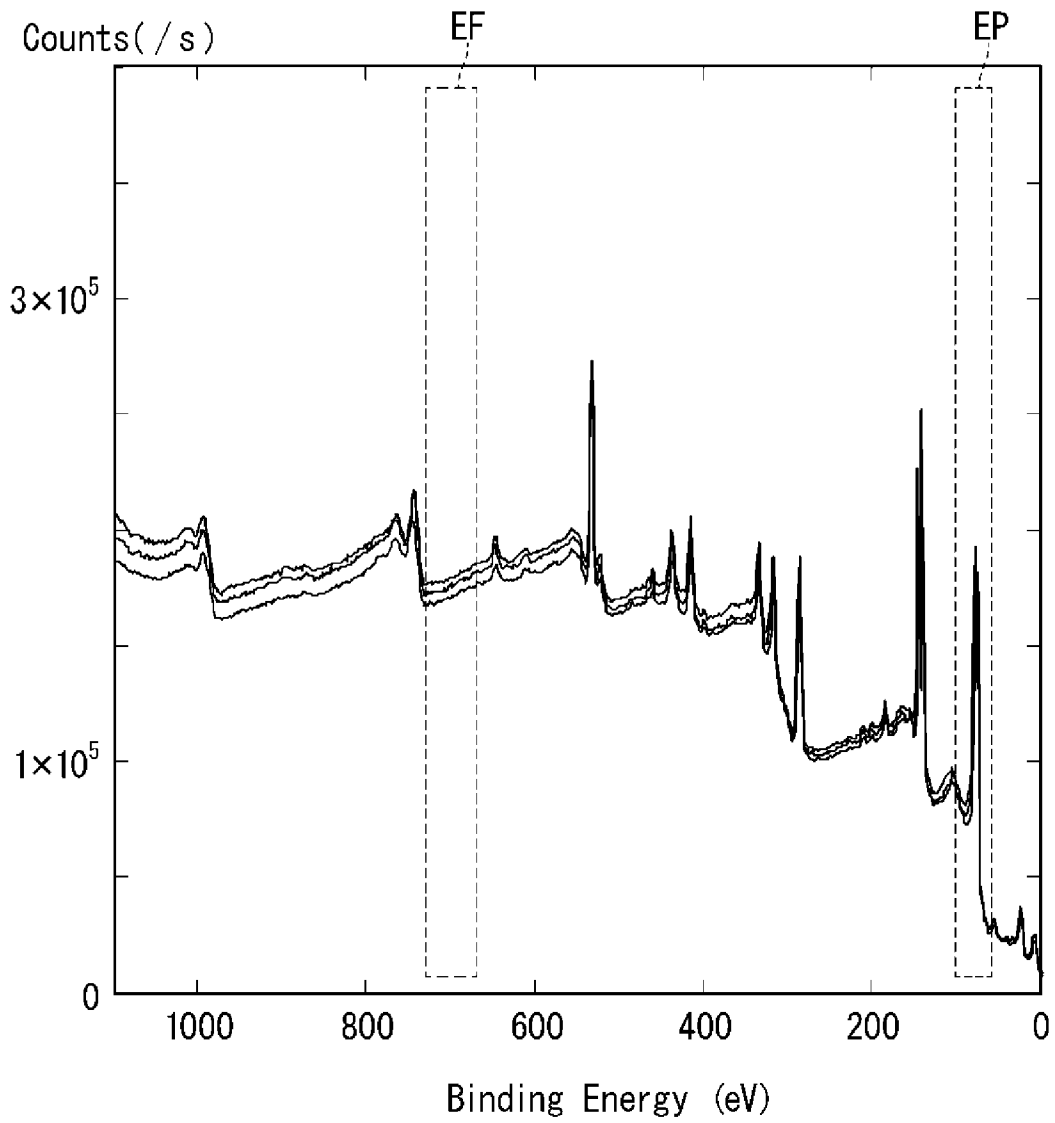
[図10]



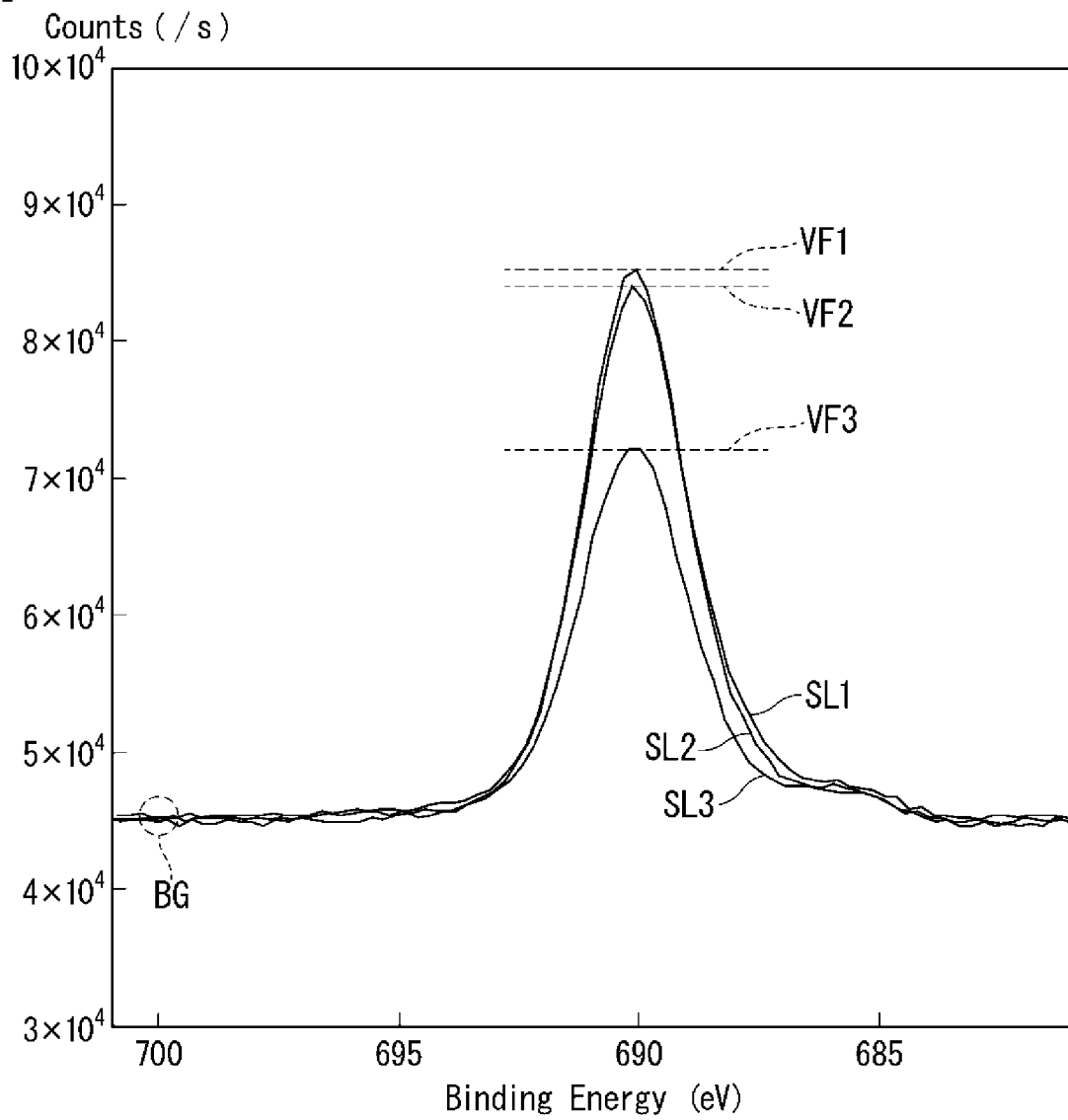
[図11]



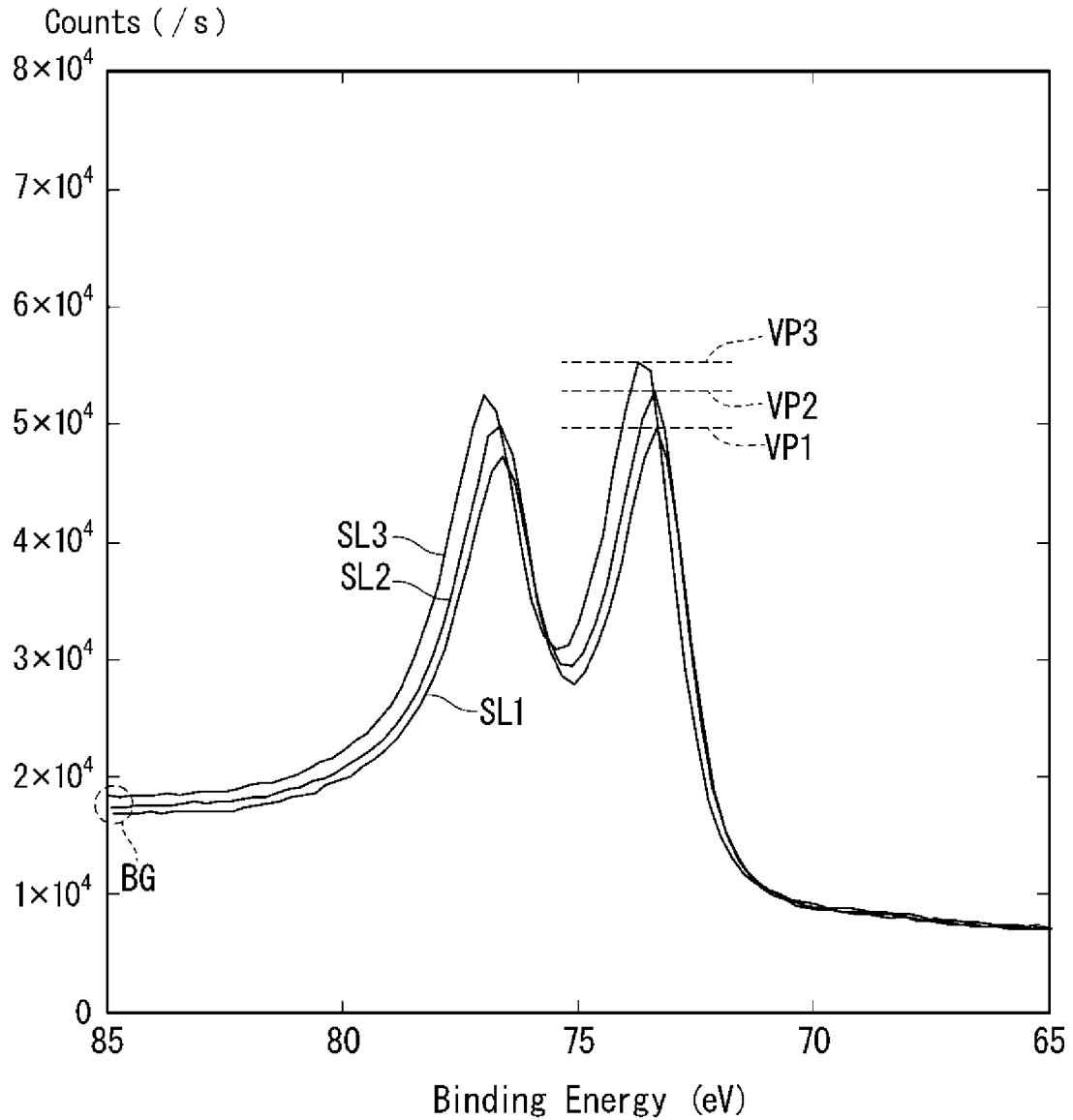
[図12]



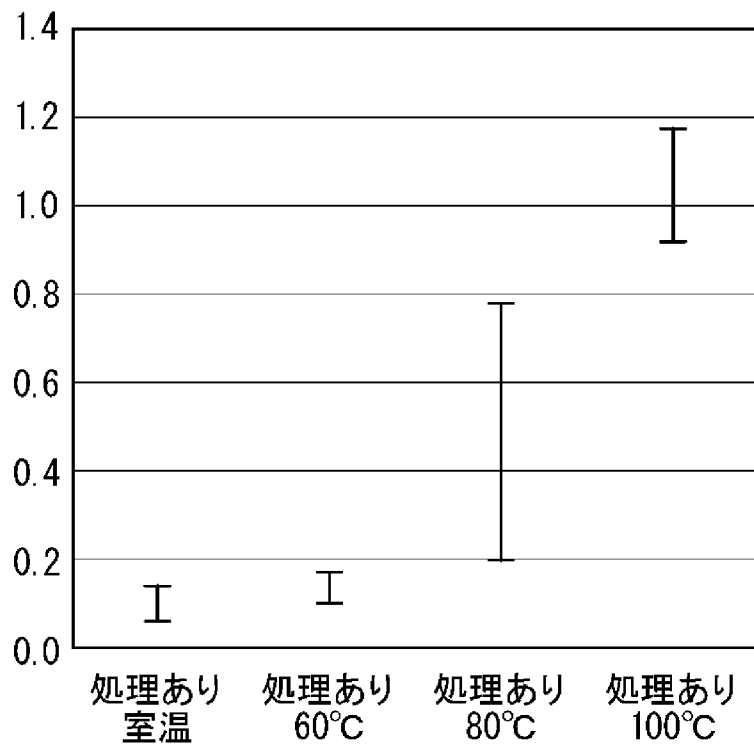
[図13]



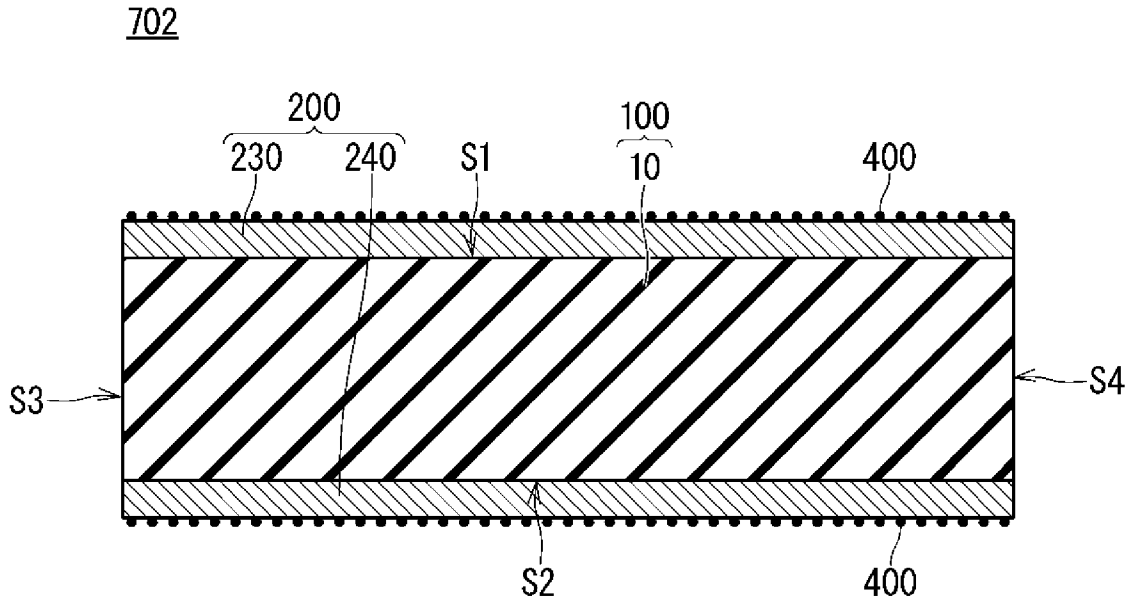
[図14]



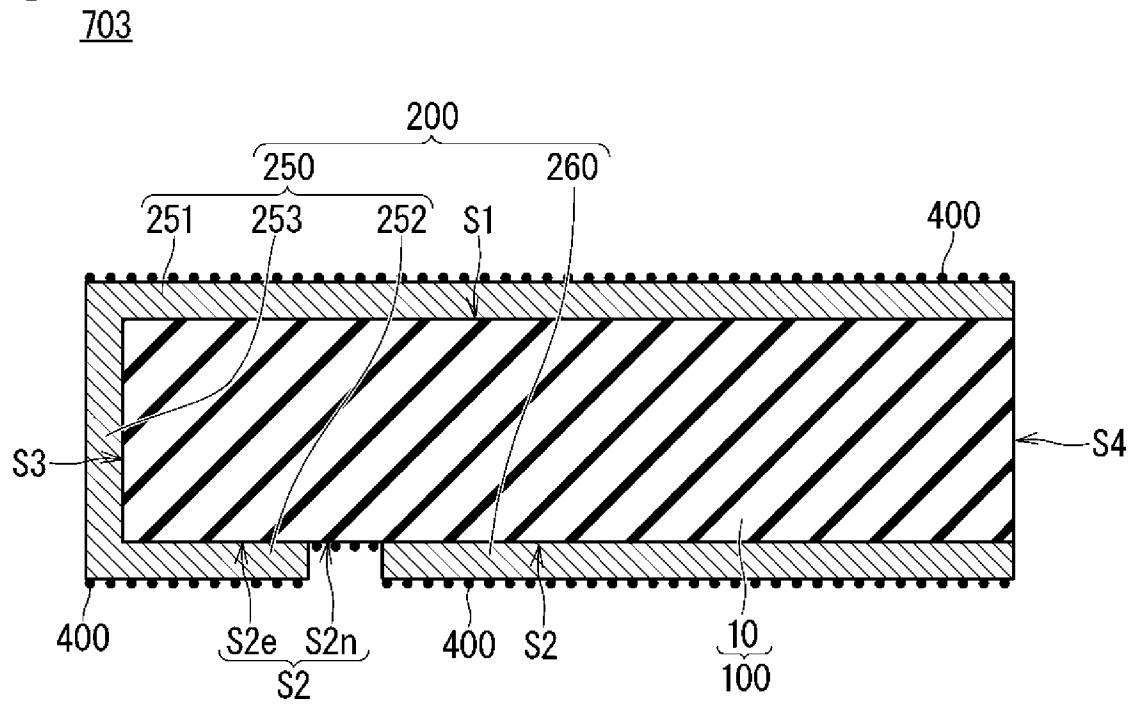
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/006007

A. CLASSIFICATION OF SUBJECT MATTER <i>H01G 4/30</i> (2006.01)i; <i>H01F 27/29</i> (2006.01)i FI: H01G4/30 201G; H01F27/29 123; H01G4/30 311E; H01G4/30 516; H01G4/30 517 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01G4/30; H01F27/29		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2020-167379 A (TAIYO YUDEN CO., LTD.) 08 October 2020 (2020-10-08) paragraphs [0017]-[0019], [0025], [0030], [0031], [0044], [0045], [0053], fig. 1, 3-5	1, 5-11, 13 12 2-4,
X A	JP 2022-097372 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 30 June 2022 (2022-06-30) paragraphs [0020]-[0024], [0050]-[0052], [0061], [0062], [0075]-[0080], fig. 1-4	1, 5-11 2-4, 12, 13
Y A	JP 2002-203737 A (MURATA MANUFACTURING CO., LTD.) 19 July 2002 (2002-07-19) paragraphs [0043], [0044]	12 1-11, 13
A	JP 2019-175989 A (MITSUBISHI ELECTRIC CORPORATION) 10 October 2019 (2019-10-10) paragraphs [0016], [0017], [0034], [0060], fig. 3	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 March 2024		Date of mailing of the international search report 02 April 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2024/006007

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2020-167379 A	08 October 2020	US 2020/0312571 A1 paragraphs [0019]-[0021], [0027], [0032]-[0034], [0047], [0048], [0056], fig. 1, 3-5	

JP 2022-097372 A	30 June 2022	US 2022/0199328 A1 paragraphs [0033], [0034], [0063]-[0066], [0074], [0075], [0090]-[0095], fig. 1-4	
		KR 10-2022-0087860 A	
		CN 114649147 A	

JP 2002-203737 A	19 July 2002	(Family: none)	

JP 2019-175989 A	10 October 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01G 4/30(2006.01)i; H01F 27/29(2006.01)i FI: H01G4/30 201G; H01F27/29 123; H01G4/30 311E; H01G4/30 516; H01G4/30 517		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01G4/30; H01F27/29 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2020-167379 A (太陽誘電株式会社) 08.10.2020 (2020 - 10 - 08) [0017]-[0019], [0025], [0030]-[0031], [0044]-[0045], [0053], 図1, 図3-図5	1, 5-11, 13
Y		12
A		2-4,
X	JP 2022-097372 A (サムソン エレクトロメカニクス カンパニーリミテッド.) 30.06.2022 (2022 - 06 - 30) [0020]-[0024], [0050]-[0052], [0061]-[0062], [0075]-[0080], 図1-図4	1, 5-11
A		2-4, 12, 13
Y	JP 2002-203737 A (株式会社村田製作所) 19.07.2002 (2002 - 07 - 19) [0043], [0044]	12
A		1-11, 13
A	JP 2019-175989 A (三菱電機株式会社) 10.10.2019 (2019 - 10 - 10) [0016]-[0017], [0034], [0060], 図3	1-13
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 15. 03. 2024	国際調査報告の発送日 02. 04. 2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 清水 稔 5D 8525 電話番号 03-3581-1101 内線 3551	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/006007

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-167379 A	08.10.2020	US 2020/0312571 A1 [0019]-[0021], [0027], [0032]-[0034], [0047]- [0048], [0056], FIG. 1, FIG. 3-FIG. 5 DE 102020107286 A	
JP 2022-097372 A	30.06.2022	US 2022/0199328 A1 [0033]-[0034], [0063]- [0066], [0074]-[0075], [0090]-[0095], FIG. 1- FIG. 4 KR 10-2022-0087860 A CN 114649147 A	
JP 2002-203737 A	19.07.2002	(ファミリーなし)	
JP 2019-175989 A	10.10.2019	(ファミリーなし)	