



(12) 发明专利申请

(10) 申请公布号 CN 102403458 A

(43) 申请公布日 2012. 04. 04

(21) 申请号 201110265536. 2

(22) 申请日 2011. 09. 08

(30) 优先权数据

2010-208466 2010. 09. 16 JP

(71) 申请人 索尼公司

地址 日本东京

(72) 发明人 服部真之介 国清敏幸 中本光则

保田周一郎

(74) 专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

代理人 陈桂香 武玉琴

(51) Int. Cl.

H01L 45/00(2006. 01)

G11C 16/00(2006. 01)

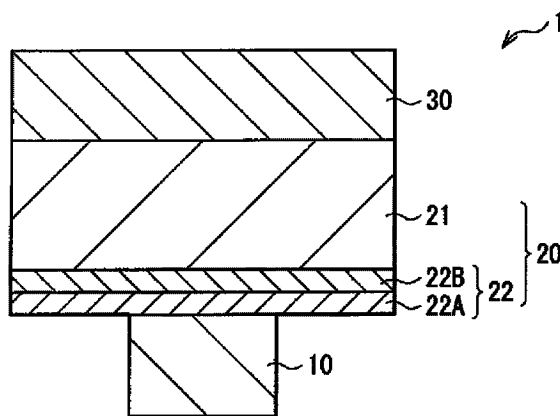
权利要求书 1 页 说明书 11 页 附图 5 页

(54) 发明名称

存储元件和存储装置

(57) 摘要

本发明公开了存储元件和存储装置,所述存储元件和所述存储装置均具有较小范围的元件间电特性差异。所述存储元件包括依次设置的第一电极、存储层和第二电极。所述存储层包括电阻变化层和离子源层,所述电阻变化层包括多个层,这些层中的可移动原子的扩散系数相互不同,所述离子源层布置在所述电阻变化层与所述第二电极之间。所述存储装置包括脉冲施加部和多个上述存储元件,所述脉冲施加部选择性地向所述多个存储元件施加电压脉冲或电流脉冲。在本发明的存储元件或者存储装置中,能够防止擦除后在所述电阻变化层中产生任何可能的电子定域格点。这就减小了元件间的电特性差异的范围。



1. 一种存储元件,其包括依次设置的第一电极、存储层和第二电极,其中,所述存储层包括:

电阻变化层,所述电阻变化层包括多个层,这些层中的可移动原子的扩散系数相互不同;以及

离子源层,所述离子源层布置在所述电阻变化层与所述第二电极之间。

2. 根据权利要求1所述的存储元件,其中,

所述电阻变化层包括位于所述第一电极侧的第一层以及位于所述第一层与所述离子源层之间的第二层,并且

所述第一层中的所述可移动原子的扩散系数在室温下为 $1.0 \times 10^{-21} \text{m}^2/\text{s}$ 以下。

3. 根据权利要求2所述的存储元件,其中,所述第一层包括硅、铝、镍、钯、锰、铁、钴、钙、镁、钆、锌、钛、锆、钪、钒、铌、钽、铬、钼、钨和镧中的至少一种,并且包括氧、碲、硫和硒中的至少一种。

4. 根据权利要求2所述的存储元件,其中,所述第二层包括硅、铝、镍、钯、锰、铁、钴、钙、镁、钆、锌、钛、锆、钪、钒、铌、钽、铬、钼、钨和镧中的至少一种,并且包括氧、碲、硫和硒中的至少一种。

5. 根据权利要求1至4中任一项所述的存储元件,其中,通过向所述第一电极和所述第二电极施加电压,使得所述离子源层中所包含的可移动原子迁移到所述电阻变化层中,由此形成低电阻部,并且所述电阻变化层呈现出电阻值的变化。

6. 根据权利要求2至4中任一项所述的存储元件,其中,在移动到所述电阻变化层的所述可移动原子中,所述第一层中的所述可移动原子的化学势高于所述第二层中的所述可移动原子的化学势。

7. 根据权利要求1至4中任一项所述的存储元件,其中,所述离子源层包括铜、银、锌和铝中的至少一种。

8. 一种存储装置,其包括:

多个存储元件,各个所述存储元件是如权利要求1至7任一项所述的存储元件;以及脉冲施加部,所述脉冲施加部选择性地向所述多个存储元件施加电压脉冲或电流脉冲。

存储元件和存储装置

[0001] 相关申请的交叉参考

[0002] 本申请包含与 2010 年 9 月 16 日向日本专利局提交的日本优先权专利申请 JP 2010-208466 所公开的内容相关的主题,因此将该日本优先权申请的全部内容以引用的方式并入本文。

技术领域

[0003] 本发明涉及存储元件,所述存储元件根据在存储层中观察到的电特性的任何变化来存储信息,所述存储层包括离子源层和电阻变化层。本发明还涉及存储装置。

背景技术

[0004] 目前普遍采用 NOR 型或 NAND 型闪存作为用于数据存储的半导体非易失性存储器。然而,考虑到写入和擦除时需要高的电压并且考虑到要被注入至浮动栅极的电子的数量有限,这样的半导体非易失性存储器已经被指出在微细化加工方面存在局限性。

[0005] 为了克服在微细化加工方面的这种局限性,目前提出的下一代非易失性存储器是诸如电阻式随机存取存储器 (Resistance Random Access Memory, ReRAM) 或相变式随机存取存储器 (Phase-Change Random Access Memory, PRAM) 等电阻变化型存储器 (例如,见日本专利申请公开公报特开第 2009-164467 号)。这些存储器分别具有这样的简单结构:该结构包括设在两个电极之间的电阻变化层。在日本专利申请公开公报特开第 2009-43757 号的存储器中,替代上述电阻变化层的是,在第一电极与第二电极之间设置有离子源层和氧化物膜 (存储用薄膜)。

[0006] 这些电阻变化型存储器中的电阻变化的原理被认为是基于如下原因:由于热量或电场使得原子或离子从离子源层移动到电阻变化层,因而在该电阻变化层内部形成了传导路径,但是目前还不清楚上述原因的细节。目前主要的理论是:伴随着氧化还原而发生的离子微迁移导致电阻值发生变化 (例如,见 Wei, Z. Kanazawa, et al. Electron Device Meeting, 2008. IEDM 2008. IEEE International)。此外,对于可移动离子为 GeSe 中的铜 (Cu) 的电阻变化型存储元件而言,观察到了电阻随机变化的现象。已经出现了关于这种电阻变化的报道,这种电阻变化是因为用作传导路径的部分中的可移动离子的热迁移而导致的 (例如,见 Rainer Waser et al. Advanced Materials 21, no. 25-26 (2009):2632-2663)。

[0007] 现在存在问题是:近来,期望存储装置具有小的尺寸和大的容量。为了满足这种期望,所要达到的目标是通过在单个芯片上集成多个存储元件来实现容量的增大。

[0008] 然而,现有技术的电阻变化型存储器 (存储元件) 分别具有各自的电特性。如果芯片上的多个存储元件中的任何一个在电特性上显著不同,那么所得到的芯片就会由于超出了操作裕度 (operation margin) 因而是不合格的。因此,对于装载有多个存储元件的芯片来说,各存储元件的相互不同的电特性对芯片特性有很大的影响,因而不利地降低了芯片的成品率。

发明内容

[0009] 鉴于上述情况,本发明的目的是期望提供具有更小范围的元件间电特性差异的存储元件和存储装置。

[0010] 本发明实施例的存储元件包括依次设置的第一电极、存储层和第二电极。所述存储层包括电阻变化层和离子源层。所述电阻变化层包括多个层,这些层中的可移动原子的扩散系数相互不同;所述离子源层布置在所述电阻变化层与所述第二电极之间。

[0011] 具体地,所述电阻变化层包括位于所述第一电极侧的第一层以及位于所述第一层与所述离子源层之间的第二层。在所述第一层中,所述可移动原子的扩散系数在室温下为 $1.0 \times 10^{-21} \text{m}^2/\text{s}$ 以下。

[0012] 本发明另一实施例的存储装置包括脉冲施加部和多个存储元件,各个所述存储元件均包括依次设置的第一电极、存储层和第二电极,所述脉冲施加部选择性地向所述多个存储元件施加电压脉冲或电流脉冲。在所述存储装置中,所述存储元件是本发明上述实施例的存储元件。

[0013] 对于本发明实施例的存储元件(存储装置)而言,当向初始状态(高电阻状态)下的所述存储元件施加“正向”(例如,所述第一电极侧处于负电位,而所述第二电极侧处于正电位)电压脉冲或电流脉冲时,所述离子源层中所包含的任何金属元素被离子化并且扩散于所述电阻变化层中,随后在所述第一电极处与电子结合而被析出,或者留在所述电阻变化层中并形成杂质能级。这样,在所述存储层内形成了含有所述金属元素的低电阻部(传导路径),从而降低了所述电阻变化层的电阻(记录状态)。当在这种低电阻状态下向所述存储元件施加“负向”(例如,所述第一电极侧处于正电位,而所述第二电极侧处于负电位)电压脉冲时,已析出在所述第一电极上的所述金属元素被离子化,随后溶解到所述离子源层中。于是,由所述金属元素形成的所述传导路径消失,并且所述电阻变化层的电阻增大(初始状态或者擦除状态)。

[0014] 这里,所述电阻变化层是由可移动原子的扩散系数相互不同的多个层构成的,从而有利于防止擦除后在所述电阻变化层中产生任何可能的电子定域格点(electron localized sites)。

[0015] 对于本发明实施例的存储元件或者存储装置而言,所述电阻变化层是由可移动原子的扩散系数相互不同的多个层构成的,从而有利于防止擦除后在所述电阻变化层中产生任何可能的电子定域格点。这就减小了元件间的电特性差异的范围。

[0016] 应当理解的是,上面的总体说明和下面的详细说明都是示例性的,并且旨在对本发明要求保护的技术方案提供进一步的解释。

附图说明

[0017] 随附的附图提供了对本发明的进一步理解,并且这些附图并入本说明书中并构成本说明书的一部分。附图图示了各实施例,并与说明书一起用来解释本发明的技术原理。

[0018] 图 1 是示出了本发明实施例的存储元件的结构截面图。

[0019] 图 2 是示出了使用图 1 所示存储元件的存储单元阵列的结构截面图。

[0020] 图 3 是图 2 所示的存储单元阵列的平面图。

[0021] 图 4A 和图 4B 分别是用于图示电阻变化层中的任何电阻变化的示意图。

[0022] 图 5A 和图 5B 分别是示出了现有技术的存储元件中可移动离子的分布和图 1 的存储元件中可移动离子的分布的示意图。

[0023] 图 6A 和图 6B 分别是示出了现有技术的存储元件中可移动离子的基于位置的分布和图 1 的存储元件中可移动离子的基于位置的分布的特性图。

[0024] 图 7 示出了第一层和第二层中的扩散系数与化学势之间的关系。

具体实施方式

[0025] 下面,通过参照附图,将按照如下顺序说明本发明的实施例。

[0026] 实施例:

[0027] 1. 存储元件(电阻变化层呈双层结构的存储元件)

[0028] 2. 存储装置

[0029] 第一实施例

[0030] 存储元件

[0031] 图 1 是示出了本发明实施例的存储元件 1 的结构截面图。该存储元件 1 被配置成包括依次设置的下部电极 10(第一电极)、存储层 20 和上部电极 30(第二电极)。

[0032] 下部电极 10 被设置在例如稍后所述(图 2)的已形成有互补型金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)电路的硅基板 41 上,从而作为与 CMOS 电路这个部分的连接部。该下部电极 10 是由例如钨(W)、氮化钨(WN)、铜(Cu)、铝(Al)、钼(Mo)、钽(Ta)和硅化物(silicide)等用于半导体工艺中的布线材料制成的。当下部电极 10 是由例如 Cu 等在电场中可能会引起离子传导的材料制成时,可以在由 Cu 或其他这类材料制成的下部电极 10 的表面上覆盖有例如 W、WN、氮化钛(TiN)和氮化钽(TaN)等几乎不会引起离子传导或热扩散的材料。当稍后说明的离子源层 21 含有 Al 时,优选使用的是含有比 Al 更难离子化的铬(Cr)、W、钴(Co)、硅(Si)、金(Au)、钯(Pd)、Mo、铱(Ir)、钛(Ti)等中的至少一种元素的金属膜,或者上述元素的氧化物膜或氮化物膜。

[0033] 存储层 20 由离子源层 21 和电阻变化层 22 构成。离子源层 21 含有将会转变成向电阻变化层 22 扩散的可移动离子(阳离子和阴离子)的元素(可移动原子)。可被阳离子化的元素包括诸如 Cu、Al、银(Ag)、锌(Zn)和锗(Ge)等金属元素中的一种或两种以上。作为将要被阴离子化的离子传导材料,包括例如含有氧(O)或碲(Te)、硫(S)和硒(Se)等的硫族元素中的至少一种或多种。离子源层 21 布置在上部电极 30 侧,并且在本示例中,离子源层 21 与上部电极 30 接触。上述金属元素和上述硫族元素结合在一起,从而形成了金属硫族化物层。该金属硫族化物层主要具有非晶结构,并且起到了离子供给源的作用。

[0034] 作为可被阳离子化的金属元素,由于在写入操作的过程中该金属元素在阴极电极上被还原并形成金属形态的传导路径(丝状体; filament),因而优选任何在化学上稳定的元素,即,在含有上述硫族元素的离子源层 21 内以金属形态存在的元素。这样的金属元素包括除了上述的那些金属元素以外的例如 Ti、锆(Zr)、铪(Hf)、钒(V)、铌(Nb)、Ta、Cr、Mo 和 W 等位于元素周期表中的 4A 族、5A 族和 6A 族的过渡金属。可以使用这些元素中的一种或两种以上。或者,可使用 Si 或其他元素作为离子源层 21 的添加元素。

[0035] 此外,使用更容易与稍后说明的电阻变化层 22 中的诸如 Te 等硫族元素起反应的任何金属元素(M),离子源层 21 可以是硫族元素/离子源层(含有金属元素 M)的层叠结

构。如果是这样的结构,则在成膜之后进行热处理,所获得的结构被稳定化为 MTe/ 离子源层 21。更容易与硫族元素起反应的材料以 Al、镁 (Mg) 等为例子。

[0036] 这样的离子源层 21 的具体材料包括 ZrTeAl、TiTeAl、CrTeAl、WTeAl 和 TaTeAl 等。这样的具体材料还可以包括:通过将 Cu 添加入 ZrTeAl 中而得到的 CuZrTeAl、通过将 Ge 添加入 CuZrTeAl 中而得到的 CuZrTeAlGe、以及通过将另一种添加元素添加入 CuZrTeAlGe 中而得到的 CuZrTeAlSiGe。另一候选方案是含有 Mg 作为 Al 的替代物的 ZrTeMg。对于离子化金属元素,即使选择使用的过渡金属元素不是 Zr 而是 Ti 或 Ta,仍可以使用任意的同样的添加元素,例如可能得到 TaTeAlGe。此外,对于离子传导材料而言,Te 当然不是限制性的,也可以使用硫 (S)、硒 (Se) 或碘 (I),即具体得到 ZrSAl、ZrSeAl、ZrIAl 和 CuGeTeAl 等。应当注意的是,这里举例说明的是含有 Te 的化合物,但是这当然不是限制性的,所述化合物也可以含有除了 Te 以外的任何硫族元素。另外,Al 不是必须含有的,也可以使用 CuGeTeZr 等。

[0037] 应当注意的是,例如,为了防止在对存储层 20 进行高温热处理的过程中发生膜脱落的目的,可以向离子源层 21 添加任何其他元素。硅 (Si) 是一种示例性的添加元素,该添加元素还可以提供更好的保持特性,并且优选将硅与 Zr 一起添加至离子源层 21 中。这里,如果 Si 的添加量不足,则无法产生足够的防止膜脱落的效果;但如果 Si 的添加量太大,则所获得的存储操作特性不足以令人满意。考虑到上述情况,离子源层 21 中的 Si 含量优选在大约 10 ~ 45 原子%的范围内。

[0038] 电阻变化层 22 布置在下部电极 10 侧。该电阻变化层 22 用作阻碍电传导的壁垒,并且当在下部电极 10 与上部电极 30 之间施加预定大小的电压时,电阻变化层 22 的电阻值发生变化。在本实施例中,该电阻变化层 22 具有多层的结构,即具有包括第一层 22A 和第二层 22B 的两层结构。第一层 22A 和第二层 22B 分别被设置成与下部电极 10 和离子源层 21 接触。

[0039] 电阻变化层 22 (即第一层 22A 和第二层 22B) 是由氧化物材料或者主要含有作为阴离子组分的例如 S、Se 或 Te 等硫族元素的化合物制成的。这样的化合物以 AlTe、MgTe 或 ZnTe 为例子。对于这种含有 Te 的化合物的组分,以 AlTe 为例,Al 的含量优选为在 20 原子%以上且 60 原子%以下的范围内,其原因稍后说明。特别地,第一层 22A 优选具有这样的扩散系数:其针对于可移动离子的扩散系数小于第二层 22B 针对于可移动离子的扩散系数。具体地,所使用的材料在室温下优选具有 $1.0 \times 10^{-21} \text{ m}^2/\text{s}$ 以下的扩散系数。需要注意的是,扩散系数的这个值相比于电阻变化层 22 中所使用的任何一般金属原子的扩散系数来说都是很小的。因此,这样小的扩散系数防止了来自离子源层 21 的可移动离子的扩散。作为氧化物材料,这种材料具体以 SiO_2 、 Al_2O_3 、NiO、PdO、MnO、FeO、CoO、CaO、MgO、GdO、ZnO、TiO、ZrO、HfO、TaO、WO 或 LaO 为例。这里,可移动离子的扩散流量与化学势的梯度成比例,并且当层叠着的各层在化学势上有差异时,位于界面附近的原子向化学势低于其他层的化学势的那层移动。考虑到上述情况,第二层 22B 优选由这样的材料制成:该材料的扩散系数大于第一层 22A 的扩散系数,并且该材料的化学势低于第一层 22A 的化学势。这样的材料具体以 Al 和 Te 为例。可供选择地,与第一层 22A 一样,上述材料可包括 Si、镍 (Ni)、Pd、锰 (Mn)、铁 (Fe)、Co、钙 (Ca)、镁 (Mg)、钆 (Gd)、Zn、Zr、Hf、V、Nb、Ta、Cr、Mo、W 和镧 (La) 中的至少一种,或者上述材料可以包括 O、Te、S 和 Se 的组合。这样的材料有利于在擦除之后防

止来自离子源层 21 的可移动离子的扩散,并且使得在擦除时促进可移动离子向离子源层的迁移。

[0040] 另外,电阻变化层 22 优选具有 $1\text{M}\Omega$ (兆欧) 以上的初始电阻值。考虑到这个因素,低电阻状态下的电阻值优选为几百 $\text{k}\Omega$ (千欧) 以下。为了高速地读取任何微细化的电阻变化型存储器的电阻状态,低电阻状态下的电阻值优选尽可能低。然而,由于在 $20 \sim 50 \mu\text{A}$ 以及 2V 的条件下进行写入时电阻值为 $40 \sim 100\text{k}\Omega$,所以假定存储器的初始电阻值高于那个值。考虑到一位 (one-digit) 的电阻分离宽度,上述电阻值被认为是恰当的。

[0041] 上部电极 30 可以由与下部电极 10 相同的材料 (即,公知的用于半导体布线的材料) 制成,并且优选使用即使通过后退火处理 (post-annealing) 也不会与离子源层 21 起反应的稳定材料制成。

[0042] 对于本实施例的这种存储元件 1,当电源电路 (脉冲施加部;未图示) 通过下部电极 10 和上部电极 30 施加电压脉冲或电流脉冲时,存储层 20 呈现出电特性的变化 (例如,电阻值的变化),从而进行信息写入、信息擦除和信息读取。下面,具体说明这一操作。

[0043] 首先,例如向存储元件 1 施加正电压以使得上部电极 30 为正电位而下部电极 10 侧为负电位。响应于此,离子源层 21 中的任何金属元素被离子化并扩散至电阻变化层 22 中,然后在下部电极 10 侧与电子相结合从而被析出。结果,在下部电极 10 与存储层 20 之间的界面上形成了传导路径 (丝状体)。该传导路径是由被还原成金属形态的低电阻金属元素构成的。或者,被离子化的金属元素留在电阻变化层 22 中并形成杂质能级。这样就在电阻变化层 22 中形成了传导路径,并由此降低了存储层 20 的电阻值,也就是说,存储层 20 呈现出降低至比初始状态下的电阻值 (高电阻状态) 低的电阻值 (低电阻状态)。

[0044] 然后,即使通过停止施加上述正电压因而去除了存储元件 1 上的电压,也能保持上述低电阻状态。这就意味着已经进行了信息写入。在用于仅可写入一次的存储装置 (即所谓的可编程只读存储器 (Programmable Read Only Memory ; PROM)) 中的情况下,存储元件 1 仅通过上述记录过程就完成了记录。另一方面,当应用于可擦除存储装置 (即随机存取存储器 (Random Access Memory ; RAM) 或电可擦除可编程只读存储器 (Electrically Erasable and Programmable Read Only Memory ; EEPROM) 等) 中时,擦除过程是必需的。在擦除过程中,例如向存储元件 1 施加负电压以使得上部电极 30 处于负电位而下部电极 10 侧处于正电位。响应于此,在形成于存储层 20 内部的传导路径中,上述金属元素被离子化,随后溶解至离子源层 21 中或者与 Te 等结合从而形成例如 Cu_2Te 或 CuTe 等化合物。于是,由上述金属元素形成的传导路径消失或在面积上减少,因而使得电阻值呈现为增大。

[0045] 随后,即使通过停止施加上述负电压因而去除了存储元件 1 上的电压,也能保持该高的电阻值。这就使得能够擦除任何所写入的信息。通过重复这样的过程,能够对存储元件 1 重复进行信息的写入以及对所写入的信息的擦除。

[0046] 例如,如果使高电阻值的状态与信息“0”相关联,且使低电阻值的状态与信息“1”相关联,那么在通过施加正电压来记录信息的过程中能够将信息“0”转变为信息“1”,并且在通过施加负电压来擦除信息的过程中能够将信息“1”转变为信息“0”。需要注意的是,在本示例中,尽管与使存储元件的电阻降低的操作相关联的是写入操作而与使存储元件电阻升高的操作相关联的是擦除操作,但也可以将上述关联关系反过来。

[0047] 为了解调任何所记录的数据,更加优选的是,初始电阻值与记录后的电阻值之比

更大。然而,电阻变化层 22 的电阻值太大会导致难以写入,也就是说,难以降低电阻。这样,因为写入时的阈值电压增大得过多,所以优选将初始电阻值调整为 $1\text{G}\Omega$ 以下。电阻变化层 22 的电阻值例如能够通过该电阻变化层 22 的厚度或该电阻变化层 22 中的阴离子含量来予以控制。

[0048] 由于上述这样的原因,当电阻变化层 22(特别是第二层 22B)由硫族元素制成时,优选的是选用 Te。这是因为,当电阻降低时,从离子源层 21 扩散进来的金属元素在电阻变化层 22 内被稳定化,从而变得易于保持所得到的低电阻状态。此外,Te 与金属元素的结合力弱于电负性高的氧化物以及作为共价化合物的硅化合物与金属元素的结合力,因此通过施加擦除电压易于使已经扩散于电阻变化层 22 内部的金属元素向离子源层 21 移动,于是改善了擦除特性。应当注意的是,在硫族化合物化合物的电负性方面,因为硫族元素的绝对值按碲<硒<硫<氧的顺序而升高,所以当电阻变化层 22 中的氧含量较小并且当使用任何具有低电负性的硫族化合物时,可提高上述改善效果。

[0049] 另外,在本实施例中,如上所述,离子源层 21 优选含有 Ze、Al、Ge 等。下面会说明原因。

[0050] 当离子源层 21 含有 Zr 时,该 Zr 与上述诸如 Cu 等金属元素一起起到离子化元素的作用,由此所得到的传导路径是 Zr 和上述诸如 Cu 等金属元素的混合物。这里可以认为:在写入操作时 Zr 在阴极电极上被还原,并且在写入之后以低电阻状态下的金属形态形成丝状体。因 Zr 被还原而得到的金属丝状体相对较难溶解到含有诸如 S、Se 和 Te 等硫族元素的离子源层 21 中。因此,一旦处于写入状态(即,处于低电阻状态),相比于仅含有上述诸如 Cu 等金属元素的传导路径的情况而言,更易于保持所获得的低电阻状态。例如,通过写入操作使 Cu 形成为金属丝状体。然而,金属形态的 Cu 易于溶解到含有硫族元素的离子源层 21 中,并且在没有施加用于写入的电压脉冲的状态下(即,在数据保持状态下),该 Cu 再次被离子化且上述状态转变为高电阻。因此,所获得的数据保持特性无法令人满意。另一方面,如果 Zr 与任意适量的 Cu 相组合,那么就促进了非晶化,并且使得离子源层 21 的微细结构保持均匀性,从而有助于电阻值保持特性的改善。

[0051] 此外,为了在擦除时保持高电阻状态,当离子源层 21 中含有 Zr 时,例如,将要形成的传导路径包含 Zr,并且当 Zr 再次溶解为离子源层 21 中的离子的情况下,由于 Zr 的离子迁移率至少比 Cu 的离子迁移率低,这样即使温度升高或即使长时间按原样放置着,Zr 离子也不会移动。因此,在阴极电极上难以析出呈金属形态的 Zr,于是,即使维持在高于室温的温度下或即使长时间按原样放置着的情况下,也保持高电阻。

[0052] 另外,当离子源层 21 中含有 Al 时,如果由于擦除操作而将上部电极偏置成负电位,则通过在阳极电极与表现得类似于固体电解质层的离子源层 21 之间的界面上形成稳定的氧化物膜,来使高电阻状态(擦除状态)稳定化。考虑到电阻变化层的自身再生,这还有助于增加重复次数。这里,Al 当然不是唯一的候选,也可以使用能够发挥相同作用的 Ge 等。

[0053] 因此,当离子源层 21 含有 Zr、Al 和 Ge 等时,相比于现有技术的存储元件,所得到的存储元件具有改善的宽范围电阻值保持特性、改善的高速写入及擦除操作特性、以及增多的重复次数。另外,例如,如果在从低电阻向高电阻变化的过程中,通过调节擦除电压来形成位于高电阻状态与低电阻状态之间的任何中间电阻状态,则所得到的中间状态能够以

良好的稳定性被保持。因此,所得到的存储器不仅能够实现二值存储还能够实现多值存储。这里,在从高电阻向低电阻变化的过程中,通过改变写入电流来调节被析出的原子的数量,由此也能产生这种中间状态。

[0054] 这些对于存储器的操作来说很重要的各种特性(即,通过施加电压来进行写入及擦除操作的特性、电阻值保持特性以及操作的重复次数等)根据 Zr、Cu、Al 和 Ge 的添加量而变化。

[0055] 例如,如果 Zr 的含量太高,则所得到的离子源层 21 的电阻值就会过度下降,从而无法向离子源层 21 有效地施加电压,或导致难以将 Zr 溶解至硫族化物层中。这尤其会使擦除变得困难,并且擦除时的阈值电压随着 Zr 的添加量而升高。此外,如果 Zr 的含量太高,还会导致难以写入,也就是说难以降低电阻。另一方面,如果 Zr 的添加量太小,会减弱上述的宽范围电阻值保持特性的改善效果。基于上述考虑,离子源层 21 中的 Zr 含量优选为 7.5 原子%以上,且更加优选为 26 原子%以下。

[0056] 另外,尽管向离子源层 21 中添加适量的 Cu 的确促进了非晶化,然而如果 Cu 的含量过多,则由于金属形态的 Cu 在含有硫族元素的离子源层 21 中的稳定性不足,因而该金属形态的 Cu 会使写入保持特性劣化或者会对写入操作的速度产生不利影响。但是, Zr 与 Cu 的组合产生了如下效果:使离子源层 21 容易处于非晶状态,并且能使离子源层 21 的微细结构保持均匀性。这就防止了由于重复操作而导致离子源层 21 中的材料组分变得不均匀,从而增加了重复次数并且改善了保持特性。当在上述范围内离子源层中的 Zr 含量是足量的情况下,即使由 Cu 形成的传导路径再次溶解于离子源层 21 中,也可认为由金属锆(Zr)形成的传导路径依然留存,因此不会对写入保持特性产生影响。此外,对于 Cu 的优选添加量,只要很可能是由于离解和离子化而产生的阳离子与阴离子符合电荷量的当量关系即可,假设这两种离子的电荷的当量比落入下面关系式所表达的范围内。

[0057] $\{(Zr \text{ 离子的最高化合价} \times \text{摩尔数或原子}\%) + (\text{Cu 离子的化合价} \times \text{摩尔数或原子}\%)\} / (\text{硫族元素离子的化合价} \times \text{摩尔数或原子}\%) = 0.5 \sim 1.5$

[0058] 这里要注意的是,实际上,存储元件 1 的特性例如依赖于 Zr 与诸如 Te 等硫族元素之间的组分子比。因此, Zr 与硫族元素之间的组分子比优选落入下面关系式所表达的范围内。

[0059] $Zr \text{ 的组分子比(原子}\%) / \text{硫族元素的组分子比(原子}\%) = 0.2 \sim 0.74$

[0060] 该范围不一定总是明确的,但由于 Cu 的离解度低于 Zr 的离解度,并且由于离子源层 21 的电阻值是由 Zr 与硫族元素之间的组分子比确定的,因此只要 Zr 与硫族元素之间的组分子比落入上述范围内,所述电阻值就仍然是适当的。因此,可以认为,这是因为施加于存储元件 1 的偏置电压有效地作用于电阻变化层 22 这个部分。

[0061] 当组分子比的值不在上述范围内时,例如,在当量比太大时,就失去了阳离子与阴离子间的平衡,并且因此在现存金属元素之中任何未被离子化的元素的量增加。这样,在擦除操作的过程中可能无法有效地除去因写入操作而产生的传导路径。同样地,在由于当量比太小而使得阴离子元素过多地存在的情况下,因写入操作而产生的呈金属形态的传导路径不易于以金属形态保持住。因此,可以认为写入状态保持特性被劣化了。

[0062] 当 Al 的含量太多时, Al 离子变得容易移动,从而通过 Al 离子的还原而生成了写入状态。由于呈金属形态的 Al 在硫族化物固体电解质中的稳定性不足,因而低电阻写入状态保持特性会劣化。另一方面,当 Al 的含量过小时,会使擦除操作自身的改善效果或者高

电阻区域保持特性的改善效果变差,从而使重复次数减少。基于上述考虑,离子源层 21 中的 Al 含量优选为 30 原子%以上,并且更加优选为 50 原子%以下。

[0063] 这里,Ge 不是必须含有的,但当添加了 Ge 时,考虑到 Ge 含量太多会使写入保持特性劣化,因此 Ge 含量优选为 15 原子%以下。

[0064] 下面,说明本实施例中存储元件 1 的制造方法。

[0065] 首先,在形成有诸如选择晶体管等 CMOS 电路的基板上形成由例如 TiN 等制成的下部电极 10。然后,如果需要的话,通过例如逆溅射法 (reverse sputtering) 去除下部电极 10 的表面上的任何氧化物等。接着,在溅射装置中通过更换靶材来依次形成直至上部电极 30 的各层 (包括电阻变化层 22 (即,第一层 22A 和第二层 22B) 以及离子源层 21)。这里的靶材分别具有适合于相应层的材料的组分。电极的直径为 $50 \sim 300\text{nm}\phi$ 。利用由组分元素构成的靶材来同时形成合金膜。

[0066] 在直至上部电极 30 的各层形成以后,形成连接至上部电极 30 的布线层 (未图示),并且与接触部连接以获得全部存储元件 1 的共用电位。随后,对上述层叠起来的膜进行后退火处理。这样就完成了图 1 中的存储元件 1。

[0067] 图 4A 和图 4B 分别是示出了作为比较例的存储元件 110 的电阻变化层 220 中的电阻变化原理的示意图。在该存储元件 110 中,向上部电极和下部电极 (均未图示) 施加电压使得上部电极和下部电极分别处于正电位和负电位。响应于此,如图 4A 所示,可移动离子 210a 从离子源层 210 侧移动到电阻变化层 220 中,从而形成传导路径 210b。这就降低了电阻变化层 220 的电阻值,从而进行了写入。接着,此时向上部电极和下部电极的每一者施加与用于写入时所施加的电压的极性相反的电压。响应于此,传导路径 210b 中的金属元素再次被离子化,且如图 4B 所示,这些金属元素随后移动到电阻变化层 220 与离子源层 210 之间的界面上。这就增大了电阻变化层 220 的电阻值,从而进行了擦除。

[0068] 然而,在擦除后的存储元件 110 中,如图 5A 所示,已经到达电阻变化层 220 与离子源层 210 之间的界面的金属元素开始逐渐地扩散到整个电阻变化层 220 中。因此,在电阻变化层 220 内形成了由可移动离子 210a 产生的电子定域格点 210c。这些电子定域格点 210c 是由于擦除时残留的可移动离子 210a 或者由于电阻变化层 220 内部的具有组分不均一情况的例如缺陷和晶粒边界等任何部分而形成的电子结构。这样的电子定域格点 210c 被认为是引起元件间电阻差异的原因。具体地,当电阻变化层 220 包括有任何的电子定域格点 210c 时,这些电子定域格点 210c 在所谓的绝缘体中起到杂质的作用。这被认为是导致电子定域格点 210c 之间有跳跃电流 (hopping current) 流过的原因,或者是电子定域格点 210c 作为诸如带状传导等电流路径而使得电阻下降的原因。此外,电子定域格点 210c 形成在整个电阻变化层 220 中,因此电子定域格点 210c 的数量对上述这种电阻变化会产生很大影响。因此,对于现有技术的存储元件而言,元件间存在着电阻值差异,从而导致了芯片成品率降低的缺点。

[0069] 另一方面,对于本实施例中的存储元件 1 而言,电阻变化层 22 是包括由具有不同扩散系数的材料制成的第一层 22A 和第二层 22B 的双层结构。此外,在下部电极 10 侧的第一层 22A 中,可移动原子在室温下具有较小的扩散系数,即 $1.0 \times 10^{-21}\text{m}^2/\text{s}$ 以下。因此,即使在擦除后可移动离子从离子源层 21 扩散到电阻变化层 22 的第二层 22B 中,仍可以防止可移动离子扩散到第一层 22A 中。换言之,防止了在整个电阻变化层 22 中都形成有电子定域

格点 210c。

[0070] 图 6A 和图 6B 分别示出了通过分子动力学的模拟而得到的存储元件中的可移动离子的密度分布的测量结果,具体地,图 6A 示出了其中电阻变化层是单层结构的存储元件 110 中的测量结果,图 6B 示出了本实施例的存储元件 1 中的测量结果。在本示例中,离子源层 210 和离子源层 21 都是由含有可移动离子的氧化物制成的,并且存储元件 110 中的电阻变化层 220 是由具有高扩散系数的材料制成的。在存储元件 1 中的电阻变化层 22 中,第一层是由 SiO_2 制成的,而第二层是由 Al_2O_3 制成的。通过熔体淬火 (melt quench) 分别使这些层非晶化,并将得到的各层进行层间接合。随后,进行测量,从而得到擦除后离子源层 210 和离子源层 21 中的可移动离子的分布随时间的变化以及电阻变化层 220 和电阻变化层 22 中的可移动离子的分布随时间的变化。上述测量是在这样的条件下进行的:采用了具有处于 Nose-Hoover 热浴时的恒定温度及恒定体积的系综(统计系综),最小时间增量为 1 飞秒(fs),并且为了加快计算时间而采用温度 1100K。X 轴对应于存储元件 110 的电阻变化层 220 和离子源层 210 的位置以及存储元件 1 的电阻变化层 22 和离子源层 21 的位置,即,3 ~ 5nm 之间的范围是电阻变化层 220 和电阻变化层 22 的位置,5 ~ 8nm 之间的范围是离子源层 210 和离子源层 21 的位置。对于存储元件 1 中的电阻变化层 22 而言,3 ~ 4nm 之间的范围是第一层 22A 的位置,4 ~ 5nm 之间的范围是第二层 22B 的位置。

[0071] 从图 6A 和图 6B 中可知,对于现有技术的存储元件 110 来说,在擦除后(初始)紧接着经过 4ns 或 5ns 之后,可移动离子 210a 就开始扩散到电阻变化层 220 中。另一方面,在存储元件 1 中,可移动离子的扩散在作为第一层 22A 与第二层 22B 之间的边界的 4nm 处的附近就停止了。通过这样调整电阻变化层 22 中的扩散系数,对擦除后将要产生的可移动离子的扩散速度进行控制,从而有利地防止了存储元件 1 中任何可能的电阻值差异。

[0072] 如图 7 所示,利用第一层 22A 与第二层 22B 二者间的化学势差别也能够解释对可移动离子从离子源层 21 向电阻变化层 22 中的扩散所进行的这种控制。由具有不同扩散系数的材料制成的第一层 22A 和第二层 22B 的化学势不同。扩散系数差别和化学势差别是不同的物理量,但是这二者之间具有由下面的等式 1 所表示的关系。一般情况下,具有小扩散系数的材料的化学势大,而具有大扩散系数的材料化学势小。如上所述,由于可移动离子的扩散与化学势的梯度成比例,所以防止了已经从离子源层 21 扩散到第二层 22B 中的可移动离子扩散至第一层 22A 中。

[0073] 等式 1:

$$D = D_0 \exp(-\mu / kT) \dots \dots \text{等式 1}$$

[0075] 其中, D :扩散系数, D_0 :自扩散系数, μ :化学势, T :温度。

[0076] 此外,利用包括有设置在下部电极 10 与第二层 22B 之间且由具有小扩散系数的材料制成的第一层 22A 的结构,防止了在写入时可移动离子进入第一层 22A 中,从而有利地防止了由于可移动离子的位置靠近下部电极 10 而引起的任何可能的金属结合。这就防止了如下缺点:在擦除时可移动离子残留在下部电极 10 附近。

[0077] 另外,在由具有小扩散系数的材料制成的第一层 22A 中,防止了可移动离子的任何热运动。这就消除了装置的操作过程中发生任何的电阻值变化。这种电阻值变化就像电阻的随机电报噪声(random telegraph noise)一样会对装置的操作产生不利的影

[0078] 如上所述,在本实施例的存储元件 1 中,电阻变化层 22 是包括由具有不同扩散系数的材料制成的第一层 22A 和第二层 22B 的双层结构。此外,在下部电极 10 侧的第一层 22A 中,可移动原子在室温下具有较小的扩散系数,即 $1.0 \times 10^{-21} \text{m}^2/\text{s}$ 以下。这就防止了擦除后由于可移动离子从离子源层 21 扩散到电阻变化层 22 中而引起的任何可能的电阻变化。因此,防止了各存储元件 1 之间出现电阻值差异,从而能够提高包含多个存储元件 1 的芯片的成品率。

[0079] 此外,能够将擦除时的电阻值设定为低电阻值,从而使得允许增大操作电压的裕度。换言之,能够使装置的除了电特性以外的特性最优化,例如,伴随着擦除电压的减小,存储元件能够具有更好的寿命特性。此外,能够减小可移动离子通过扩散而达到的迁移宽度,从而改善保持特性。

[0080] 存储装置

[0081] 通过例如以行的形式或以矩阵的形式布置多个上述存储元件 1,能够构造出存储装置(存储器)。在此情况下,视需要,通过将各存储元件 1 连接至用于对元件进行选用的 MOS 晶体管或连接至二极管来构造出存储单元。随后可将所得到的存储单元的每一者通过布线连接至读出放大器(sense amplifier)、地址解码器、写入电路、擦除电路及读取电路等。

[0082] 图 2 和图 3 分别示出了包括以矩阵形式布置的多个存储元件 1 的示例性存储装置(存储单元阵列)。图 2 示出了存储单元阵列的截面结构,而图 3 示出了存储单元阵列的结构平面图。在该存储单元阵列中,对于各存储元件 1,与其下部电极 10 侧相连接的布线以及与其上部电极 30 侧相连接的布线被设置得相互交叉,并且存储元件 1 被布置在各个交叉点处。

[0083] 所有存储元件 1 都共用电阻变化层 22(第一层 22A 和第二层 22B)、离子源层 21 和上部电极 30 这些层。换言之,这些层(即,电阻变化层 22、离子源层 21 和上部电极 30)的每一者被全部存储元件 1 共用(这些层的每一者都是被全部存储元件 1 使用的一个特定层)。上部电极 30 是被任意相邻单元共用的平板电极 PL。

[0084] 另一方面,下部电极 10 是对应于各存储单元而单独设置的,因而这些存储单元是相互电分离的。这样,存储单元中的存储元件 1 分别被限定为处于与该存储单元的下部电极 10 对应的位置处。下部电极 10 分别连接至用于对单元进行选用的相应 MOS 晶体管 Tr,并且各个存储元件 1 被布置在相应 MOS 晶体管 Tr 的上方。

[0085] MOS 晶体管 Tr 由源极漏极区域 43 和栅极电极 44 构成,该源极漏极区域 43 和栅极电极 44 形成在基板 41 中的被元件隔离层 42 隔开的区域中。在栅极电极 44 的壁面上形成有侧壁绝缘层。栅极电极 44 也兼用作字线(word line)WL,该字线 WL 是存储元件 1 的两种地址线中的一种。MOS 晶体管 Tr 的源极漏极区域 43 中的一者通过多个层(即,柱塞层 45、金属布线层 46 和柱塞层 47)电连接至存储元件 1 的下部电极 10。MOS 晶体管 Tr 的源极漏极区域 43 中的另一者通过柱塞层 45 连接至金属布线层 46。金属布线层 46 连接至位线(bit line)BL(参见图 3),该位线 BL 是存储元件 1 的两种地址线中剩下的另一种地址线。需要注意的是,在图 3 中,MOS 晶体管 Tr 的有源区域 48 是由长短交替的虚线表示的。在有源区域 48 中,接触部 51 与存储元件 1 的下部电极 10 相连接,而接触部 52 与位线 BL 相连接。

[0086] 在这样的存储单元阵列中,当通过字线 WL 使 MOS 晶体管 Tr 的栅极处于接通状态并且向位线 BL 施加电压时,该电压通过 MOS 晶体管 Tr 的源极及漏极而被施加到所选的存储单元的下部电极 10 上。在本示例中,对于施加到下部电极 10 上的电压,当该电压的极性相比于上部电极 30(平板电极 PL)的电位而言为负电位时,如上所述那样存储元件 1 的电阻值转变为低电阻状态,从而使信息被写入所选的存储单元中。接着,当这次施加至下部电极 10 上的电压的电位相比于上部电极 30(平板电极 PL)的电位而言为正电位时,存储元件 1 的电阻值再次转变为高电阻状态,从而使已写入到所选的存储单元中的信息被擦除。为了读取所写入的信息,例如,通过 MOS 晶体管 Tr 来选择存储单元,并且向该所选的存储单元施加预定大小的电压或电流。通过连接至位线 BL 的端部或平板电极 PL 的端部的读出放大器等,来检测此时根据存储元件 1 的电阻状态而在大小上发生变化的上述电流或电压。这里,将施加至所选的存储单元的上述电压或电流设定为小于使存储元件 1 呈现出电阻值变化的电压等的阈值。

[0087] 本实施例的存储装置可适用于上述各种类型的存储装置。例如,该存储装置能够适用于诸如下列的任何类型的存储器:仅可写入一次的 PROM;电可擦除的 EEPROM;或者能够进行高速写入、擦除和再生的所谓的 RAM 等。

[0088] 虽然已经对本发明进行了详细说明,但上面的说明在所有方面都是示例性的而不是限制性的。应当理解的是,可以做出许多其他的变形和改变。例如,在上述实施例中,电阻变化层是由扩散系数不同的两层构成的,但作为可候选的方案,电阻变化层可以是三层以上的结构。

[0089] 此外,在上述实施例中,例如,具体说明了存储元件 1 的结构以及存储单元阵列的结构。然而,不是必须要设置全部的层,或者也可以设有任何其他层。

[0090] 另外,例如,上面实施例中所述的各层的材料、成膜方法、成膜条件等当然不是限制性的,也可以采用任何其他材料或任何其他成膜方法。例如,可以向离子源层 21 添加诸如 Ti、Hf、V、Nb、Ta、Cr、Mo 或 W 等任何其他过渡金属元素,只要仍然保持上述组分比即可。此外,除了 Cu、Ag 和锌 (Zn) 以外,还可以添加镍 (Ni) 等。

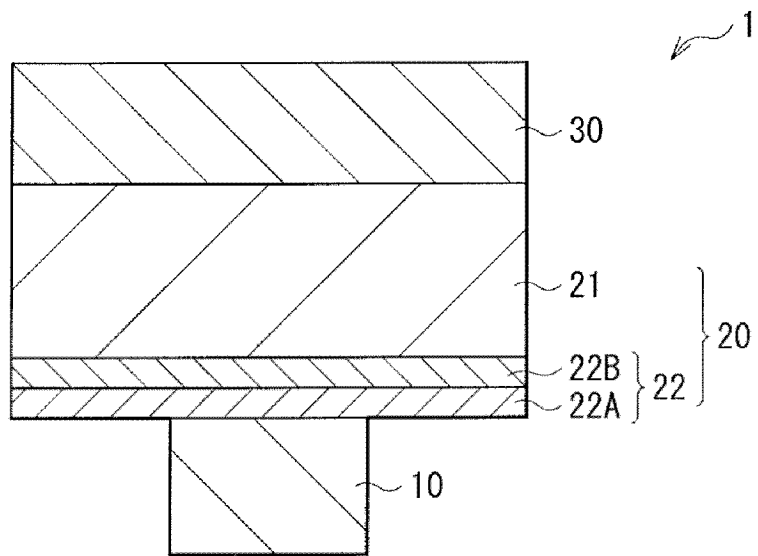


图 1

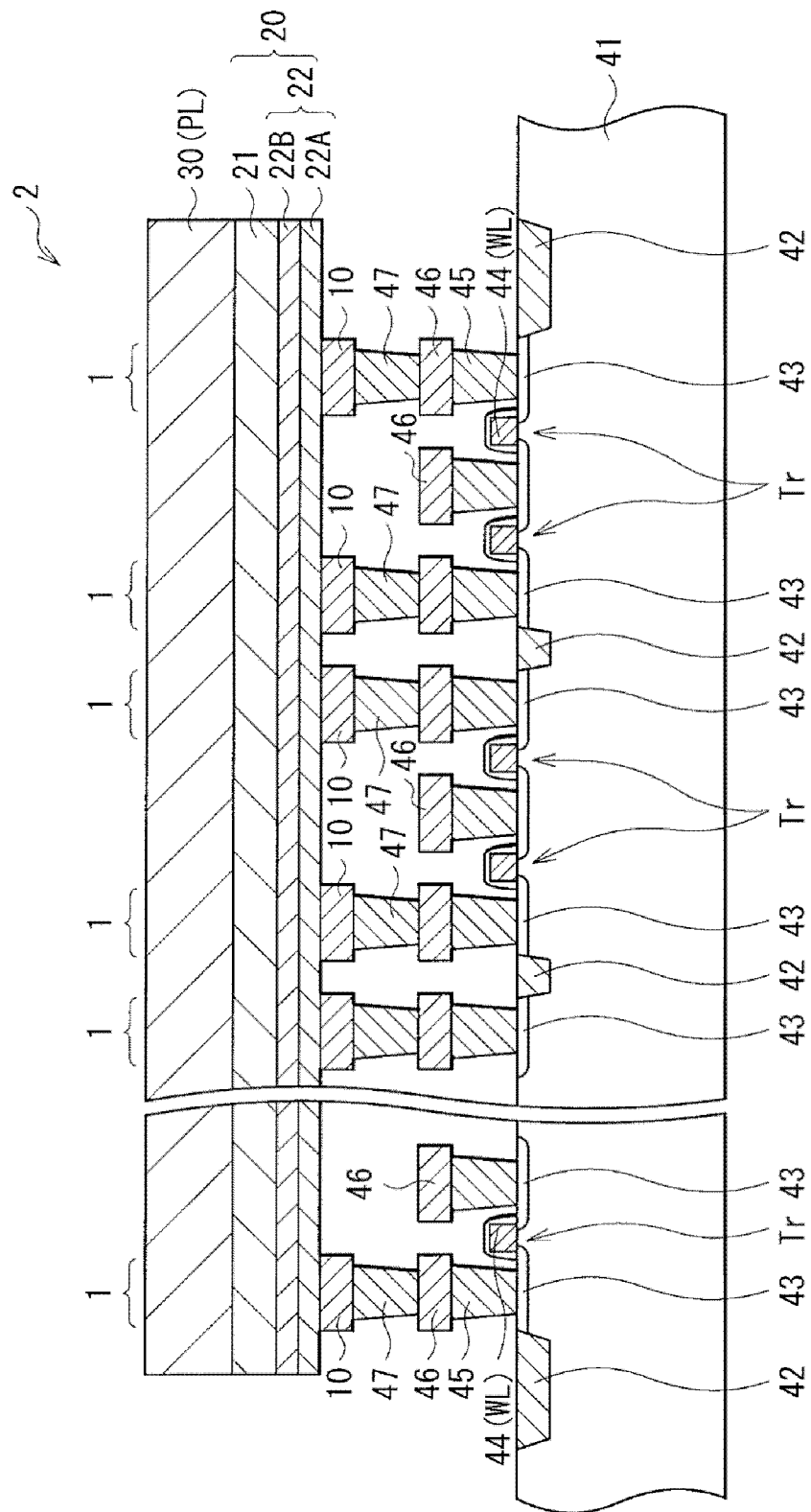


图 2

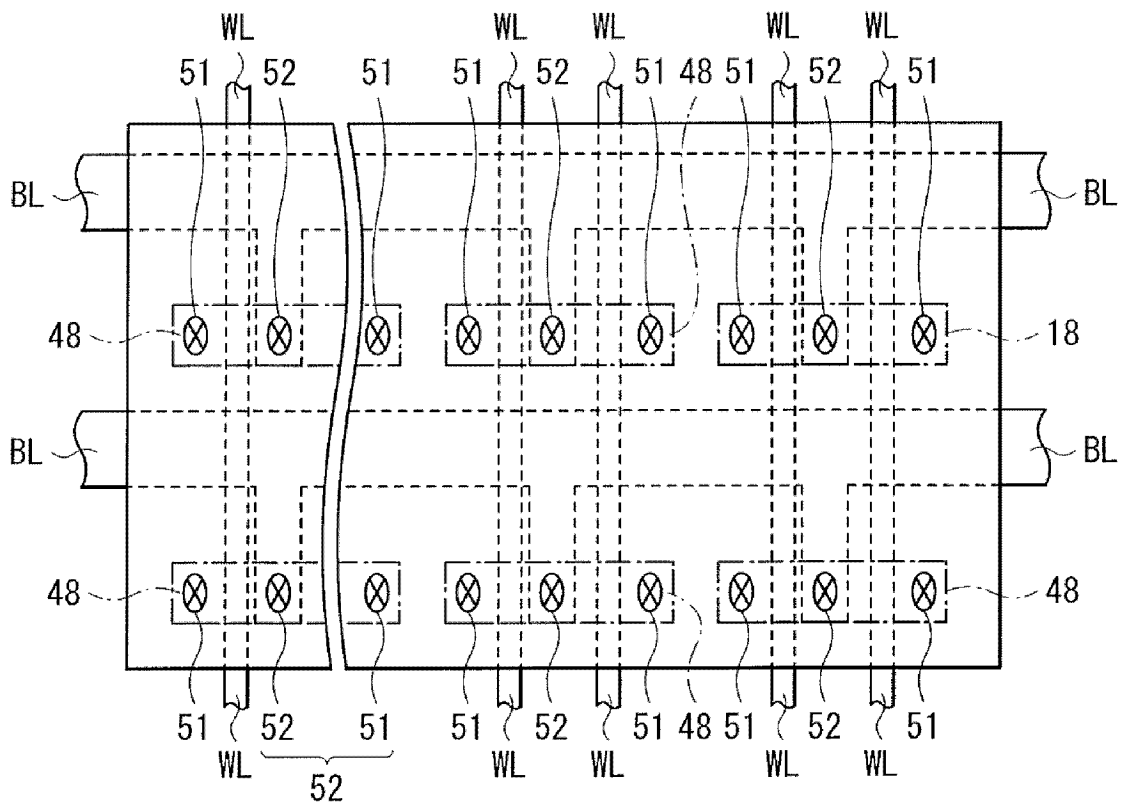


图 3

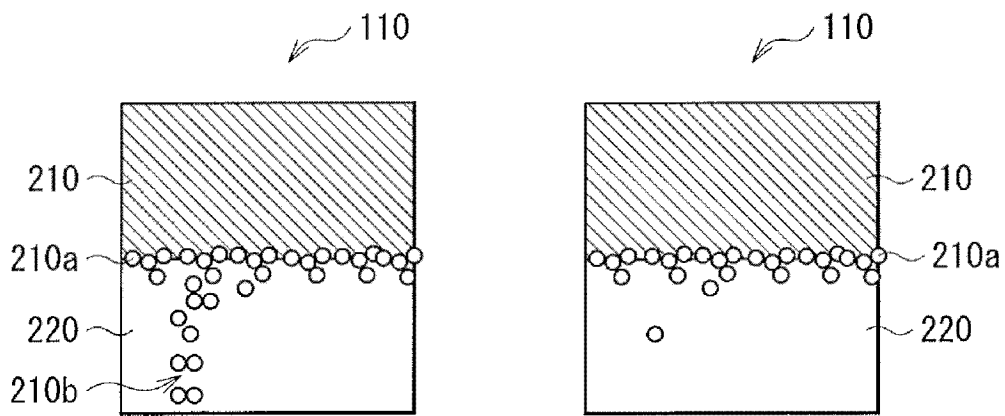


图 4A

图 4B

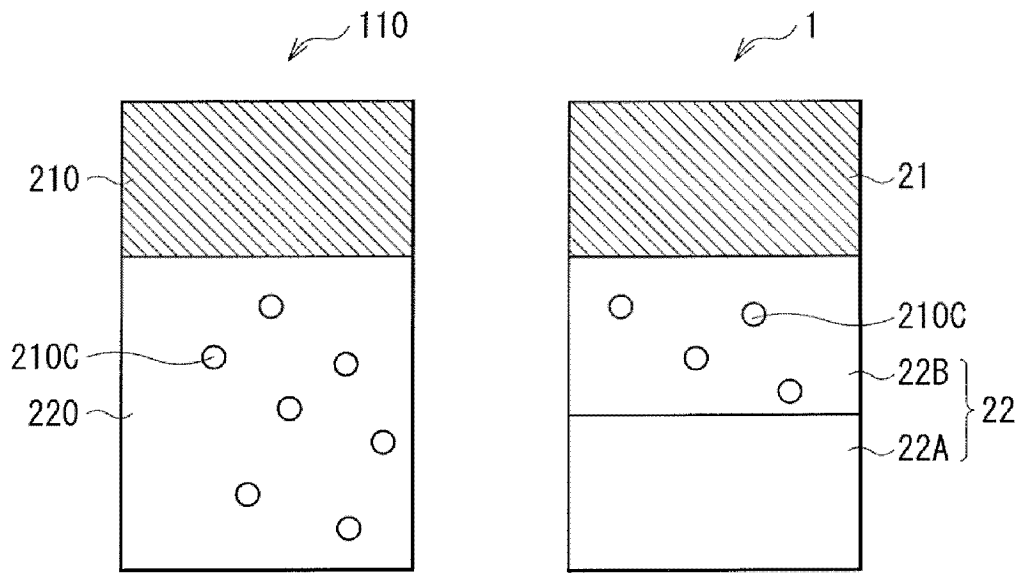


图 5A

图 5B

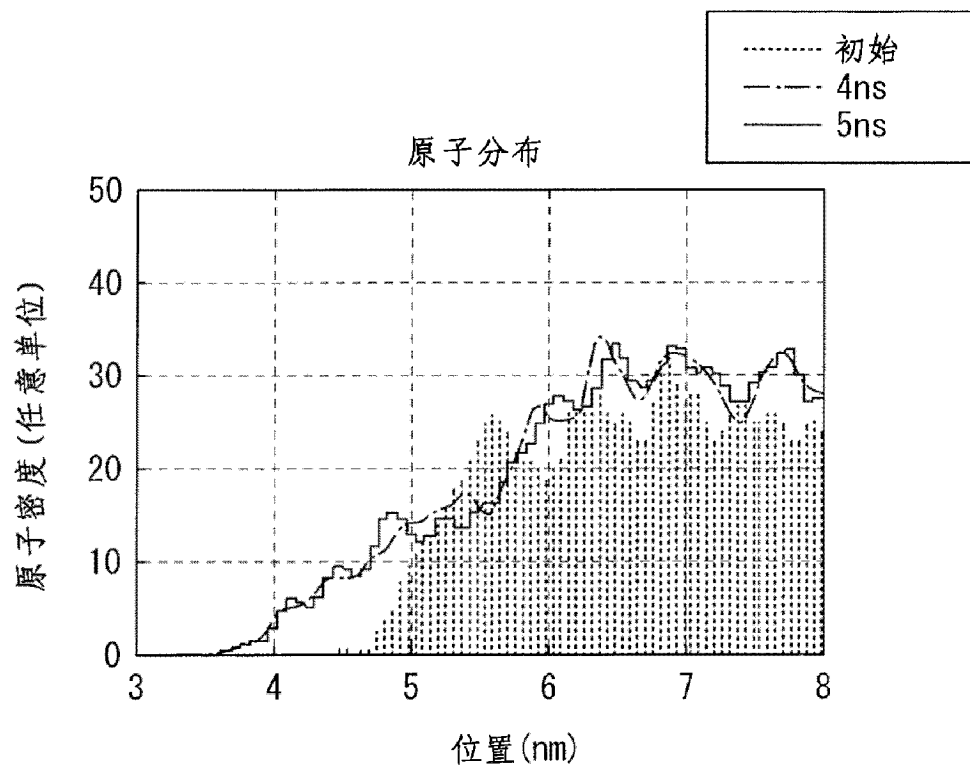


图 6A

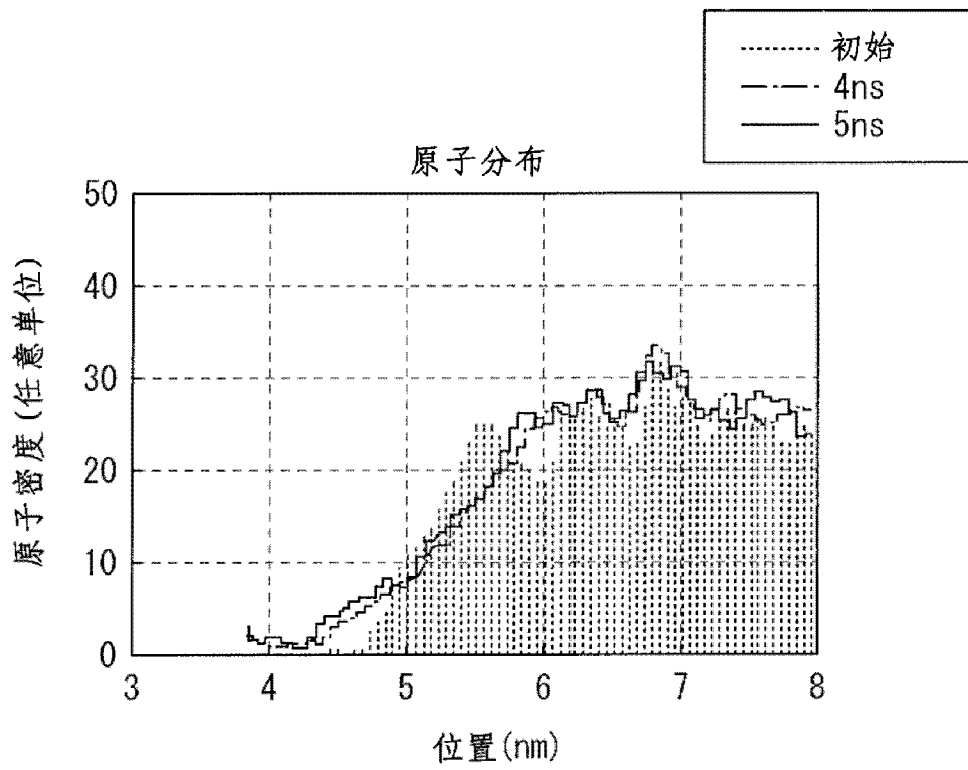


图 6B

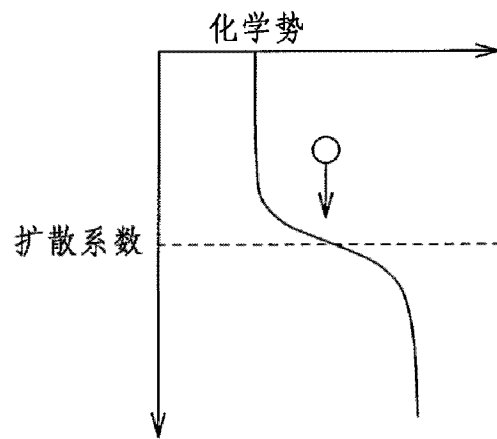


图 7