(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 29/73

(45) 공고일자 1999년03월20일
(11) 등록번호 특0180325
(24) 등록일자 1998년12월01일

(21) 출원번호	특1995-029729	(65) 공개번호	특1996-012555
(22) 출원일자	1995년09월12일	(43) 공개일자	1996년04월20일
(30) 우선권주장	94-217351 1994년09월12일 일본(JP)		

(73) 특허권자 닛뽕덴끼 가부시끼가이샤 가네꼬 히사시
일본국 도오꾜도 미나또구 시바 5쪼메 7방 1고
(72) 발명자 사또 후미히꼬
일본국 도오꾜도 미나또꾸 시바 5쪼메 7방 1고 닛뽕덴끼 가부시끼가이샤 나이
(74) 대리인 윤여범, 박해선

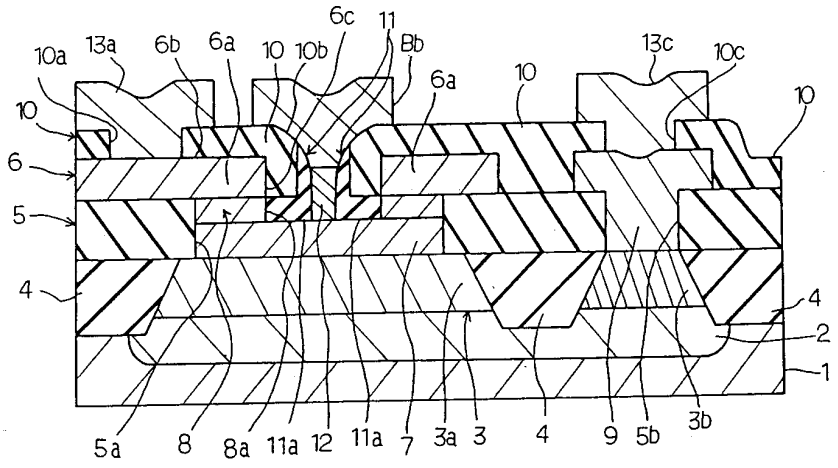
심사관 : 조신호

(54) 얇은 베이스영역에 누설전류가 흐르지 않는 바이폴라 트랜지스터를 갖는 반도체장치 및 그 제조방법

요약

바이폴라 트랜지스터는 실리콘 산화층(25)에 의해 형성된 단결정 실리콘 콜렉터영역(23a)위의 공간부(25a)에 베이스 구조(31)를 구비하고 베이스 구조는 단결정 실리콘 에미터영역(32a) 둘레에 형성된 외인성 베이스층(31c/31d)과 에미터영역(32a)을 위한 열처리에서의 열응력에 의한 전위를 감소시키기 위하여 중앙부로부터 바깥쪽을 향하여 두께가 감소하는 단결정 실리콘 게르마늄의 진성 베이스층(31a/31b)을 가지고 있다.

대표도



명세서

[발명의 명칭]

얇은 베이스 영역에 누설 전류가 흐르지 않는 바이폴라 트랜지스터를 갖는 반도체 장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 종래의 바이폴라 트랜지스터의 구조를 나타내는 단면도.

제2a~2c 도는 종래의 바이폴라 트랜지스터의 제조순서를 나타내는 단면도.

제3도는 본 발명의 바이폴라 트랜지스터의 구조를 나타내는 단면도.

제4a~4g도는 본 발명의 바이폴라 트랜지스터의 제조순서를 나타내는 단면도.

제5도는 본 발명의 바이폴라 트랜지스터와 종래의 바이폴라 트랜지스터 사이의 누설전류를 나타내는 그래프.

제6도는 본 발명의 다른 바이폴라 트랜지스터의 구조를 나타내는 단면도.

* 도면의 주요부분에 대한 부호의 설명

21 : p형 단결정 실리콘 기판　　22a : n형 매입층

22b, 22c : p형 채널 스토퍼영역　　23 : n형 단결정 실리콘층

24 : 산화층　　25 : 실리콘 산화층

27 : p형 폴리실리콘 베이스 전극　　27a : 돌출부

28 : n형 폴리실리콘 콜렉터 전극　　29 : 실리콘 산화층

31a : 단결정 실리콘 게르마늄층　　31b : p형 단결정 실리콘 게르마늄층

31c : p형 단결정 실리콘층　　31d : p형 다결정 적층구조

[발명의 상세한 설명]

본 발명은 반도체장치와 그 제조방법에 관한 것으로, 특히 바이폴라 트랜지스터를 포함하는 반도체 장치와 그 제조방법에 관한 것이다.

바이폴라 트랜지스터를 고속으로 하기 위하여 각종의 방법에 제안되어 오고 있는데, 베이스층을 얇게 하는 것에 의해 바이폴라 트랜지스터의 스위칭 속도를 향상시킬 수 있는 것으로 알려져 있다. 얇은 베이스층을 갖춘 바이폴라 트랜지스터와 그 제조방법의 전형적인 예는 일본국 특개평 4-330730호에 명시되어 있다.

제1도는 일본국 특개평에 명시된 바이폴라 트랜지스터의 구조를 나타낸다. 바이폴라 트랜지스터는 p형 단결정 실리콘 기판(1)위에 제조되고 실리콘 기판(1)의 저항률은 약 15Ω·㎝ 정도이다. 비로소 짙게 도핑된 매입층(2)이 p형 단결정 실리콘 기판(1)의 표면부에 형성된다. 매입층(2)과 단결정실리콘(1)위에 5×10^{15} ㎝$^{-3}$의 불순물 농도와 1.0미크론의 두께로 얕게 도핑된 n형 실리콘 콜렉터층(3)이 에피텔셜 성장한다. n형 실리콘 콜렉터층(3)은 선택적인 산화에 의해 선택적으로 산화되고 산화층(4)이 n형 실리콘 콜렉터층(3)을 통해 단결정 실리콘 기판(1)에 침투한다. 단결정 실리콘 기판(1)에 침투한 산화층(4)은 매입층(2)에 능동장치영역을 형성하고 매입층에 침투한 산화층(4)은 매입층(2)에 능동장치영역을 형성하고 매입층에 침투한 산화층은 능동장치영역을 2개의 부영역으로 분할한다. 왼쪽의 부영역은 바이폴라 트랜지스터의 콜렉터(3a)로 제공되며 오른쪽의 부영역은 인확산에 의해 짙게 도핑된 n형 콜렉터 접촉영역(3b)로서 제공된다.

실리콘 콜렉터층(3)은 실리콘 산화층(5)으로 덮여 있으며, 2개의 구멍부(5a, 5b)개 실리콘 산화층(5)에 형성되어 있다. 콜렉터(3a)는 구멍부(5a)에 부분적으로 노출되며, 짙게 도핑된 n형 콜렉터 접촉영역(3b)은 다른 구멍부(5b)에 노출된다.

p형 폴리실리콘층(6)은 실리콘 산화층(5) 위에 패터닝되어 있으며 구멍부(5a)에 수평으로 뻗은 돌출부(6a)를 가지고 있다. 반면에 단결정 p형 베이스영역(7)이 구멍부(5a)의 하부에 형성되어 있으며, 돌출부(6a)와 함께 갭을 형성한다. 갭은 p형 폴리실리콘층(8)으로 충전되어 있으며, p형 폴리실리콘층(8)은 단결정 p형 베이스영역(7)에 인접해 있다. p형 폴리실리콘층(8)은 돌출부(6a)의 아랫면으로부터 성장하며, 구멍부(5a)의 상부의 중심영역을 점유하지 못한다.

다른 구멍부(5b)는 n형 폴리실리콘층(9)으로 충전되어 있고, n형 폴리실리콘층(9)은 콜렉터 접촉영역(3b)과 접촉하고 있다.

실리콘 질화층(10)은 p형 폴리실리콘층(6)의 윗면(6b)과 내측면(6c)과 n형 폴리실리콘층(9)을 덮고, 산화규소의 측벽(11)은 p형 폴리실리콘(8)의 내측면(8a)을 덮는다. 측벽(11)의 아랫면(11a)은 단결정 베이스영역(7)의 윗면과 인접해 있으며 단결정베이스영역(7)의 협소한 중심영역을 협소한 구멍부를 통해 노출시킨다.

단결정 n형 에미터영역은 측벽(11)에 의해 형성된 협소한 구멍부를 점유하며, p-n접합을 형성하기 위해 단결정 베이스영역(7)의 협소한 중심면과 접촉하고 있다. 접축구멍부(10a, 10b, 10c)가 실리콘 질화층(10)에 형성되고, 베이스전극(13a), 에미터전극(13b), 콜렉터전극(13c)가 접촉구멍부(10a, 10b, 10c)를 통해 각각 p형 폴리실리콘층(6), 단 결정 n형 에미터영역(12), n형 폴리실리콘층(9)과 접촉하고 있다. 이들 전극은 알루미늄계로 형성되고 있다.

종래의 바이폴라 트랜지스터는 제2a~2c도에 나타낸 제조순서에 의해 제조되었다. 상세히 말하면, 산화층(4)을 선택적으로 성장시킨 후에, 실리콘 산화층(5)을 실리콘 콜렉터층(3)과 산화층(4)의 전표면에 피복하고 리소그래픽 기술에 의해 실리콘 산화층(5)에 구멍부(5b)를 형성한다. 피복시에 제조업자는 실리콘 산화층(5)의 두께를 정확히 조절해야 한다.

폴리실리콘이 구조의 전면에 피복되고 구멍부(5b)는 폴리실리콘으로 충전되어 있다. 콜렉터(3a) 위의 폴리실리콘층에 접촉하는 콜렉터와 폴리실리콘부분을 분리하기 위하여 폴리실리콘층을 부분적으로 제거한다. p형 불순물을 콜렉터 위의 폴리실리콘층에 주입하고, n형 불순물을 폴리실리콘 부분에 주입하여 n형 폴리실리콘층(9)을 구멍부(5b)에 설치한다.

콜렉터(3a)의 중심영역 위에 구멍부(14)를 형성하기 위해 이방성 에칭을 이용하여 콜렉터(3a) 위의 p형 폴리실리콘층을 패터닝한다. 질화규소가 구조의 전면에 걸쳐 피복되어 있고, 구멍부(14)은 질화규소로 충전되어 있다.

이방성 에칭을 이용하여, 구멍부(14)의 실리콘 질화층은 실리콘 산화층(5)이 노출될 때까지 부분적으로 에칭된다. p형 폴리실리콘층(6)의 윗면(6b)과 내측면(6c)에 질화규소가 남아 있다.

고온의 인산용액을 이용하여, 실리콘 질화층(10)에 형성된 구멍부에 노출된 표면으로부터 실리콘 산화층(5)이 에칭되고, 공간부(15)가 실리콘 산화층(5)에 형성된다. 공간부(15)는 돌출부(6a)를 형성하고, 콜렉터(3a)는 공간부(15)로 노출된다. 그 결과로서 생기는 구조를 제2도에 나타내었다.

가스 소오스 분자선 에피텍시법, UHV/CVD 법, LPCVD법을 이용하여 단결정 p형 베이스영역(7)과 p형 폴리실리콘층(8)은 각각 콜렉터(3a)의 노출된 표면과 돌출부(6a)의 아랫면으로부터 성장한다.

단결정 p형 베이스영역(7)은 위로 성장하고, p형 폴리실리콘층(8)은 아래로 성장한다. 마지막으로, 제2c도에 나타낸 바와 같이, 단결정 p형 베이스영역(7)이 p형 폴리실리콘층(8)과 결합되고, 에미터(12)가 남아있는 공간부(15)에 형성된다. n형 불순물로 에미터를 짙게 도핑하기 위해, 열처리를 수행한다.

단결정 p형 베이스영역(7)이 실리콘 콜렉터층(3) 위에서 에피텍셜 성장하여 진성 베이스로서 제공된다. 실리콘 산화층(5)은 예를 들어 1100Å 정도이고, 단결정 p형 베이스영역(7)은 실리콘 산화층(5)보다 얇다. 그러므로 종래의 제조방법은 얇은 베이스영역(7)을 제공하며, 종래의 바이폴라 트랜지스터는 얇은 베이스영역(7)에 의해 스위치동작이 개선된다.

더욱이, 에미터가 남아있는 공간부(15)의 중앙부에 있는 구멍부(14)를 통해 형성되고 베이스영역(7)에 끼워진다. 이것에 의해 점유한도가 요구되지 않으며, 종래의 바이폴라 트랜지스터가 비교적 좁은 영역을 차지하는 것을 의미한다.

일본국 특개평에 제안된 것과 같이, 진성 베이스영역(7)과 외인성 베이스영역(8)이 각각 단결정 실리콘 게르마늄과 폴리실리콘 실리콘 게르마늄으로 형성될 수도 있으며, 실리콘 게르마늄 베이스구조는 스위칭 동작은 더욱 개선시킨다. 본 발명자는 1992년 IEDM(International Electron Devices Meeting)의 p.397~400에 도핑되지 않은 SiGe층, 경사 SiGe층과 짙게 도핑된 또는 옅게 도핑된 p형 실리콘층으로부터 형성된 베이스구조를 제안하였다.

그러나, 실리콘 게르마늄 베이스구조를 갖는 종래의 바이폴라 트랜지스터는 베이스영역(7)에 많은 양의 누설전류가 흐른다는 문제점이 있다.

그러므로, 본 발명의 중요한 목적은 베이스영역에 누설전류가 흐르지 않는 반도체 장치를 제공하는 것이다.

본 발명의 다른 중요한 목적은 베이스 영역에 누설전류가 흐르지 않는 반도체 장치를 제조하는 방법을 제공하는 것이다.

본 발명자는 그 문제점을 심사숙고하여 베이스영역의 전위가 누설전류를 증가시킨다고 판단하였다.

상세히 말하면, 실리콘 산화층(5), 단결정 실리콘의 콜렉터영역(3a), 실리콘 게르마늄의 베이스영역(7)은 협소한 공간부(15)에 경계선을 긋는다. 단결정 실리콘은 실리콘 게르마늄과 격자계수에 있어서 다르고 산화규소, 단결정 실리콘과 실리콘 게르마늄은 서로 열팽창계수가 다르다.

그러나 베이스구조가 완성된 후에 에미터 영역(12)을 위한 드라이브인 단계가 수행되고, 단결정 실리콘 콜렉터(3a)와 실리콘 게르마늄 베이스 구조(7/8)는 드라이브인 단계동안에 가열된다. 결과적으로 베이스영역(7)의 변형은 단결정 실리콘의 임계값을 초과하고, 베이스영역(7)에 바람직하지 못한 전위가 발생한다.

본 발명의 목적을 달성하기 위해, 본 발명은 베이스구조의 주변부의 두께를 전위용 임계 두께보다 적게 감소시키는 것을 제안한다.

본 발명의 한 형태에 의하면, 바이폴라 트랜지스터를 갖는 반도체 장치를 제공하며, 바이폴라 트랜지스터는 제1단결정 물질로 이루어진 제1도전형의 콜렉터영역과; 제1절연물질로 이루어지고 콜렉터영역 위에 형성되며 콜렉터영역의 표면을 노출시키는 제1구멍부를 갖는 제1절연층과; 제1절연층 위에 형성되며 제2구멍부가 제1구멍부에 끼워 넣어지도록 제1구멍부 위에 돌출된 돌출부를 보유하는 제1도전형과 반대인 제2도전형의 베이스전극과; 제1구멍부에 형성되며 콜렉터영역의 표면과 접촉하고, 진성 베이스층의 바깥쪽을 향하여 제2구멍부 아래의 진성 베이스층의 중앙부로부터 두께가 감소하는 경사면을 갖고, 제1단결정 물질과 제2절연물질과 열팽창계수가 다른 제2단결정 물질의 진성베이스층과, 돌출부의 아랫면과 진성베이스층 사이에 형성된 외인성 베이스층을 구비하는 제2도전형의 베이스구조와; 제1단결정 물질로 이루어지며 제2구멍부의 아래에 진성 베이스층의 중앙부의 표면과 외인성 베이층의 측면과 접촉하는 제1도전형의 에미터영역을 구비한다.

본 발명의 다른 형태에 의하면,

a) 제1단결정 물질로 이루어진 제1도전형의 콜렉터영역을 갖는 반도체 파운데이션을 준비하는 단계와,

b) 콜렉터영역 위에 제1절연물질로 이루어진 제1절연층과 제1절연층 위에 제1다결정 물질로 이루어진 제1반도체층을 적층하는 단계와,

c) 제1절연층의 표면을 노출시키는 구멍부를 가지면 제1도전형과 반대인 제2도전형의 베이스전극을 제1반도체층에 패터닝하는 단계와,

d) 베이스 전극의 윗면과 내측면을 제2절연물질의 제2절연층으로 덮는 단계와,

e) 구멍부로부터 수평으로 뻗은 공간부를 형성하여 콜렉터 영역과 베이스 전극의 아랫면을 공간부로 노출시키기 위해 제1절연물질과 제2절연 물질 사이의 선택적인 부식액을 이용하여 제1절연층을 에칭하는 단계와,

f) 성장할 제2단결정 물질의 양이 공간부인 제1절연층의 내면을 향하여 구멍부 아래의 중앙부로부터 감소

하는 조건하에서 콜렉터영역 위의 제1단결정 물질과 제1절연물질과 열팽창 계수가 다른 제2단결정 물질을 성장시킴으로써 콜렉터 영역위에 제2도전형의 진성 베이스층을 형성하는 단계와,

g) 베이스 전극의 아랫면과 진성베이스층 사이에 형성된 외인성 베이스층을 완성하는 단계와,

h) 제1단결정 물질로 이루어진 제1도전형의 에미터영역을 진성 베이스층의 윗면과 외인성 베이스층의 주위에 형성하는 단계를 구비하는 반도체 장치의 제조방법을 제공하는 것이다.

[제1실시예]

제3도를 참조하면, 본 발명에 적용되는 바이폴라트랜지스터는 옅게 도핑된 p형 단결정 실리콘 기판(21) 위에 형성된다. 옅게 도핑된 p형 단결정 실리콘 기판(21)은 실온에서 저항률이 10~20Ω·㎝의 범위에 있으며 (100)결정방위로 배향되어 있다.

비소 또는 안티몬이 옅게 도핑된 p형 단결정 실리콘 기판(21)의 한 부분으로 확산되고, 짙게 도핑된 n형 매입층(22a)이 옅게 도핑된 p형 단결정 실리콘 기판(21)에 형성되어 있다. 짙게 도핑된 n형 매입층(22a)의 양측에 붕소가 옅게 도핑된 p형 단결정 실리콘 기판(21)에 도핑되어 짙게 도핑된 p형 채널 스토퍼영역(22b, 22c)을 형성한 다.

n형 단결정 실리콘층(23)이 옅게 도핑된 p형 단결정 실리콘 기판(21)위에 짙게 도핑된 n형 매입층(22a)과 짙게 도핑된 p형 채널스토퍼 영역(22b, 22c) 위에 에피텍셜 성장한다. n형 단결정실리콘층(23)은 인농도가 약 $1\times10^{17}㎝^{-3}$이고, 0.4 미크론의 두께를 갖는다.

산화층(24)은 n형 단결정 실리콘층(23)으로부터 옅게 도핑된 p형 단결정 실리콘 기판(21)을 향해 돌출되어 있으며, 짙게 도핑된 n형 매입층(22a)과 짙게 도핑된 p형 채널 스토퍼영역(22b, 22c)이 산화층(24)의 아래에 있다. 산화층(24)은 4000Å의 두께를 가지며, 산화층(24)의 성장을 위해 실리콘의 국부산화법을 사용한다.

산화층(24)은 짙게 도핑된 p형 채널 스토퍼영역(22b/22c)과 함께 서로 활동영역을 전기적으로 절연한다. 제3도는 바이폴라 트랜지스터에 할당된 활동영역의 하나를 나타낸다. 산화층(24)의 한 부분이 짙게 도핑된 n형 매입층(22a)과 맞닿아 단결정 콜렉터영역(23a)과 콜렉터 접촉영역(23b)으로 분리한다. 콜렉터 접촉영역(23b)은 인으로 짙게 도핑된다.

n형 단결정 실리콘층(23)과 산화층(24)은 실리콘 산화층(25)으로 덮여있으며, 실리콘 산화층(25)은 1000Å의 두께를 갖는다. 공간부(25a)와 접촉구멍부(25b)가 실리콘 산화층(25)에 형성되어 있다. 공간부(25a)는 단결정 실리콘 콜렉터영역(23a)의 표면을 노출시키고, 짙게 도핑된 n형 콜렉터 접촉영역(23b)은 접촉구멍부(25b)에 노출되어 있다. 내면(25c, 25b)은 각각 공간부(25a)와 접촉구멍부(25b)로 정의되며, 제3도의 110방향 부근으로 뻗어있다.

실리콘 산화층(25) 아래의 구조를 실리콘 파운데이션(26)이라 하고, 옅게 도핑된 p형 단결정 실리콘 기판(21), 짙게 도핑된 n형 매입층(22a), 짙게 도핑된 p형 채널스토퍼영역(22b/22c), n형 단결정실리콘층(23)과 산화층(24)이 실리콘파운데이션(26)의 조합을 형성한다.

p형 폴리실리콘 베이스 전극(27)이 실리콘 산화층(25)에 설치되며, 돌출부(27a)를 가지고 있다. 돌출부(27a)는 공간부(25a)의 주변에 뻗어 있으므로 돌출부(27a)의 아랫면은 공간부(25a)에 노출되어 있다. 돌출부(27a)의 수평길이는 실리콘 산화층(25)의 두께보다 크다.

접촉구멍부(25b)에는 n형 폴리실리콘 콜렉터전극(28)으로 충전되어 있으며, n형 폴리실리콘 콜렉터전극(28)은 실리콘 산화층(25)의 윗면에 돌출되어 있다. n형 폴리실리콘콜렉터전극(28)은 n형 콜렉터 접촉영역(23b)과 접촉하고 있다.

p형 폴리실리콘 베이스 전극(27), n형 폴리실리콘 콜렉터전극(28)과 실리콘 산화층(25)의 노출된 표면은 실리콘 질화층(29)으로 덮여 있으며, 접촉구멍부(29a, 29b, 29c)가 실리콘 질화층(29)에 형성되어 있다.

접촉구멍부(29a)는 p형 폴리실리콘 베이스전극(27)의 한 부분을 노출시키며, 알루미늄계의 금속 베이스전극(30a)은 접촉구멍부(29a)를 통해 p형 폴리시리콘 베이스 전극(27)과 접촉하고 있다. 접촉구멍부(29c)는 n형 폴리실리콘 콜렉터전극(28)의 한 부분을 노출시키며, 알루미늄계의 금속 콜렉터 전극(30b)이 또한 접촉구멍부(29c)를 통해 n형 폴리실리콘 콜렉터전극(28)과 접촉하고 있다.

베이스 구조(31)가 단결정 실리콘 콜렉터영역(23) 위에 설치되며, 단결정 실리콘 콜렉터영역(23a) 위의 도핑되지 않은 단결정 실리콘 게르마늄층(31a)과, 도핑되지 않은 단결정 실리콘 게르마늄층(31a) 위에 적층된 짙게 도핑된 p형 단결정 실리콘 게르마늄층(31b)과, 짙게 도핑된 p형 단결정 실리콘 게르마늄층(31b)의 주변영역 위의 짙게 도핑된 p형 단결정 실리콘층(31c)과, 돌출부(27a)의 아랫면과 짙게 도핑된 p형 단결정 실리콘층(31c) 사이의 p형 다결정 적층구조(31d)를 구비하고 있다. p형 다결정 적층구조의 일부분은 실리콘 게르마늄으로 형성되며, 일부분은 실리콘으로 형성된다. 도핑되지 않은이라는 용어는 진성 반도체를 의미하는 것은 아니다. 제조방법과 결합하여 설명하면, 도핑되지 않은 단결정 실리콘 게르마늄층(31a)은 불순물 농도가 $4\times10^{16}㎝^{-3}$인 것으로, 도핑되지 않은 것으로 간주한다. 도핑되지 않은 단결정 실리콘 게르마늄층(31a)은 $Si_{0.9}Ge_{0.1}$로 표현되며, 짙게 도핑된 p형 단결정 실리콘 게르마늄층(31b)은 도핑되지 않은 단결정 실리콘 게르마늄층(31a)과 같은 구성을 갖는다. 도핑되지 않은 단결정 실리콘 게르마늄층(31a)과 짙게 도핑된 p형 단결정 게르마늄층(31b)은 바깥쪽을 향하여 두께가 감소하며, 각각 사다리꼴 단면형상으로 형성되어 있다.

반면에, 짙게 도핑된 p형 단결정 실리콘층(31c)은 바깥쪽을 향하여 두께가 증가하며, 짙게 도핑된 p형 단결정 실리콘 층(31c)의 경사면은 짙게 도핑된 p형 단결정 실리콘 게르마늄층(31b)의 경사면과 접촉하고 있다.

짙게 도핑된 n형 단결정 실리콘 에미터 영역(32a)은 짙게 도핑된 p형 단결정 실리콘 게르마늄층(31b)의

중심영역과 접촉하고 있으며, 짙게 도핑된 p형 단결정 실리콘층(31c)에 둘러싸여 있다.

실리콘 산화벽(33)은 접촉구멍부(29b)인 실리콘 산화층(29)의 내면을 덮고 있으며, 실리콘 산화벽(33)의 아랫면은 짙게 도핑된 n형 단결정 실리콘 에미터영역(32a)의 주변부와 접촉하고 있다. 결과적으로, 짙게 도핑된 n형 단결정 실리콘 에미터 영역(32a)의 중심영역은 실리콘 산화벽(33)에 의해 형성된 구멍부에 의해 노출되어 있다.

짙게 도핑된 n형 폴리실리콘 에미터 전극(32b)은 실리콘 산화벽(33)에 의해 형성된 구멍부에 형성되며, 짙게 도핑된 n형 단결정 실리콘 에미터 영역(32a)과 접촉하고 있다. 알루미늄계의 금속 에미터전극(30c)은 짙게 도핑된 n형 폴리실리콘 에미터전극(32b)과 접촉하고 있다.

다음은 제4a~4g도를 참조하여, 제3도의 바이폴라 트랜지스터의 제조방법에 대하여 설명한다.

먼저, 옅게 도핑된 p형 단결정 실리콘 기판(21)을 준비한다. 면방위가 (100)이며, 저항률은 10~20Ω·㎝의 범위에 있다.

짙게 도핑된 n형 매입층(22a)과 짙게 도핑된 p형 채널 스토퍼영역(22b, 22c)이 옅게 도핑된 p형 단결정 실리콘 기판(21)의 표면부에 형성된다.

상세히 말하면, 실리콘 이산화층(도면 표시생략)이 옅게 도핑된 p형 단결정 실리콘 기판(21)의 전체 표면부에 5000Å의 두께로 열적으로 성장하거나 화학적인 증착법에 의해 피복되고, 짙게 도핑된 n형 매입층(22a)을 형성하기 위하여 포토레지스트 마스크(도면표시생략)가 실리콘 이산화층 위에 설치된다. 노출된 실리콘 이산화층은 반응이온에칭을 통해 4000Å의 두께로 에칭되고, 남아있는 노출된 실리콘 이산화층은 플루오르화수소산계의 에칭물에 의해 에칭된다. 그러므로, 옅게 도핑된 p형 단결정 실리콘 기판(21)은 실리콘 이산화층에 형성된 구멍부에 부분적으로 노출되며, 포토레지스트 마스크는 그 구조로부터 제거된다. 비소는 70 KeV의 가속에너지하에서 옅게 도핑된 p형 단결정 실리콘 기판(21)의 노출된 표면에 도즈량 $5\times10^{15}cm^{-2}$로 이온주입된다. 주입된 비소는 질소분위기하에서 1100℃, 4시간 동안의 열처리에 의해 옅게 도핑된 p형 단결정 실리콘 기판(21)으로 들어간다. 열처리를 끝낸후에, 짙게 도핑된 n형 매입층(22a)이 옅게 도핑된 p형 단결정 실리콘기판(21)의 표면부에 2미크론의 깊이로 형성된다. 실리콘 이산화층은 플루오르화수소산계의 에칭작용으로 제거된다.

다음으로, 짙게 도핑된 p형 채널스토퍼영역(22b, 22c)를 형성하기 위해 적당한 포토레지스트 마스크(도면표시 생략)가 리소그래픽 기술에 의해 형성되고 짙게 도핑된 n형 매입층(22a)의 양쪽측면의 영역을 노출시킨다. 붕소가 100KeV의 가속에너지하에서 도즈량 $1\times10^{13}cm^{-2}$로 노출영역에 주입되고, 주입된 붕소는 짙게 도핑된 p형 채널 스토퍼영역(22b, 22c)을 형성한다.

포토레지스트 마스크가 제거되고, 질소분위기하에서 1000℃, 30분간 열처리가 수행된다. 결과적으로, 이온주입에 의해 옅게 도핑된 p형 단결정 실리콘 기판(21)은 결정손상이 제거된다.

짙게 도핑된 n형 매입층(22a)과 짙게 도핑된 p형 스토퍼영역(22b, 22c)이 옅게 도핑된 p형 단결정 실리콘 기판(21)에 형성되면, 보통의 실리콘 에피텍셜 성장기술을 이용하여 0.4미크론의 두께로 옅게 도핑된 p형 단결정 실리콘 기판(21) 위에 n형 단결정 실리콘층이 에피텍셜 성장하고 인이 $1\times10^{17}cm^{-3}$로 n형 단결정 실리콘층(23)에 도핑된다.

n형 단결정 실리콘층(23)은 열적으로 산화되고, 두께가 500Å인 실리콘 산화층(도면표시 생략)은 n형 단결정 실리콘층(23)을 덮고 있다. LPCVD법에 의해 1000Å의 두께로 질화규소가 실리콘 산화층에 피복되고 실리콘 질화층(도면표시 생략)은 실리콘 산화층에 적층된다. 산화층(24)을 형성하기 위하여 적당한 포토레지스트 마스크(도면표시 생략)가 실리콘 질화층에 설치되고, 실리콘 질화층, 실리콘 산화층과 n형 단결정 실리콘층(23)은 이방성 건조에칭에 의해 부분적으로 에칭된다. 그러므로, 홈(도면표시 생략)이 n형 단결정 실리콘층(23)에 의해 형성되고, 에칭되는 n형 단결정 실리콘층(23)의 깊이는 대략 2100Å 정도이다.

포토레지스트 마스크가 제거되고, 산화에 의해 4000Å으로 산화층(24)이 홈에서 성장한다. 산화층(24)은 옅게 도핑된 p형 단결정 실리콘기판(21)의 표면부를 침투한다. 실리콘 파운데이션(26)을 고온의 인산에 함침시켜 실리콘 질화층을 n형 단결정 실리콘층(23)으로부터 제거한다. 그 결과로 생긴 구조가 제4a도에 표시되어 있다.

실리콘 산화층(25)이 1300Å의 두께로 실리콘 파운데이션(26) 위에 열적으로 성장하거나 화학적인 증착법에 의해 피복된다.

콜렉터 접촉구멍부(25b)를 형성하기 위하여 리소그래픽 기술에 의해 적당한 포토레지스트 마스크 (도면표시 생략)를 실리콘 산화층(25) 위에 설치하고, 건식에칭이나 플루오르화수소산용액의 습식에칭을 이용하여 노출된 실리콘 산화층(25)이 부분적으로 제거된다. 그러므로, 콜렉터 접촉구멍부(25b)가 실리콘 산화층(25)에 형성된다.

70KeV의 가속에너지하에서 도즈량 $5\times10^{15}cm^{-2}$로 인이 노출된 n형 단결정 실리콘층(23)에 이온주입된다. 콜렉터 접촉구멍부(25b)를 형성하기 위하여 포토레지스트 마스크를 제거하고 질소분위기하에서 900℃, 30분간 열처리함으로써 n형 단결정 실리콘층(23)은 이온주입에 의한 결정손상이 제거된다. 그러므로, 짙게 도핑된 n형 콜렉터 접촉영역(23b)이 콜렉터 접촉구멍부(25b) 아래에 형성된다.

플루오로화수소산용액을 이용하여 콜렉터 접촉구멍부(25b)에 노출된 짙게 도핑된 형 콜렉터 접촉영역(23b)으로부터 자연산화가 제거되고, LPCVD법에 의해 2500Å의 두께로 그 구조의 전체 표면에 도핑되지 않은 폴리실리콘이 피복된다. 결과적으로, 도핑되지 않은 폴리실리콘층(27′)이 실리콘 산화층(25)의 윗면을 덮고, 콜렉터 접촉구멍부(25b)를 충전한다. 그 결과로서 생긴 구조를 제4b도에 나타내었다.

짙게 도핑된 n형 폴리실리콘 전극(28)을 형성하기 위하여 적당한 포토레지스트 마스크(도면표시 생략)를 도핑되지 않은 폴리실리콘층(27′)에 설치하고, 70KeV의 가속에너지하에서 도즈량 $5\times10^{15}cm^{-2}$로 노출된 도

핑되지 않은 폴리실리콘층에 인이 이온주입된다. 이온주입된 후에, 포토레지스트 마스크가 제거된다. 그러므로, 도핑되지 않은 폴리실리콘층(27′)이 n형 불순물로 부분적으로 도핑된다.

짙게 도핑된 p형 폴리실리콘 베이스 전극(29)을 형성하기 위하여 적당한 포토레지스트 마스크(도면표시 생략)가 남아 있는 도핑되지 않은 폴리실리콘층(27′)에 설치된다. 포토레지스트 마스크를 이용하여 15KeV의 가속에너지하에서 도즈량 $5\times10^{15}cm^{-2}$로 노출된 도핑되지 않은 폴리실리콘층에 붕소가 이온주입된다. 결과적으로 짙게 도핑된 p형 폴리실리콘 베이스 전극(29)이 남아 있는 폴리실리콘층(27′)에 형성된다. 포토레지스트 마스크가 제거된다.

짙게 도핑된 p형 폴리실리콘 베이스영역(27)을 형성하기 위하여 적당한 포토레지스트 마스크(도면표시 생략)가 설치된다. 건식에칭이 남아 있는 폴리실리콘층(27′)을 짙게 도핑된 p형 폴리실리콘 베이스전극에 패터닝하고, 짙게 도핑된 n형 폴리실리콘 콜렉터전극(28)으로부터 짙게 도핑된 p형 폴리실리콘 베이스 전극(27)을 분리한다. 그 결과로서 생긴 구조를 제4c도에 나타내었다.

다음으로, LPCVD법에 의해 질화규소를 1500Å의 두께로 그 구조의 전체 표면에 피복하고, 따라서 실리콘 질화층(도면표시 생략)이 짙게 도핑된 p형 폴리실리콘 베이스전극(29), 짙게 도핑된 n형 폴리실리콘 콜렉터 전극(28)과 실리콘 산화층(25)의 노출된 표면을 덮는다. 적당한 포토레지스트 마스크가 실리콘 질화층에 설치되고, 짙게 도핑된 p형 폴리실리콘 베이스 전극(27)에 형성된 구멍부의 실리콘 산화층 위의 실리콘 질화층의 일부분과 짙게 도핑된 p형 폴리실리콘 베이스전극(27)의 다른 노출된 표면을 이방성 건식에칭에 의해 제거한다. 포토레지스트 마스크가 제거된다.

질화규소가 LPCVD법에 의해 그 구조의 전체 표면에 피복되고, 1200Å의 두께를 갖는 실리콘 질화층이 짙게 도핑된 p형 폴리실리콘 베이스전극(27) 위의 실리콘 질화층과 실리콘 산화층(28)의 노출된 표면을 덮는다. 짙게 도핑된 p형 폴리실리콘 베이스전극(27) 위의 실리콘 질화층의 두께가 증가한다. 건식에칭으로 1200Å이 될 때까지 질화규소를 제거하여 짙게 도핑된 p형 폴리실리콘 베이스전극(27)위에 실리콘 질화층(29)이 완성된다. 짙게 도핑된 p형 폴리실리콘 베이스전극(27)의 내측은 질화규소로 덮여 있으며, 질화규소는 구멍부(29b)를 형성한다.

그러나, 실리콘 산화층(25)이 다시 구멍부(29b)에 노출된다. 또한 질화규소가 짙게 도핑된 n형 폴리실리콘 콜렉터전극(28)의 윗면과 측면에 남아 있다.

다음으로, 그 결과로 생긴 구조를 플루오르산화수소산에 함침시켜 구멍부(29b)를 통해 실리콘 산화층(25)을 플루오르화수소산에 노출시킨다. 플루오르화수소산은 산화규소를 에칭하고 공간부가 옆으로 팽창한다. 결과적으로, 짙게 도핑된 p형 폴리실리콘 베이스전극(27)의 아랫면이 공간부(25a)에 노출되고, 돌출부(27a)가 완성된다.

노출된 아랫면의 폭 또는 짙게 도핑된 p형 폴리실리콘 베이스전극(27)의 내측(25c)과 내측사이의 거리는 예를들어, 2000Å 정도이다. 노출된 아래면의 폭은 콜렉터(23a)위의 진성 베이스 (31a/31b)의 폭 이상이며, 짙게 도핑된 p형 폴리실리콘 베이스전극(27)의 두께 이하이다. 아랫면의 폭이 폴리실리콘 베이스전극(27)의 두께보다 크면, 짙게 도핑된 p형 폴리실리콘 베이스 전극이 베이스 저항을 억제한다. 반면에, 아랫면의 폭이 진성베이스(31a/31b)의 폭보다 작으면, 진성 베이스(31a/31b)가 베이스 저항을 억제한다.

플루오르화수소산용액의 습식에칭은 제4d도에 나타낸 구조를 발생시킨다.

다음으로, 가스 소오스 분자선 에피텍시법, UHV/CVD법, LPCVD법과 같은 선택적인 성장법에 의해, 도핑되지 않은 단결정 실리콘 게르마늄층(31a)과 짙게 도핑된 p형 단결정 실리콘 게르마늄층(31b)이 n형 단결정 실리콘 콜렉터영역(23a) 위에 성장한다. 선택적인 성장법은 다결정층 위에 다결정 물질을, 단결정층 위에 단결정 물질을 성장시키지만, 산화층과 질화층 위에 다결정 물질과 단결정 성장시키지 않는다. 이러한 이유 때문에, p형 다결정 실리콘 게르마늄층(31d′)이 돌출부(27a)의 아랫면으로부터 성장하지만, 제4e도에 나타낸 바와 같이 실리콘 게르마늄이 실리콘 산화층(25)의 노출된 내측면과 실리콘 질화층(29)의 노출된 표면에는 성장하지 않는다.

선택적인 성장중에 성장조건이 적당히 조절되며, 도핑되지 않은 단결정 실리콘 게르마늄층(31a)과 짙게 도핑된 p형 단결정 실리콘 게르마늄층(31b)은 사다리꼴 형상으로 형성된다. 즉, 구멍부(29b)의 아래인 중앙부는 두껍고, 구멍부(29b)로부터 내측면(25c)을 향하여 두께가 점차 감소한다. 사다리꼴형상은 공급률 제어에 의해 달성된다. 즉, 높은 성장온도와 적은양의 처리가스하에서 선택적인 성장이 수행될 때, 구멍부(29b) 아래에 많은 처리가스가 소비되고, 처리가스의 양이 중앙부로부터 주변을 향하여 점차 감소한다. 이것에 의해 사다리꼴 형상을 이룬다.

도핑되지 않은 단결정 실리콘 게르마늄층(31a)과 짙게 도핑된 p형 단결정 실리콘 게르마늄층(31b)은 UHV/CVD법에 의해 성장한다. 성장조건은 다음과 같다. 기판온도는 700℃이며, 처리가스는 3sccm의 Si_2H_6, 2 sccm의 GeH_4 와 0.03 sccm의 Cl_2를 포함한다.

이 경우, 도핑되지 않은 단결정 실리콘 게르마늄층(31a)의 불순물 농도는 $4\times10^{16}cm^{-3}$미만이고, 중앙의 편평부는 약 150Å의 두께를 갖는다. 반면에, 짙게 도핑된 p형 단결정 실리콘 게르마늄층(31b)은 $7\times10^{18}cm^{-3}$의 농도로 붕소로 도핑되며, 중앙의 편평부는 약 450Å의 두께를 갖는다.

도핑되지 않은 p형 단결정 실리콘 게르마늄층(31a)과 짙게 도핑된 p형 단결정 실리콘 게르마늄층(31b)의 주변부의 두께를 $Si_{0.9}Ge_{0.1}$의 전위용 임계 두께 미만으로 감소시키는 것이 바람직하다. 임계 두께 미만인 주변부는 열응력에 의한 전위를 허용하지 않는다. $Si_{0.9}Ge_{0.1}$의 임계 두께는 300~400Å 정도이다.

짙게 도핑된 p형 단결정 실리콘층(31c)을 형성하기 위해 선택적인 성장이 계속된다. 짙게 도핑된 p형 단결정 실리콘층(31c)을 형성하기 위해 UHV/CVD 법을 이용하면, 성장조건은 기판온도가 590℃이며, 처리가스가 3sccm 의 Si_2H_6과 0.03 sccm의 Cl_2을 포함한다. 이러한 성장조건은 중앙의 편평부로부터 바깥쪽을 향하여 두께가 증가하는 짙게 도핑된 p형 단결정 실리콘층(31c)을 형성한다. 이 경우, 짙게 도핑된 p형 단

결정 실리콘층(31c)은 $7\times10^{18}cm^{-3}$의 불순물 농도로 붕소로 도핑되고 중앙의 편평부는 250Å의 두께를 갖는다.

UHV/CVD 법으로 짙게 도핑된 p형 단결정 실리콘층(31c)을 성장시키는 동안에, 폴리실리콘이 p형 다결정 실리콘 게르마늄층(31d′)으로부터 성장하여 짙게 도핑된 p형 단결정 실리콘층(31c)과 결합한다. 결과적으로, 짙게 도핑된 p형 단결정 실리콘층(31c)과 짙게 도핑된 폴리실리콘 베이스전극(27)의 아랫면 사이에 p형 다결정 적층구조(31d)가 형성된다. 그러므로 제4f도에 나타낸 바와같이, 공간부(25a)에 베이스구조(31)가 완성된다.

이 경우, 도핑되지 않은 단결정 게르마늄층(31a)과 짙게 도핑된 p형 단결정 실리콘 게르마늄층(31b)이 조합하여 진성베이스층을 형성하고, p형 다결정 적층구조(31d)와 짙게 도핑된 단결정 실리콘층(31c)이 외인성 베이스층을 형성한다.

다음으로 산화규소가 LPCVD법에 의해 그 구조의 전체표면에 피복되고, 실리콘 산화층(도면표시 생략)은 실리콘 질화층(27)과 공간부(25a)의 베이스구조(31)를 덮는다. 이방성 건식 에칭에 의해 실리콘 질화층(27)의 윗면과 베이스구조(31)위의 산화규소를 제거한다. 그러나 실리콘 질화층(27)의 내측 수직면에 측벽(33)이 남아 있다.

폴리실리콘이 구조의 전체표면에 피복되고 폴리실리콘이 피복되는 동안에 비소가 도핑된다. 비소 도핑 폴리실리콘층(도면표시 생략)이 마스크 없이 이방성 건식 에칭에 의해 짙게 도핑된 n형 폴리실리콘 에미터 전극(32b)에 패터닝되고, 짙게 도핑된 n형 폴리실리콘 에미터전극(32b)은 $1\times10^{21}cm^{-3}$의 불순물 농도와 1700Å의 두께를 갖는다.

이 경우, 균일한 이방성 에칭 또는 에치백법은 측벽(33)에 의해 형성된 구멍부의 짙게 도핑된 n형 폴리실리콘 에미터전극(32b)을 형성한다. 짙게 도핑된 n형 폴리실리콘층이 리소그래픽기술을 이용하여 짙게 도핑된 n형 에미터전극(32b)에 패터닝될 수도 있다. LPCVD법에 의해 피복된 도핑되지 않은 폴리실리콘은 본래 위치의 도핑 대신에 n형 불순물로 이온주입될 수도 있다.

짙게 도핑된 n형 폴리실리콘에미터전극(32b)이 가열되어 비소가 짙게 도핑된 p형 실리콘층(31c)의 중앙부에 확산되고, 제4g도와 같이, 에미터 전극(32a)이 형성된다.

비소를 확산사키기 위해 열을 가하면, 실리콘 산화층(25), 단결정 실리콘 콜렉터영역(23a)과 도핑되지 않은 p형 실리콘 게르마늄층(31a)과 짙게 도핑된 p형 실리콘 게르마늄층(31b)이 팽창하고, 도핑되지 않은 p형 실리콘 게르마늄층(31a)과 짙게 도핑된 p형 실리콘 게르마늄층(31b)에 열응력이 발생한다. 그러나 얇은 주변부는 도핑되지 않은 p형 실리콘 게르마늄층(31b)에 열응력에 의한 전위가 발생하는 것을 막는다.

다음으로, 베이스 접촉구멍부(29a)와 콜렉터 접촉구멍부(29c)를 형성하기 위해 적당한 포토레지스트 마스크(도면 표시생략)가 실리콘 질화층(29)에 설치되고 실리콘 질화층(29)의 노출된 표면을 제거하여 짙게 도핑된 p형 폴리실리콘 베이스전극(27)과 짙게 도핑된 n형 폴리실리콘 콜렉터전극(28)을 베이스접촉구멍부(29a)와 콜렉터 접촉구멍부(29c)에 노출된다. 포토레지스트 마스크가 제거된다.

1%의 실리콘을 함유하는 알루미늄과 같은 도전성 합금이 구조의 전체표면에 스퍼터링되고, 스퍼터링은 베이스 접촉구멍부(29a), 에미터전극(32b)위의 구멍부와 콜렉터 접촉구멍부(29c)에 도전성 합금을 충전한다. 적당한 포토레지스트 마스크(도면표시 생략)가 도전성 합금층에 설치되고, 도전성 합금층이 금속 베이스전극(30a), 금속 에미터 전극(30c)과 금속 콜렉터 전극(30b)에 패터닝된다. 그러므로, 바이폴라 트랜지스터는 제3도에 나타낸 바와 같이 완성되었다.

상기에 설명한 바와 같이, 실리콘 게르마늄은 비교적 고온에서 성장하며 고온에서의 성장은 중앙부로부터 바깥쪽을 향하여 실리콘 게르마늄층의 두께를 감소시킨다. 반면에 실리콘은 비교적 저온에서 성장하며, 저온에서의 성장은 중앙부로부터 바깥쪽을 향하여 실리콘층의 두께를 증가시킨다. 결과적으로, 진성 베이스의 두께는 외인성 베이스와의 접촉이 저하하지 않으면서 중앙부로부터 바깥쪽을 향하여 감소하고 진성 베이스의 얇은 주변부는 두꺼운 중앙부를 열응력으로부터 보호한다. 따라서 진성 베이스의 누설전류가 감소한다.

본 발명자는 누설전류의 감소를 확인하였다. 본 발명자는 제3도에 나타낸 바이폴라 트랜지스터와 종래의 바이폴라 트랜지스터를 제조하였다. 본 발명에 의한 바이폴라 트랜지스터의 진성 베이스는 종래의 바이폴라 트랜지스터의 진성 베이스와 게르마늄 함유량과 붕소함유량이 같다. 본 발명이 진성 베이스의 중앙부가 종래의 진성 베이스의 중앙부만큼 두껍지만, 본 발명의 진성 베이스는 바깥쪽을 향하여 감소하고, 종래의 진성 베이스는 중앙부와 주변부 사이의 두께가 일정하다. 에미터 영역을 향한 확산은 1000℃에서 10초간 급속열 어닐링(anneal ing)에 의해 수행된다. 베이스-콜렉터 접합을 5V로 역바이어스하고, 본 발명자는 본 발명과 종래의 바이폴라 트랜지스터의 누설전류를 측정하였다. 본 발명의 바이폴라 트랜지스터의 누설전류는 PL1로 나타내었고, 종래의 바이폴라 트랜지스터의 누설전류는 PL2로 나타내었다.

PL1 과 PL2를 비교하면, 종래의 바이폴라 트랜지스터의 누설전류는 10^{-9}~10^{-6} A이며, 본 발명의 누설전류는 10^{-10}A정도이다. 그러므로, 본 발명자는 바깥쪽을 향하여 두께가 감소하는 진성 베이스가 누설전류에 효과적인 것을 확인하였다.

본 발명에 의한 바이폴라 트랜지스터를 반도체 집적회로장치에 형성하면, 누설전류에 의한 바이폴라 트랜지스터의 결함이 발생할 가능성이 적으며 양품율이 향상된다.

본 발명에 의한 바이폴라 트랜지스터의 다른 이점은 베이스 저항의 감소이다. 바이폴라 트랜지스터의 베이스 저항은 종래의 바이폴라 트랜지스터의 베이스 저항보다 15% 감소되었다. 이것에 의해 종래의 바이폴라 트랜지스터의 다결정 실리콘 게르마늄층보다 얇은 다결정 실리콘 게르마늄층(31d′)을 얻을 수 있다. 게르마늄 함유량이 10% 증가하면, 붕소의 확산계수가 감소한다. 즉, 붕소는 실리콘에 비교하여 실리콘게르마늄에 넓게 확산되지 않는다. 도핑되지 않은/짙게 도핑된 p형 실리콘 게르마늄층(31a/31b)중에 p형 다

결정 실리콘 게르마늄층(31d′)이 성장하고 p형 다결정 적층구조(31d)의 한 부분을 형성한다.

이러한 이유 때문에 얇은 다결정 실리콘게르마늄층(31d′)을 통해 돌출부(27a)로부터 붕소가 쉽게 확산되고, 본 발명에 의한 바이폴라 트랜지스터의 외인성 베이스의 저항을 효과적으로 감소시킨다.

[제2실시예]

제6도에 의하면, 본 발명이 적용된 다른 바이폴라 트랜지스터가 옅게 도핑된 p형 단결정 실리콘 기판(41)위에 제조된다. 제6도의 바이폴라 트랜지스터는 베이스구조(42)를 제외하고 제1실시예와 유사하며, 제1실시예와 대응하는 영역과 층은 같은 참조번호를 부여하였다.

베이스 구조(42)는 제1실시예와 유사하게 진성 베이스와 외인성 베이스를 구비한다. 진성 베이스는 도핑되지 않은 단결정 실리콘 게르마늄층(42a)과 짙게 도핑된 p형 단결정 실리콘 게르마늄 경사층(42b)으로 구성된다. 도핑되지 않은 단결정 실리콘 게르마늄층(42a)은 제1실시예와 유사하게 구멍부(29b)의 아래인 중앙의 편평부로부터 바깥쪽을 향하여 두께가 감소한다. 짙게 도핑된 p형 단결정 실리콘 게르마늄 경사층(42b)은 짙게 도핑된 n형 에미터영역(32a)을 향하여 게르마늄 함유량이 감소하고, 게르마늄 함유량은 10%에서 0으로 변화한다.

도핑되지 않은 단결정 게르마늄층(42a)은 도핑되지 않은 단결정 실리콘 게르마늄층(31a)과 같은 조건하에서 성장한다. 짙게 도핑된 p형 단결정 실리콘 게르마늄 경사층(42b)은 590℃의 성장온도와 $7\times10^{18}cm^{-3}$의 붕소농도하에서 성장하고, 중앙의 편평부는 450Å의 두께를 갖는다. 짙게 도핑된 p형 실리콘 게르마늄 경사층(42b)은 돌출부(27a)아래에서 두께가 증가하고, 돌출부(27a) 아래의 주변부의 두께는 800Å 정도이다. 주변부가 두꺼운 이유는 Cl_2가 처리가스에 첨가되기 때문이다. Cl_2은 구멍부(29b)아래의 성장을 제한하고 중앙의 편평부보다 주변부를 두껍게 한다.

외인성 베이스는 제1실시예와 유사하게 짙게 도핑된 p형 단결정 실리콘층(42c)과 p형 다결정 적층구조(42d)로 구성된다. 외인성 베이스로부터 금속전극(30a~30c)의 제조순서는 제1실시예와 유사하므로 중복을 피하기 위해 설명은 생략한다.

짙게 도핑된 p형 단결정 실리콘 게르마늄 경사층(42b)은 돌출부(27a)의 아래에서 두께가 증가하여도 게르마늄 함유량의 증가에 의해 전위용 임계 두께가 증가하고 적은 양의 전위가 발생한다.

결과적으로, 실리콘 산화층(45)은 실리콘 산화층(5)보다 두께가 증가한다. 선택적으로 에피텍셜하게 성장하는 층(42a, 42b, 32a)의 전체 두께는 850Å, 즉, (150+450+250)Å이고, 실리콘 산화층(35)은 1000Å으로부터 1400Å으로 두께가 증가한다. 상세히 말하면, 에피텍셜하게 성장하는 층(42b, 42c)의 전체 두께는 1250Å, 즉, (450+250)×(8/4.5) 이며, 여기서, 450과 250은 짙게 도핑된 p형 단결정 실리콘 게르마늄 경사층(42b)의 두께와 짙게 도핑된 단결정 실리콘층(42c)의 두께이며, (8/4.5)는 돌출부(27a) 아래의 주변부와 구멍부(29b) 아래의 중앙부의 성장비를 나타낸다. p형 다결정 적층 구조(31d)는 150Å의 두께를 갖는다. 전체 두께는 1400Å이고, 실리콘 산화층(45)은 전체 두께에 의해 조정된다.

그러므로 제2실시예의 바이폴라 트랜지스터는 실리콘 산화층(5) 보다 두꺼운 실리콘 산화층(45)을 가지므로, 돌출부(27a)와 콜렉터영역(23a) 사이의 기생 정전용량이 효과적으로 감소한다. 이것에 의해 고속화가 이루어진다.

본 발명의 실시예를 설명하였지만, 본 발명의 범위를 벗어나지 않는 한도 내에서 다양한 변경과 수정이 가능하다. 예를 들어, 본 발명에 의한 바이폴라 트랜지스터가 대규모 집적의 한 부분을 형성할 수도 있고 본 발명에 의한 바이폴라 트랜지스터와 함께 전계효과 트랜지스터가 반도체장치를 형성할 수도 있다.

콜렉터와 베이스구조용 반도체 물질과 공간부를 형성하는 절연물질은 본 실시예로 한정되는 것은 아니다. 본 발명에 의한 베이스 구조는 격자가 일정하거나 공간부와 그 둘레에 형성된 물질 사이의 열팽창계수가 다르면 전위에 대하여 효과적이다.

실리콘 게르마늄의 구성과 반도체층의 불순물 농도는 제1과 제2실시예에 한정되는 것은 아니다.

이상은 npn형 바이폴라 트랜지스터에 대하여 설명한 것이다. pnp 형 바이폴라 트랜지스터는 반도체층의 도전형을 바꾸어 n형 실리콘 기판위에 유사하게 제조된다.

(57) 청구의 범위

청구항 1

바이폴라 트랜지스터는 제1단결정 물질로 이루어진 제1도전형의 콜렉터영역(23a)과; 제1절연물질로 이루어지고 상기 콜렉터영역(23a) 위에 형성되며 상기 콜렉터영역(23a)의 표면을 노출하는 제1구멍부(25a)를 갖는 제1절연층(25; 45)과; 상기 제1절연층(25; 45)위에 형성되고, 제2구멍부를 상기 제1구멍부(25a)에 끼우기 위하여 상기 제1구멍부 위에 돌출된 돌출부(27a)를 갖고 제1도전형과 반대인 제2도전형의 베이스 전극(27)과; 상기 제1구멍부(25a)에 형성되고 상기 콜렉터영역(23a)의 표면과 접촉하는 상기 제2도전형의 베이스구조(31; 42)로서, 베이스구조는 열팽창계수에 있어서 상기 제1단결정 물질과 상기 제1절연물질과 다른 제2단결정 물질의 진성 베이스층(31a/31b; 42a/42b)과, 상기 돌출부(27a)의 아랫면과 상기 진성 베이스층(31a/31b; 42a/42b) 사이에 형성된 외인성 베이스층(31c/31d; 42c/42d)을 구비하는 베이스구조와; 상기 제1단결정 물질로 이루어지고 상기 제2구멍부 아래의 상기 진성 베이스층(31a/31b; 42a/42b)의 중앙부의 표면과 상기 외인성 베이스층(31c/31d; 42c/42d)의 측면에 접촉하는 상기 제1도전형의 에미터영역(32a)을 구비하는 바이폴라 트랜지스터를 갖는 반도체장치에 있어서, 상기 진성 베이스층(31a/31b; 42a/42b)은 상기 진성 베이스층(31a/31b; 42a/42b)의 중앙부로부터 상기 진성 베이스층(31a/31b; 42a/42b)의 바깥쪽을 향하여 두께가 감소하는 경사면을 가지고 있는 것을 특징으로 하는 반도체장치.

청구항 2

제1항에 있어서, 상기 돌출부(27a)는 상기 제1구멍부(25a)를 형성하는 상기 제1절연층(25; 45)의 제1측면으로부터 상기 제2구멍부를 형성하는 제2측면까지 제1거리를 가지며, 상기 제1거리가 상기 제1절연층(25; 45)의 두께 미만이고 상기 진성 베이스층(31a/31b; 42a/42b)의 두께를 초과하는 것을 특징으로 하는 반도체장치.

청구항 3

제1항에 있어서, 상기 경사면위의 한 점으로부터 측정된 상기 두께가 상기 전위용 제2단결정 물질의 임계두께 미만인 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서, 상기 제1단결정 물질과 상기 제2단결정 물질은 단결정 실리콘과 단결정 실리콘 게르마늄인 것을 특징으로 하는 반도체장치.

청구항 5

제4항에 있어서, 상기 단결정 실리콘 게르마늄은 $Si_{0.9}Ge_{0.1}$로 표현되는 것을 특징으로 하는 반도체장치.

청구항 6

제4항에 있어서, 상기 진성 베이스층은 불순물 농도가 $4\times10^{16}cm^{-3}$ 미만인 상기 단결정 실리콘 게르마늄의 제1진성 베이스층(31a)과, 상기 제1진성 베이스층(31a) 위에 적층되고 상기 제1진성 베이스층(31a)보다 짙게 도핑된 상기 단결정 실리콘 게르마늄의 제2진성 베이스층(31b)을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 7

제6항에 있어서, 상기 제1진성 베이스층(31a)이 상기 진성 베이스층의 바깥쪽을 향하여 두께가 감소하고 상기 제2진성 베이스층(31b)이 상기 진성 베이스층의 바깥쪽을 향하여 두께가 감소하는 것을 특징으로 하는 반도체장치.

청구항 8

제4항에 있어서, 상기 진성 베이스층은 불순물 농도가 $4\times10^{16}cm^{-3}$ 미만인 상기 단결정 실리콘 게르마늄의 제1진성 베이스층(42a)과, 상기 제1진성 베이스층(42a) 위에 적층되고 상기 제1진성 베이스층(42a) 보다 짙게 도핑된 상기 단결정 실리콘 게르마늄의 제1진성 베이스층(42b)을 구비하고, 상기 제2진성 베이스층(42b)의 게르마늄 함유량이 상기 제1진성 베이스층(42a)과의 제1경계로부터 상기 에미터 영역(32a)과의 제2경계로 감소하는 것을 특징으로 하는 반도체장치.

청구항 9

제8항에 있어서, 상기 제1진성 베이스층(42a)용 상기 단결정 실리콘 게르마늄은 $Si_{0.9}Ge_{0.1'}$로 표현되고 상기 제2진성 베이스층(42b)용 상기 단결정 실리콘 게르마늄은 $Si_{0.9}Ge_{0.1}$ 내지 $Si_{1.0}Ge_0$인 것을 특징으로 하는 반도체장치.

청구항 10

제8항에 있어서, 상기 제1진성 베이스층(42a)은 상기 경사면을 가지며, 상기 제2진성 베이스층(42b)은 상기 진성 베이스층의 바깥쪽을 향하여 두께가 증가하는 것을 특징으로 하는 반도체장치.

청구항 11

제1항에 있어서, 상기 외인성 베이스층(31c/31d; 42c/42d)은 상기 제2단결정 물질로 이루어지며 상기 진성 베이스층과 접촉하는 제1외인성 베이스층(31c; 42c)과, 상기 제1단결정 물질과 상기 제2단결정 물질로 이루어지며 상기 돌출부(27a)와 상기 제1외인성 베이스층(31c; 42c) 사이에 형성된 제2외인성 베이스층(31d; 42d)을 구비하는 것을 특징으로 하는 반도체장치.

청구항 12

a) 제1단결정 물질로 이루어진 제1도전형의 콜렉터영역(23a)을 갖는 반도체 파운데이션(21/22a-22c/23/24; 41/22a-22c/23/24)을 준비하는 단계와, b) 상기 콜렉터영역(23a) 위에 제1절연 물질로 이루어진 제1절연층(25; 45)을 적층하고, 상기 제1절연층(25; 45) 위에 제1다결정 물질로 이루어진 제1반도체층(27′)을 적층하는 단계와, c) 상기 제1절연층(25; 45)의 표면을 노출시키는 구멍부를 갖고 상기 제1도전형과 반대인 제2도전형의 베이스 전극(27)으로 상기 제1반도체층(27′)을 패터닝하는 단계와, d) 상기 베이스 전극(27)의 윗면과 내측면을 제2절연물질의 제2절연층(29)으로 덮는 단계와, e) 상기 구멍부로쿠터 옆으로 뻗은 공간부(25a)를 형성하기 위하여, 상기 제1절연 물질과 상기 제2절연물질 사이를 에칭물을 이용하여 상기 제1절연층(25; 45)을 에칭함으로써 상기 콜렉터영역(23a)과 상기 베이스 전극(27)의 아랫면을 상기 공간부로 노출시키는 단계와, f) 상기 콜렉터영역(23a) 위에 상기 제2도전형의 진성 베이스층(31a/31b; 42a/42b)을 형성하기 위하여 상기 콜렉터영역(23a) 위의 상기 제1단결정 물질과 상기 제1절연물질과 다른 열팽창계수를 갖는 제2단결정물질을 성장하는 단계와, g) 상기 베이스 전극(27a)의 상기 아랫면과 상기 진성 베이스층(31a/31b; 42a/42b) 사이에 형성된 외인성 베이스층(31c/31d; 42c/42d)을 완성하는 단계와, h) 상기 진성 베이스층(31a/31b; 42a/42b) 위에 상기 제1단결정 물질로 이루어진 상기 제1도전형의 에미터영역(32a)을 형성하여 상기 외인성 베이스층(31c/31d; 42c/42d)에 둘러싸이는 단계로 이루어진 반도체장치의 제조방법에 있어서, 성장할 상기 제2단결정 물질의 양이 상기 구멍부 아래의 중엉부로부터 상기 공간부(25a)를 형성하는 상기 제1절연층(25; 45)의 내측면(25c)을 향하여 감소하는 조건하에

서 상기 진성 베이스층(31a/31b; 42a/42b)이 성장하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 13

제12항에 있어서, 가스 소오스 분자선 에피텍시, 고진공 CVD와 LPCVD 중의 하나를 이용하여 상기 제2단결정 물질을 성장시키는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 14

제12항에 있어서, 상기 제2도전형의 도핑된 진성 베이스층(31b; 42b)을 형성하기 위하여 상기 f)단계의 다음 단계에서 상기 제2단결정 물질을 성장시키는 것을 특징으로 하는 반도테장치의 제조방법.

청구항 15

제14항에 있어서, 상기 제2단결정 물질이 단결정 실리콘 게르마늄인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 16

제15항에 있어서, 상기 진성 베이스층(31a)과 상기 도핑된 진성 베이스층(31b)은 700℃의 온도와 3sccm의 Si_2H_6, 2sccm의 GeH_4 0.03sccm의 Cl_2를 포함하는처리 기체의 조건하에서 성공적으로 성장하며, 도핑된 진성 베이스층이 성장하는 동안에는 처리 기체에 붕소가 추가로 포함된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 17

제14항에 있어서, 상기 도핑된 진성 베이스층(31b)은 상기 중앙부로부터 상기 내측면(25c)을 향하여 두께가 감소하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 18

제14항에 있어서, 상기 f) 단계에서 상기 베이스 전극(27)의 아랫면위에 제2다결정 물질이 추가로 성장하고 상기 제2다결정 물질의 층(31d; 42d)이 상기 외인성 베이스층의 한 부분을 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 19

제18항에 있어서, 상기 외인성 베이스층의 다른 부분(31c; 42c)을 형성하기 위하여 상기 g) 단계에서 상기 제1단결정 물질을 성장하고 상기 외인성 베이스층의 상기 한 부분을 상기 외인성 베이스층의 상기 다른 부분과 결합하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 20

제19항에 있어서, 상기 제1단결정 물질, 상기 제2단결정 물질, 상기 제1다결정 물질, 상기 제2다결정 물질이 단결정 실리콘, 단결정 실리콘 게르마늄, 폴리실리콘, 다결정 실리콘 게르마늄인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 21

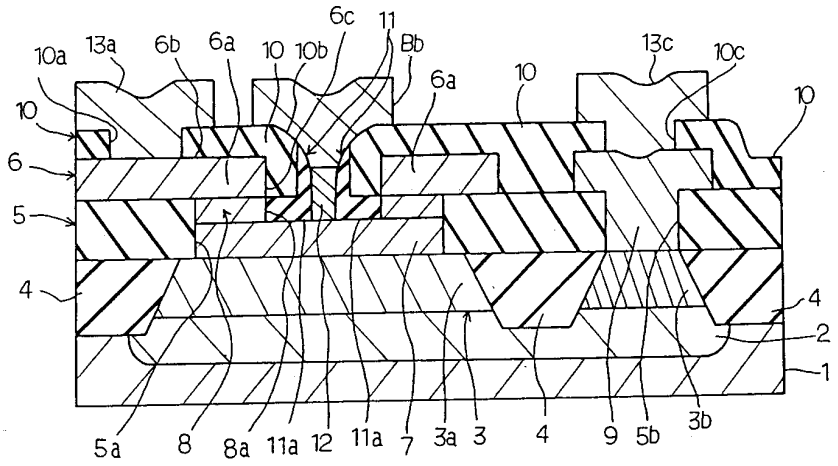
제14항에 있어서, 상기 제2단결정 실리콘 게르마늄은 단결정 실리콘 게르마늄이고, 상기 도핑된 진성 베이스층(42b)의 게르마늄 함유량이 상기 진성 베이스층(42a)과의 경계로부터 상기 에미터영역(32a)을 향하여 감소하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 22

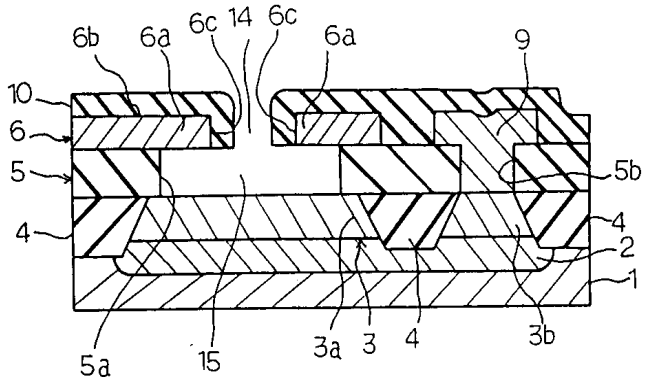
제21항에 있어서, 상기 도핑된 진성 베이스층(42b)의 두께가 상기 중앙부로부터 상기 내측면을 향하여 증가하는 것을 특징으로 하는 반도체장치의 제조방법.

도면

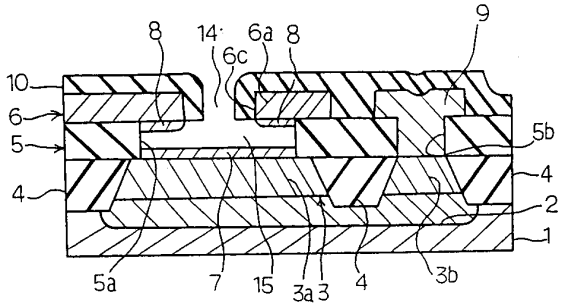
도면1



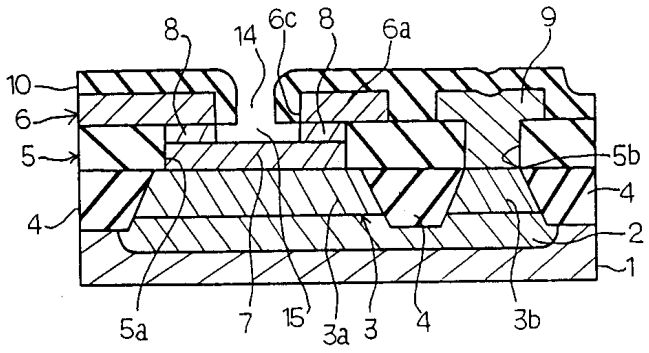
도면2a



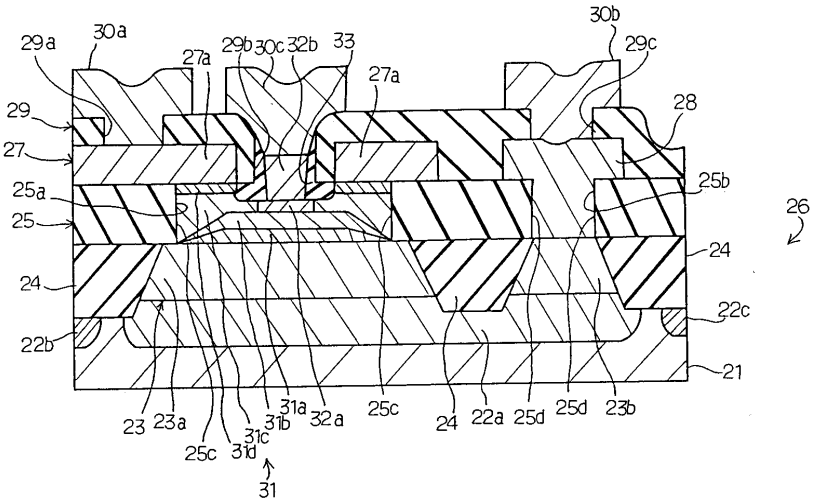
도면2b



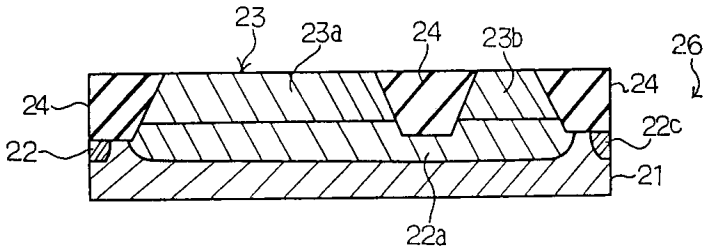
도면2c



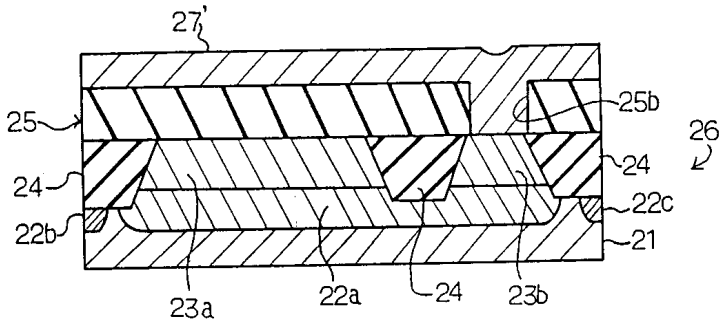
도면3



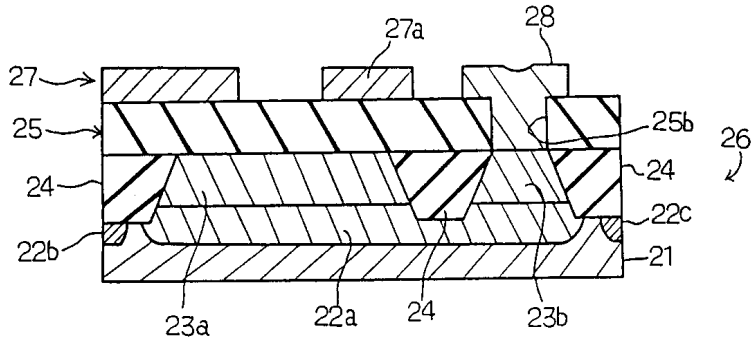
도면4a



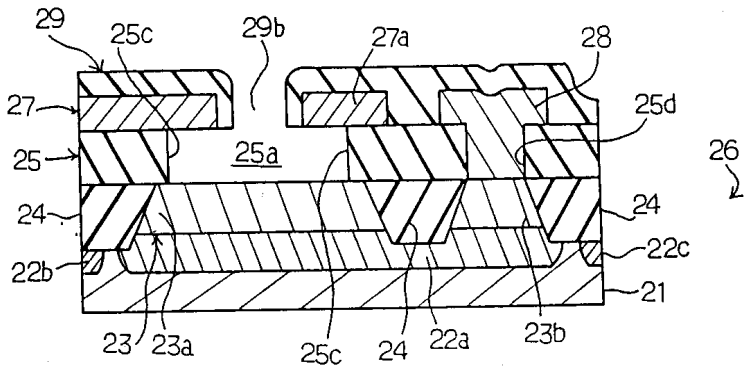
도면4b



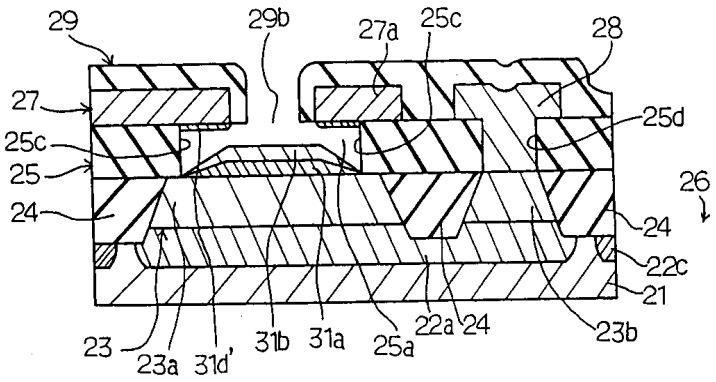
도면4c



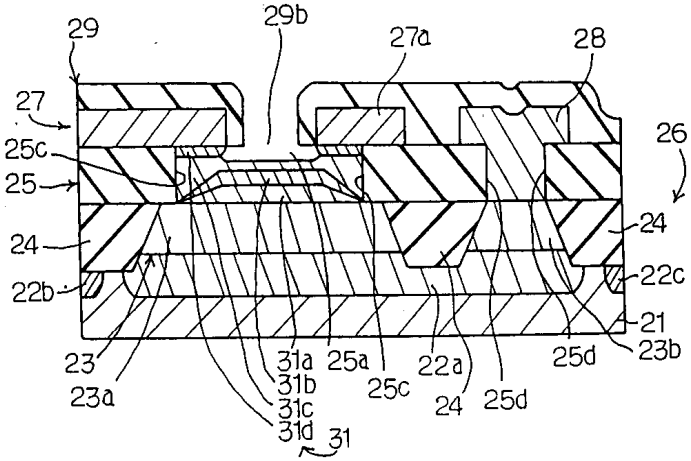
도면4d



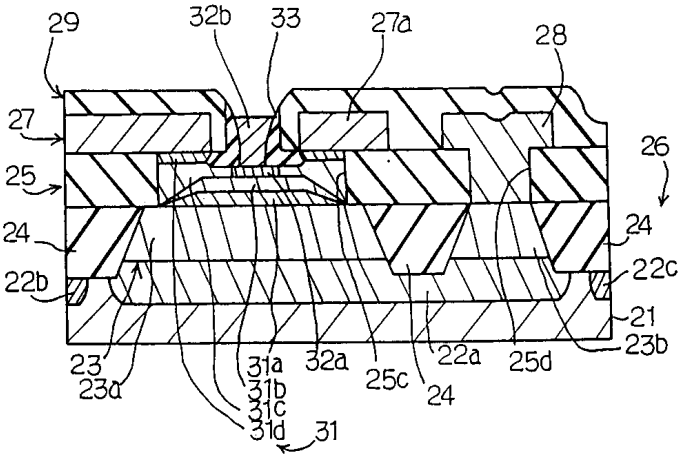
도면4e



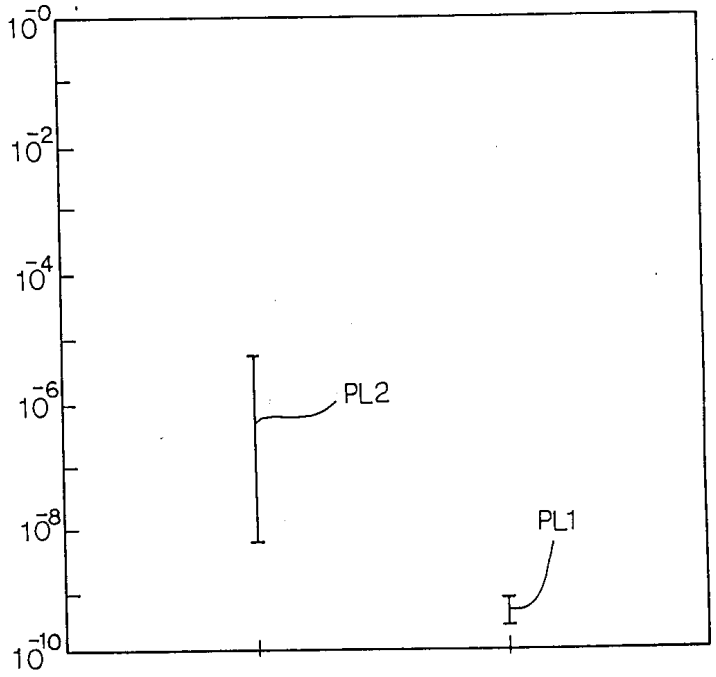
도면4f



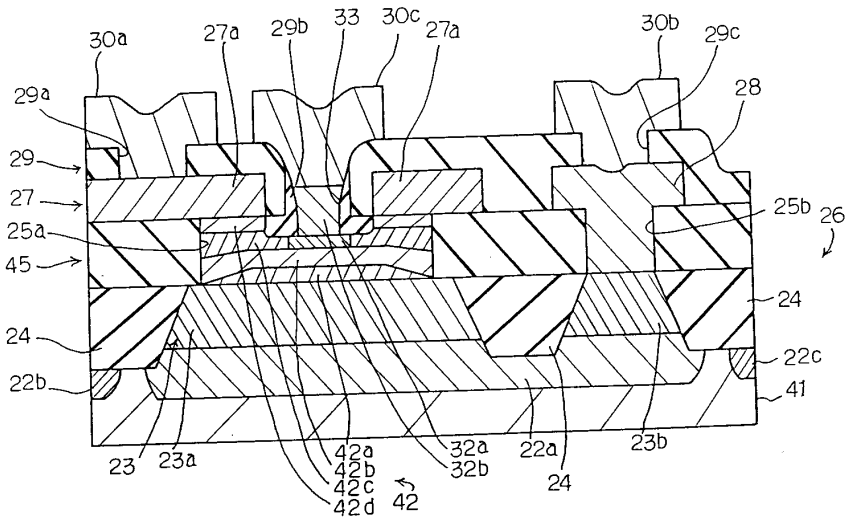
도면4g



도면5


10^0
10^-2
10^-4
10^-6
10^-8
10^-10
PL2
PL1

도면6


30a
27a
29b
33
30c
27a
30b
29c
28
29a
29
27
25a
45
25b
26
24
22c
41
24
22b
23
23a
42a
42b
42c
42d
42
32a
32b
22a
24
23b