

(19) 대한민국특허청(KR)
(12) 특허공보(B1)(51) Int. Cl.⁵
G11C 11/40(45) 공고일자 1991년01월24일
(11) 공고번호 특1991-0000383

(21) 출원번호	특1985-0001421	(65) 공개번호	특1985-0007156
(22) 출원일자	1985년03월06일	(43) 공개일자	1985년10월30일
(30) 우선권 주장	45202 1984년03월09일 일본(JP)		
(71) 출원인	가부시끼가이샤 도오시바 사바 쇼오이찌		
	일본국 가나가와켄 가와사끼시 사이와이구 호리가와쵸오 72반지		
(72) 발명자	우찌다 유끼마사		
	일본국 가나가와켄 가와사끼시 사이와이구 고무가이 도오시바쵸오 1반지		
	도오교 시바우라 덴끼 가부시끼가이샤 종합연구소내		
(74) 대리인	김윤배		

심사관 : 연길웅 (책자공보 제2164호)

(54) 다이나믹형 랜덤엑세스메모리

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

다이나믹형 랜덤엑세스메모리

[도면의 간단한 설명]

제1도는 트랜지스터와 캐패시터를 구비한 종래의 메모리셀의 회로도.

제2도는 제1도에 도시된 메모리셀을 사용한 종래의 DRAM의 회로도.

제3도는 제2도에 도시된 DRAM의 각 부의 동작을 나타내는 파형을 설명하기 위한 타이밍차트.

제4a도는 제1도에 도시된 메모리셀을 게이트길이방향에 따라 절단한 단면도.

제4b도는 제1도에 도시된 메모리셀을 게이트폭방향에 따라 절단한 단면도.

제5도는 제1도에 도시된 트랜지스터의 V_g대 I_d특성을 설명하기 위한 그래프.

제6도는 본 발명의 1실시예에 따른 DRAM의 회로도.

제7도 내지 제9도는 제6도에 도시된 DRAM에 사용되는 전압공급회로의 회로도.

제10도는 제6도에 도시된 DRAM의 각 부의 동작을 나타내는 파형을 설명하기 위한 타이밍차트.

제11도는 본 발명의 다른 실시예에 따른 DRAM의 요부를 나타낸 회로도이다.

* 도면의 주요부분에 대한 부호의 설명

101 : 전압공급단자

102 : 드레인단자

103 : 소오스단자

104 : 게이트단자

111, 112, 113, 114 : 메모리셀

121, 122, 221, 222 : 더미셀

131, 231 : 감지증폭기

132, 232 : 선충전회로

141 : 게이트산화막

142 : 필드산화막

211, 212, 213, 214 : 메모리셀

241 : 전압공급회로

21 : V_{cc} 전원선22 : V_{ss} 전원선

23 : 출력전압선

C, C' : 캐패시터

A. 메모리셀(111)에 "1"이 기억되어 있는 상태하에서의 독출동작

(i) 시각 t_0 에서

워드선($W_1, W_2, W_3, W_4, \dots$)과 더미워드선(DW_1, DW_2)의 모든 전압레벨은 V_{ss} (즉, 0V)이고, 메모리셀(111, 112, ...)과 더미셀(121, 122)을 구성하는 모든 트랜지스터가 도통되지 않게 되므로 상기 메모리셀(111, 112, ...)과 더미셀(121, 122)은 아무것도 선택되지 않게 된다.

감지렛치신호(SL)의 전압레벨은 하이레벨로 트랜지스터(T_{SL})의 게이트단자에 공급되고, 그에 따라 감지증폭기(131)가 그 동작을 개시하게 된다.

비트선(B)의 전압레벨(V_B)은 감지증폭기(131)가 플립플롭형 차동증폭기이므로 V_{ss} 이고, 비트선(B)의 전압레벨(V_B)은 독출주기전에 선충전된 전하가 비트선($\overline{B}$)과 DRAM이 집적화된 반도체기판사이에 존재하는 표유캐패시터내에 기억되게 되므로 거의 V_{cc} 이다.

(ii) 시각 t_1 에서

시각 t_1 에서는 선충전신호(PG)의 전압레벨이 하이레벨로 되고 선충전회로(132)의 트랜지스터

($T_{PG1}, T_{PG2}, T_{PG3}$)가 도통되게 되므로 비트선(B, $\overline{B}$)이 "1"레벨로 선충전되게 된다.

반면에, 감지렛치신호(SL)의 전압레벨이 로우레벨이고 트랜지스터(T_{SL})가 도통되지 않게 되므로 2개의 비트선(B, $\overline{B}$)이 V_{ss} 단자로부터 전기적으로 분리되게 된다.

제3도에 나타난 바와 같이 비트선($\overline{B}$)의 전압레벨(V_B)이 약간 떨어지게 되는데, 이 변화는 트랜지스터(T_{PG2})가 도통될 때 비트선($\overline{B}$)으로부터 비트선(B)으로 전류가 흐르는 현상에 의한 것으로, 또 다른 선충전회로를 사용하게 되면 전압레벨(V_B)이 제3도의 일정쇄선과 같이 나타나게 된다.

(iii) 시각 t_2 에서

이때는 선충전신호(PG)의 전압레벨이 로우레벨로 된다.

(iv) 시각 t_3 에서

메모리셀(111)에서 연결된 워드선(W_1)의 전압레벨은 "0"에서 "1"로 변하고, 더미셀(122)에 연결된 더미워드선(DW_2)의 전압레벨도 또한 "0"에서 "1"로 변하게 된다. 제3도에 나타난 신호 V_w 는 워드선(W_1)의 전압레벨과 더미워드선(DW_2)의 전압레벨을 설명하기 위한 것이다.

(v) 시각 t_4 에서

워드선(W_1)이 "1"로 충분히 충전된다. 이것은 메모리셀(111)이 선택되는 것을 의미한다. 더미워드선(DW_2)도 역시 "1"로 충분히 충전되므로 더미셀(122)도 역시 선택된다.(시각 t_4 이전에 트랜지스터(T_d)가 도통되고, 트랜지스터(T_t)와 캐패시터(C)사이의 노드의 전압레벨은 대략 V_{ss} 로 되게 된다.)

만약에 리이크전류가 메모리셀(111)의 트랜지스터(T_t)를 통해 흐르지 않게 되면, 메모리셀(111)의 캐패시터(C)에 연결된 드레인단자의 전압레벨은 $V_{cc}-V_{th}$ 로 되게 된다. 여기서, V_{th} 는 트랜지스터(T_t)의 임계전압이다. 반면에, 메모리셀(111)의 비트선(B)에 연결된 소오스단자의 전압레벨이 V_{cc} 로 유지되게 되므로 메모리셀(111)의 트랜지스터(T_t)는 비도통상태를 유지하게 된다. 즉, 메모리셀(111)이 선택되더라도 전압레벨(V_B)은 변하지 않게 된다.

더미셀(122)의 캐패시터(C')의 연결된 드레인단자의 전압레벨은 거의 V_{ss} 이고, 더미셀(122)의 비트선($\overline{B}$)에 연결된 소오스단자의 전압레벨은 비트선($\overline{B}$)이 V_{cc} 로 유지되지 때문에 거의 V_{cc} 이다.

이것은 더미셀(122)을 구성하는 트랜지스터(T_t)의 드레인과 게이트단자사이의 전위차가 더미셀(122)을 구성하는 트랜지스터(T_t)의 임계전압보다 높다는 것을 의미한다. 그러므로, 이 트랜지스터(T_t)는 도통되게 된다. 그에 따라, 비트선($\overline{B}$)상에 선충전된 전자캐리어가 더미셀(122)의 캐패시터(C')에 의해서 뿐만 아니라 비트선($\overline{B}$)의 표유캐패시터에 의해서도 분배되게 된다.

이 현상은 C_p 가 비트선(B)의 표유캐패시터이고, V_x 가 분배후 비트선(B)의 전압레벨이라는 조건하에 서 다음의 방정식을 이용함으로써 설명할 수 있게 된다.

$$C_p(V_{cc}-V_{ss}) = (C_p+C')V_x$$

그러므로,

$$\begin{aligned} V_x &= \frac{C_p}{C_p+C'}(V_{cc}-V_{ss}) \\ &= (1-\frac{C_p}{C_p+C'}) (V_{cc}-V_{ss}) \end{aligned}$$

이다. 표유캐패시터(C_p)의 용량은 다수의 메모리셀이 비트선($\overline{B}$)에 연결되어 있기 때문에 캐패시터(C')의 용량보다 통상 10~100배 정도 크다.

반면에, 더미셀(122)의 용량(C')은 통상 메모리셀(111)의 용량의 1/20이다(즉, $C'=C/2$).

따라서,

$$V_x = \left(1 - \frac{C/2}{C_p + C/2}\right) (V_{cc} - V_{ss})$$

$$\approx \left(1 - \frac{C/2}{C_p + C}\right) (V_{cc} - V_{ss})$$

여기서, $\frac{C/2}{C_p + C} (V_{cc} - V_{ss})$ 를 ΔV 로 표기하면,

$$V_x \approx V_{cc} - V_{ss} - \Delta V/2$$

가 된다. 비트선($\overline{B}$)의 전압레벨이 V_{cc} 에서 $\Delta V/2$ 로 떨어지는 것을 상기 방정식으로부터 알 수 있게 된다.

(제3도의 시각 t_5 에서의 실선참조)

(vi) 시각 t_5 에서

감지렛치신호(SL)의 전압레벨이 하이레벨로 되므로 트랜지스터(T_{SL})가 도통되고, 그에 따라 감지증폭기(131)가 그 동작을 개시하게 된다.

감지증폭기(131)는 공통소오스와 서로의 드레인에 연결된 게이트를 갖는 교차연결된 MOS 트랜지스터(T_1, T_2)의 쌍으로 이루어진 차동증폭기로서, 트랜지스터(T_2)의 게이트단자의 전압레벨이 트랜지스터(T_1)의 게이트단자의 전압레벨보다 높기 때문에 트랜지스터(T_2)는 도통되고, 트랜지스터(T_1)는 도통되지 않게 된다. 그 차이는 $\Delta V/20$ 이다.

그후, 비트선(B)의 전압레벨은 제3도에 나타난 바와 같이 시작 t_6 이전에 V_{ss} 로 되게 된다. 그에 따라, 2개의 비트선(B, $\overline{B}$)사이의 전위차가 $V_{cc}-V_{ss}$ 로 되게 된다.

(vii) 시각 t_6 에서

워드선(W_1)의 전압레벨과 더미워드선(DW_2)의 전압레벨이 V_{ss} 로 되게 된다.

B. 메모리셀(111)에 "0"이 기억되어 있는 상태하에서의 독출동작

메모리셀(111)에 "0"이 기억되어 있는 상태하에서의 시각 $t_0 \sim t_3$ 의 동작은 메모리셀(111)의 "1"이 기억되어 있는 상태하에서의 동작과 거의 동일하므로, 그것에 대한 설명은 생략하기로 한다.

(v) 시각 t_4 에서

워드선(W_1)이 V_{cc} 로 충분히 충전되므로 메모리셀(111)이 선택되게 된다. 더미워드선(DW_2)도 역시 V_{cc} 로 충분히 충전되므로 더미셀(122)도 역시 선택되게 된다.

메모리셀(111)의 캐패시터(C)에 연결된 드레인단자의 전압레벨은 메모리셀(111)에 "0"이 기억되어 있기 때문에 거의 V_{ss} 이고, 메모리셀(111)의 비트선(B)에 연결된 소오스단자의 전압레벨은 비트선(B)의 전압레벨이 "1"을 유지하고 있기 때문에 V_{cc} 이다. 그래서, 메모리셀(111)을 구성하는 트랜지스터(T_t)의 드레인과 게이트단자사이의 전위차가 이 트랜지스터(T_t)의 임계전압보다 높으므로 트랜지스터(T_t)가 도통되게 된다. 그러므로, 비트선(B)의 선충전된 전자캐리어가 메모리셀(111)의 캐패시터(C)에 의해서 뿐만 아니라 비트선(B)의 표유캐패시터에 의해서도 분배되게 된다.

이 현상은 C_p 가 비트선(B)의 표유캐패시터이고, (여기서 비트선 B와 $\overline{B}$ 의 표유캐패시터값은 일반적으로 동일함), V_x 는 분배후 비트선(B)의 전압레벨이라는 조건하에서 다음의 방정식을 이용함으로써 설명할 수 있게 된다.

$$C_p(V_{cc} - V_{ss}) = (C_p + C)V_x$$

$$V_x = \left(1 - \frac{C}{C_p + C}\right) (V_{cc} - V_{ss})$$

$$= V_{cc} - V_{ss} - \Delta V$$

비트선(B)의 전압레벨이 V_{cc} 에서 ΔV 로 떨어지는 것은 상기 방정식에서 명백하게 알 수가 있다.(제3도의 시각 t_4 에서의 점선참조)

방정식을 이용함으로써 설명할 수 있게 된다.

$$\begin{aligned} C_p(V_{cc}-V_{ss}) &= (C_p+C)V_x \\ V_x &= \left(1-\frac{C}{C_p+C}\right)(V_{cc}-V_{ss}) \\ &= V_{cc}-V_{ss}-\Delta V \end{aligned}$$

비트선(B)의 전압레벨이 V_{cc} 에서 ΔV 로 떨어지는 것은 상기 방정식에서 명백하게 알 수가 있다.(제3도의 시각 t_4 에서의 점선참조)

메모리셀(111)에 "0"이 기억되어 있는 상태하에서의 더미셀(122)의 동작은 메모리셀(111)에 "1"이 기억되어 있는 상태하에서의 동작과 거의 동일하다. 즉, 비트선(B)의 전압레벨이 V_{cc} 에서 $\Delta V/2$ 로 떨어지게 된다.(제3도의 시각 t_5 에서의 일점쇄선참조)

(vi) 시각 t_5 에서

감지렛치신호(SL)의 전압레벨이 하이레벨로 되므로 트랜지스터(T_{sl})가 도통되고, 그에 따라 감지증폭기(131)가 그 동작을 개시하게 된다. 트랜지스터(T_1)의 게이트단자의 전압레벨이 $\Delta V/2$ 의 차이에 의해서 트랜지스터(T_2)의 게이트단자의 전압레벨보다 높기 때문에 트랜지스터(T_1)는 도통되고, 트랜지스터(T_2)는 도통되지 않게 된다. 그후, 비트선(B)의 전압레벨을 제3도에 나타난 바와 같이 시각 t_6 이전에 V_{ss} 로 되게 되고, 그에 따라 2개의 비트선(B, $\bar{B}$)사이의 전위차는 $V_{cc}-V_{ss}-\Delta V/2$ 로 되게 된다.

(vii) 시각 t_6 에서

워드선(W_1)과 더미워드선(DW_2)의 전압레벨이 "0"으로 된다.

상기 DRAM과 같은 반도체메모리의 용량은 미세가공기술의 진보에 따라 증가하게 된다. 예컨대, 1M 비트 DRAM에서는 게이트길이가 $1\mu m \sim 1.5\mu m$ 의 미세화 MOS(절연게이트형) 트랜지스터가 이용되도록 되어 있다. 더욱이, 장래에 4M 비트 DRAM이 개발될 무렵에는 MOS 트랜지스터의 게이트 길이가 약 $0.8\mu m$ 정도로 축소되고, 16M비트 DRAM이 개발될 무렵에는 MOS 트랜지스터의 게이트길이가 약 $0.5\mu m$ 정도로 축소되는 것이 예상된다. 이와 같은 대용량 DRAM의 메모리셀은 제4도(a)에 나타난 바와 같이 기억용 캐패시터와 전송용 MOS 트랜지스터의 2소자로 구성된다. 전송용 MOS 트랜지스터의 게이트길이 및 실효채널길이가 짧아짐에 따라 게이트산화막(141)과 필드산화막(142)사이의 더욱 애매한 경계선과 짧은 채널효과에 의해 MOS 트랜지스터의 임계전압의 제어가 더욱 어려워지게 된다. 따라서, MOS 트랜지스터의 부임계전류가 무시할 수 없을 만큼 흐르게 된다. 즉, 기억되는 데이터의 특성이 저하되게 된다.

제5도는 MOS 트랜지스터의 V_g 대 I_d 특성을 나타낸 것으로, V_g 및 I_d 는 트랜지스터의 게이트길이가 $1.0\mu m$ 이고, 채널길이가 $0.8\mu m$ 이며, 게이트산화막두께가 $150\text{\AA}$ 이고, 기판농도가 $5 \times 10^{15} [\text{cm}^{-3}]$ 이라는 조건하에서의 게이트전압과 드레인전류를 각각 나타낸다. 제5도에 나타난 바와 같이 V_g 가 0V이더라도 부임계전류가 흐르는데, 이것은 비선택된 메모리셀에 기억된 소정의 데이터가 부임계전류에 의해 소멸되는 것을 의미한다. 이 문제를 해결하기 위한 하나의 해결방법은 데이터가 완전히 소멸되기 전에 데이터를 재충전시키는 것이다. 실제로, 리이크전류가 캐패시터 또는 PN 접합을 통해 흐르기 때문에 메모리셀에 기억된 데이터가 재충전되게 되므로 부임계전류는 아무런 문제가 되지 않는다. 그러나, 부임계전류가 리이크전류보다 10~100배 정도 클 때 문제가 발생하게 되는데, 메모리셀에 기억된 데이터는 부임계전류에 의한 문제를 해결하기 위해 통상의 리이크전류에 의한 문제를 해결할 때보다 더 빈번하게(예컨대 10~100번 정도) 재충전을 요구하게 된다. 그러나, 실제로, 그와 같이 빈번하게 재충전시키는 것은 불가능하다.

부임계전류에 의한 문제점을 해결하기 위한 다른 해결방법은, 상기 부임계전류 또는 짧은 채널효과를 억압하기 위해 N 채널 전송트랜지스터의 채널영역 및 이 채널영역아래의 영역에 고농도의 억셉터 불순물의 이온주입이 필요하게 된다. 그에 따라, N 채널 트랜지스터의 역바이어스효과에 의해 실효역치전압이 변하게 되고, 트랜지스터의 채널이동도가 열화되게 되며, 전송트랜지스터의 소오스, 드레인접합용량이 증가하게 된다[제4도(a) 참조]. 따라서, 표유캐패시터의 용량이 증가하게 된다.

[발명의 구성]

상기한 목적을 달성하기 위한 본 발명에 따른 다이나믹형 랜덤억세스메모리는, 전압공급단자와, 이 전압공급단자에 연결된 제1충전단자와 제2충전단자를 갖춘 용량성수단 및, 상기 제2충전단자에 연결된 제1도통단자와 제2도통단자를 갖추고 상기 제1 및 제2도통단자사이에 도통통로를 형성시키며 이 도통통로의 임피던스를 제어하기 위한 제어단자를 갖춘 스위칭 수단으로 이루어진 메모리셀과; 상기 제어단자에 연결되어 상기 메모리셀이 선택될 때 어떤 전압레벨을 갖고, 상기 메모리셀이 선택되지 않을 때 다른 전압레벨을 갖는 워드선 및; 상기 제2도통단자에 연결된 비트선을 구비하고 있는 다이나믹형 랜덤억세스메모리에 있어서, 상기 메모리셀이 선택되지 않을 때 상기 워드선의 다른 전압레벨과 상기 제1도통단자의 전압레벨 사이의 전압레벨을 상기 비트선에 인가함으로써 상기 메모리셀이 선택되지 않을 때 도통통로를 통해 흐르는 리이크전류를 방지하는 회로를 구비하여 구성된 것을 특징으로 한다.

[실시예]

이하, 예시도면을 참조해서 본 발명에 따른 다이내믹형 랜덤엑세스메모리(dynamic型 random access memory; DRAM)의 각 실시예를 상세히 설명한다.

제6도는 본 발명의 제1실시예에 따른 DRAM을 나타낸 것으로, 도면에서 각각의 메모리셀(211, 212, 213, 214, ...)은 MOS 트랜지스터(T_t)와 이 MOS 트랜지스터(T_t)에 직렬로 연결된 캐패시터(C)로 구성되는바, 메모리셀(211, 212, 213, 214, ...)의 게이트단자는 워드선($W_1, W_2, W_3, W_4, \dots$)에 각각 연결되며, 이들 워드선($W_1, W_2, W_3, W_4, \dots$)은 어드레스디코더(도시되지 않음)에 연결된다. 그리고, 메모리셀(211, 212, 213, 214, ...)을 구성하는 트랜지스터(T_t)의 소오스단자는 2개의 비트선($B, \overline{B}$)중 하나 또는 다른 하나에 각각 연결된다. 또 2개의 비트선과 관계가 있는 표유용량의 평형을 맞추기 위해 메모리셀(211, 212, 213, 214, ...)이 비트선(B)과 비트선($\overline{B}$)에 교대로 연결되게 된다.

비트선(B)은 더미셀(221)에 연결되고, 비트선(B)은 다른 더미셀(222)에 연결된다. 여기서, 2개의 더미셀(221, 222)은 각각 하나의 전원전압(V_{cc} , 즉 5V)이 공급되는 전압공급단자와; 이 전압공급단자에 연결된 제1충전단자와, 제2충전단자를 갖추고서 데이터를 기억하기 위한 캐패시터(C'); 제2충전단자에 연결된 드레인단자와, 비트선($B, \overline{B}$)에 각각 연결된 소오스단자 및, 드레인단자를 갖추고서 데이터를 전송하기 위한 MOS트랜지스터(T_t) 및; 캐패시터(C')와 트랜지스터(T_t)간의 노드에 연결된 드레인단자와, 다른 전원전압(V_{ss} , 즉 0V)이 공급되는 전압공급단자에 연결된 소오스단자를 갖춘 MOS 트랜지스터(T_d)로 구성된다.

더미셀(221)을 구성하는 트랜지스터(T_t)의 게이트단자는 더미워드선(DW_1)에 연결되고, 더미셀(222)을 구성하는 트랜지스터(T_t)의 게이트단자는 더미워드선(DW_2)에 연결된다. 비트선(B)에 연결된 더미셀(221)은 비트선($\overline{B}$)에 연결된 메모리셀(212, 214, ...)중 1개가 선택될 때 선택되고, 마찬가지로 비트선($\overline{B}$)에 연결된 더미셀(222)은 비트선(B)에 연결된 메모리셀(211, 213, ...)중 1개가 선택될 때 선택된다. 그리고, 2개의 비트선($B, \overline{B}$)은 감지증폭기(231)와 선충전회로(232)에 연결된다. 감지증폭기(231)는 공통소오스와 서로의 드레인에 연결된 게이트를 갖는 교차연결된 N 채널형 MOS 트랜지스터(T_1, T_2)의 쌍으로 이루어지는데, 트랜지스터(T_1)의 드레인단자는 비트선(B)에 연결되고, 트랜지스터(T_2)의 드레인단자는 비트선($\overline{B}$)에 연결되며, 공통소오스단자는 스위치트랜지스터(T_{sl})를 매개로 전압공급회로(241)의 출력단자에 연결되게 된다.

전압공급회로(241)에는 V_{cc} 전압레벨을 갖는 전압전위와 V_{ss} 전압레벨을 갖는 전압전위가 공급된다. 이 전압공급회로(241)는 V_{ss} 와 V_{cc} 사이의 중간 전압레벨(V_1)을 갖는 전압전위를 공급한다. ($V_{ss} < V_1 < V_{cc}$). 중간전압레벨(V_1)은 비선택된 메모리셀의 게이트와 드레인단자의 전압레벨사이의 값이다.

제7도 내지 제9도는 제6도에 도시된 DRAM에 사용되는 전압공급회로의 회로도로서, 제7도의 전압공급회로(241)에서 P 채널 MOS 트랜지스터(T_p)는 다이오드소자(D)에 직렬로 연결된다. 이 트랜지스터(T_p)와 다이오드소자(D)의 직렬회로는 V_{cc} 전원선(21)과 V_{ss} 전원선(22)에 연결되고, 트랜지스터(T_p)의 게이트는 V_{ss} 전원선(22)에 연결된다. 트랜지스터(T_p)의 드레인과 다이오드소자(D)의 애노드사이의 접속점에서 다이오드소자(D)의 순방향전압강하(dV)에 의해 V_{ss} 전원공급전위와 상이한 전압(V_1)이 얻어지게 된다. 이 전압(V_1)은 출력전압선(23)을 매개한 출력전압이다.

제8도에 도시된 전압공급회로(241)은 다이오드소자(D) 대신에 직렬로 연결된 2개의 다이오드소자(D_1, D_2)를 사용한다는 점에서 제7도의 회로와는 다르다. 이 전압공급회로(241)에 있어서, dV의 값은 1개의 다이오드소자의 순방향전압의 2배이다.

제9도의 전압공급회로(241)에 있어서, P 채널 트랜지스터(T_p)와 N 채널 트랜지스터(T_N)로 구성되는 직렬회로는 V_{cc} 전원선(21)과 V_{ss} 전원선(22) 사이에 연결되고, 2개의 CMOS 인버터(I_1, I_2)로 이루어진 2단-인버터는 N 채널 트랜지스터(T_N)의 게이트와 이들 트랜지스터(T_p, T_N)의 노드사이에 연결되며, P 채널 트랜지스터(T_p)의 게이트는 V_{ss} 전원선(22)에 연결된다. 이들 트랜지스터(T_p, T_N)의 노드에서 얻어진 출력전압(V_1)은 출력전압선(23)을 매개로 공급되게 된다. 이 노드에서의 전압이 제1단 CMOS 인버터(I_1)의 임계전압보다 낮을 때, 이 제1단 CMOS 인버터(I_1)의 출력은 V_{cc} 전위와 동일하게 되고, 제2단 CMOS 인버터(I_2)의 출력은 V_{ss} 전위와 동일하게 된다. 그에 따라, N 채널 트랜지스터(T_N)가 도통되지 않게 된다. 반면에, 상기 노드에서의 전압이 제1단 CMOS 인버터(I_1)의 임계전압보다 높을 때, 이 제1단 CMOS 인버터(I_1)의 출력은 V_{ss} 전위와 동일하게 되고, 제2단 CMOS 인버터(I_2)의 출력은 V_{cc} 전위와 동일하게 된다. 이 경우, N 채널 트랜지스터(T_N)가 도통되고, 그에 따라 출력전압(V_1)이 CMOS 인버터(I_1)의 임계전압과 동일하게 된다. 상기 인버터(I_1, I_2)의 P 채널 트랜지스터(T_p')와 N 채널 트랜지스터(T_N')로 각각 형성된다.

제7도와 제8도에 도시된 전압공급회로(241)의 예에 있어서, 중간전압레벨(V_1)은 1개 또는 그 이상의 다이오드의 순방향전압강하(보통 0.6~0.9V)에 의해 결정된다. 반면에, 제9도에 도시된 전압공급회로(241)에 있어서, 중간전압레벨(V_1)은 인버터(I_1)의 임계전압에 의해 결정된다. 중간전압레벨(V_1)의 소망하는 값은 그 레벨(V_1)이 임계전압에 의해 결정되기 때문에 제9도에 나타낸 바와 같은 전압공급회로(241)를 사용할 때 쉽게 얻어지게 된다.

선충전회로(232)는 V_{cc} 전압단자와 비트선(B) 사이에 연결된 MOS 트랜지스터(T_{pg1})와, 비트선(B)과

비트선($\overline{B}$) 사이에 연결된 MOS 트랜지스터(T_{PG2}) 및, V_{cc} 전압단자와 비트선($\overline{B}$) 사이에 연결된 MOS 트랜지스터(T_{PG3})로 구성되는 바, 트랜지스터($T_{PG1} \sim T_{PG3}$)의 게이트단자는 선충전신호(PG)가 공급되는 공통게이트단자에 공통으로 연결되게 된다.

제6도에 도시된 DRAM의 동작을 제6도와 제10도를 참조해서 설명하면 다음과 같다.

A. 메모리셀(211)에 "1"이 기억되어 있는 상태하에서의 독출동작

(1) 시각 t_0 에서

워드선($W_1, W_2, W_3, W_4, \dots$)과 더미워드선(DW_1, DW_2)의 모든 전압레벨은 V_{ss} (즉, 0V)이고, 메모리셀(211, 212, ...)과 더미셀(221, 222)을 구성하는 모든 트랜지스터가 도통되지 않게 되므로 상기 메모리셀(211, 212, ...)과 더미셀(221, 222)은 아무 것도 선택되지 않게 된다.

선충전신호(PG)의 전압레벨이 로우레벨이므로 선충전회로(232)는 아직 동작을 하지 않게 되고, 감지렛치신호(SL)의 전압레벨이 하이레벨이므로 감지증폭기(231)는 동작을 하게 된다. 상기 감지렛치신호(SL)은 트랜지스터(T_{SL})의 게이트 단자에 공급된다.

비트선(B)의 전압레벨(V_B)은 감지증폭기(231)가 플립플롭형 차동증폭기이므로, V_1 이고, 비트선($\overline{B}$)의 전압레벨($V_{\overline{B}}$)은 독출주기전에 선충전된 전하가 비트선($\overline{B}$)과 DRAM이 집적화된 반도체기판 사이에 존재하는 표유캐패시터내에 기억되게 되므로 거의 V_{cc} 이다.

(ii) 시각 t_1 에서

시각 t_1 에서는 선충전신호(PG)의 전압레벨이 하이레벨로 되고 선충전회로(232)의 트랜지스터($T_{PG1}, T_{PG2}, T_{PG3}$)가 도통되게 되므로 비트선(B, $\overline{B}$)이 "1"레벨로 선충전되게 된다.

반면에, 감지렛치신호(SL)의 전압레벨이 로우레벨이고 트랜지스터(T_{SL})가 도통되지 않게 되므로 2개의 비트선(B, $\overline{B}$)이 전원공급회로(241)의 출력단자로부터 전기적으로 분리되게 된다.

제10도에 나타난 바와 같이 비트선($\overline{B}$)의 전압레벨($V_{\overline{B}}$)이 약간 떨어지게 되는데, 이 변화는 트랜지스터(T_{PG2})가 도통될 때 비트선($\overline{B}$)으로부터 비트선(B)으로 전류가 흐르는 현상에 의한 것으로, 또 다른 선충전회로를 사용하게 되면 전압레벨($V_{\overline{B}}$)이 제10도의 점선과 같이 나타나게 된다.

(iii) 시각 t_2 에서

이때는 선충전신호(PG)의 전압레벨이 로우레벨로 되게 된다.

(iv) 시각 t_3 에서

메모리셀(211)에 연결된 워드선(W_1)의 전압레벨은 "0"에서 "1"로 변하고, 더미셀(222)에 연결된 더미워드선(DW_2)의 전압레벨도 또한 "0"에서 "1"로 변하게 된다. 제10도에 나타난 신호 V_w 는 워드선(W_1)의 전압레벨과 더미워드선(DW_2)의 전압레벨을 설명하기 위한 것이다.

(v) 시각 t_4 에서

워드선(W_1)이 "1"로 충분히 충전된다. 이것은 메모리셀(211)이 선택되는 것을 의미한다. 더미워드선(DW_2)도 역시 "1"로 충분히 충전되므로 더미셀(222)도 역시 선택된다. (시각 t_4 이전에 트랜지스터(T_d)가 도통되고, 트랜지스터(T_t)와 캐패시터(C')사이의 노드의 전압레벨은 대략 V_{ss} 로 되게 된다.)

만약에 리이크전류가 메모리셀(211)의 트랜지스터(T_t)를 통해 흐르지 않게 되면, 메모리셀(211)의 캐패시터(C)에 연결된 드레인단자의 전압레벨은 $V_{cc} - V_{th}$ 로 되게 된다. 여기서, V_{th} 는 트랜지스터(T_t)의 임계전압이다. 반면에, 메모리셀(211)의 비트선(B)에 연결된 소오스단자의 전압레벨이 V_{cc} 로 유지되게 되므로 메모리셀(211)의 트랜지스터(T_t)는 비도통상태를 유지하게 된다. 즉, 메모리셀(211)이 선택되더라도 전압레벨(V_B)은 변하지 않게 된다.

더미셀(222)의 캐패시터(C')에 연결된 드레인단자의 전압레벨은 거의 V_{ss} 이고, 더미셀(222)의 비트선($\overline{B}$)에 연결된 소오스단자의 전압레벨은 비트선($\overline{B}$)이 V_{cc} 로 유지되지 때문에 거의 V_{cc} 이다.

이것은 더미셀(222)을 구성하는 트랜지스터(T_t)의 드레인과 게이트사이의 전위차가 더미셀(222)을 구성하는 트랜지스터(T_t)의 임계전압보다 높다는 것을 의미한다. 그러므로, 이 트랜지스터(T_t)는 도통되게 된다. 그에 따라, 비트선($\overline{B}$)상에 선충전된 전자캐리어가 더미셀(222)의 캐패시터(C')에 의해서 뿐만 아니라 비트선($\overline{B}$)의 표유캐패시터에 의해서도 분배되게 된다.

이 현상은 C_p 가 비트선($\overline{B}$)의 표유캐패시터이고, V_x 는 분배후 비트선(B)의 전압레벨이라는 조건하에서 다음의 방정식을 이용함으로써 설명할 수 있게 된다.

$$C_p(V_{cc} - V_1) = (C_p + C') V_x$$

그러므로,

$$\begin{aligned} V_x &= \frac{C_p}{C_p + C'} (V_{cc} - V_1) \\ &= \left(1 - \frac{C'}{C_p + C'}\right) (V_{cc} - V_1) \end{aligned}$$

이다. 표유캐패시터(C_p)의 용량은 다수의 메모리셀이 비트선($\overline{B}$)에 연결되어 있기 때문에 캐패시터(C')의 용량보다 통상 10~100배 정도 크다.

반면에, 더미셀(222)의 용량(C')은 통상 메모리셀(211)의 용량(C)의 1/2이다. (즉, $C' = C/2$).

따라서,

$$\begin{aligned} V_x &= \left(1 - \frac{C/2}{C_p + C/2}\right) (V_{cc} - V_1) \\ &\approx \left(1 - \frac{C/2}{C_p + C}\right) (V_{cc} - V_1) \end{aligned}$$

여기서, $\frac{C}{C_p + C} (V_{cc} - V_1)$ 를 $\Delta V/2$ 로 표기하면,

$$V_x \approx V_{cc} - V_1 - \Delta V/2$$

가 된다. 비트선(B)의 전압레벨이 V_{cc} 에서 $\Delta V/2$ 로 떨어지는 것을 상기 방정식으로부터 알 수 있게 된다. (제10도의 시각 t_5 에서의실선참조)

(vi) 시각 t_5 에서

감지렛치신호(SL)의 전압레벨이 하이레벨로 되므로 트랜지스터(T_{sl})가 도통되고, 그에 따라 감지증폭기(231)가 그 동작을 개시하게 된다.

감지증폭기(231)는 공통소오스와 서로의 드레인에 연결된 게이트를 갖는 교차연결된 MOS 트랜지스터(T_1, T_2)의 쌍으로 이루어진 차동증폭기로서, 트랜지스터(T_2)의 게이트단자의 전압레벨이 트랜지스터(T_1)의 게이트단자의 전압레벨보다 높기 때문에 트랜지스터(T_2)는 도통되고, 트랜지스터(T_1)는 도통되지 않게 된다. 그 차이는 $\Delta V/2$ 이다.

그후, 비트선($\overline{B}$)의 전압레벨이 제10도에 나타난 바와 같이 시각 t_5 이전에 V_1 으로 되게 된다. 그에 따라 2개의 비트선(B, $\overline{B}$) 사이의 전위차가 $V_{cc} - V_1$ 으로 되게 된다.

(vii) 시각 t_6 에서

워드선(W_1)의 전압레벨과 더미워드선(DW_2)의 전압레벨이 V_1 으로 되게 된다.

B. 메모리셀(211)에 "0"이 기억되어 있는 상태하에서의 독출동작

메모리셀(211)에 "0"이 기억되어 있는 상태하에서의 시각 $t_0 \sim t_3$ 의 동작은 메모리셀(211)에 "1"이 기억되어 있는 상태하에서의 동작과 거의 동일하므로, 그것에 대한 설명은 생략하기로 한다.

(v) 시각 t_4 에서

워드선(W_1)이 V_{cc} 로 충분히 충전되므로 메모리셀(211)이 선택되게 된다. 더미워드선(DW_2)도 역시 V_{cc} 로 충분히 충전되므로 더미셀(222)도 역시 선택되게 된다.

메모리셀(211)의 캐패시터(C)에 연결된 드레인단자의 전압레벨은 메모리셀(211)에 "0"이 기억되어 있기 때문에 거의 V_{ss} 이고, 메모리셀(211)의 비트선(B)에 연결된 소오스단자의 전압레벨은 비트선(B)의 전압레벨이 "1"을 유지하고 있기 때문에 V_{cc} 이다. 그래서, 메모리셀(211)을 구성하는 트랜지스터(T_t)의 드레인과 게이트단자사이의 전위차가 이 트랜지스터(T_t)의 임계전압보다 높으므로 트랜지스터(T_t)가 도통되게 된다. 그러므로, 비트선(B)의 선충전된 전자캐리어가 메모리셀(211)의 캐패시터(C)에 의해서 뿐만 아니라 비트선(B)의 표유캐패시터에 의해서도 분배되게 된다.

이 현상은 C_p 가 비트선($\overline{B}$)의 표유캐패시터이고, (여기서 비트선 B와 $\overline{B}$ 의 표유캐패시터값은 일반적으로 동일함), V_x 는 분배후 비트선(B)의 전압레벨이라는 조건하에서 다음의 방정식을 이용함으로써 설명할 수 있게 된다.

$$C_p(V_{cc}-V_1) = (C_p+C) V_x$$

$$V_x = \left(1 - \frac{C}{C_p+C}\right) (V_{cc}-V_1)$$

$$= V_{cc}-V_1-\Delta V$$

비트선(B)의 전압레벨이 V_{cc} 에서 ΔV 로 떨어지는 것은 상기 방정식에서 명백하게 알 수 있다.(제10도의 시각 t_4 에서의 일정채선참조)

메모리셀(211)에 "0"이 기억되어 있는 상태하에서의 더미셀(222)의 동작은 메모리셀(211)에 "1"이 기억되어 있는 상태하에서의 동작과 거의 동일하다. 즉, 비트선($\bar{B}$)의 전압레벨이 V_{cc} 에서 $\Delta V/2$ 로 떨어지게 된다.(제10도의 시각 t_5 에서의 일정채선참조)

(vi) 시각 t_5 에서

감지앰플리피카터(SL)의 전압레벨이 하이레벨로 되므로 트랜지스터(T_{SL})가 도통되고, 그에 따라 감지증폭기(231)가 그 동작을 개시하게 된다. 트랜지스터(T_1)의 게이트단자의 전압레벨이 $\Delta V/2$ 의 차이에 의해서 트랜지스터(T_2)의 게이트단자의 전압레벨보다 높기 때문에 트랜지스터(T_1)는 도통되고, 트랜지스터(T_2)는 도통되지 않게 된다. 그후, 비트선(B)의 전압레벨을 제10도에 나타난 바와 같이 시각 t_6 이전에 V_1 으로 되게 되고 그에 따라 2개의 비트선(B, $\bar{B}$)사이의 전위차는 $V_{cc}-V_1-\Delta V/2$ 로 되게 된다.

(vii) 시각 t_6 에서

워드선(W_1)과 더미워드선(DW_2)의 전압레벨이 "0"으로 되게 된다.

본 발명에 따른 상기 실시예의 중요한 특징은, 종래의 DRAM에 있어서 비트선에 공급되는 저전압레벨이 V_{ss} 인데 반해 비트선에 공급되는 저전압레벨이 V_{cc} 과 V_{ss} 사이의 레벨(즉, V_1)이라는 점이다. 상기 실시예에 있어서 V_1 은 0.6V이다. 그러므로, 메모리셀(211)의 실제적인 게이트전압(V_g), 즉 소오스단자의 전압레벨에 대응하는 게이트단자의 전압레벨은 $V_{cc}-V_1=-0.6V$, 즉 $V_g=-0.6V$ 이다.

제5도에 나타난 바와 같이 $V_g=-0.6V$ 에서는 부임계전류가 흐르지 않게 된다. 그러므로, 본 발명에 따른 상기 실시예에 의하면, 부임계전류에 의한 메모리셀에서의 데이터소멸은 발생하지 않게 된다.

그리고, 부임계전류에 의한 소멸로부터 데이터를 보호하기 위해 더욱 빈번하게 재충전시키는 것이 요구되지 않게 되는 바, 통상의 재충전사이클을 상기 실시예에 사용할 수 있게 된다. 더욱이, 제4도(a)와 제4도(b)를 사용해서 설명한 것과 같은 데이터전송용 트랜지스터의 채널영역아래에서의 이온주입도 요구되지 않게 된다. 따라서, 채널영역 아래의 영역에서의 불순물농도는 이온이 그곳에 주입되지 않을 때 저농도 상태를 유지할 수 있게 된다.

상기 실시예에서는 감지증폭기(231)와 더미셀(221,222)을 사용하는 경우에 대해 설명했지만, 본 발명은 이에 한정되지 않고 감지증폭기(231)와 더미셀(221,222)을 사용하지 않는 메모리에도 적용시킬 수 있게 된다.

또한, 비트선($\bar{B}$)에 연결된 감지증폭기(231)와 한 기준전압전위가 더미셀(222) 대신에 사용될 수 있게 된다. 이러한 기준전압전위의 전압레벨은, 예컨대 약 $V_{cc}-\Delta V/2$ 이다.

제11도는 본 발명의 다른 실시예에서 다른 DRAM의 요부를 나타난 회로도로서, 이 실시예에서, DRAM은 복수의 비트선(B, $\bar{B}$)쌍과 제6도에 나타난 복수의 감지증폭기를 갖추고 있는데, 각각의 감지증폭기는 비트선(B, $\bar{B}$)쌍에 대응해서 연결되게 된다. 이 감지증폭기들은 각각 스위칭트랜지스터(T_{SL})를 매개로 전압공급회로(241)의 출력단자에 연결되는 공통연결된 소오스단자들을 갖추고 있다.

이 실시예의 다른 부분은 상기 제1실시예의 다른 부분과 동일하다.

상기 실시예에서는 단지 1개의 전압공급회로(241)가 필요하게 되는 바, 적은 수의 트랜지스터가 필요하게 된다.

상기 실시예의 각각에 있어서, 데이터전송용 트랜지스터(T_t)와 감지증폭기 트랜지스터(T_1, T_2)는 N 채널형 MOS 트랜지스터이다. 이들 트랜지스터는 P 채널형 MOS 트랜지스터로 대체될 수도 있다. 이 경우, 상기 실시예에 의해 성취되는 동일한 장점은 소자의 기준전위를 역으로 함으로써 얻어지게 된다.

또한, 본 발명은 상기 실시예에 한정되지 않고 그 요지를 이탈하지 않는 범위내에서 여러 가지로 변형할 수 있게 된다.

[발명의 효과]

상술한 바와 같이 본 발명의 다이내믹형 랜덤액세스메모리에 의하면, 메모리셀의 전송트랜지스터의 접합용량의 저감 및 비트선용량의 저감을 실현할 수가 있고, 상기 전송트랜지스터의 역바이어스효과에 의한 기억캐패시터로의 데이터기록 전위의 저하를 방지할 수가 있으며, 상기 전송트랜지스터의 특성을 손상시키지 않고 그 부임계전류의 방지 더 나아가서는 메모리셀의 기억유지특성의 향상을 도모할 수 있게 된다.

(57) 청구의 범위

청구항 1

전압공급단자와, 이 전압공급단자에 연결된 제1충전단자와 제2충전단자를 갖춘 용량성 수단(C) 및, 상기 제2충전단자에 연결된 제1도통단자와 제2도통단자를 갖추고 상기 제1 및 제2도통단자사이에 도통통로를 형성시키며 이 도통통로의 임피던스를 제어하기 위한 제어단자를 갖춘 스위칭수단(Tt)으로 이루어진 메모리셀(211,212,213,214,...)과; 상기 제어단자에 연결되어 상기 메모리셀

(211,212,213,214,...)이 선택될 때 어떤 전압레벨을 갖고, 상기 메모리셀(211,212,213,214,...)이 선택되지 않을 때 다른 전압레벨을 갖는 워드선(W₁,W₂,W₃,W₄,...) 및; 상기 제2도통단자에 연결된 비

트선(B, $\bar{B}$)을 구비하고 있는 다이내믹형 랜덤엑세스메모리에 있어서, 상기 메모리셀

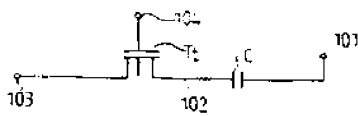
(211,212,213,214,...)이 선택되지 않을 때 상기 워드선(W₁,W₂,W₃,W₄,...)의 다른 전압레벨과 상기 제

1도통단자의 전압레벨사이의 전압레벨을 상기 비트선(B, $\bar{B}$)에 인가함으로써 메모리셀

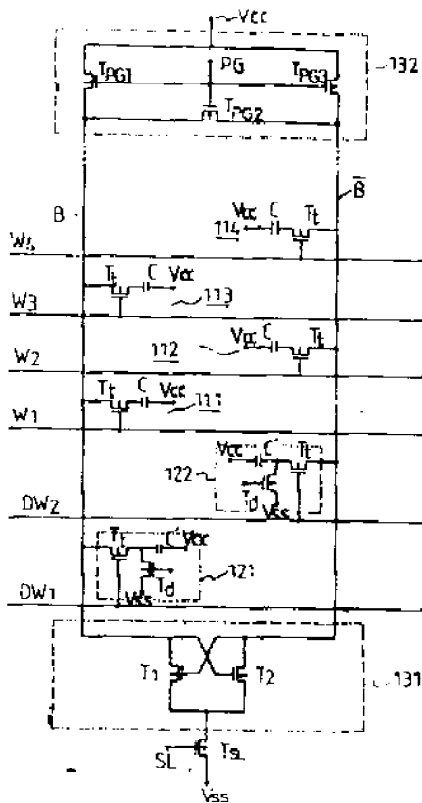
(211,212,213,214,...)이 선택되지 않을 때 도통통로를 통해 흐르는 리이트전류를 방지하는 회로(241)를 구비하여 구성된 것을 특징으로 하는 다이내믹형 랜덤엑세스메모리.

도면

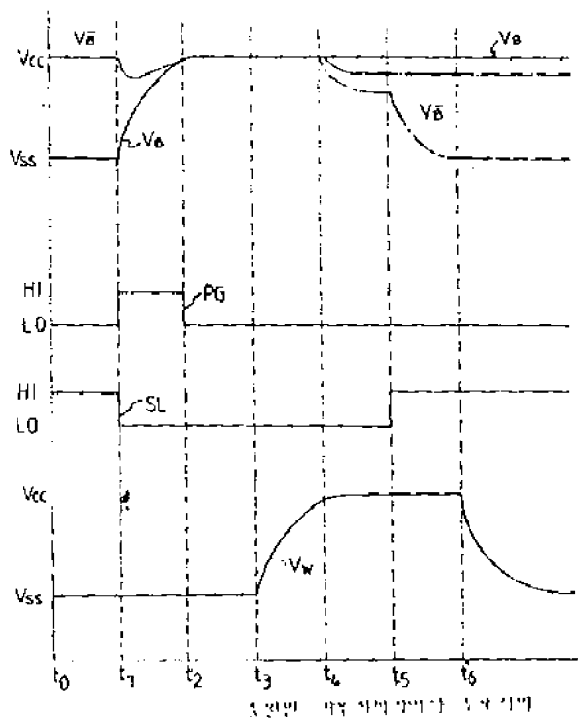
도면1



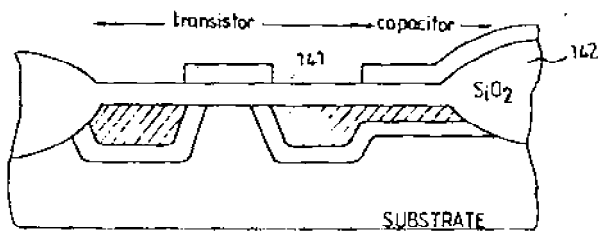
도면2



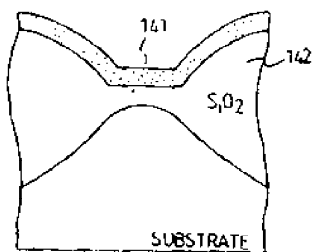
도면3



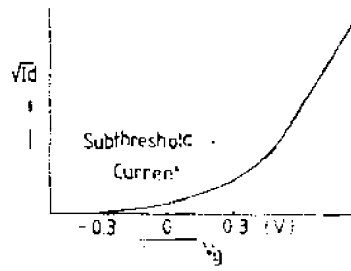
도면4-a



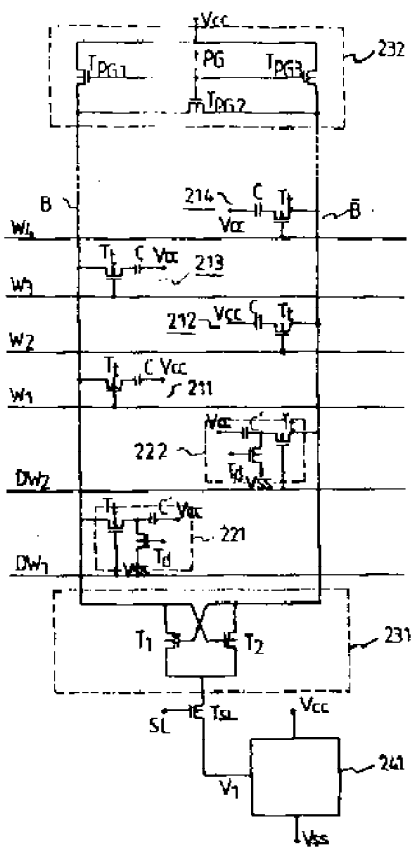
도면4-b



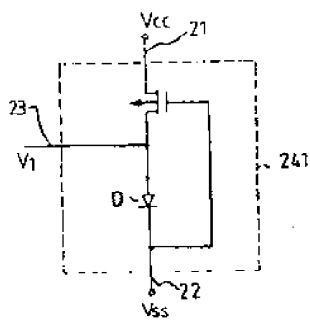
도면5



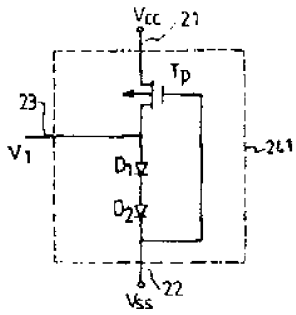
도면6



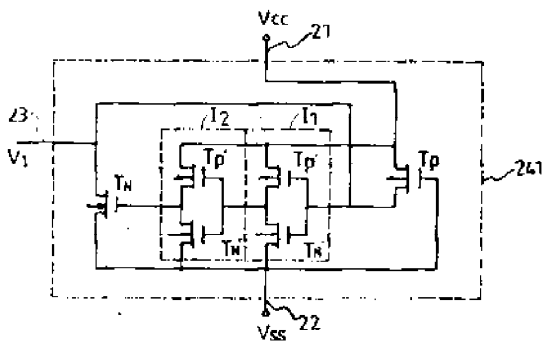
도면7



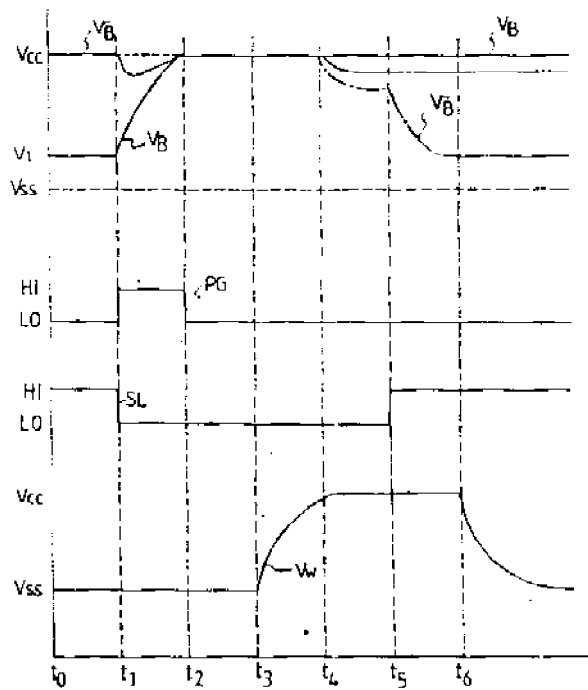
도면8



도면9



도면10



도면11

