(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月13日(13.09.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/163839 A1

(51) 国際特許分類:
H01L 21/3205 (2006.01) *H01L 23/522* (2006.01)
H01L 21/768 (2006.01) *H01L 27/04* (2006.01)
H01L 21/822 (2006.01)

(21) 国際出願番号： PCT/JP2018/006416

(22) 国際出願日： 2018年2月22日(22.02.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-043811 2017年3月8日(08.03.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 三宅 慎一 (**MIYAKE Shinichi**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

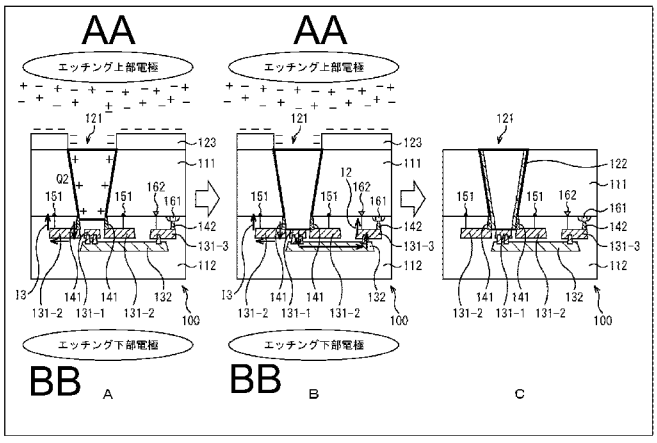
(74) 代理人: 西川 孝, 外 (**NISHIKAWA Takashi** et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿プライムスクエア9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** SEMICONDUCTOR DEVICE AND PRODUCTION METHOD

(54) 発明の名称： 半導体装置、及び、製造方法

FIG. 3



AA Etching upper electrode
BB Etching lower electrode

(57) **Abstract:** The present technique relates to a semiconductor device and a production method, which enable decrease of PID. The present technique provides a semiconductor device which comprises: a first layer; a second layer that is laminated on the first layer; a conductive member which is in contact with the lateral surface of a groove part that is formed in the first layer and the second layer; and a first wiring line which is formed on the second layer and is in contact with the bottom surface of the groove part. The conductive member is connected to a protection element for discharging charges that are stored within the groove part. The present technique is applicable, for example, when a via is processed with respect to a silicon substrate and an interlayer film that are laminated one upon another.

WO 2018/163839 A1

［続葉有］

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:本技術は、PIDを低減することができるようにする半導体装置、及び、製造方法に関する。第１の層と、第１の層と積層される第２の層と、第１の層と第２の層に形成される溝部の側面に接触する導電性部材と、第２の層に形成され、溝部の底面に接触する第１の配線とを有し、導電性部材は、溝部内に蓄積された電荷を排出するための保護素子と接続される半導体装置が提供される。本技術は、例えば、積層されたシリコン基板と層間膜に対して、ビアを加工する際に適用することができる。

明　細　書

発明の名称 ： 半導体装置、及び、製造方法

技術分野

[0001] 本技術は、半導体装置、及び、製造方法に関し、特に、PIDを低減することができるようにした半導体装置、及び、製造方法に関する。

背景技術

[0002] 近年、半導体装置の微細化が進んでいる。半導体装置においては、アスペクト比の高いビアの加工を行うに際して、大きなPID(Plasma Induced Damage)によって、トランジスタの特性変動が引き起こされることが知られている（例えば、特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１５－２１６１９４号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、今後の半導体装置の微細化によって、トランジスタのゲート面積が縮小されることが想定されるが、配線やビアに対するアンテナ比が増加して、当該トランジスタを保護するために必要となる保護素子も増えるため、PID自体を低減することが求められる。

[0005] 本技術はこのような状況に鑑みてなされたものであり、PIDを低減することができるようにするものである。

課題を解決するための手段

[0006] 本技術の一側面の半導体装置は、第１の層と、前記第１の層と積層される第２の層と、前記第１の層と前記第２の層に形成される溝部の側面に接触する導電性部材と、前記第２の層に形成され、前記溝部の底面に接触する第１の配線とを有し、前記導電性部材は、前記溝部内に蓄積された電荷を排出するための保護素子と接続される半導体装置である。

[0007] 本技術の一側面の半導体装置においては、積層される第１の層と第２の層に形成される溝部の側面に接触される導電性部材が、当該溝部内に蓄積された電荷を排出するための保護素子と接続され、当該溝部の底面には、第１の配線が接触される。

[0008] 本技術の一側面の半導体装置の製造方法は、第１の層と第２の層とを積層し、前記第１の層と前記第２の層に形成される溝部の側面に接触するように、前記第２の層に、導電性部材を形成し、前記導電性部材と接続されるように、前記溝部内に蓄積された電荷を排出するための保護素子を形成し、前記溝部の底面に接触するように、前記第２の層に、第１の配線を形成し、積層された前記第１の層と前記第２の層に対し、前記第１の層側からエッチングを行い、前記溝部を形成する半導体装置の製造方法である。

[0009] 本技術の一側面の半導体装置の製造方法においては、第１の層と第２の層とが積層され、第１の層と第２の層に形成される溝部の側面に接触するように、第２の層に、導電性部材が形成され、導電性部材と接続されるように、溝部内に蓄積された電荷を排出するための保護素子が形成され、溝部の底面に接触するように、第２の層に、第１の配線が形成され、積層された第１の層と第２の層に対し、第１の層側からエッチングが行われ、溝部が形成される。

発明の効果

[0010] 本技術の一側面によれば、PIDを低減することができる。

[0011] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0012] [図1]従来技術でのPIDのメカニズムを説明する図である。

[図2]PIDによる、トランジスタでの閾値電圧のゲート面積依存を説明する図である。

[図3]本技術を適用した場合のPIDのメカニズムを説明する図である。

[図4]第１の実施の形態の半導体装置の構造を説明する図である。

[図5]第２の実施の形態の半導体装置の構造を説明する図である。

[図6]第３の実施の形態の半導体装置の構造を説明する図である。

[図7]第４の実施の形態の半導体装置の構造を説明する図である。

[図8]第５の実施の形態の半導体装置の構造を説明する図である。

[図9]第６の実施の形態の半導体装置の構造を説明する図である。

[図10]第７の実施の形態の半導体装置の構造を説明する図である。

[図11]第８の実施の形態の半導体装置の構造を説明する図である。

[図12]第９の実施の形態の半導体装置の構造を説明する図である。

[図13]第１０の実施の形態の半導体装置の構造を説明する図である。

[図14]第１０の実施の形態の半導体装置の製造方法を説明する図である。

[図15]第１１の実施の形態の半導体装置の構造を説明する図である。

[図16]第１１の実施の形態の半導体装置の製造方法を説明する図である。

[図17]第１２の実施の形態の半導体装置の構造を説明する図である。

[図18]第１３の実施の形態の半導体装置の構造を説明する図である。

発明を実施するための形態

[0013] 以下、図面を参照しながら本技術の実施の形態について説明する。なお、説明は以下の順序で行うものとする。

[0014] １．本技術の概要

２．第１の実施の形態：ビア側面にコンタクトが接触し、グランドに接続される構造

３．第２の実施の形態：ビア側面にコンタクトが接触し、順方向ダイオードに接続される構造

４．第３の実施の形態：ビア側面にコンタクトが接触し、逆方向ダイオードに接続される構造

５．第４の実施の形態：コンタクトがビア側面を囲った構造

６．第５の実施の形態：コンダクトがビア側面の一部と接触した構造

７．第６の実施の形態：ビア側面に第１ゲート電極が接触し、グランドに接続される構造

８．第７の実施の形態：ビア側面に第２ゲート電極が接触し、グランドに接続される構造

９．第８の実施の形態：ゲート電極がビア側面を囲った構造

１０．第９の実施の形態：ゲート電極がビア側面の一部と接触した構造

１１．第１０の実施の形態：ビア側面に第１配線が接触し、グランドに接続される構造

１２．第１１の実施の形態：ビア側面に第１配線が接触し、ビア側面との接触部が絶縁膜で覆われていない構造

１３．第１２の実施の形態：第１配線がビア側面を囲った構造

１４．第１３の実施の形態：第１配線がビア側面の一部と接触した構造

１５．変形例

[0015] ＜１．本技術の概要＞

[0016] 通常、半導体装置の製造工程では、例えば、トランジスタのゲート電極に接続される配線やビアの形成にあたり、プラズマ励起ガス中におけるドライエッチングや化学気相成長（CVD：Chemical Vapor Deposition）などが行われる。

[0017] そのため、正電荷又は負電荷がゲート電極に帯電し、トランジスタの特性を変動させてしまい、結果として、回路が意図しない挙動を示すことがある。この現象は、PID(Plasma Induced Damage)や、プラズマダメージなどと称される。

[0018] （従来のPIDメカニズム）

図１は、従来技術でのPIDのメカニズムを説明する図である。

[0019] 図１においては、シリコン基板１１と層間膜１２を積層して、ビア２１を形成する際に、シリコン基板１１の上面側に、レジスト２３を塗布して、シリコン基板１１側から、ドライエッチングにより加工を行う工程を模式的に表している。

[0020] この工程を行う際には、エッチングの上部電極と下部電極が設置され、バイアスをつけた状態で、エッチングが行われる。このとき、一般的に、レジ

スト２３の表面には、電子（－）が溜まりやすく、加工されるビア２１の側面（側壁）には、エッチャントのイオン（＋）が帯電することになる。

[0021] なお、図中の「－」は、電子を表し、その特性として、指向性が弱いという特徴がある。一方で、図中の「＋」は、エッチャントのイオンを表し、その特性として、指向性が高いという特徴がある。

[0022] また、層間膜１２には、導電体層として、第１配線３１と第２配線３２が形成される。第１配線３１には、コンタクト４２を介してトランジスタ６１が接続され、さらに保護ダイオード６２も接続されている。

[0023] 図１のＡに示すように、アスペクト比の高いビア２１の絶縁膜を加工する際に、電子シェーディング効果によって、ビア２１の側面（側壁）に、電荷Q1が蓄積され、帯電している。その結果として、ビア２１内が、高電圧となる。

[0024] その後、図１のＢに示すように、ビア２１のエッチングが進んで、ビア２１の底面（底部）が、第１配線３１と接触した瞬間に、ビア２１内に蓄積された電荷Q1が、回路側に流れ込む。

[0025] すなわち、ビア２１の側面に蓄積された電荷Q1に応じた電流I1が、第１配線３１に流れ込み、保護ダイオード６２で処理できない電流が、コンタクト４２に接続されたトランジスタ６１のゲート電極に流れ込む。その結果、トランジスタ６１の特性変動が引き起こされる。

[0026] このように、従来技術では、トランジスタ６１に対し、保護ダイオード６２を接続して、回路側に流れ込む電流I1を、シリコン基板１１側に逃がす構成を採用しているが、PIDが大きい場合には、その分だけ、保護ダイオード６２を大きくする必要がある。

[0027] 一方で、今後は、半導体装置のロジックの微細化によって、トランジスタ６１のゲート面積が縮小されることが想定され、ビア２１に対するアンテナ比が増加して、必要となる保護ダイオード６２も増えるため、PID自体を低減することが求められる。

[0028] 具体的には、図２には、PIDによる、トランジスタでの閾値電圧のゲート面

積依存の関係を示している。

[0029] なお、図２において、横軸は、トランジスタ６１のゲート面積を表しており、図中の左側から右側に向かうほど、その面積が大きくなることを示している。すなわち、ロジックの微細化によって、ゲート面積は、横軸の左側の方向に向かうことになる。また、縦軸は、トランジスタ６１の閾値電圧を表しており、図中の下側から上側に向かうほど、その差（ΔVth）が大きくなることを示している。

[0030] 図２においては、トランジスタ６１の閾値電圧とゲート面積の関係を示す折れ線が、３つ示されている。１つ目の折れ線は、設計マージンとして、ビア２１の個数が多い場合、すなわち、ビアの面積が大きい場合の閾値電圧とゲート面積の関係を示している。同様に、２つ目の折れ線は、ビア２１の個数が少ない場合の関係を示し、３つ目の折れ線は、ビア２１の個数が、多い場合と少ない場合の中間の個数の場合の関係を示している。

[0031] これらの関係からも、半導体装置のロジックの微細化が進んで、トランジスタ６１のゲート面積が縮小すると、トランジスタ６１のPIDによる閾値電圧（ΔVth）は、増大することは明らかである。また、その一方で、積層チップ間のビア２１は、微細化されないため、アンテナ比が増大していくことになる（特に、ビア２１の個数が多い場合にその傾向が顕著となる）。

[0032] そして、その対策としては、保護ダイオード６２の機能を強化するか、あるいは、積層チップ間のビア２１のPID自体を低減することが必要となる。

[0033] そこで、本技術では、上記の対策のうち、後者の対策として、PIDを低減することができるようにした半導体装置の構造を提案するものとする。具体的には、本技術では、図３に示すようなPIDのメカニズムが実現されるようにする。

[0034] （本技術のPIDメカニズム）

図３は、本技術を適用した場合のPIDのメカニズムを説明する図である。

[0035] 図３には、半導体装置１００において、半導体層としてのシリコン基板１１１と、導電体層としての層間膜１１２を積層して、ビア１２１を形成する

際に、レジスト１２３を塗布して、シリコン基板１１１側から、ドライエッチングにより加工を行う工程を模式的に表している。

[0036] この工程を行う際には、エッチングの上部電極と下部電極が設置され、バイアスをつけた状態で、エッチングが行われ、レジスト１２３の表面には、電子（－）が溜まりやすく、加工されるビア１２１の側面（側壁）には、エッチャントのイオン（＋）が帯電することになるのは先に述べた通りである。なお、図３においては、図１と同様に、図中の「－」が電子を表し、図中の「＋」がエッチャントのイオンを表している。

[0037] 層間膜１１２としては、例えば、BEOL(Back End Of Line)層間膜などを用いることができる。層間膜１１２には、第１配線１３１－１、第１配線１３１－２、及び第１配線１３１－３と、第２配線１３２が形成される。

[0038] 第１配線１３１－１と第２配線１３２とは接続され、第２配線１３２には、第１配線１３１－３が接続される。また、第１配線１３１－３には、コンタクト１４２を介してトランジスタ１６１が接続され、さらに、保護ダイオード１６２も接続されている。

[0039] 第２配線１３１－２は、ビア１２１の側面（側壁）の一部の領域に接触するように形成されるコンタクト１４１に接続される。また、第１配線１３１－２は、グランド（GND）１５１と接続され、シリコン基板１１１と接地されている。

[0040] 図３のＡに示すように、アスペクト比の高いビア１２１の絶縁膜を加工する際に、電子シェーディング効果によって、ビア１２１の側面（側壁）に、電荷Q2が蓄積され、帯電している。

[0041] ここで、ビア１２１を形成するために、シリコン基板１１１側からエッチングが行われるが、当該エッチングの途中で、ビア１２１の底面（底部）が、第１配線１３１－１に接触するよりも先に、ビア１２１の側面（側壁）が、コンタクト１４１に接触することになる。

[0042] これにより、ビア１２１の側面（側壁）に蓄積された電荷Q2（の一部）が、電流I3として、コンタクト１４１及び第１配線１３１－２を通じて、シリ

コン基板１１１側に流れるので、結果として、ビア１２１のホール（ビアホール）内の電荷Q2を低減することができる。

[0043] そのため、従来技術でのビア２１の側面の電荷Q1（図１のＡ）と、本技術でのビア１２１の側面の電荷Q2（図３のＡ）とを比較すれば、Q2 < Q1 の関係となって、本技術でのビア１２１では、従来技術でのビア２１と比べて、電界を緩和することが可能となる。

[0044] その後、図３のＢに示すように、ビア１２１のエッチングが進んで、ビア１２１の底面が、第１配線１３１－１と接触した瞬間に、ビア１２１内に蓄積された電荷Q2が、回路側に流れ込む。すなわち、ビア１２１の側面に蓄積された電荷Q2に応じた電流I2が、第１配線１３１－１に流れ込み、第２配線１３２を通じて、第１配線１３１－３に流入する。

[0045] このとき、従来技術での電荷Q1に応じた電流I1（図１のＢ）と、本技術での電荷Q2に応じた電流I2（図３のＢ）とを比較すれば、I2 < I1 の関係となって、第１配線１３１－３に流入される電流I2を、低減することが可能となる。

[0046] そのため、第１配線１３１－３に流入される電流I2（低減された電流I2）は、保護ダイオード１６２によって、十分に処理することが可能であり、コンタクト１４２に接続されたトランジスタ１６１のゲート電極側に流れ込むことはない。その結果、トランジスタ１６１の特性変動を、未然に抑制することができる。

[0047] このように、本技術では、内部回路と接続されている第１配線１３１－１と、ビア１２１の底面（底部）とが、接触する前に、コンタクト１４１等の導電性の層（導電性部材）を、ビア１２１の側面（側壁）に接触させて、コンタクト１４１（導電性部材）と第１配線１３１－２（配線）を通じて、ビア１２１の側面（側壁）に蓄積された電荷（電荷Q2）を、グランド（GND）に逃がすようにしている。

[0048] このとき、ビア１２１の側面（側壁）に蓄積される電荷Q2は、図１に示した従来技術を用いた場合と比べて、低減されているため、ビア１２１の底面

（底部）が、第１配線１３１－１と接触したとき、内部回路に流れ込む電流I2を低減することができる。その結果として、PID自体を低減して、保護ダイオード１６２による保護機能が大きくなるのを抑制することができ、ひいては、半導体装置１００のロジックの微細化の要求に十分に応えることが可能となる。

[0049] その後、エッチングが終了すると、図３のＣに示すように、ビア１２１の側面は、シリコン窒化膜（SiN）やシリコン酸化膜（SiO_2）等の絶縁膜１２２により一度覆われる。そして、選択的に、ビア１２１の側面の絶縁膜１２２のみを残すようにエッチングが行われる。

[0050] すなわち、ビア１２１の側面（側壁）が、絶縁膜１２２により保護されることで、コンタクト１４１及び第１配線１３１－２は、他の導電性部材と電気的に分離されることになる。そして、ビア１２１内には、例えば、銅（Cu）やタングステン（W）等の導電性部材が埋め込まれる。

[0051] 次に、上述した本技術のPIDメカニズムを用いて構成される、本技術を適用した半導体装置１００の構造について説明する。以下の説明では、本技術を適用した半導体装置１００の構造として、PIDを低減することが可能となる、第１の実施の形態乃至第１３の実施の形態に示す構造について説明する。

[0052] ＜２．第１の実施の形態＞

[0053] 図４は、第１の実施の形態の半導体装置の構造を説明する図である。

[0054] なお、図４においては、第１の実施の形態として、半導体装置１００Ａの一部の構造の断面図を示している。ただし、図４において、半導体装置１００Ａには、図３の半導体装置１００と対応する部分に、同一の符号を付してあり、その対応する部分の説明は適宜省略する。

[0055] 図４において、半導体装置１００Ａでは、シリコン基板１１１と層間膜１１２とが積層され、ビア１２１が形成されている。

[0056] ビア１２１は、例えば、TSV(Through Silicon Via)等に用いられる。ビア１２１の底面の一部の領域は、第１配線１３１－１と接触している。また、ビア１２１の側面の一部の領域に接触するようにコンタクト１４１が形成さ

れているが、絶縁膜１２２により、他の導電性部材と電気的に分離されている。

[0057] 第１配線１３１－１は、その下層に形成された第２配線１３２と接続される。第２配線１３２は、第１配線１３１－１と同一の層に形成された第１配線１３１－３と接続される。第１配線１３１－３は、コンタクト１４２を介してトランジスタ１６１に接続され、さらに保護ダイオード１６２も接続される。

[0058] コンタクト１４１は、第１配線１３１－２を介してグランド（GND）１５１と接続され、シリコン基板１１１と接地されている。この接地方法としては、例えば、コンタクト１４１が、P型ウェル若しくはシリコン基板１１１内のP型拡散層に接触する、又はコンタクト１４１が、N型ウェル若しくはシリコン基板１１１内のN型拡散層に接触することで実現される。

[0059] ここで、半導体装置１００Ａの製造時においては、シリコン基板１１１側からエッチングを行うことで、ビア１２１が形成されるが、当該エッチングの途中で、ビア１２１の底面が、第１配線１３１－１と接触するよりも先に、ビア１２１の側面が、コンタクト１４１に接触することになる。

[0060] すなわち、シリコン基板１１１側からエッチングされたビア１２１とコンタクト１４１とが、最初にビア１２１の側面で接触し、電子シェーディング効果で、ビア１２１のホール（ビアホール）内に蓄積された電荷の一部が、コンタクト１４１及び第１配線１３１－２を通じて、シリコン基板１１１側に流れ、ビア１２１のホール（ビアホール）内の電荷が低減される。

[0061] このように、ビア１２１を形成するためのエッチングの工程において、ビア１２１の側面が、コンタクト１４１と接触することで、ビア１２１内の電界を緩和することができる。

[0062] その後、ビア１２１のエッチングが進んで、ビア１２１の底面の一部と、第１配線１３１－１とが接触して、ビア１２１のホール（ビアホール）内の電荷が、第１配線１３１－１を通じて、後段の回路内（例えば、トランジスタ１６１等）へ流入する。

[0063] このとき、既に、ビア１２１の側面がコンタクト１４１と接触して、ビア１２１内の電界を緩和しているため（図１の従来技術を用いた場合に比べてホール内の電界が低減されているため）、第１配線１３１－１を通じて、後段の回路内に流入する電流も低減されることになる。これにより、PID自体を低減して、保護ダイオード１６２による保護機能が大きくなるのを抑制することができる。

[0064] エッチングが終了した後、ビア１２１の側面は、シリコン窒化膜（SiN）等の絶縁膜１２２により保護される。これにより、図４に示すように、コンタクト１４１及び第１配線１３１－２は、他の導電性部材と電気的に分離されることになる。そして、ビア１２１内には、例えば、銅（Cu）等の導電性部材が埋め込まれる。

[0065] 以上、第１の実施の形態の半導体装置１００Ａについて説明した。

[0066] ＜３．第２の実施の形態＞

[0067] 図５は、第２の実施の形態の半導体装置の構造を説明する図である。

[0068] なお、図５においては、第２の実施の形態として、半導体装置１００Ｂの一部の構造の断面図を示している。ただし、図５において、半導体装置１００Ｂには、図３の半導体装置１００と対応する部分に、同一の符号を付してあり、その対応する部分の説明は適宜省略する。

[0069] すなわち、図５の半導体装置１００Ｂでは、図３の半導体装置１００と比べて、コンタクト１４１に接続される第１配線１３１－２が、グランド（GND）１５１と接続されて接地されるのではなく、第１配線１３１－２には、シリコン基板１１１の順方向ダイオード１５２が接続されている。

[0070] ここで、順方向ダイオード１５２は、例えば、N型基板又はN型ウェルで、表面の注入層がP型となるダイオードとすることができる。これにより、コンタクト１４１は、例えば、N型ウェル又はシリコン基板１１１内のP型拡散層に接触することになる。

[0071] このような構造を有する半導体装置１００Ｂの製造時においては、シリコン基板１１１側からエッチングを行うことで、ビア１２１が形成されるが、

当該エッチングの途中で、ビア１２１の側面が、コンタクト１４１に接触し、ビア１２１のホール内の電荷を低減することができる。

[0072] その後、ビア１２１のエッチングが進んで、ビア１２１の底面の一部と、第１配線１３１－１とが接触して、ビア１２１のホール内の電荷が、第１配線１３１－１を通じて、後段の回路内（例えば、トランジスタ１６１等）へ流入する。

[0073] このとき、既に、ビア１２１の側面がコンタクト１４１と接触して、ビア１２１内の電界を緩和しているため、第１配線１３１－１を通じて、後段の回路内に流入する電流も低減されることになる。これにより、第２の実施の形態の半導体装置１００Ｂでは、PID自体を低減して、保護ダイオード１６２による保護機能が大きくなるのを抑制することができる。

[0074] 以上、第２の実施の形態の半導体装置１００Ｂについて説明した。

[0075] ＜４．第３の実施の形態＞

[0076] 図６は、第３の実施の形態の半導体装置の構造を説明する図である。

[0077] なお、図６においては、第３の実施の形態として、半導体装置１００Ｃの一部の構造の断面図を示している。ただし、図６において、半導体装置１００Ｃには、図３の半導体装置１００と対応する部分に、同一の符号を付してあり、その対応する部分の説明は適宜省略する。

[0078] すなわち、図６の半導体装置１００Ｃでは、図３の半導体装置１００と比べて、コンタクト１４１に接続される第１配線１３１－２が、グランド（GND）１５１と接続されて接地されるのではなく、第１配線１３１－２には、シリコン基板１１１の逆方向ダイオード１５３が接続されている。

[0079] ここで、逆方向ダイオード１５３は、例えば、P型基板で、表面の注入層がN型となるダイオードとすることができる。これにより、コンタクト１４１は、例えば、P型ウェル又はシリコン基板１１１内のN型拡散層に接触することになる。

[0080] このような構造を有する半導体装置１００Ｃの製造時においては、シリコン基板１１１側からエッチングを行うことで、ビア１２１が形成されるが、

当該エッチングの途中で、ビア１２１の側面が、コンタクト１４１に接触し、ビア１２１のホール内の電荷を低減することができる。

[0081] その後、ビア１２１のエッチングが進んで、ビア１２１の底面の一部と、第１配線１３１－１とが接触して、ビア１２１のホール内の電荷が、第１配線１３１－１を通じて、後段の回路内（例えば、トランジスタ１６１等）へ流入する。

[0082] このとき、既に、ビア１２１の側面がコンタクト１４１と接触して、ビア１２１内の電界を緩和しているため、第１配線１３１－１を通じて、後段の回路内に流入する電流も低減されることになる。これにより、第３の実施の形態の半導体装置１００Ｃでは、PID自体を低減して、保護ダイオード１６２による保護機能が大きくなるのを抑制することができる。

[0083] また、第３の実施の形態の半導体装置１００Ｃでは、第１配線１３１－２が逆方向ダイオード１５３に接続されているため、半導体装置１００Ａ（図４）や半導体装置１００Ｂ（図５）と比べて、ダイオードの耐性があるため、絶縁膜１２２を薄くできる。

[0084] 以上、第３の実施の形態の半導体装置１００Ｃについて説明した。

[0085] ＜５．第４の実施の形態＞

[0086] 図７は、第４の実施の形態の半導体装置の構造を説明する図である。

[0087] なお、図７においては、第４の実施の形態として、図４に示した半導体装置１００Ａのシリコン基板１１１に形成されたビア１２１の周辺の領域の構造を、シリコン基板１１１側から見た場合の上面図を示している。

[0088] 図７に示した半導体装置１００Ａでは、シリコン基板１１１と層間膜１１２に形成されたビア１２１の側面の一部の領域には、コンタクト１４１が形成されているが、コンタクト１４１は、ビア１２１の側面（の周囲）を囲うように形成されている。このように形成されるコンタクト１４１が、第１配線１３１－２を介してグランド１５１と接続され、シリコン基板１１１と接地されている。

[0089] このように、コンタクト１４１が、ビア１２１の側面（の周囲）を囲うよ

うな構造を用いることで、ビア１２１の側面に対し、コンタクト１４１が接触する領域の面積を増加させることができるため、ビア１２１のホール内の電荷を逃がしやすくすることができる。

[0090] なお、図７においては、図４に示した半導体装置１００Ａの構造を一例に説明したが、半導体装置１００Ｂ（図５）又は半導体装置１００Ｃ（図６）についても同様に、コンタクト１４１が、ビア１２１の側面（の周囲）を囲うように形成されるような構造とすることができる。

[0091] 以上、第４の実施の形態の半導体装置１００Ａ（１００Ｂ，１００Ｃ）について説明した。

[0092] ＜６．第５の実施の形態＞

[0093] 図８は、第５の実施の形態の半導体装置の構造を説明する図である。

[0094] なお、図８においては、第５の実施の形態として、図４に示した半導体装置１００Ａのシリコン基板１１１に形成されたビア１２１の周辺の領域の構造を、シリコン基板１１１側から見た場合の上面図を示している。

[0095] 図８に示した半導体装置１００Ａでは、シリコン基板１１１と層間膜１１２に形成されたビア１２１の側面の一部の領域には、コンタクト１４１が形成されているが、コンタクト１４１は、ビア１２１の側面の一部と接触するように形成されている。

[0096] より具体的には、略矩形状の形状からなるビア１２１の各辺（４辺）の一部の領域に、コンタクト１４１がそれぞれ形成されている。このように形成されるコンタクト１４１が、第１配線１３１－２を介してグランド１５１と接続され、シリコン基板１１１と接地されている。

[0097] 例えば、半導体装置１００Ａの構造によっては、コンタクト１４１が、ビア１２１の側面の一部と接触するように形成されるような構造とすることで、加工がしやすくなる場合があり、加工上のメリットがある。

[0098] なお、図８においては、図４に示した半導体装置１００Ａの構造を一例に説明したが、半導体装置１００Ｂ（図５）又は半導体装置１００Ｃ（図６）についても同様に、コンタクト１４１が、ビア１２１の側面の一部と接触す

るように形成されるような構造とすることができる。

[0099] 以上、第５の実施の形態の半導体装置１００Ａ（１００Ｂ，１００Ｃ）について説明した。

[0100] ＜７．第６の実施の形態＞

[0101] 図９は、第６の実施の形態の半導体装置の構造を説明する図である。

[0102] なお、図９においては、第６の実施の形態として、半導体装置１００Ｄの一部の構造の断面図を示している。ただし、図９において、半導体装置１００Ｄには、図３の半導体装置１００と対応する部分に、同一の符号を付してあり、その対応する部分の説明は適宜省略する。

[0103] すなわち、図９の半導体装置１００Ｄでは、図３の半導体装置１００と比べて、コンタクト１４１の代わりに、ゲート電極１４３が形成され、このゲート電極１４３が、コンタクト１４４を介して第１配線１３１－２と接続されている。

[0104] ゲート電極１４３としては、例えば、高ドープの多結晶シリコン（Poly Si）が用いられ、ホウ酸（B）やリン（P）、ヒ素（As）等の不純物が高ドープされ、低抵抗化されている。また、ゲート電極１４３は、コンタクト１４４に接続される第１配線１３１－２を介して、グランド１５１と接続され、シリコン基板１１１と接地されている。この接地方法としては、例えば、P+/WellやN+/Nwellに接触することで実現される。

[0105] ここで、半導体装置１００Ｄの製造時においては、シリコン基板１１１側からエッチングを行うことで、ビア１２１が形成されるが、当該エッチングの途中で、ビア１２１の側面が、ゲート電極１４３に接触し、ビア１２１のホール内に蓄積された電荷の一部が、ゲート電極１４３、コンタクト１４４、及び第１配線１３１－２を通じて、シリコン基板１１１側に流れる。これにより、ビア１２１のホール内の電荷を低減することができる。

[0106] その後、ビア１２１のエッチングが進んで、ビア１２１の底面の一部と、第１配線１３１－１とが接触して、ビア１２１のホール内の電荷が、第１配線１３１－１を通じて、後段の回路内（例えば、トランジスタ１６１等）へ

流入する。

[0107] このとき、既に、ビア１２１の側面がゲート電極１４３と接触して、ビア１２１内の電界を緩和しているため、第１配線１３１－１を通じて、後段の回路内に流入する電流も低減されることになる。これにより、第６の実施の形態の半導体装置１００Ｄでは、PID自体を低減して、保護ダイオード１６２による保護機能が大きくなるのを抑制することができる。

[0108] なお、図９においては、ゲート電極１４３が、コンタクト１４４に接続される第１配線１３１－２を介して、グランド１５１に接続され、シリコン基板１１１と接地される構造を一例に説明したが、グランド１５１への接続に限らず、順方向ダイオード１５２又は逆方向ダイオード１５３が接続されるようにしてもよい。

[0109] 以上、第６の実施の形態の半導体装置１００Ｄについて説明した。

[0110] ＜８．第７の実施の形態＞

[0111] 図１０は、第７の実施の形態の半導体装置の構造を説明する図である。

[0112] なお、図１０においては、第７の実施の形態として、半導体装置１００Ｅの一部の構造の断面図を示している。ただし、図１０において、半導体装置１００Ｅには、図９の半導体装置１００Ｄと対応する部分に、同一の符号を付してあり、その対応する部分の説明は適宜省略する。

[0113] すなわち、図１０の半導体装置１００Ｅでは、図９の半導体装置１００Ｄと比べて、ゲート電極１４３の代わりに、ゲート電極１４５が形成されている。

[0114] ゲート電極１４５は、例えば、窒化チタン（TiN）やニッケルシリコン（NiSi）等の金属電極材料であって、低抵抗層を含むように形成される。このような構造からなるゲート電極１４５を用いることで、ビア１２１のホール内に蓄積された電荷を、シリコン基板１１１へ抜きやすくすることができる。

[0115] また、ゲート電極１４５は、コンタクト１４４に接続される第１配線１３１－２を介して、グランド１５１と接続され、シリコン基板１１１と接地されている。この接地方法としては、例えば、P+/WellやN+/Nwellに接触するこ

とで実現される。

[0116] ここで、半導体装置１００Ｅの製造時においては、シリコン基板１１１側からエッチングを行うことで、ビア１２１が形成されるが、当該エッチングの途中で、ビア１２１の側面が、ゲート電極１４５に接触し、ビア１２１のホール内に蓄積された電荷の一部が、ゲート電極１４５、コンタクト１４４、及び第１配線１３１－２を通じて、シリコン基板１１１側に流れる。これにより、ビア１２１のホール内の電荷を低減することができる。

[0117] その後、ビア１２１のエッチングが進んで、ビア１２１の底面の一部と、第１配線１３１－１とが接触して、ビア１２１のホール内の電荷が、第１配線１３１－１を通じて、後段の回路内（例えば、トランジスタ１６１等）へ流入する。

[0118] このとき、既に、ビア１２１の側面がゲート電極１４５と接触して、ビア１２１内の電界を緩和しているため、第１配線１３１－１を通じて、後段の回路内に流入する電流も低減されることになる。これにより、第７の実施の形態の半導体装置１００Ｅでは、PID自体を低減して、保護ダイオード１６２による保護機能が大きくなるのを抑制することができる。

[0119] なお、図１０においては、ゲート電極１４５が、コンタクト１４４に接続される第１配線１３１－２を介して、グランド１５１に接続され、シリコン基板１１１と接地される構造を一例に説明したが、グランド１５１への接続に限らず、順方向ダイオード１５２又は逆方向ダイオード１５３が接続されるようにしてもよい。

[0120] 以上、第７の実施の形態の半導体装置１００Ｅについて説明した。

[0121] ＜９．第８の実施の形態＞

[0122] 図１１は、第８の実施の形態の半導体装置の構造を説明する図である。

[0123] なお、図１１においては、第８の実施の形態として、図９に示した半導体装置１００Ｄのシリコン基板１１１に形成されたビア１２１の周辺領域の構造を、シリコン基板１１１側から見た場合の上面図を示している。

[0124] 図１１に示した半導体装置１００Ｄでは、シリコン基板１１１と層間膜１

１２に形成されたビア１２１の側面の一部の領域には、ゲート電極１４３が形成されているが、ゲート電極１４３は、ビア１２１の側面（の周囲）を囲うように形成されている。このように形成されるゲート電極１４３が、コンタクト１４４に接続された第１配線１３１－２を介してグランド１５１と接続され、シリコン基板１１１と接地されている。

[0125] このように、ゲート電極１４３が、ビア１２１の側面（の周囲）を囲うような構造を用いることで、ビア１２１の側面に対し、ゲート電極１４３が接触する領域の面積を増加させることができるため、ビア１２１のホール内の電荷を逃がしやすくすることができる。

[0126] なお、図１１においては、図９に示した半導体装置１００Ｄの構造を一例に説明したが、半導体装置１００Ｅ（図１０）についても同様に、ゲート電極１４５が、ビア１２１の側面（の周囲）を囲うように形成されるような構造とすることができる。

[0127] 以上、第８の実施の形態の半導体装置１００Ｄ（１００Ｅ）について説明した。

[0128] ＜１０．第９の実施の形態＞

[0129] 図１２は、第９の実施の形態の半導体装置の構造を説明する図である。

[0130] なお、図１２においては、第９の実施の形態として、図９に示した半導体装置１００Ｄのシリコン基板１１１に形成されたビア１２１の周辺領域の構造を、シリコン基板１１１側から見た場合の上面図を示している。

[0131] 図１２に示した半導体装置１００Ｄでは、シリコン基板１１１と層間膜１１２に形成されたビア１２１の側面の一部の領域には、ゲート電極１４３が形成されているが、ゲート電極１４３は、ビア１２１の側面の一部と接触するように形成されている。

[0132] より具体的には、略矩形状の形状からなるビア１２１の各辺（４辺）のうち、左右の辺の一部に、ゲート電極１４３がそれぞれ形成されている。このように形成されるゲート電極１４３が、コンタクト１４４に接続された第１配線１３１－２を介して、グランド１５１と接続され、シリコン基板１１１

と接地されている。

[0133] 例えば、半導体装置１００Ｄの構造によっては、ゲート電極１４３が、ビア１２１の側面の一部と接触するように形成されるような構造とすることで、加工がしやすくなる場合があり、加工上のメリットがある。

[0134] なお、図１２においては、図９に示した半導体装置１００Ｄの構造を一例に説明したが、半導体装置１００Ｅ（図１０）についても同様に、ゲート電極１４５が、ビア１２１の側面の一部と接触するように形成されるような構造とすることができる。

[0135] 以上、第９の実施の形態の半導体装置１００Ｄ（１００Ｅ）について説明した。

[0136] ＜１１．第１０の実施の形態＞

[0137] 図１３は、第１０の実施の形態の半導体装置の構造を説明する図である。

[0138] なお、図１３においては、第１０の実施の形態として、半導体装置１００Ｆの一部の構造の断面図を示している。ただし、図１３において、半導体装置１００Ｆには、図３の半導体装置１００と対応する部分に、同一の符号を付してあり、その対応する部分の説明は適宜省略する。

[0139] すなわち、図１３の半導体装置１００Ｆでは、図３の半導体装置１００と比べて、ビア１２１の底面の領域では、第１配線１３１－１が取り除かれ、第２配線１３２と接触している。また、図１３の半導体装置１００Ｆでは、コンタクト１４１が取り除かれ、ビア１２１の側面の一部の領域に接触するように、第１配線１３１－２が形成されているが、絶縁膜１２２により、他の導電性部材と電気的に分離されている。

[0140] 第１配線１３１－２は、グランド１５１と接続され、シリコン基板１１１と接地されている。この接地方法としては、例えば、P+/WellやN+/Wellに接触することで実現される。

[0141] ここで、図１４を参照しながら、第１０の実施の形態の半導体装置１００Ｆの製造時の様子を説明する。

[0142] まず、エッチングの工程では、シリコン基板１１１側からエッチングを行

うことで、図１４のＡに示すように、ビア１２１の側面が、第１配線１３１－２に先に接触し、その後のエッチングが進むことで、ビア１２１の底面が、第２配線１３２に到達して接触することになる。

[0143] このとき、ビア１２１のホール内に蓄積された電荷の一部が、第１配線１３１－２を通じて、シリコン基板１１１側に流れる。これによって、ビア１２１のホール内の電荷を低減することができるのは、先に述べた通りである。

[0144] その後、ビア１２１のエッチングが進んで、ビア１２１の底面の一部と、第２配線１３２とが接触して、ビア１２１のホール内の電荷が、第２配線１３２を通じて、後段の回路内（例えば、トランジスタ１６１等）へ流入する。

[0145] このとき、既に、ビア１２１の側面が第１配線１３１－２と接触して、ビア１２１内の電界を緩和しているため、第２配線１３２を通じて、後段の回路内に流入する電流も低減されることになる。これにより、第１０の実施の形態の半導体装置１００Ｆでは、PID自体を低減して、保護ダイオード１６２による保護機能が大きくなるのを抑制することができる。

[0146] 次に、エッチングの工程が終了すると、図１４のＢに示すように、絶縁膜成膜の工程が行われ、ビア１２１の側面は、シリコン窒化膜（SiN）等の絶縁膜１２２により覆われる。そして、ビア１２１の側面の絶縁膜１２２のみを残すように、ビア１２１の底面の絶縁膜１２２がエッチバックされる。

[0147] これにより、ビア１２１の側面が絶縁膜１２２により保護され、第１配線１３１－２は、他の導電性部材と電気的に分離される。また、その後の工程で、ビア１２１内に、銅（Cu）等の導電性部材が埋め込まれる。

[0148] また、第１０の実施の形態の半導体装置１００Ｆでは、コンタクト１４１よりも低抵抗となる第１配線１３１－２との接触で、ビア１２１内の電界を緩和することができる。

[0149] なお、図１３においては、第１配線１３１－２が、グランド１５１に接続され、シリコン基板１１１と接地される構造を一例に説明したが、グランド

１５１への接続に限らず、順方向ダイオード１５２又は逆方向ダイオード１５３が接続されるようにしてもよい。

[0150] 以上、第１０の実施の形態の半導体装置１００Ｆについて説明した。

[0151] ＜１２．第１１の実施の形態＞

[0152] 図１５は、第１１の実施の形態の半導体装置の構造を説明する図である。

[0153] なお、図１５においては、第１１の実施の形態として、半導体装置１００Ｇの一部の構造の断面図を示している。ただし、図１５において、半導体装置１００Ｇには、図１３の半導体装置１００Ｆと対応する部分に、同一の符号を付してあり、その対応する部分の説明は適宜省略する。

[0154] すなわち、図１５の半導体装置１００Ｇでは、図１３の半導体装置１００Ｆと比べて、ビア１２１の側面の一部の領域には、第１配線１３１－２が接触するように形成される点では、一致しているが、その接触部が、絶縁膜１２２により覆われていない点が異なっている。また、第１配線１３１－２には、シリコン基板１１１の逆方向ダイオード１５３が接続されている。

[0155] ここで、図１６を参照しながら、第１１の実施の形態の半導体装置１００Ｇの製造時の様子を説明する。

[0156] まず、第１エッチングの工程で、ビア１２１を形成するためのエッチングが行われるが、ここでは、ビア１２１の底面が、シリコン基板１１１と第１配線１３１－２との間の層間膜１１２で止められる（図１６のＡ）。そして、第１エッチングの工程が終了すると、図１６のＡに示すように、絶縁膜成膜の工程が行われ、ビア１２１内は、シリコン窒化膜（SiN）等の絶縁膜１２２により覆われる。

[0157] 次に、絶縁膜エッチバックの工程で、図１６のＢに示すように、ビア１２１の側面の絶縁膜１２２のみを残すように、ビア１２１の底面の絶縁膜１２２がエッチバックされる。

[0158] 次に、第２エッチングの工程で、ビア１２１に対し、再度エッチングが行われるが、ここでは、図１６のＣに示すように、ビア１２１の側面が、第１配線１３１－２に先に接触し、その後のエッチングが進むことで、ビア１２

１の底面が、第２配線１３２に到達して接触することになる。

[0159] このとき、ビア１２１のホール内に蓄積された電荷は、第１配線１３１－２から、逆方向ダイオード１５３を通じて、シリコン基板１１１に逃がすことができる。これによって、ビア１２１のホール内の電荷を低減することができるのは、先に述べた通りである。

[0160] また、ビア１２１の底面が、第２配線１３２に接触するに際しては、既に、ビア１２１の側面が第１配線１３１－２と接触して、ビア１２１内の電界を緩和しているため、第２配線１３２を通じて、後段の回路内に流入する電流も低減されることになる。これにより、第１１の実施の形態の半導体装置１００Ｇでは、PID自体を低減して、保護ダイオード１６２による保護機能が大きくなるのを抑制することができる。

[0161] また、その後の工程で、ビア１２１内に、銅（Cu）等の導電性部材が埋め込まれる。その際に、第１配線１３１－２とビア１２１は、導電性部材により繋がっているが、第１配線１３１－２が、シリコン基板１１１と逆方向ダイオード１５３により繋がっているため、回路動作時に、ダイオード耐圧以下の電圧では、リーク電流として、シリコン基板１１１へ流れることはない。

[0162] なお、半導体装置１００Ｇの製造時においては、図１６のＣに示したように、第２エッチングの工程で、ビア１２１の底面が第２配線に接触した後に、絶縁膜エッチバックの工程を行う必要がなく、ビア１２１の底面が、絶縁膜エッチバックのダメージを受けることがない。そのため、回路内部へのプラズマに起因するダメージを軽減することができる。また、半導体装置１００Ｇの構造では、ビア１２１の側面のうち、第２エッチングの工程で加工された下部の側面のPIDの影響を抑制することができるメリットもある。

[0163] 以上、第１１の実施の形態の半導体装置１００Ｇについて説明した。

[0164] ＜１３．第１２の実施の形態＞

[0165] 図１７は、第１２の実施の形態の半導体装置の構造を説明する図である。

[0166] なお、図１７においては、第１２の実施の形態として、図１３に示した半

導体装置１００Ｆのシリコン基板１１１に形成されたビア１２１の周辺領域の構造を、シリコン基板１１１側から見た場合の上面図を示している。

[0167] 図１７に示した半導体装置１００Ｆでは、シリコン基板１１１に形成されたビア１２１の側面の一部の領域には、第１配線１３１－２が形成されているが、第１配線１３１－２は、ビア１２１の側面（の周囲）を囲うように形成されている。このように形成される第１配線１３１－２がグランド１５１と接続され、シリコン基板１１１と接地されている。

[0168] なお、図１７においては、図１３に示した半導体装置１００Ｆの構造を一例に説明したが、半導体装置１００Ｇ（図１５）についても同様に、第１配線１３１－２が、ビア１２１の側面（の周囲）を囲うように形成されるような構造とすることができる。ただし、半導体装置１００Ｇにおいては、保護素子として、逆方向ダイオード１５３が用いられる。

[0169] 以上、第１２の実施の形態の半導体装置１００Ｆ（１００Ｇ）について説明した。

[0170] ＜１４．第１３の実施の形態＞

[0171] 図１８は、第１３の実施の形態の半導体装置の構造を説明する図である。

[0172] なお、図１８においては、第１３の実施の形態として、図１３に示した半導体装置１００Ｆのシリコン基板１１１に形成されたビア１２１の周辺領域の構造を、シリコン基板１１１側から見た場合の上面図を示している。

[0173] 図１８に示した半導体装置１００Ｆでは、シリコン基板１１１に形成されたビア１２１の側面の一部の領域には、第１配線１３１－２が形成されているが、第１配線１３１－２は、ビア１２１の側面の一部と接触するように形成されている。

[0174] より具体的には、略矩形状の形状からなるビア１２１の側面の領域のうち、左側の側面の領域（の周囲）にのみに、第１配線１３１－２が形成されている。このように形成される第１配線１３１－２がグランド１５１と接続され、シリコン基板１１１と接地されている。

[0175] なお、図１８においては、半導体装置１００Ｆの構造を一例に説明したが

、半導体装置１００Ｇ（図１５）についても同様に、第１配線１３１－２が、ビア１２１の側面の一部と接触するように形成されるような構造とすることができる。ただし、半導体装置１００Ｇにおいては、保護素子として、逆方向ダイオード１５３が用いられる。

[0176] 以上、第１３の実施の形態の半導体装置１００Ｆ（１００Ｇ）について説明した。

[0177] ＜１５．変形例＞

[0178] 上述した説明では、半導体装置１００において、積層されたシリコン基板１１１と層間膜１１２に形成される溝部として、ビア１２１を説明したが、当該溝部としては、ビア１２１に限らず、例えば、半導体装置１００のパッド部に形成される開口部などであってもよい。

[0179] また、上述した説明では、ビア１２１の側面（側壁）と接触する導電性部材（導体性の層）として、コンタクト１４１、ゲート電極１４３若しくはゲート電極１４５、又は第１配線１３１－２を一例に説明したが、それに限らず、他の導電性部材（導体性の層）を用いるようにしてもよい。また、当該導電性部材は、ビア１２１の側面（側壁）に接触するに限らず、ビア１２１の底面（底部）に接触するようにしてもよい。

[0180] また、上述した説明では、コンタクト１４１、ゲート電極１４３若しくはゲート電極１４５、又は第１配線１３１－２に接続される保護素子として、グランド１５１、順方向ダイオード１５２、又は逆方向ダイオード１５３を一例に説明したが、それに限らず、例えば、保護トランジスタ等の他の保護素子が用いられるようにしてもよい。

[0181] なお、半導体装置１００には、半導体装置全般が含まれるが、例えば、本技術は、半導体装置として、CMOS(Complementary Metal Oxide Semiconductor)イメージセンサ等の固体撮像装置に適用することができる。

[0182] また、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0183] また、本技術は、以下のような構成をとることができる。

[0184] （１）

第１の層と、

前記第１の層と積層される第２の層と、

前記第１の層と前記第２の層に形成される溝部の側面に接触する導電性部材と、

前記第２の層に形成され、前記溝部の底面に接触する第１の配線と

を有し、

前記導電性部材は、前記溝部内に蓄積された電荷を排出するための保護素子と接続される

半導体装置。

（２）

前記第１の層は、半導体層であり、

前記溝部は、前記半導体層を貫通したビアである

前記（１）に記載の半導体装置。

（３）

前記導電性部材は、コンタクト、ゲート電極、又は第２の配線である

前記（２）に記載の半導体装置。

（４）

前記保護素子は、前記半導体層への接地又はダイオードである

前記（２）又は（３）のいずれかに記載の半導体装置。

（５）

前記導電性部材と前記第１の配線とは、電気的に分離されている

前記（２）乃至（４）のいずれかに記載の半導体装置。

（６）

前記導電性部材は、前記第１の配線が前記ビアの底面に接触する位置よりも、加工表面により近い位置で、前記ビアの側面と接触する

前記（２）乃至（５）のいずれかに記載の半導体装置。

（７）

前記導電性部材は、前記ビアの側面の周囲を囲うように形成されるか、又は前記ビアの側面の一部と接触するように形成される

前記（２）乃至（６）のいずれかに記載の半導体装置。

（８）

前記ビアの側面は、絶縁膜により覆われ、前記導電性部材を覆っている

前記（２）乃至（７）のいずれかに記載の半導体装置。

（９）

前記導電性部材は、前記保護素子として、順方向ダイオードと接続され、

前記順方向ダイオードは、N型基板又はN型ウェルで、表面の注入層がP型となるダイオードである

前記（２）乃至（８）のいずれかに記載の半導体装置。

（１０）

前記導電性部材は、前記保護素子として、逆方向ダイオードと接続され、

前記逆方向ダイオードは、P型基板で、表面の注入層がN型となるダイオードである

前記（２）乃至（８）のいずれかに記載の半導体装置。

（１１）

前記導電性部材は、前記ゲート電極であり、

前記ゲート電極は、所定の注入イオン種からなる注入層、又は所定の金属材料からなる金属層が少なくとも一部に含まれる

前記（２）乃至（８）のいずれかに記載の半導体装置。

（１２）

前記導電性部材は、前記第２の配線であり、

前記導電性部材は、前記保護素子として、逆方向ダイオードと接続され、

前記逆方向ダイオードは、P型基板で、表面の注入層がN型となるダイオードであり、

前記絶縁膜は、前記ビアの側面であって、前記第２の配線の領域を少なくとも除いた領域を覆っている

前記（２）乃至（８）のいずれかに記載の半導体装置。

（１３）

前記第１の層は、シリコン基板であり、

前記第２の層は、層間膜であり、

前記層間膜に形成される前記第１の配線は、トランジスタと当該トランジスタを保護する保護素子を含む回路に接続される

前記（１）乃至（１２）のいずれかに記載の半導体装置。

（１４）

第１の層と第２の層とを積層し、

前記第１の層と前記第２の層に形成される溝部の側面に接触するように、前記第２の層に、導電性部材を形成し、

前記導電性部材と接続されるように、前記溝部内に蓄積された電荷を排出するための保護素子を形成し、

前記溝部の底面に接触するように、前記第２の層に、第１の配線を形成し、

積層された前記第１の層と前記第２の層に対し、前記第１の層側からエッチングを行い、前記溝部を形成する

半導体装置の製造方法。

（１５）

前記第１の層は、半導体層であり、

前記溝部は、前記半導体層を貫通したビアである

前記（１４）に記載の半導体装置の製造方法。

（１６）

前記導電性部材は、コンタクト、ゲート電極、又は第２の配線である

前記（１５）に記載の半導体装置の製造方法。

（１７）

前記保護素子は、前記半導体層への接地又はダイオードである

前記（１５）又は（１６）に記載の半導体装置の製造方法。

（１８）

前記導電性部材と前記第１の配線とは、電気的に分離されている

前記（１５）乃至（１７）のいずれかに記載の半導体装置の製造方法。

（１９）

前記エッチングを行うに際して、前記導電性部材は、前記第１の配線が前記ビアの底面に接触する位置よりも、前記半導体層側の加工表面により近い位置で、前記ビアの側面と接触する

前記（１５）乃至（１８）のいずれかに記載の半導体装置の製造方法。

（２０）

前記第１の層は、シリコン基板であり、

前記第２の層は、層間膜であり、

前記層間膜に形成される前記第１の配線は、トランジスタと当該トランジスタを保護する保護素子を含む回路に接続される

前記（１４）乃至（１９）のいずれかに記載の半導体装置の製造方法。

符号の説明

[0185] １００，１００Ａ乃至１００Ｇ　半導体装置，　１１１　シリコン基板，１１２　層間膜，　１２１　ビア，　１２２　絶縁膜，　１３１－１，１３１－２，１３１－３　第１配線，　１３２　第２配線，　１４１，１４２　コンタクト，　１４３，１４５　ゲート電極，　１４４　コンタクト，１５１　グランド（GND），　１５２　順方向ダイオード，　１５３　逆方向ダイオード，　１６１　トランジスタ，　１６２　保護ダイオード

請求の範囲

[請求項1] 第１の層と、

前記第１の層と積層される第２の層と、

前記第１の層と前記第２の層に形成される溝部の側面に接触する導電性部材と、

前記第２の層に形成され、前記溝部の底面に接触する第１の配線とを有し、

前記導電性部材は、前記溝部内に蓄積された電荷を排出するための保護素子と接続される

半導体装置。

[請求項2] 前記第１の層は、半導体層であり、

前記溝部は、前記半導体層を貫通したビアである

請求項１に記載の半導体装置。

[請求項3] 前記導電性部材は、コンタクト、ゲート電極、又は第２の配線である

請求項２に記載の半導体装置。

[請求項4] 前記保護素子は、前記半導体層への接地又はダイオードである

請求項３に記載の半導体装置。

[請求項5] 前記導電性部材と前記第１の配線とは、電気的に分離されている

請求項４に記載の半導体装置。

[請求項6] 前記導電性部材は、前記第１の配線が前記ビアの底面に接触する位置よりも、加工表面により近い位置で、前記ビアの側面と接触する

請求項５に記載の半導体装置。

[請求項7] 前記導電性部材は、前記ビアの側面の周囲を囲うように形成されるか、又は前記ビアの側面の一部と接触するように形成される

請求項５に記載の半導体装置。

[請求項8] 前記ビアの側面は、絶縁膜により覆われ、前記導電性部材を覆っている

請求項５に記載の半導体装置。

[請求項9] 前記導電性部材は、前記保護素子として、順方向ダイオードと接続され、

前記順方向ダイオードは、N型基板又はN型ウェルで、表面の注入層がP型となるダイオードである

請求項５に記載の半導体装置。

[請求項10] 前記導電性部材は、前記保護素子として、逆方向ダイオードと接続され、

前記逆方向ダイオードは、P型基板で、表面の注入層がN型となるダイオードである

請求項５に記載の半導体装置。

[請求項11] 前記導電性部材は、前記ゲート電極であり、

前記ゲート電極は、所定の注入イオン種からなる注入層、又は所定の金属材料からなる金属層が少なくとも一部に含まれる

請求項５に記載の半導体装置。

[請求項12] 前記導電性部材は、前記第２の配線であり、

前記導電性部材は、前記保護素子として、逆方向ダイオードと接続され、

前記逆方向ダイオードは、P型基板で、表面の注入層がN型となるダイオードであり、

前記絶縁膜は、前記ビアの側面であって、前記第２の配線の領域を少なくとも除いた領域を覆っている

請求項８に記載の半導体装置。

[請求項13] 前記第１の層は、シリコン基板であり、

前記第２の層は、層間膜であり、

前記層間膜に形成される前記第１の配線は、トランジスタと当該トランジスタを保護する保護素子を含む回路に接続される

請求項１に記載の半導体装置。

[請求項14] 第１の層と第２の層とを積層し、

前記第１の層と前記第２の層に形成される溝部の側面に接触するように、前記第２の層に、導電性部材を形成し、

前記導電性部材と接続されるように、前記溝部内に蓄積された電荷を排出するための保護素子を形成し、

前記溝部の底面に接触するように、前記第２の層に、第１の配線を形成し、

積層された前記第１の層と前記第２の層に対し、前記第１の層側からエッチングを行い、前記溝部を形成する

半導体装置の製造方法。

[請求項15] 前記第１の層は、半導体層であり、

前記溝部は、前記半導体層を貫通したビアである

請求項１４に記載の半導体装置の製造方法。

[請求項16] 前記導電性部材は、コンタクト、ゲート電極、又は第２の配線である

請求項１５に記載の半導体装置の製造方法。

[請求項17] 前記保護素子は、前記半導体層への接地又はダイオードである

請求項１６に記載の半導体装置の製造方法。

[請求項18] 前記導電性部材と前記第１の配線とは、電気的に分離されている

請求項１７に記載の半導体装置の製造方法。

[請求項19] 前記エッチングを行うに際して、前記導電性部材は、前記第１の配線が前記ビアの底面に接触する位置よりも、前記半導体層側の加工表面により近い位置で、前記ビアの側面と接触する

請求項１８に記載の半導体装置の製造方法。

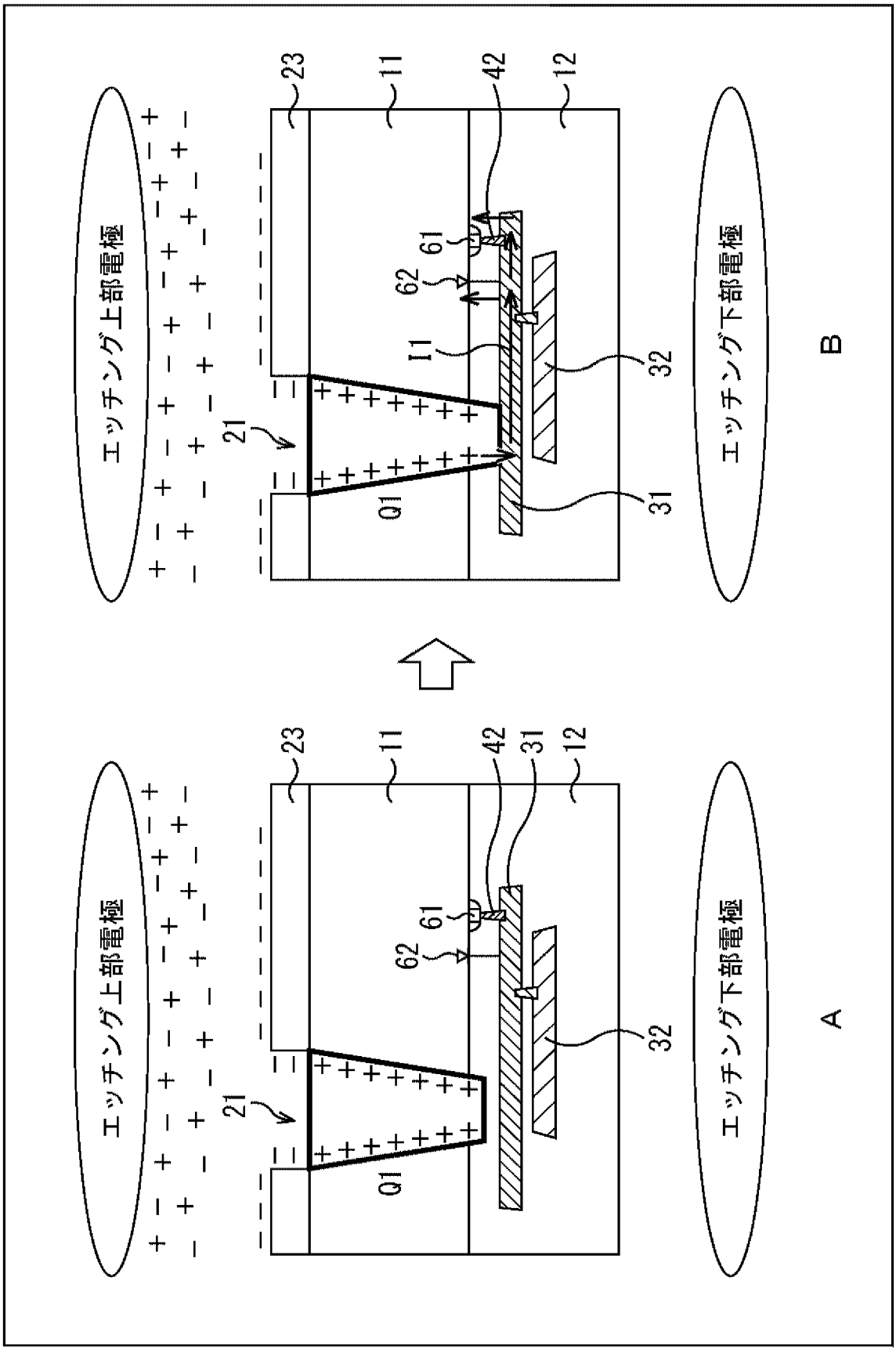
[請求項20] 前記第１の層は、シリコン基板であり、

前記第２の層は、層間膜であり、

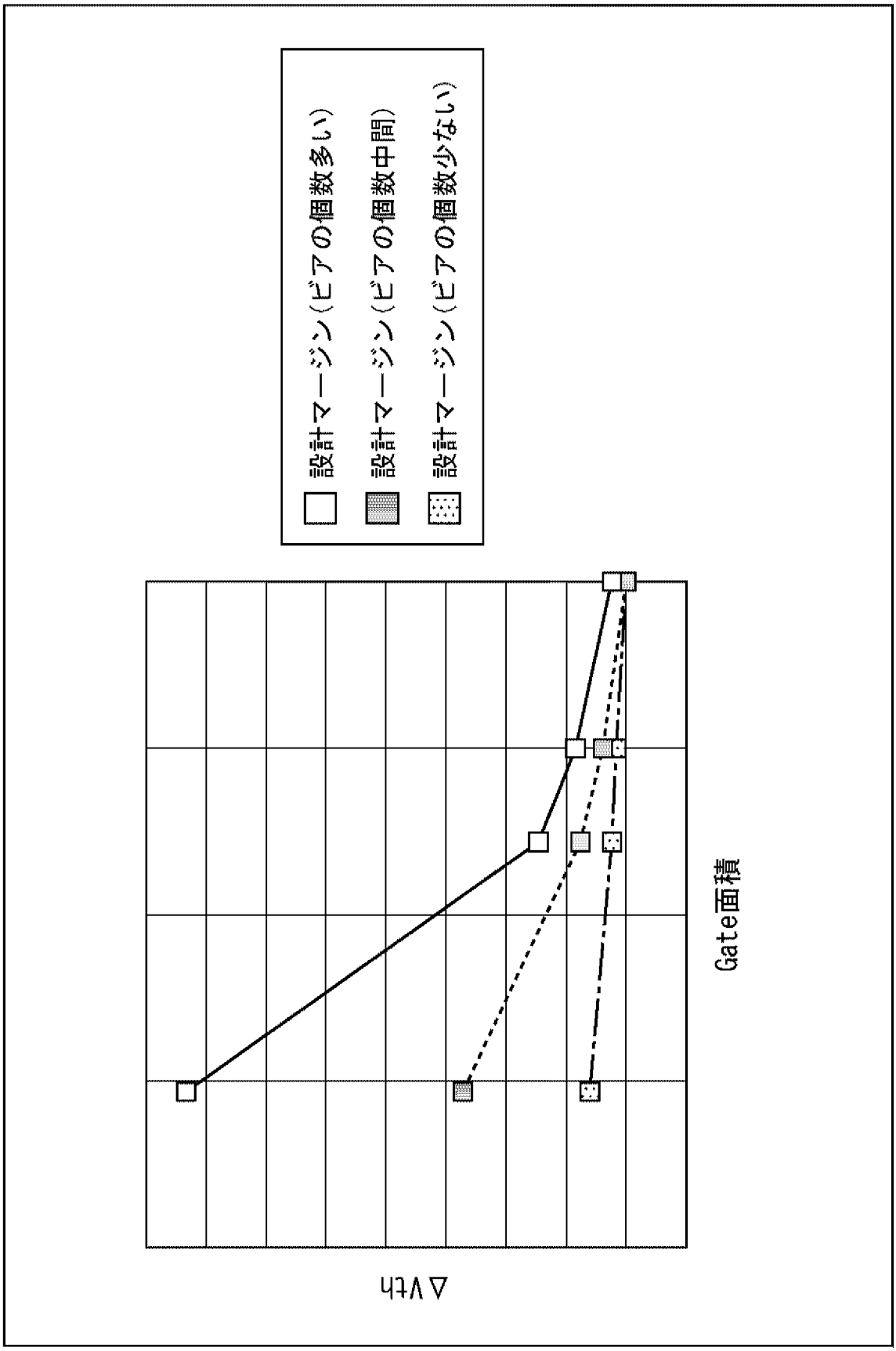
前記層間膜に形成される前記第１の配線は、トランジスタと当該トランジスタを保護する保護素子を含む回路に接続される

請求項１４に記載の半導体装置の製造方法。

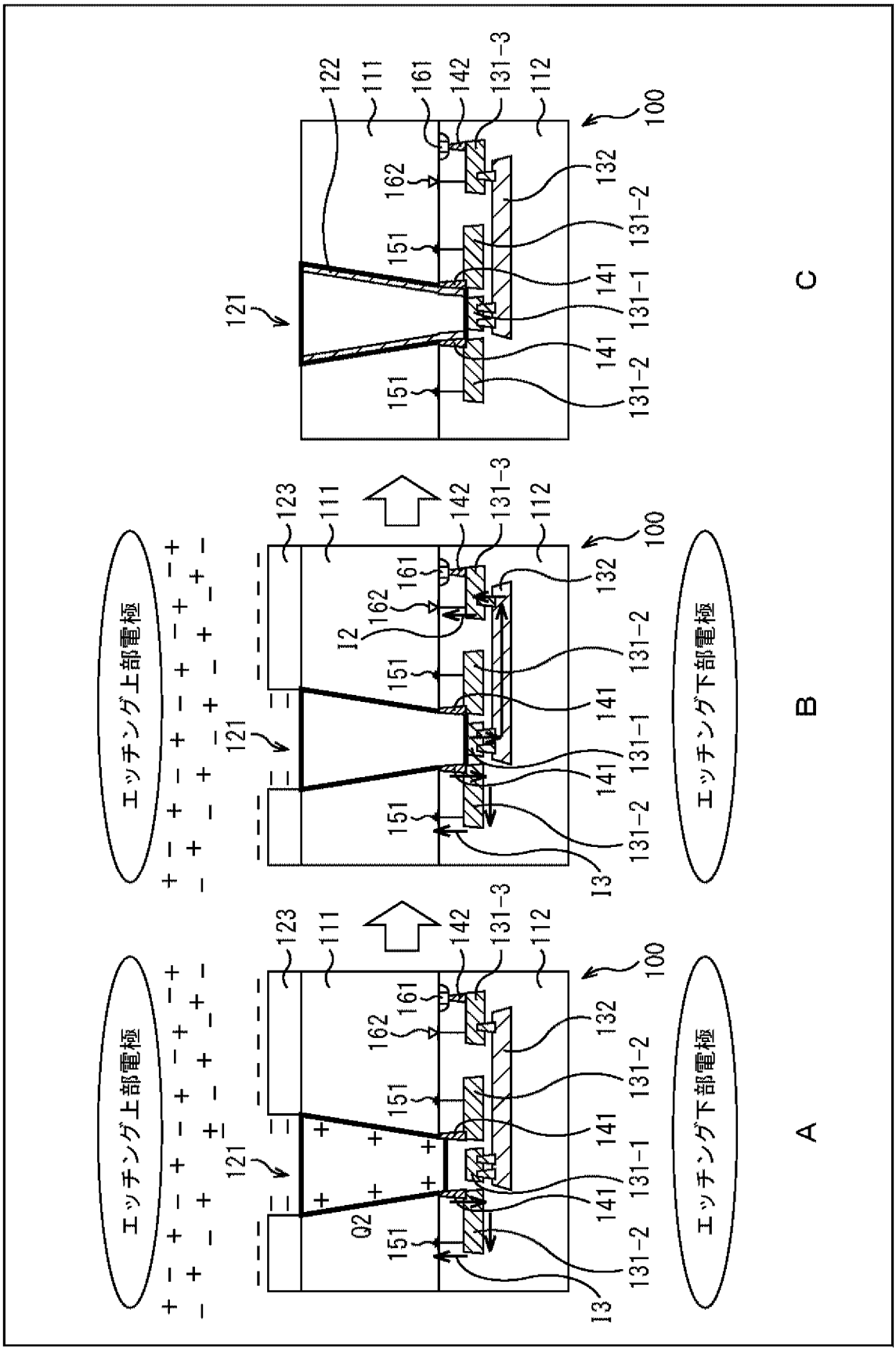
[図1]
FIG. 1



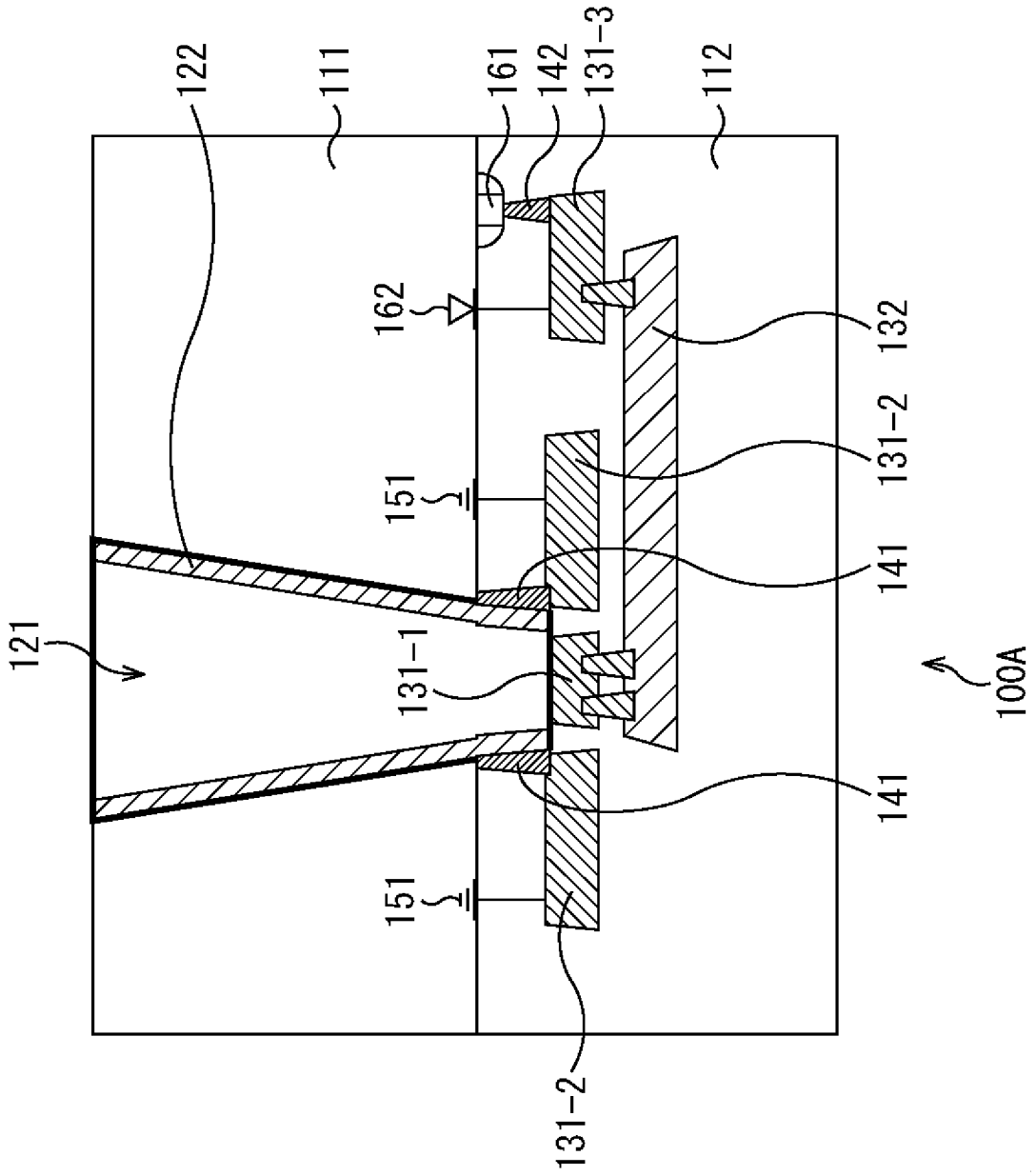
[図2]
FIG. 2


設計マージン（ビアの個数多い）
設計マージン（ビアの個数中間）
設計マージン（ビアの個数少ない）
Gate面積
ΔVth

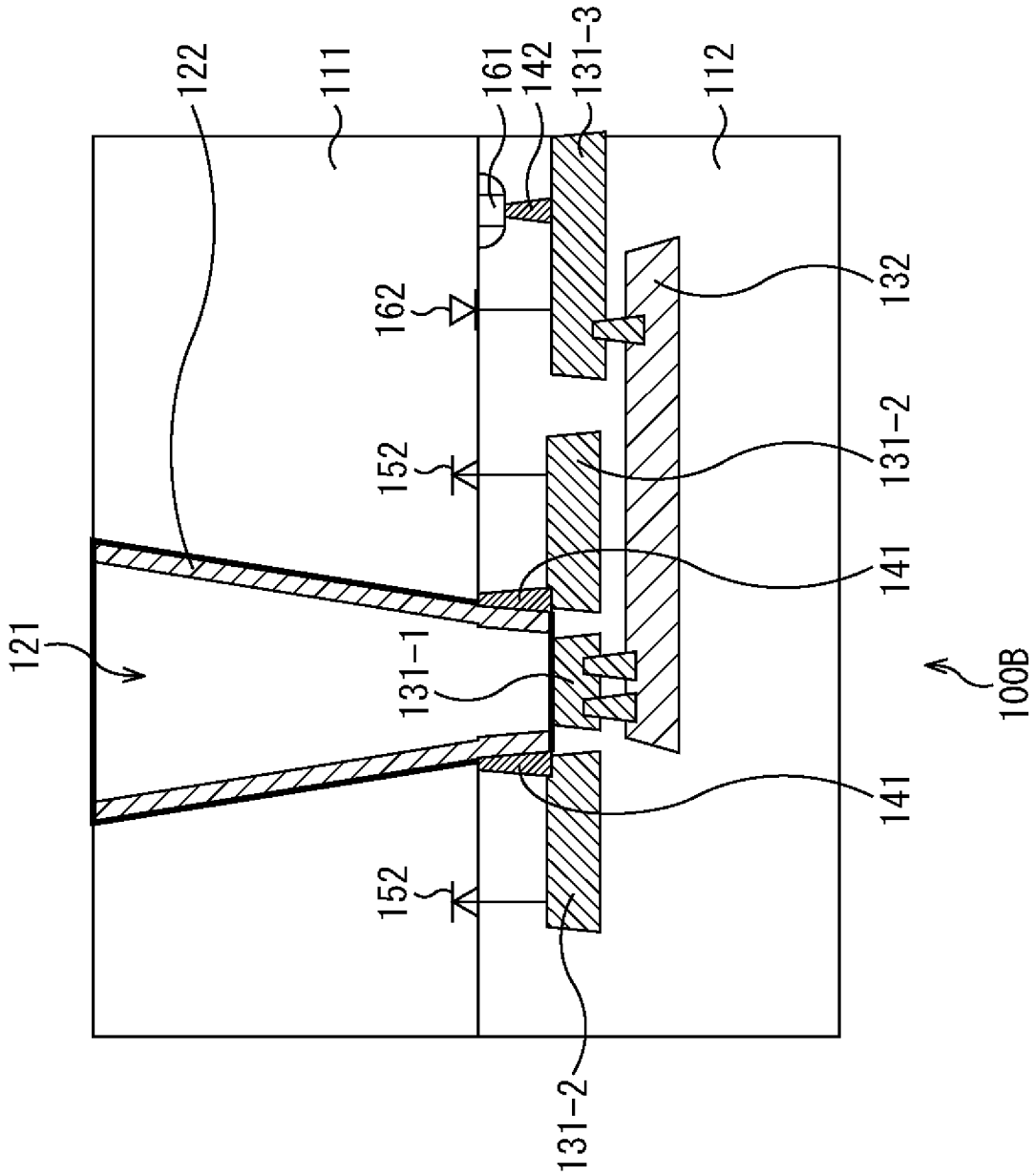
[図3]
FIG. 3


エッチング上部電極
エッチング下部電極
A
B
C
100
111
112
121
122
123
131-1
131-2
131-3
132
141
142
151
161
162
12
13
Q2

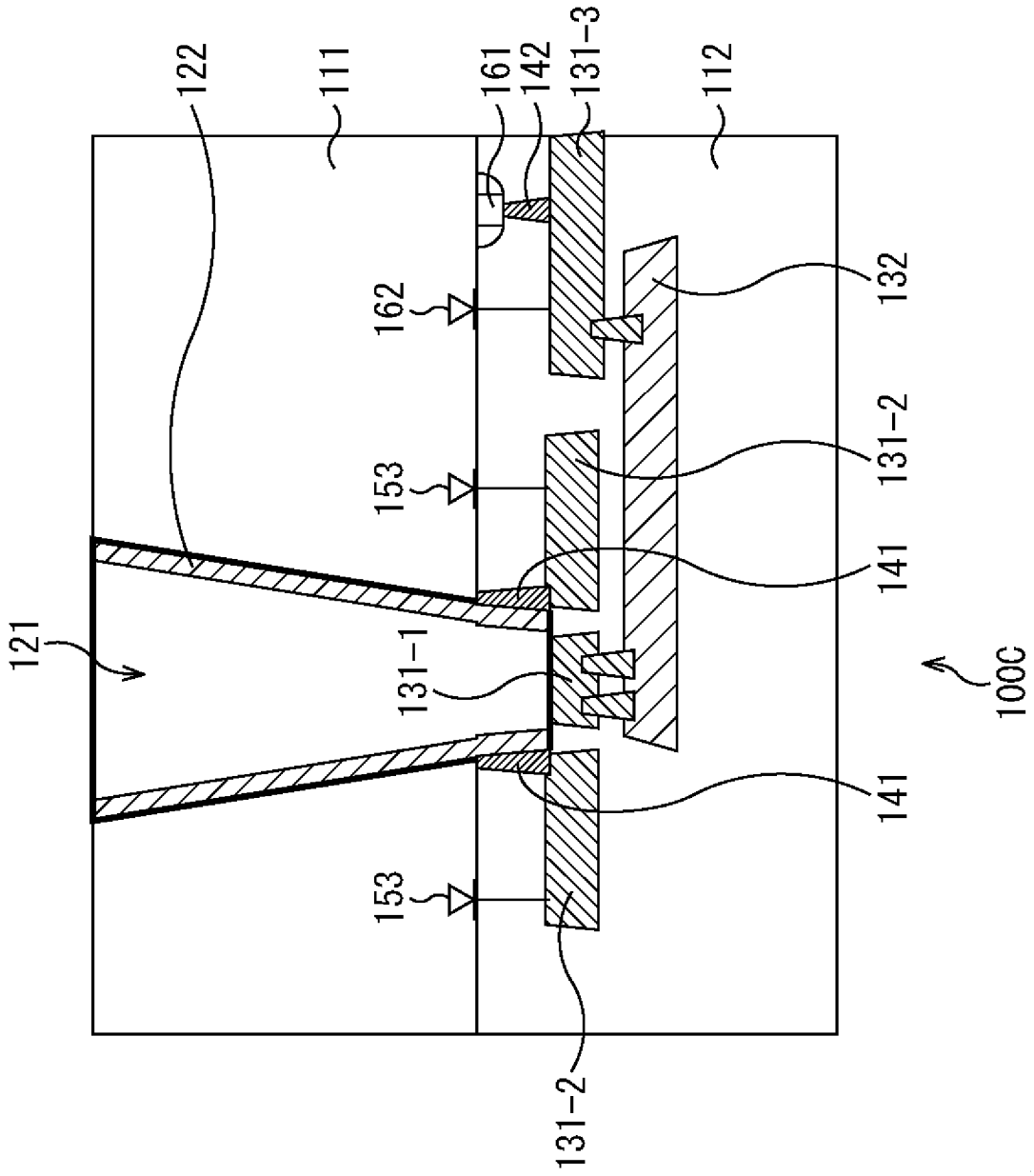
[図4]
FIG. 4


122
111
161
142
131-3
112
162
132
131-2
151
141
121
131-1
100A
141
151
131-2

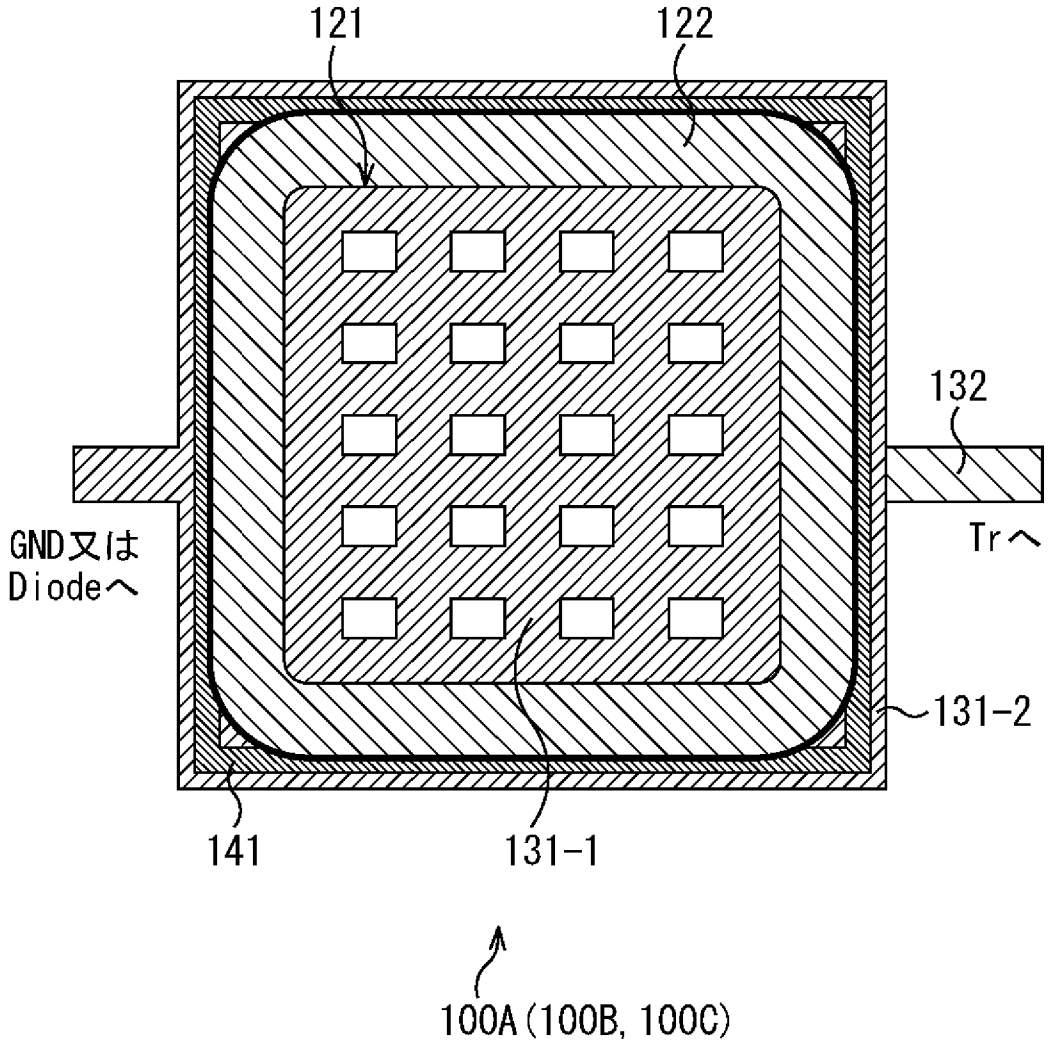
[図5]
FIG. 5


122
111
161
142
131-3
112
162
132
152
131-2
141
121
131-1
100B
141
152
131-2

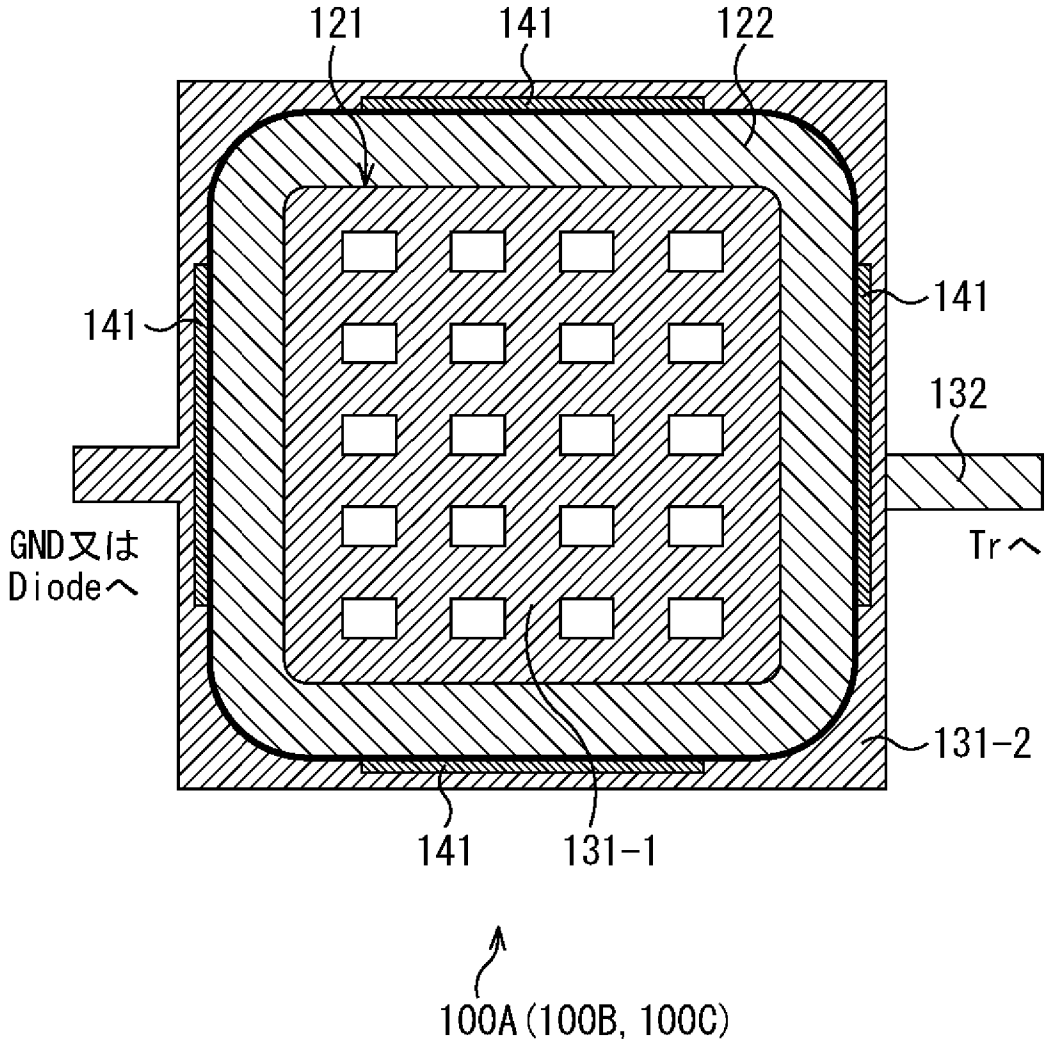
[図6]
FIG. 6


122
111
161
142
131-3
112
162
132
153
131-2
141
121
131-1
100C
141
153
131-2

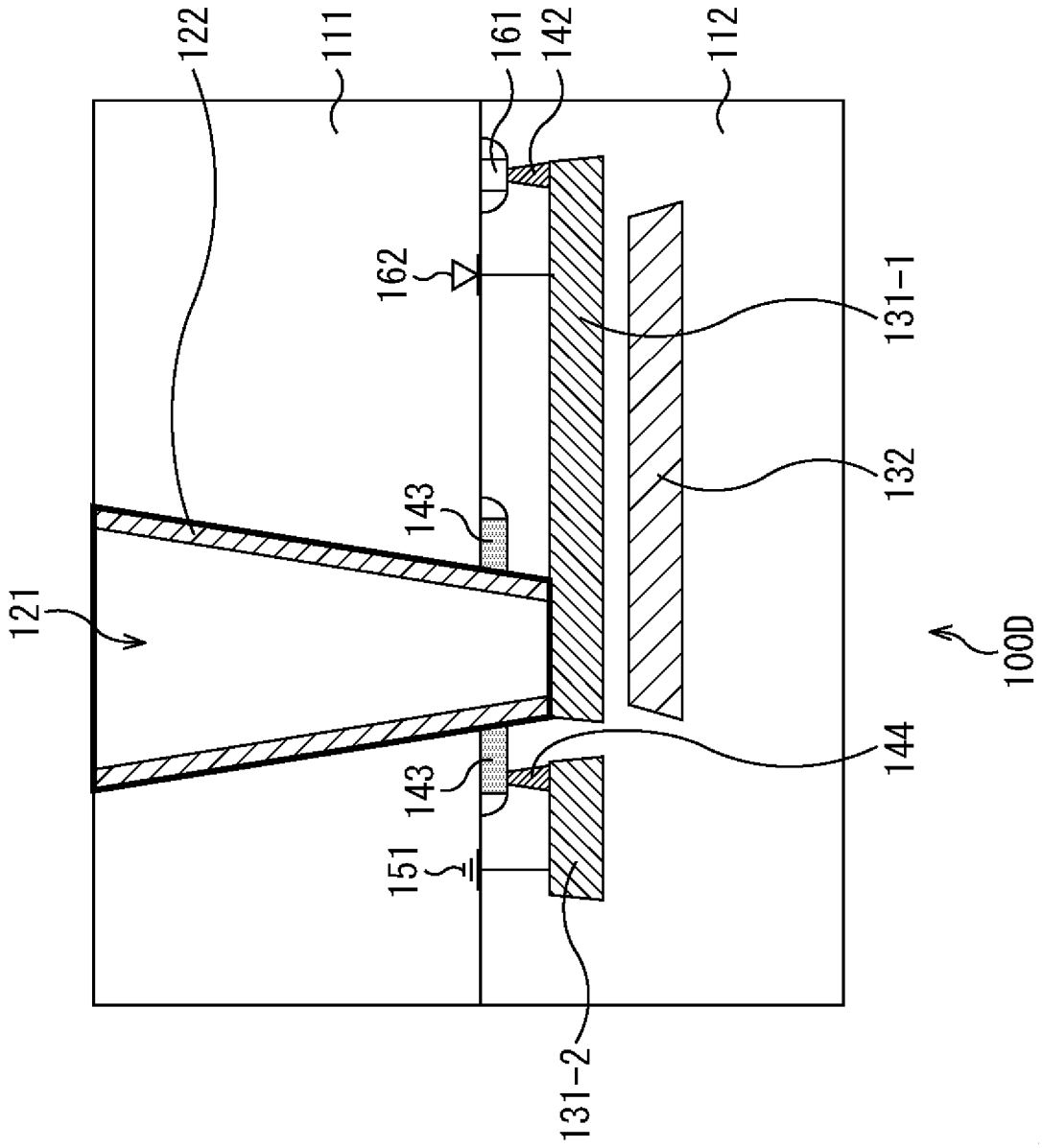
[図7]
FIG. 7



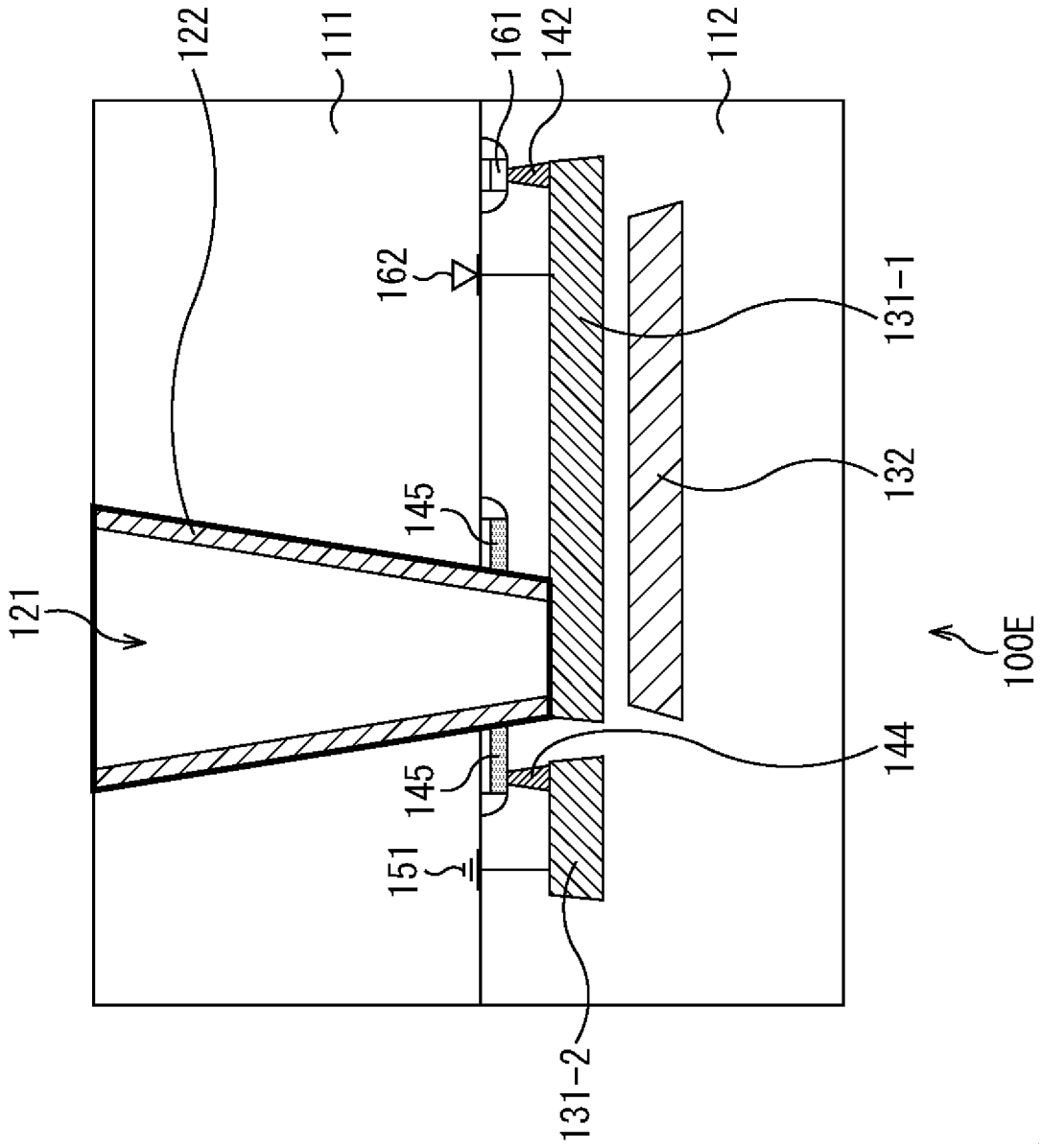
[図8]
FIG. 8


121
141
122
141
141
132
GND又は
Diodeへ
Trへ
131-2
141
131-1
100A(100B, 100C)

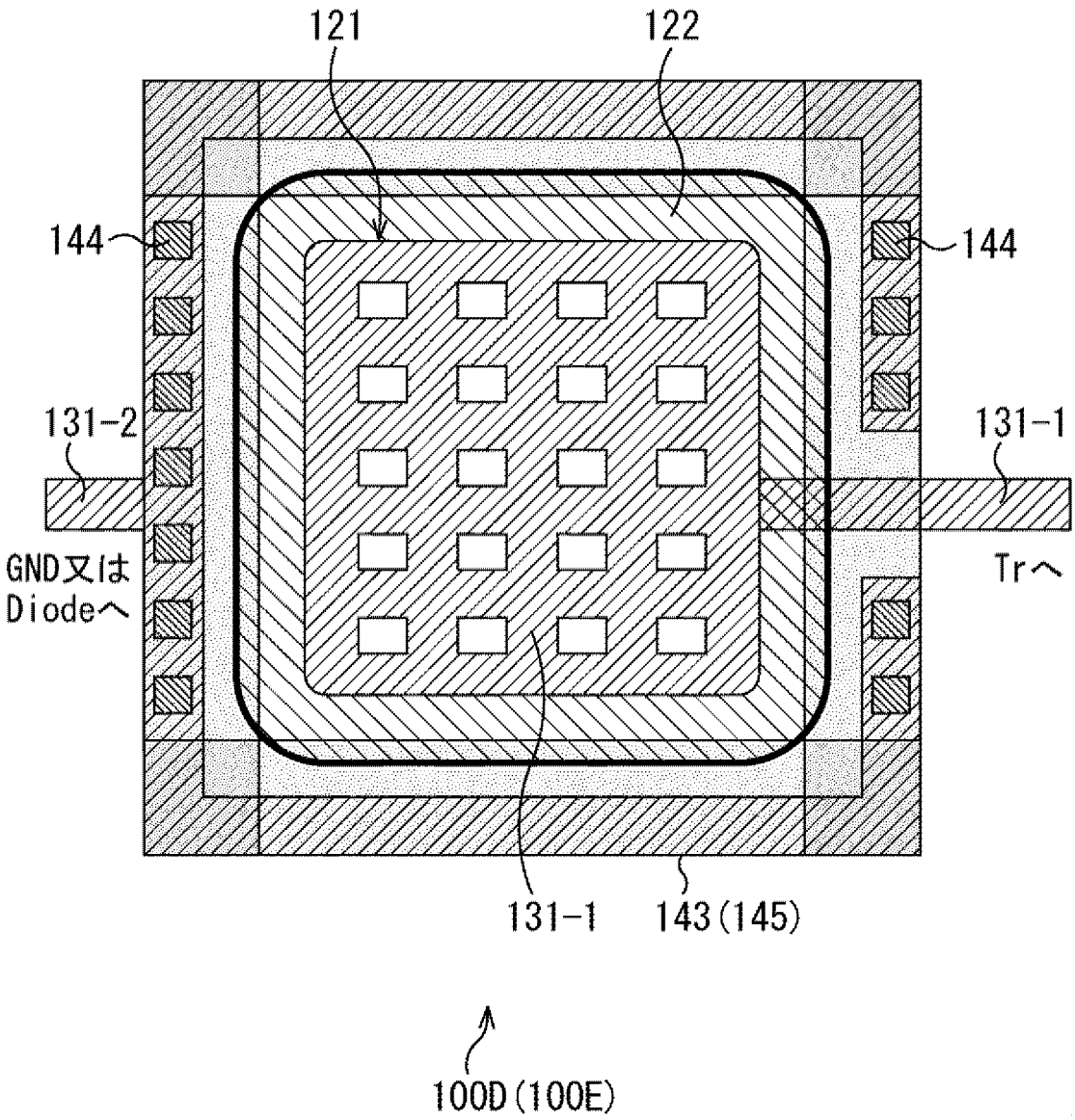
[図9]
FIG. 9



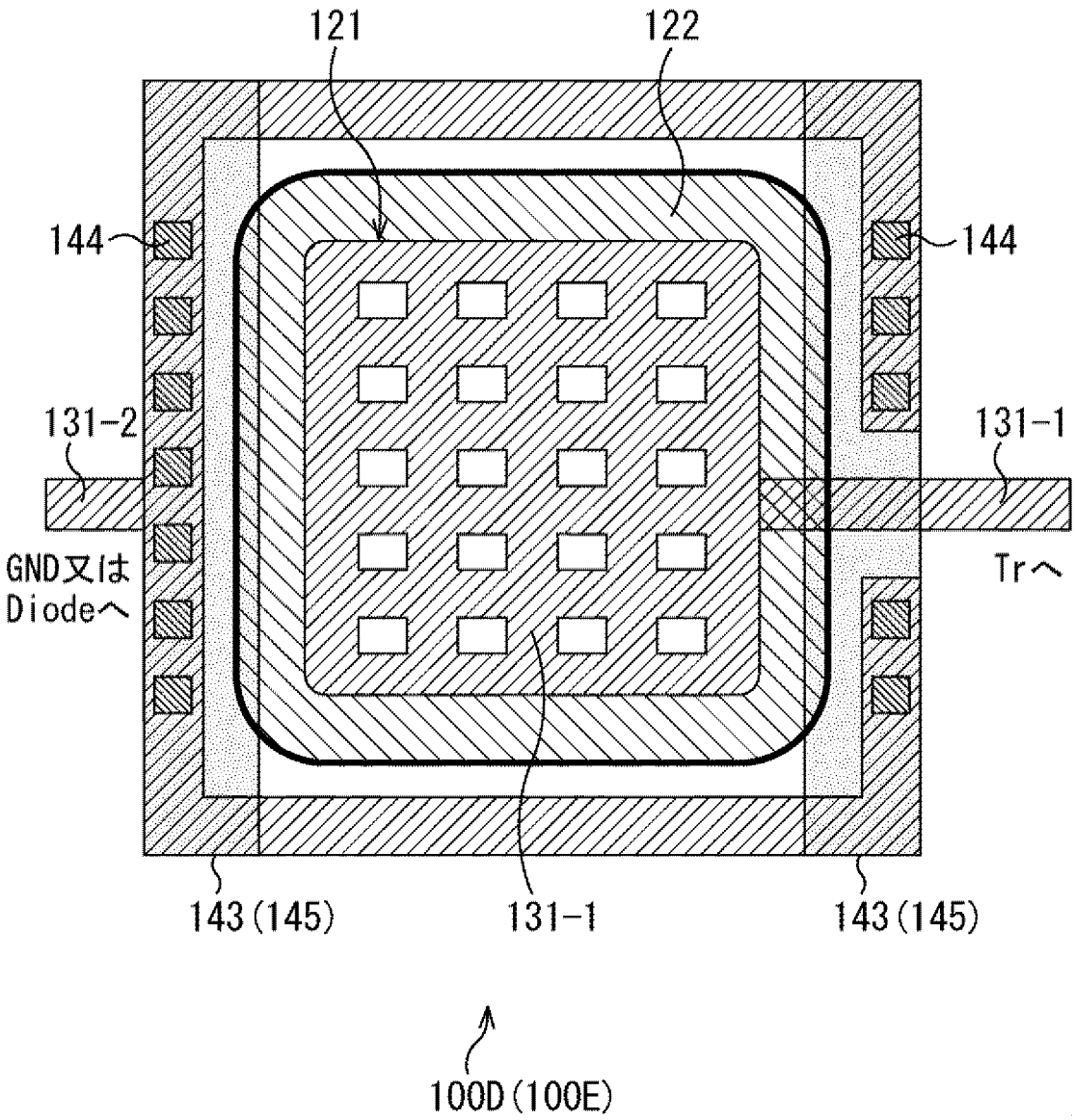
[図10]
FIG. 10



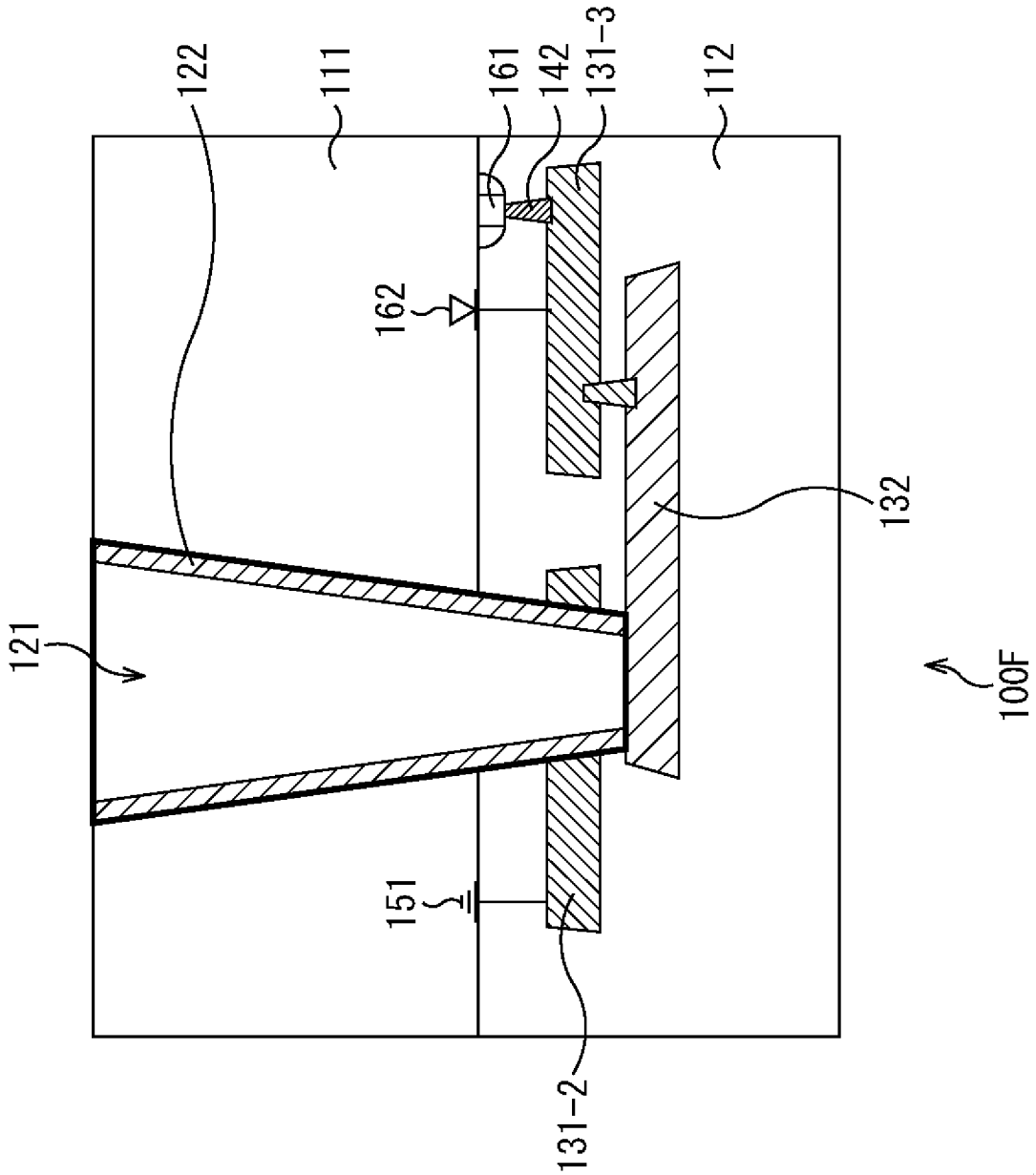
[図11]
FIG. 11


121
122
144
144
131-2
131-1
GND又は
Diodeへ
Trへ
131-1
143(145)
100D(100E)

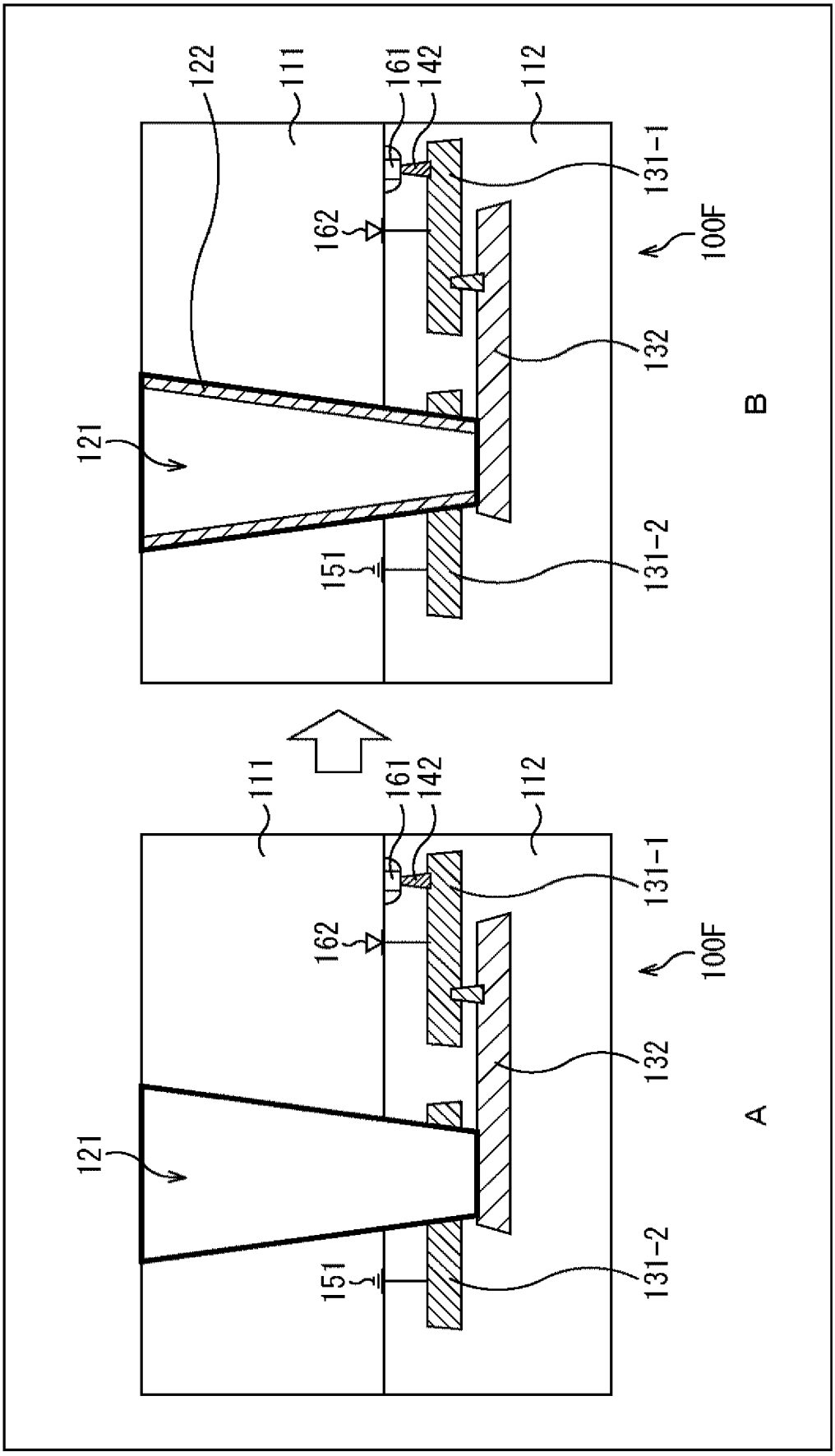
[図12]
FIG. 12


121
122
144
144
131-2
131-1
GND又は
Diodeへ
Trへ
143(145)
131-1
143(145)
100D(100E)

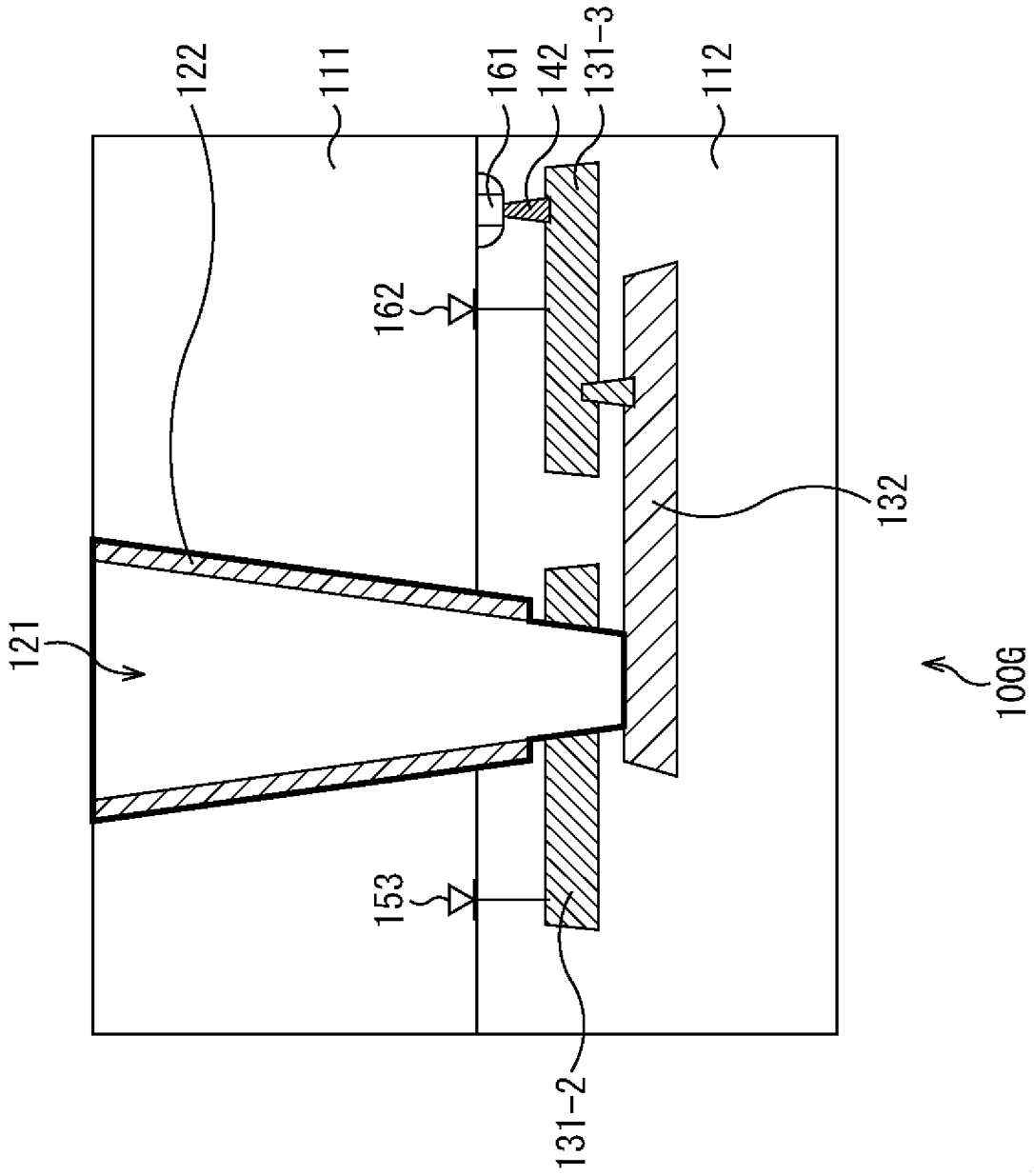
[図13]
FIG. 13



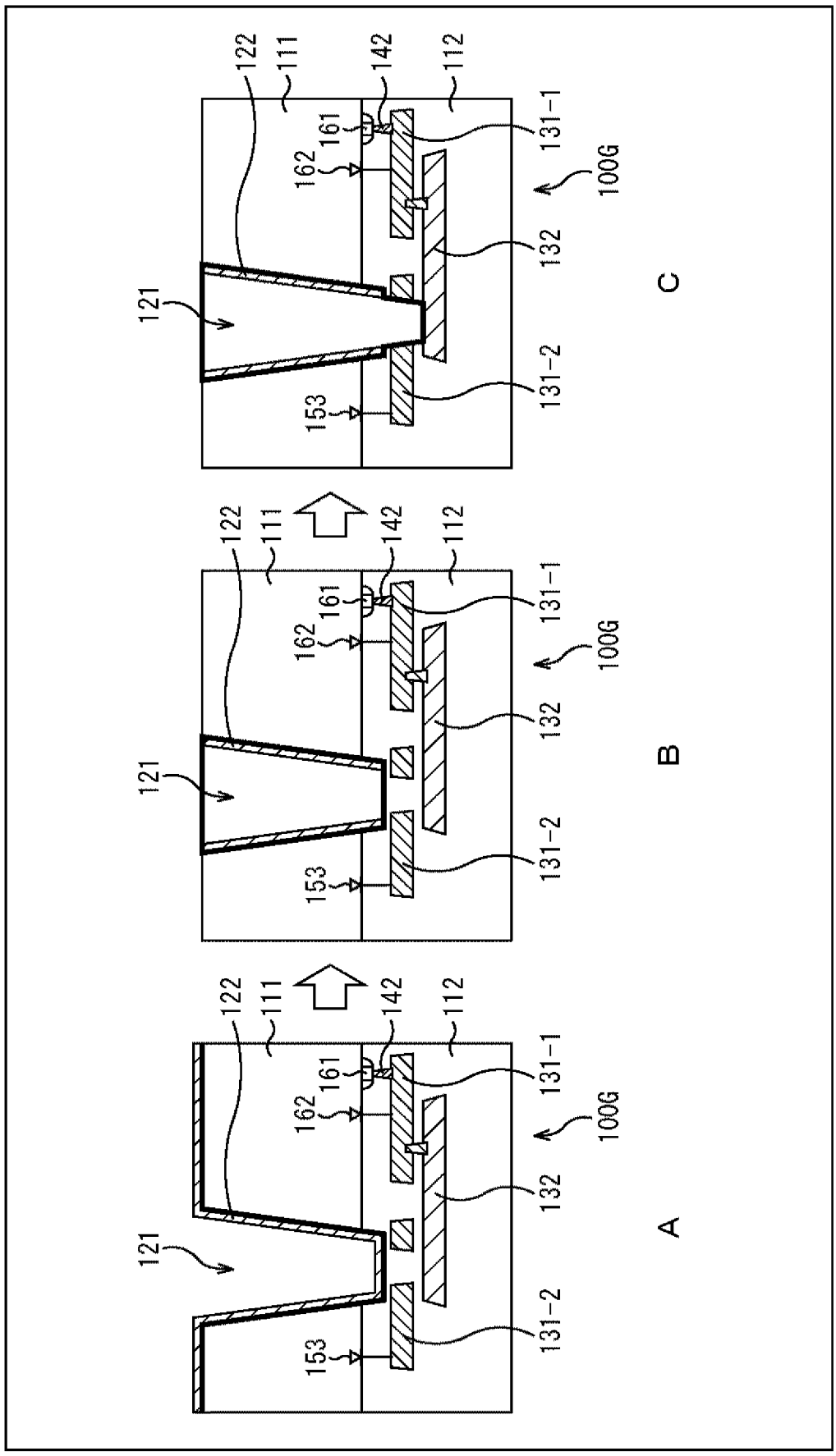
[図14]
FIG. 14


122
111
161
142
112
131-1
162
100F
132
121
B
151
131-2
111
161
142
112
131-1
162
100F
132
121
A
151
131-2

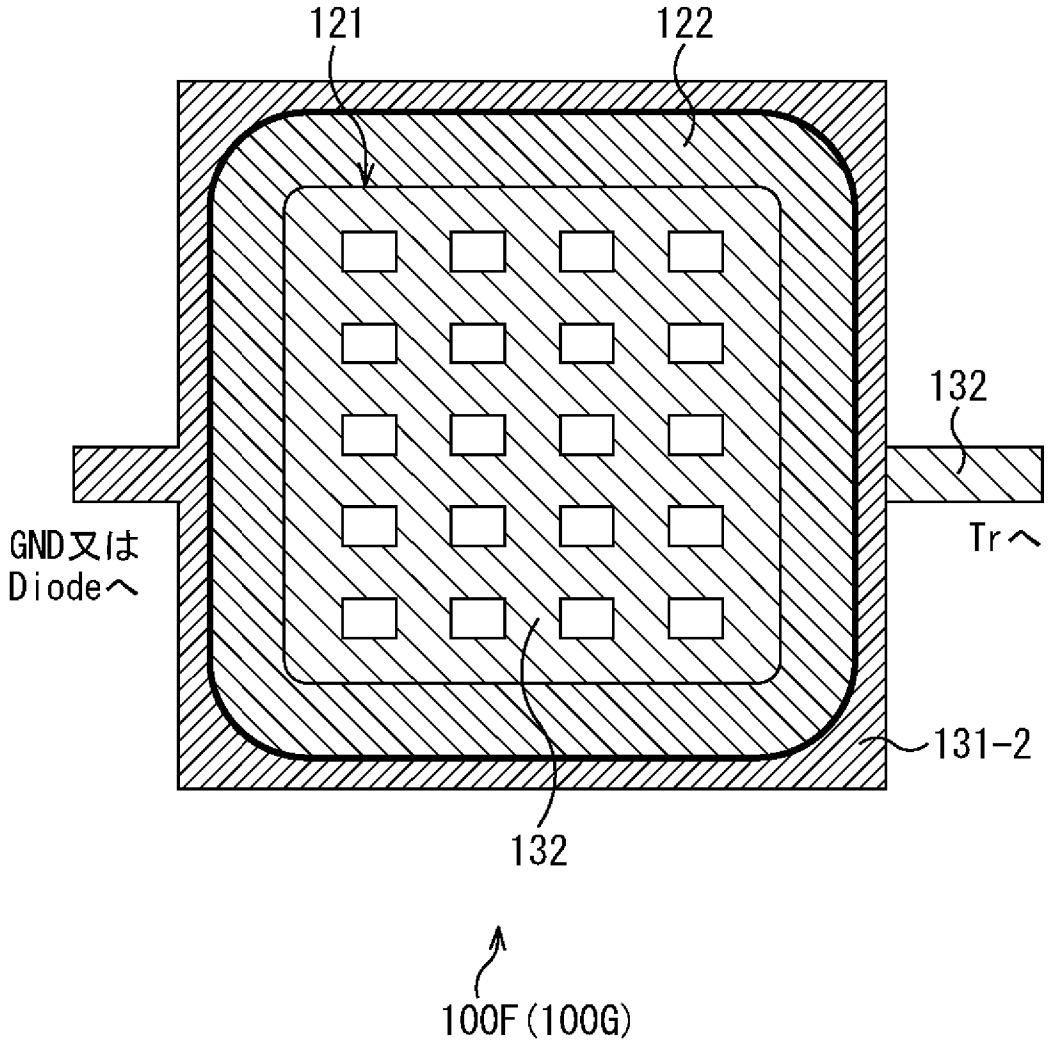
[図15]
FIG. 15



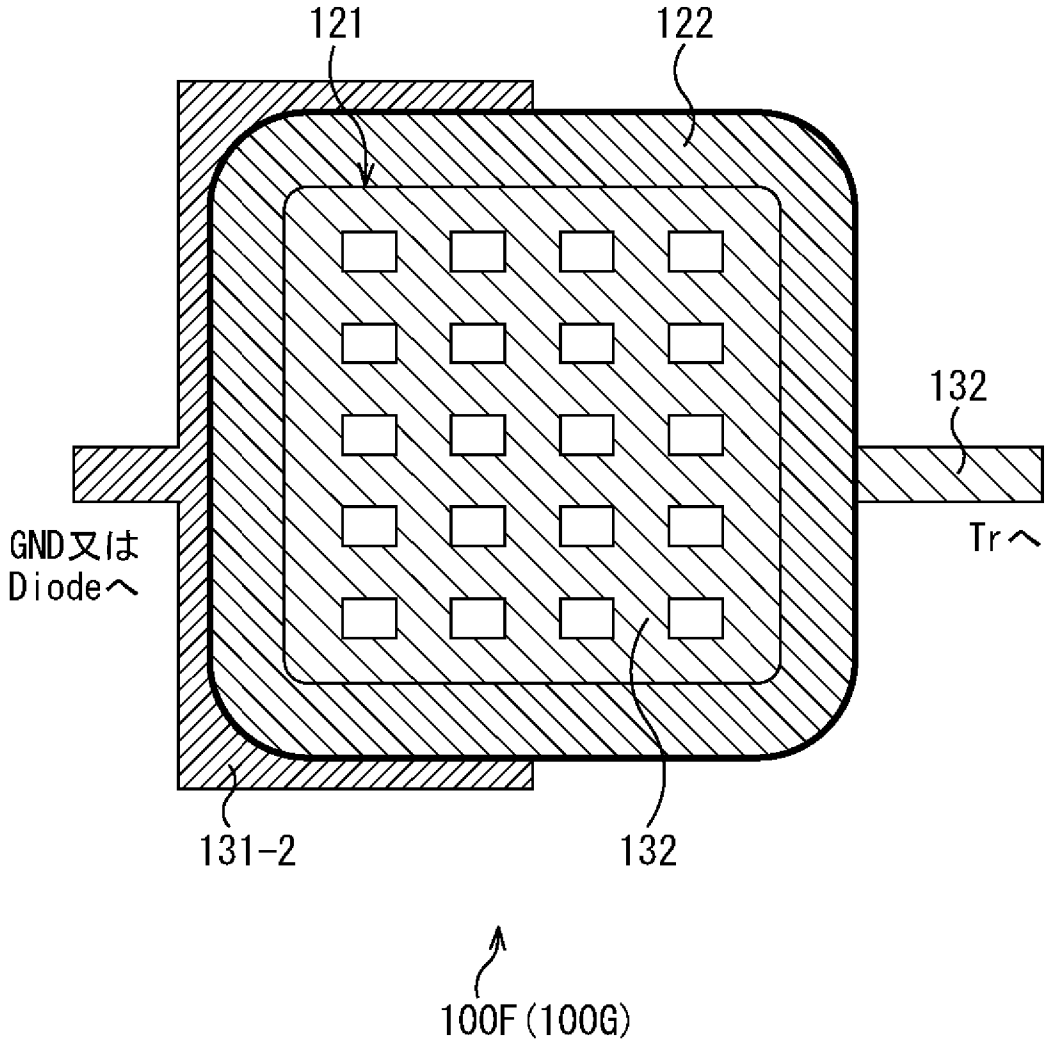
[図16]
FIG. 16



[図17]
FIG. 17



[図18]
FIG. 18



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/006416

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L21/822(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L21/3205, H01L21/768, H01L21/822, H01L23/522, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2006-294719 A (OKI ELECTRIC IND CO., LTD.) 26 October 2006, paragraphs [0023]-[0043], fig. 1 & US 2006/0226485 A1, paragraphs [0048]-[0083], fig. 7-10 & KR 10-2006-0107280 A & CN 1845331 A	1-4 5-20
A	JP 2016-197759 A (LAPIS SEMICONDUCTOR CO., LTD.) 24 November 2016, entire text, all drawings (Family: none)	1-20
A	JP 2008-210952 A (SANYO ELECTRIC CO., LTD.) 11 September 2008, entire text, all drawings (Family: none)	1-20

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 06.04.2018	Date of mailing of the international search report 17.04.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/006416

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-086850 A (SEIKO EPSON CORPORATION) 28 April 2011, entire text, all drawings (Family: none)	1-20
A	JP 2000-216259 A (NEC CORPORATION) 04 August 2000, entire text, all drawings & US 6365939 B1	1-20

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／００６４１６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L21/822(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/3205, H01L21/768, H01L21/822, H01L23/522, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X A	JP 2006-294719 A (沖電気工業株式会社) 2006.10.26, 段落[0023]-[0043], 図1 & US 2006/0226485 A1, 段落[0048]-[0083], 図7-10 & KR 10-2006-0107280 A & CN 1845331 A	1-4 5-20
A	JP 2016-197759 A (ラピスセミコンダクタ株式会社) 2016.11.24, 全文, 全図 (ファミリーなし)	1-20
A	JP 2008-210952 A (三洋電機株式会社) 2008.09.11, 全文, 全図 (ファミリーなし)	1-20

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０６．０４．２０１８	国際調査報告の発送日 １７．０４．２０１８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｏ　５８９５ 佐藤　靖史 電話番号　０３－３５８１－１１０１　内線　３５５９

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-086850 A（セイコーエプソン株式会社）2011.04.28, 全文, 全図（ファミリーなし）	1-20
A	JP 2000-216259 A（日本電気株式会社）2000.08.04, 全文,全図 & US 6365939 B1	1-20