

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6026102号

(P6026102)

(45) 発行日 平成28年11月16日 (2016.11.16)

(24) 登録日 平成28年10月21日 (2016.10.21)

(51) Int.Cl.

F I

H O 1 L 27/146 (2006.01)

H O 1 L 27/14 A

H O 4 N 5/369 (2011.01)

H O 4 N 5/335 6 9 0

H O 4 N 5/374 (2011.01)

H O 4 N 5/335 7 4 0

H O 4 N 5/347 (2011.01)

H O 4 N 5/335 4 7 0

H O 4 N 5/357 (2011.01)

H O 4 N 5/335 5 7 0

請求項の数 8 (全 18 頁)

(21) 出願番号 特願2011-267505 (P2011-267505)
 (22) 出願日 平成23年12月7日 (2011.12.7)
 (65) 公開番号 特開2013-120813 (P2013-120813A)
 (43) 公開日 平成25年6月17日 (2013.6.17)
 審査請求日 平成26年11月25日 (2014.11.25)

(73) 特許権者 316005926
 ソニーセミコンダクタソリューションズ株
 式会社
 神奈川県厚木市旭町四丁目14番1号
 (74) 代理人 100121131
 弁理士 西川 孝
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (72) 発明者 石渡 宏明
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

審査官 小山 満

最終頁に続く

(54) 【発明の名称】 固体撮像素子および電子機器

(57) 【特許請求の範囲】

【請求項1】

光を受光して電荷に変換する光電変換部を有する画素と、
 前記光電変換部で発生した電荷を増幅して、その電荷に応じたレベルの信号を出力する増幅部と、

前記信号を出力する前記画素として選択されたときに、前記増幅部と前記増幅部が信号を出力する信号線とを接続する選択部と、

前記光電変換部で発生した電荷をリセットするリセット部と
 を備え、

前記増幅部、前記選択部、および前記リセット部は4つの前記画素により共有されてお
 り、それらの4つの前記画素が、前記信号線の延びる第1の方向に沿って配置され、

前記第1の方向に沿って、1番目の前記画素および2番目の前記画素が隣接して配置さ
 れるとともに、3番目の前記画素および4番目の前記画素が隣接して配置され、

2番目の前記画素と3番目の前記画素との間に、前記増幅部、前記選択部、および前記
 リセット部が、それぞれのゲート長の方向が前記第1の方向に略直交する第2の方向に沿
 って、一列に配置され、

前記増幅部、前記選択部、および前記リセット部それぞれのゲート長を合計した長さが
 、前記画素の1画素分の前記第2の方向の長さ以上、かつ、前記画素の2画素分の前記第
 2の方向の長さ未満に設定される中で、前記増幅部のゲート長を前記画素の前記第2の方
 向の1画素分以上に設定し、

10

20

前記第 1 の方向に沿って配置される 4 つの前記画素を有する画素共有単位について、前記増幅部、前記選択部、および前記リセット部が一行に配置される領域が 4 つの前記画素に対して突出する方向が、全ての前記画素共有単位において同一方向である

固体撮像素子。

【請求項 2】

前記第 1 の方向に沿って配置される 4 つの前記画素を有する画素共有単位と、前記画素共有単位に隣接して前記第 1 の方向に沿って配置される他の画素共有単位とが、前記第 1 の方向に前記画素の 2 画素分のピッチに応じて位置をずらして配置される

請求項 1 に記載の固体撮像素子。

【請求項 3】

前記選択部および前記リセット部のゲート長を、素子バラツキが抑制できる最低限の長さにそれぞれ調整することで前記増幅部のゲート長を最大限に設定する

請求項 1 に記載の固体撮像素子。

【請求項 4】

前記光電変換部で発生した電荷が転送されるフローティングディフュージョン部をさらに備え、

前記増幅部を共有する前記画素であって、同色の光を受光する前記画素で発生した電荷が前記フローティングディフュージョン部において加算される

請求項 1 に記載の固体撮像素子。

【請求項 5】

前記増幅部が信号を出力する前記信号線が 2 本以上配設される

請求項 1 に記載の固体撮像素子。

【請求項 6】

前記信号線どうしの間隔が、前記信号線の幅の 2 倍以上に設定される

請求項 5 に記載の固体撮像素子。

【請求項 7】

前記光電変換部が形成される半導体基板に前記信号線が形成される配線層が積層される面に対して反対側となる面に、前記光電変換部が電荷に変換する光が入射するように構成される

請求項 1 に記載の固体撮像素子。

【請求項 8】

光を受光して電荷に変換する光電変換部を有する画素と、

前記光電変換部で発生した電荷を増幅して、その電荷に応じたレベルの信号を出力する増幅部と、

前記信号を出力する前記画素として選択されたときに、前記増幅部と前記増幅部が信号を出力する信号線とを接続する選択部と、

前記光電変換部で発生した電荷をリセットするリセット部と

を有し、

前記増幅部、前記選択部、および前記リセット部は 4 つの前記画素により共有されており、それらの 4 つの前記画素が、前記信号線の延びる第 1 の方向に沿って配置され、

前記第 1 の方向に沿って、1 番目の前記画素および 2 番目の前記画素が隣接して配置されるとともに、3 番目の前記画素および 4 番目の前記画素が隣接して配置され、

2 番目の前記画素と 3 番目の前記画素との間に、前記増幅部、前記選択部、および前記リセット部が、それぞれのゲート長の方向が前記第 1 の方向に略直交する第 2 の方向に沿って、一行に配置され、

前記増幅部、前記選択部、および前記リセット部それぞれのゲート長を合計した長さが、前記画素の 1 画素分の前記第 2 の方向の長さ以上、かつ、前記画素の 2 画素分の前記第 2 の方向の長さ未満に設定される中で、前記増幅部のゲート長を前記画素の前記第 2 の方向の 1 画素分以上に設定し、

前記第 1 の方向に沿って配置される 4 つの前記画素を有する画素共有単位について、前

10

20

30

40

50

記増幅部、前記選択部、および前記リセット部が一行に配置される領域が4つの前記画素に対して突出する方向が、全ての前記画素共有単位において同一方向である

固体撮像素子を備える電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、固体撮像素子および電子機器に関し、特に、低ノイズと高フレームレートとを両立することができるようにした固体撮像素子および電子機器に関する。

【背景技術】

【0002】

10

近年、撮像機能を備えた携帯電話機器や、デジタルスチルカメラ、カムコーダ、監視用カメラなどの撮像素子として、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサの採用が増加している。CMOSイメージセンサには、画素部および周辺回路部を同一の半導体基板に形成することができるという特徴がある。

【0003】

画素部には、複数の画素がアレイ状に形成される。一般的に、画素は、転送トランジスタ、増幅トランジスタ、選択トランジスタ、およびリセットトランジスタを有して構成される4トランジスタ型の画素アーキテクチャが採用されることが多い。

【0004】

転送トランジスタは、光電変換部および電荷蓄積部であるPD (Photodiode: フォトダイオード) に蓄積された電荷を、PDで発生した電荷を検知するFD (Floating Diffusion: フローティングディフュージョン) に転送する。増幅トランジスタは、FDに蓄積されている電荷を増幅して、その電荷に応じたレベルの信号を出力する。選択トランジスタは、信号の読み出しの対象となった画素を選択し、リセットトランジスタは、FDに蓄積されている電荷をリセットする。

20

【0005】

また、画素を微細化するために、選択トランジスタを搭載せずに、転送トランジスタ、増幅トランジスタ、およびリセットトランジスタを有する構造の3トランジスタ型の画素アーキテクチャが採用されることがある。

【0006】

30

ところで、近年、撮像装置に対する多画素化や小型化などの要求に応じて、撮像素子に搭載される画素のサイズを微細化することが行われている。例えば、CMOSイメージセンサでは、画素共有構造を採用することにより微細化に対応することができる。

【0007】

画素共有構造は、共有単位となる所定数の画素 (例えば、2画素や4画素など) で、FD、増幅トランジスタ、選択トランジスタ、およびリセットトランジスタを共通で使用し、それぞれの画素がPDおよび転送トランジスタを有する画素アーキテクチャである。例えば、2画素共有構造では、2つの画素で、FD、増幅トランジスタ、選択トランジスタ、およびリセットトランジスタを共通で使用し、2つの画素が、PDおよび転送トランジスタをそれぞれ有して構成される。

40

【0008】

従って、画素共有構造を採用しない場合には、2つの画素で8個のトランジスタ (1画素あたり4個のトランジスタ) を有するのに対し、2画素共有構造では、2つの画素で5個のトランジスタを有することになる。つまり、2画素共有構造では、1画素あたり2.5個のトランジスタを備えるだけでよく、トランジスタが占有する面積を削減することができるのに応じて、PDの面積を拡大することができる。

【0009】

例えば、特許文献1には、画素共有構造を採用することにより、高開口率を維持しつつ、画素間の感度ずれをより低減することができる固体撮像素子が開示されている。

【0010】

50

しかしながら、特許文献 1 で開示されている固体撮像素子では、赤色の画素が配置される行の緑色の画素と、青色の画素が配置されている行の緑色の画素との感度バラツキを抑制するために、増幅トランジスタ、選択トランジスタ、およびリセットトランジスタが、画素ピッチ内に収まることが望ましいとされている。このため、増幅トランジスタのゲートの長さが画素ピッチで制限されることになる。従って、画素が微細化されて、増幅トランジスタのゲートの長さが短く設定されるのに伴い、増幅トランジスタのランダムノイズが増大してしまい、低ノイズを実現することが困難であった。これにより、撮像特性が劣化することが想定される。

【0011】

ここで、CMOSイメージセンサの画質性能を決定する特性の一つとして、信号とノイズとの比である S/N 比 (signal/noise ratio) が知られている。信号は、撮像素子の感度と変換効率の積で求められ、ノイズには、ランダムノイズやショットノイズなどが該当する。ランダムノイズは、画素に起因するものと、周辺トランジスタに起因するものとが知られており、画素に起因するランダムノイズには、PDで発生するノイズと、増幅トランジスタで発生するノイズとが含まれる。近年、CMOSイメージセンサでは、埋め込み型フォトダイオード構造が採用されることが多く、PDで発生するノイズは非常に低減される一方、増幅トランジスタで発生するノイズの影響が大きくなる傾向がある。

【0012】

また、増幅トランジスタで発生するランダムノイズの一種である $1/f$ ノイズは、増幅トランジスタのゲートの長さ L とゲートの幅 W との積に反比例することが知られている。即ち、 S/N 特性を向上させるためには、増幅トランジスタのサイズ (ゲート長 $L \times$ ゲート幅 W) を拡大することが有効である。

【0013】

そこで、特許文献 2 には、縦方向に 2 画素、かつ、横方向に $4 \times n$ 画素 (n は正の整数) のフォトダイオードの配列を 1 共有単位としたレイアウトを有する構造により、増幅トランジスタのサイズを拡大した固体撮像装置が開示されている。

【0014】

しかしながら、特許文献 2 で開示されている固体撮像素子では、増幅トランジスタのサイズを拡大することで $1/f$ ノイズを低減することには有効であるが、フレームレート的高速化に対応することが困難であると想定される。即ち、画素から信号を読み出す信号線に直交する横方向に配置されている画素を共有する画素共有構造では、画素を共有する複数列から信号の読み出しが終わるまで、後段の信号処理を行うことができないため、画素信号を読み出す速度が制限される。従って、横方向に画素を共有する画素共有構造では、高フレームレートを実現することが困難とされている。

【先行技術文献】

【特許文献】

【0015】

【特許文献 1】特開 2009 - 26984 号公報

【特許文献 2】特開 2010 - 165854 号公報

【発明の概要】

【発明が解決しようとする課題】

【0016】

上述したように、特許文献 1 および 2 に開示されている従来の固体撮像素子では、低ノイズと高フレームレートとを両立することは困難であった。

【0017】

本開示は、このような状況に鑑みてなされたものであり、低ノイズと高フレームレートとを両立することができるようにするものである。

【課題を解決するための手段】

【0018】

本開示の一側面の固体撮像素子は、光を受光して電荷に変換する光電変換部を有する画

10

20

30

40

50

素と、前記光電変換部で発生した電荷を増幅して、その電荷に応じたレベルの信号を出力する増幅部と、前記信号を出力する前記画素として選択されたときに、前記増幅部と前記増幅部が信号を出力する信号線とを接続する選択部と、前記光電変換部で発生した電荷をリセットするリセット部とを備え、前記増幅部、前記選択部、および前記リセット部は4つの前記画素により共有されており、それらの4つの前記画素が、前記信号線の延びる第1の方向に沿って配置され、前記第1の方向に沿って、1番目の前記画素および2番目の前記画素が隣接して配置されるとともに、3番目の前記画素および4番目の前記画素が隣接して配置され、2番目の前記画素と3番目の前記画素との間に、前記増幅部、前記選択部、および前記リセット部が、それぞれのゲート長の方向が前記第1の方向に略直交する第2の方向に沿って、一列に配置され、前記増幅部、前記選択部、および前記リセット部それぞれのゲート長を合計した長さが、前記画素の1画素分の前記第2の方向の長さ以上、かつ、前記画素の2画素分の前記第2の方向の長さ未満に設定される中で、前記増幅部のゲート長を前記画素の前記第2の方向の1画素分以上に設定し、前記第1の方向に沿って配置される4つの前記画素を有する画素共有単位について、前記増幅部、前記選択部、および前記リセット部が一列に配置される領域が4つの前記画素に対して突出する方向が、全ての前記画素共有単位において同一方向である。

10

【0019】

本開示の一側面の電子機器は、光を受光して電荷に変換する光電変換部を有する画素と、前記光電変換部で発生した電荷を増幅して、その電荷に応じたレベルの信号を出力する増幅部と、前記信号を出力する前記画素として選択されたときに、前記増幅部と前記増幅部が信号を出力する信号線とを接続する選択部と、前記光電変換部で発生した電荷をリセットするリセット部とを有し、前記増幅部、前記選択部、および前記リセット部は4つの前記画素により共有されており、それらの4つの前記画素が、前記信号線の延びる第1の方向に沿って配置され、前記第1の方向に沿って、1番目の前記画素および2番目の前記画素が隣接して配置されるとともに、3番目の前記画素および4番目の前記画素が隣接して配置され、2番目の前記画素と3番目の前記画素との間に、前記増幅部、前記選択部、および前記リセット部が、それぞれのゲート長の方向が前記第1の方向に略直交する第2の方向に沿って、一列に配置され、前記増幅部、前記選択部、および前記リセット部それぞれのゲート長を合計した長さが、前記画素の1画素分の前記第2の方向の長さ以上、かつ、前記画素の2画素分の前記第2の方向の長さ未満に設定される中で、前記増幅部のゲート長を前記画素の前記第2の方向の1画素分以上に設定し、前記第1の方向に沿って配置される4つの前記画素を有する画素共有単位について、前記増幅部、前記選択部、および前記リセット部が一列に配置される領域が4つの前記画素に対して突出する方向が、全ての前記画素共有単位において同一方向である固体撮像素子を備える。

20

30

【0020】

本開示の一側面においては、増幅部、選択部、およびリセット部は4つの画素により共有されており、それらの4つの画素が、増幅部が信号を出力する信号線の延びる第1の方向に沿って配置され、第1の方向に沿って、1番目の画素および2番目の画素が隣接して配置されるとともに、3番目の画素および4番目の画素が隣接して配置され、2番目の画素と3番目の画素との間に、増幅部、選択部、およびリセット部が、それぞれのゲート長の方向が第1の方向に略直交する第2の方向に沿って、一列に配置される。そして、増幅部、選択部、およびリセット部それぞれのゲート長を合計した長さが、画素の1画素分の第2の方向の長さ以上、かつ、画素の2画素分の第2の方向の長さ未満に設定される中で、増幅部のゲート長が画素の第2の方向の1画素分以上に設定される。さらに、第1の方向に沿って配置される4つの画素を有する画素共有単位について、増幅部、選択部、およびリセット部が一列に配置される領域が4つの画素に対して突出する方向が、全ての画素共有単位において同一方向とされる。

40

【発明の効果】

【0021】

本開示の一側面によれば、低ノイズかつ高フレームレートを両立することができる。

50

【図面の簡単な説明】**【 0 0 2 2 】**

【図 1】本発明を適用した撮像素子の一実施の形態の構成例を示すブロック図である。

【図 2】画素共有単位の構成例を示す回路図である。

【図 3】画素共有単位の平面的なレイアウトを示す図である。

【図 4】画素共有単位が敷き詰められた画素アレイ部の一部を示す図である。

【図 5】F Dにおける電荷の加算について説明する図である。

【図 6】画素の断面構造の構成例を示す図である。

【図 7】電子機器に搭載される撮像装置の構成例を示すブロック図である。

【発明を実施するための形態】

10

【 0 0 2 3 】

以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

【 0 0 2 4 】

図 1 は、本発明を適用した撮像素子の一実施の形態の構成例を示すブロック図である。

【 0 0 2 5 】

固体撮像素子 1 1 はCMOS型固体撮像素子であり、画素アレイ部 1 2、垂直駆動部 1 3、カラム処理部 1 4、水平駆動部 1 5、出力部 1 6、および駆動制御部 1 7を備えて構成される。

【 0 0 2 6 】

20

画素アレイ部 1 2 は、アレイ状に配置された複数の画素 2 1 を有しており、画素 2 1 の行数に応じた複数の水平信号線 2 2 を介して垂直駆動部 1 3 に接続され、画素 2 1 の列数に応じた複数の垂直信号線 2 3 を介してカラム処理部 1 4 に接続されている。即ち、画素アレイ部 1 2 が有する複数の画素 2 1 は、互いに略直交する水平信号線 2 2 および垂直信号線 2 3 が交差する点にそれぞれ配置されている。

【 0 0 2 7 】

垂直駆動部 1 3 は、画素アレイ部 1 2 が有する複数の画素 2 1 の行ごとに、それぞれの画素 2 1 を駆動するための駆動信号（転送信号 T G や、選択信号 S E L、リセット信号 R S T など）を、水平信号線 2 2 を介して順次供給する。

【 0 0 2 8 】

30

カラム処理部 1 4 は、それぞれの画素 2 1 から垂直信号線 2 3 を介して出力される画素信号に対してCDS(Correlated Double Sampling：相関 2 重サンプリング)処理を施すことで画素信号の信号レベルを抽出し、画素 2 1 の受光量に応じた画素データを取得する。

【 0 0 2 9 】

水平駆動部 1 5 は、画素アレイ部 1 2 が有する複数の画素 2 1 の列ごとに、それぞれの画素 2 1 から取得された画素データをカラム処理部 1 4 から順番に出力させるための駆動信号を、カラム処理部 1 4 に順次供給する。

【 0 0 3 0 】

出力部 1 6 には、水平駆動部 1 5 の駆動信号に従ったタイミングでカラム処理部 1 4 から画素データが供給され、出力部 1 6 は、例えば、その画素データを増幅して、後段の画像処理回路に出力する。

40

【 0 0 3 1 】

駆動制御部 1 7 は、固体撮像素子 1 1 の内部の各ブロックの駆動を制御する。例えば、駆動制御部 1 7 は、各ブロックの駆動周期に従ったクロック信号を生成して、それぞれのブロックに供給する。

【 0 0 3 2 】

このように固体撮像素子 1 1 は構成されており、画素アレイ部 1 2 に配置されている複数の画素 2 1 から得られる画素データに対して画像処理が施されることで、画像が取得される。また、画素 2 1 は、画素信号を出力するために複数のトランジスタを有して構成されており、所定数の画素 2 1 を共有単位として一部のトランジスタを共有する構造を採用

50

することができる。

【0033】

図2は、4つの画素21により構成される画素共有単位の構成例を示す回路図である。

【0034】

図2に示すように、画素共有単位24は、PD31aおよび転送トランジスタ32aを有する画素21a、PD31bおよび転送トランジスタ32bを有する画素21b、PD31cおよび転送トランジスタ32cを有する画素21c、並びに、PD31dおよび転送トランジスタ32dを有する画素21dが、FD33、増幅トランジスタ34、選択トランジスタ35、およびリセットトランジスタ36を共有する共有構造によって構成されている。

10

【0035】

PD31a乃至31dは、光電変換部および電荷蓄積部であり、それぞれ受光した光の光量に応じた電荷を発生して蓄積する。

【0036】

転送トランジスタ32a乃至32dは、PD31a乃至31dとFD33とをそれぞれ接続し、垂直駆動部13から水平信号線22を介して供給される転送信号TG1乃至TG4に従って駆動する。例えば、転送信号TG1に従って転送トランジスタ32aがオンになると、PD31aに蓄積されている電荷がFD33に転送され、転送信号TG2に従って転送トランジスタ32bがオンになると、PD31bに蓄積されている電荷がFD33に転送される。また、転送信号TG3に従って転送トランジスタ32cがオンになると、PD31cに蓄積されている電荷がFD33に転送され、転送信号TG4に従って転送トランジスタ32dがオンになると、PD31dに蓄積されている電荷がFD33に転送される。

20

【0037】

FD33は、転送トランジスタ32a乃至32dと増幅トランジスタ34との接続点に形成される浮遊拡散領域であり、PD31a乃至31dで発生した電荷がそれぞれ転送され、電荷を蓄積する。なお、FD33は、図3を参照して後述するように、PD31aおよび転送トランジスタ32aとPD31bおよび転送トランジスタ32bとで共有されるFD33aと、PD31cおよび転送トランジスタ32cとPD31dおよび転送トランジスタ32dとで共有されるFD33bとが接続されて構成される。

30

【0038】

増幅トランジスタ34は、ゲート電極がFD33に接続されており、ドレイン端子が電源電位VDDに接続されるとともに、ソース端子が選択トランジスタ35を介して垂直信号線23に接続されている。そして、増幅トランジスタ34は、FD33に蓄積されている電荷を増幅して、その電荷の応じたレベルの画素信号を、垂直信号線23に出力する。例えば、増幅トランジスタ34は、FD33がリセットされたときにはリセットレベルの画素信号を出力し、FD33にPD31a乃至31dで発生した電荷がそれぞれ蓄積されているときには、それらの電荷に応じたレベルの画素信号を出力する。

【0039】

選択トランジスタ35は、増幅トランジスタ34と垂直信号線23とを接続し、垂直駆動部13から水平信号線22を介して供給される選択信号SELに従って駆動する。選択トランジスタ35がオンになると、増幅トランジスタ34から出力される画素信号が選択トランジスタ35を介して垂直信号線23に出力可能な状態となる。

40

【0040】

リセットトランジスタ36は、FD33と電源電位VDDとを接続し、垂直駆動部13から水平信号線22を介して供給されるリセット信号RSTに従って駆動する。リセットトランジスタ36がオンになると、FD33に蓄積されている電荷が電源電位VDDに排出されて、FD33がリセットされる。

【0041】

このように構成されている画素共有単位24は、例えば、画素21a、画素21b、画

50

素 2 1 c、および画素 2 1 d の順番で、それぞれの画素信号を垂直信号線 2 3 に出力する。

【 0 0 4 2 】

ところで、複数の画素 2 1 で増幅トランジスタ 3 4 などを共有する画素共有構造では、それらの画素 2 1 が横方向（図 1 の水平信号線 2 2 に沿った方向）に配置されている場合、横方向に共有する複数列の読み出しが終わるまで、後段の信号処理を行うことができない。このため、横方向に配置された画素 2 1 を共有する場合には、画素信号を読み出す速度が制限されてしまう。後段の信号処理とは、アナログデジタルコンバータなどによる変換処理などであり、後段の信号処理に時間がかかると、1 画面を 1 秒間に何回描画できるかの指標であるフレームレートを高速化することができなくなる。

10

【 0 0 4 3 】

これに対し、複数の画素 2 1 が縦方向（図 1 の垂直信号線 2 3 に沿った方向）に配置された画素共有構造では、他の列の読み出しが終わるのを待つ必要なく後段の信号処理を行うことができる。このため、横方向に配置された画素 2 1 を共有する画素共有構造よりも、画素信号を高速に読み出すことができ、フレームレートを高速化することができる。

【 0 0 4 4 】

そこで、固体撮像素子 1 1 では、画素信号の高速な読み出しを可能にするために、画素共有単位 2 4 を構成する画素 2 1 a 乃至 2 1 d を縦方向に一列に配置するレイアウトが採用される。

【 0 0 4 5 】

次に、図 3 を参照して、画素共有単位 2 4 の平面的なレイアウトについて説明する。

20

【 0 0 4 6 】

図 3 に示すように、画素共有単位 2 4 は、画素 2 1 a、画素 2 1 b、画素 2 1 c、および画素 2 1 d が縦方向に一列に並んだレイアウトで配置される。また、画素 2 1 a および画素 2 1 b が隣接して配置され、画素 2 1 c および画素 2 1 d が隣接して配置されるとともに、画素 2 1 b および画素 2 1 c の間には一定の間隔が設けられている。

【 0 0 4 7 】

画素 2 1 a - 1 および画素 2 1 b - 1 が接する部分には、横方向に細長い形状の F D 3 3 a が形成されている。また、F D 3 3 a に隣接して画素 2 1 a 側には、転送トランジスタ 3 2 a を構成するゲート電極 4 1 a が配置され、F D 3 3 a に隣接して画素 2 1 b 側には、転送トランジスタ 3 2 b を構成するゲート電極 4 1 b が配置されている。同様に、画素 2 1 c および画素 2 1 d が接する部分に形成される F D 3 3 b の画素 2 1 c 側に転送トランジスタ 3 2 c を構成するゲート電極 4 1 c が配置され、F D 3 3 b の画素 2 1 d 側に転送トランジスタ 3 2 d を構成するゲート電極 4 1 d が配置されている。

30

【 0 0 4 8 】

また、画素共有単位 2 4 では、画素 2 1 b および画素 2 1 c の間に、増幅トランジスタ 3 4 を構成するゲート電極 4 2、選択トランジスタ 3 5 を構成するゲート電極 4 3、および、リセットトランジスタ 3 6 を構成するゲート電極 4 4 が配置されている。

【 0 0 4 9 】

そして、増幅トランジスタ 3 4 のゲート電極 4 2、選択トランジスタ 3 5 のゲート電極 4 3、および、リセットトランジスタ 3 6 のゲート電極 4 4 は、横方向に一列に配置されている。つまり、増幅トランジスタ 3 4 のゲート電極 4 2 の横方向の左側に、選択トランジスタ 3 5 のゲート電極 4 3 が配置され、増幅トランジスタ 3 4 のゲート電極 4 2 の横方向の右側に、リセットトランジスタ 3 6 のゲート電極 4 4 が配置される。また、F D 3 3 a および 3 3 b、増幅トランジスタ 3 4 のゲート電極 4 2、並びに、リセットトランジスタ 3 6 のソース端子が、配線 4 5 を介して接続される。

40

【 0 0 5 0 】

このように画素共有単位 2 4 では、F D 3 3 a および 3 3 b を接続する構成とされており、増幅トランジスタ 3 4 を画素共有単位 2 4 の中央に配置することにより、F D 3 3 a および 3 3 b を接続する配線 4 5 の長さを最短で構成することができる。このように、配

50

線 4 5 の長さを短くすることによって、F D 3 3 a および 3 3 b に蓄積されている電荷を画素信号に変換する際の変換効率の低下を抑制することができる。

【 0 0 5 1 】

そして、画素共有単位 2 4 では、ゲート電極 4 2 乃至 4 4 が形成される領域（図 3 で破線で示された領域）の横方向の長さ L が、画素 2 1 a 乃至 2 1 d の横方向の長さであるピッチ P よりも長くなるように設定される。例えば、図 3 の構成例では、ゲート電極 4 2 乃至 4 4 が形成される領域が、画素 2 1 a 乃至 2 1 d よりも右方向に突出するように設定され、画素共有単位 2 4 が右方向に凸形状となるように形成されている。なお、ゲート電極 4 2 乃至 4 4 が形成される領域が突出する方向は、画素 2 1 a 乃至 2 1 d よりも左方向でもよく、この場合、画素共有単位 2 4 が左方向に凸形状となるように形成される。

10

【 0 0 5 2 】

さらに、ゲート電極 4 2 乃至 4 4 が形成される領域の横方向の長さ L は、右側に隣接する画素 2 1 a 乃至 2 1 d（図示せず）よりも右側には突出しないように、即ち、画素 2 1 a 乃至 2 1 d の横方向のピッチ P の 2 倍未満となるように設定される。つまり、ゲート電極 4 2 乃至 4 4 が形成される領域の横方向の長さ L は、1 画素ピッチ以上、かつ、2 画素ピッチ未満となるように設定される。

【 0 0 5 3 】

また、画素共有単位 2 4 では、増幅トランジスタ 3 4 のゲート電極 4 2 のゲート長が最大限の長さとなるように設定される。

【 0 0 5 4 】

20

例えば、選択トランジスタ 3 5 のゲート電極 4 3 およびリセットトランジスタ 3 6 のゲート電極 4 4 のゲート長は、素子バラツキが抑制できる最低限の長さにそれぞれ調整し、残りの長さ L を、増幅トランジスタ 3 4 のゲート電極 4 2 のゲート長に割り当てることで、増幅トランジスタ 3 4 のゲート電極 4 2 のゲート長を最大限の長さに設定することができる。また、これらのゲート長は、画素分離領域や、隣接するゲート電極どうし間の距離、ゲートとコンタクトとの間の距離、コンタクトとアクティブ部とのオーバーラップなど、デザインルールにより規定されるサイズで設定される。

【 0 0 5 5 】

例えば、増幅トランジスタ 3 4 のゲート電極 4 2 のゲート長は、図 3 に示すように、画素 2 1 a 乃至 2 1 d の横方向のピッチ P とほぼ同じ長さに設定することができる。なお、増幅トランジスタ 3 4 のゲート電極 4 2 のゲート長を、画素 2 1 a 乃至 2 1 d の横方向のピッチ P 以上に設定してもよい。

30

【 0 0 5 6 】

このように構成される画素共有単位 2 4 では、増幅トランジスタ 3 4 のゲート電極 4 2 のゲート長を設定可能な最大限の長さにすることで、増幅トランジスタ 3 4 のサイズを拡大することができる。これにより、画素 2 1 a 乃至 2 1 d の 1 / f ノイズを大幅に低減することができ、画素 2 1 a 乃至 2 1 d のランダムノイズを低減することができる。

【 0 0 5 7 】

また、上述したように、画素共有単位 2 4 は、画素 2 1 a 乃至 2 1 d が縦方向に配置される構造を採用することにより、画素信号の読み出しを高速化することができる。

40

【 0 0 5 8 】

従って、画素共有単位 2 4 が敷き詰められた画素アレイ部 1 2 を有する固体撮像素子 1 1 では、ノイズを削減することにより画質を向上させることができるとともに、高フレームレートを実現することができる。つまり、固体撮像素子 1 1 は、低ノイズと高フレームレートとを両立することができる。

【 0 0 5 9 】

図 4 は、画素共有単位 2 4 が敷き詰められた画素アレイ部 1 2 の一部を示す図である。

【 0 0 6 0 】

図 4 において、行列状に配置されている正方形は、画素 2 1 を表している。画素アレイ部 1 2 には、いわゆるバイヤー配列で三原色（青色、赤色、および緑色）が配置されたカ

50

ラーフィルタが積層されており、画素 2 1 は、それぞれ対応する色の光を受光する。つまり、図 4 では、アルファベット「R」が表示されている画素 2 1 は赤色 (Red) の光を受光し、アルファベット「B」が表示されている画素 2 1 は青色 (Blue) の光を受光し、アルファベット「Gr」または「Gb」が表示されている画素 2 1 は緑色の光 (Green) を受光することを示している。

【0061】

また、ベイヤー配列では、青色および緑色の光を受光する画素 2 1 が配置される列と、赤色および緑色の光を受光する画素 2 1 が配置される列とが、1 列ずつ交互に配置される。図 3 を参照して説明したように、画素共有単位 2 4 は、画素 2 1 a 乃至 2 1 d が一列に配置されるレイアウトを採用している。従って、画素アレイ部 1 2 では、青色および緑色の光を受光する画素共有単位 2 4 - 1 と、赤色および緑色の光を受光する画素共有単位 2 4 - 2 とが 1 列ずつ交互に配置される。

10

【0062】

つまり、画素共有単位 2 4 - 1 では、画素 2 1 a - 1 および画素 2 1 c - 1 が青色の光を受光し、画素 2 1 b - 1 および画素 2 1 d - 1 が緑色の光を受光する。一方、画素共有単位 2 4 - 2 では、画素 2 1 a - 2 および画素 2 1 c - 2 が緑色の光を受光し、画素 2 1 b - 2 および画素 2 1 d - 2 が赤色の光を受光する。

【0063】

そして、画素共有単位 2 4 - 1 と画素共有単位 2 4 - 2 とは、2 画素分のピッチに応じて縦方向に位置をずらして画素アレイ部 1 2 に配置される。例えば、画素共有単位 2 4 - 1 の画素 2 1 a - 1 と画素共有単位 2 4 - 2 の画素 2 1 c - 2 とが横方向に 1 列となり、画素共有単位 2 4 - 1 の画素 2 1 b - 1 と画素共有単位 2 4 - 2 の画素 2 1 d - 2 とが横方向に 1 列となるように配置される。同様に、画素共有単位 2 4 - 1 の画素 2 1 c - 1 と画素共有単位 2 4 - 2 の画素 2 1 a - 2 とが横方向に 1 列となり、画素共有単位 2 4 - 1 の画素 2 1 d - 1 と画素共有単位 2 4 - 2 の画素 2 1 b - 2 とが横方向に 1 列となるように配置される。

20

【0064】

このように配置することにより、右方向に凸形状となる画素共有単位 2 4 を画素アレイ部 1 2 に敷き詰める際に、その突出する部分が、隣接する画素共有単位 2 4 と重なることを回避して配置することができる。

30

【0065】

即ち、画素共有単位 2 4 - 1 のゲート電極 4 2 乃至 4 4 が形成される領域の右側に突出する部分は、画素共有単位 2 4 - 1 の右側に隣接する 2 つの画素共有単位 2 4 - 2 の縦方向の間となる領域に配置される。同様に、画素共有単位 2 4 - 2 のゲート電極 4 2 乃至 4 4 が形成される領域の右側に突出する部分は、画素共有単位 2 4 - 2 の右側に隣接する 2 つの画素共有単位 2 4 - 1 の縦方向の間となる領域に配置される。

【0066】

また、画素共有単位 2 4 では、縦方向に並ぶ 4 つの画素 2 1 による画素共有構造を採用することにより、同色の光を受光する画素 2 1 で発生した電荷を F D 3 3 で加算することができる。

40

【0067】

図 5 を参照して、F D 3 3 における電荷の加算について説明する。

【0068】

図 5 に示すように、画素共有単位 2 4 - 1 では、青色の光を受光する画素 2 1 a - 1 と、緑色の光を受光する画素 2 1 b - 1 とが F D 3 3 a - 1 を共有し、青色の光を受光する画素 2 1 c - 1 と、緑色の光を受光する画素 2 1 d - 1 とが F D 3 3 b - 1 を共有している。そして、F D 3 3 a - 1 と F D 3 3 b - 1 とが配線 4 5 - 1 により接続されている。

【0069】

つまり、画素共有単位 2 4 - 1 では、配線 4 5 - 1 を介して、画素 2 1 a - 1 が青色の光を受光して発生した電荷が転送される F D 3 3 a - 1 と、画素 2 1 c - 1 が青色の光を

50

受光して発生した電荷が転送される F D 3 3 b - 1 とが接続されている。同様に、画素共有単位 2 4 - 1 では、配線 4 5 - 1 を介して、画素 2 1 b - 1 が緑色の光を受光して発生した電荷が転送される F D 3 3 a - 1 と、画素 2 1 d - 1 が緑色の光を受光して発生した電荷が転送される F D 3 3 b - 1 とが接続されている。

【 0 0 7 0 】

従って、画素 2 1 a - 1 に蓄積されている電荷を F D 3 3 a - 1 に転送するタイミングと、画素 2 1 c - 1 に蓄積されている電荷を F D 3 3 b - 1 に転送するタイミングとを一致させることによって、配線 4 5 - 1 を介して接続された F D 3 3 a - 1 および F D 3 3 b - 1 により、それぞれの電荷が加算されて、増幅トランジスタ 3 4 - 1 のゲート電極 4 2 - 1 に印加される。これにより、増幅トランジスタ 3 4 - 1 は、画素 2 1 a - 1 と画素 2 1 c - 1 とで発生した電荷を加算したレベルに応じた画素信号（即ち、青色の画素信号を加算した信号）を出力する。

10

【 0 0 7 1 】

同様に、画素 2 1 b - 1 に蓄積されている電荷を F D 3 3 a - 1 に転送するタイミングと、画素 2 1 d - 1 に蓄積されている電荷を F D 3 3 b - 1 に転送するタイミングとを一致させる。これにより、増幅トランジスタ 3 4 - 1 は、画素 2 1 b - 1 と画素 2 1 d - 1 とで発生した電荷を加算したレベルに応じた画素信号（即ち、緑色の画素信号を加算した信号）を出力する。

【 0 0 7 2 】

また、画素共有単位 2 4 - 2 においても、画素共有単位 2 4 - 1 と同様に、同色の光により発生した電荷を F D 3 3 において加算し、増幅トランジスタ 3 4 - 1 から出力することができる。

20

【 0 0 7 3 】

即ち、画素共有単位 2 4 - 2 において、画素 2 1 a - 2 に蓄積されている電荷を F D 3 3 a - 2 に転送するタイミングと、画素 2 1 c - 2 に蓄積されている電荷を F D 3 3 b - 2 に転送するタイミングとを一致させる。これにより、増幅トランジスタ 3 4 - 2 は、画素 2 1 a - 2 と画素 2 1 c - 2 とで発生した電荷を加算したレベルに応じた画素信号（即ち、緑色の画素信号を加算した信号）を出力する。

【 0 0 7 4 】

同様に、画素共有単位 2 4 - 2 において、画素 2 1 b - 2 に蓄積されている電荷を F D 3 3 a - 2 に転送するタイミングと、画素 2 1 d - 2 に蓄積されている電荷を F D 3 3 b - 2 に転送するタイミングとを一致させる。これにより、増幅トランジスタ 3 4 - 2 は、画素 2 1 b - 2 と画素 2 1 d - 2 とで発生した電荷を加算したレベルに応じた画素信号（即ち、赤色の画素信号を加算した信号）を出力する。

30

【 0 0 7 5 】

このように、画素共有単位 2 4 では、同色の光を受光する画素 2 1 で F D 3 3 を共有することで、同色の画素信号を F D 3 3 で加算することができる。これにより、例えば、低照度の状況において感度を向上させることや、高フレームレート時における感度を向上させることができる。

【 0 0 7 6 】

ここで、固体撮像素子 1 1 では、P D 3 1 が形成される半導体基板に配線層が積層される表面側に対して反対側となる裏面側に、入射光が入射する裏面照射構造を採用することができる。

40

【 0 0 7 7 】

図 6 には、固体撮像素子 1 1 が有する画素 2 1 の断面構造の構成例が示されている。

【 0 0 7 8 】

図 6 に示すように、固体撮像素子 1 1 は、P D 3 1 が形成される半導体基板 5 1 の表面（図 6 において下側を向く面）に配線層 5 2 が積層され、半導体基板 5 1 の裏面にフィルター 5 3 およびオンチップレンズ 5 4 が積層されて構成される。固体撮像素子 1 1 の裏面側から照射される入射光は、画素 2 1 ごとに小型のレンズが配置されたオンチップレンズ

50

５４により集光され、フィルター５３を所定の波長域の光が透過して、ＰＤ３１に入射する。

【００７９】

半導体基板５１には、ＰＤ３１から所定の間隔で離れた位置に、半導体基板５１の表面に接するようにＦＤ３３が形成されている。また、半導体基板５１の表面には、図示しない絶縁膜を介して、ＰＤ３１とＦＤ３３との間に対応する位置に転送トランジスタ３２を構成するゲート電極４１が形成される。

【００８０】

配線層５２には、図３に示したように、増幅トランジスタ３４を構成するゲート電極４２とＦＤ３３とを接続する配線４５が形成されており、貫通電極５５を介して、ＦＤ３３および配線４５が接続されている。また、配線層５２には、画素２１に駆動信号を供給するための水平信号線２２が形成されている。

【００８１】

そして、図６の構成例では、配線層５２に、２本の垂直信号線２３－１および２３－２が形成されている。垂直信号線２３－１および２３－２は、画素２１から画素信号を出力するための信号線である。例えば、垂直信号線２３－１は、縦方向に奇数番目に配置されている画素共有単位２４の画素信号を読み出し、垂直信号線２３－２は、縦方向に偶数番目に配置されている画素共有単位２４の画素信号を読み出すように配線することができる。

【００８２】

これにより、固体撮像素子１１では、縦方向に並ぶ２つの画素共有単位２４で画素信号の読み出しを並列的に行うことができる。つまり、固体撮像素子１１では、２本の垂直信号線２３－１および２３－２を利用することで、画素信号の読み出しを２倍の速度で行うことができ、フレームレートを２倍にすることができる。

【００８３】

例えば、半導体基板５１に配線層５２が積層される表面側から入射光が照射される表面照射構造を採用した固体撮像素子では、垂直信号線２３の本数を増加させた場合には、垂直信号線２３による入射光のケラレが発生し、感度が低下する懸念がある。これに対し、固体撮像素子１１では、垂直信号線２３の本数を増加させても感度が低下することなく、読み出し速度を高速化することが可能となる。また、水平信号線２２の本数が増加しても、感度に影響が及ぶことは回避される。

【００８４】

また、垂直信号線２３の本数を増加させることにより、垂直信号線２３どうし間でのカップリングが懸念される。そこで、固体撮像素子１１では、裏面照射構造を採用することで垂直信号線２３どうしの間隔を大きく設定することができ、例えば、垂直信号線２３の線幅Ｗの２倍となるように垂直信号線２３どうしの間隔Ｄを設定し、カップリングの影響を抑制することができる。これにより、縦筋などの画質劣化を抑制することができる。さらに、垂直信号線２３の本数を２本以上としてもよく、例えば、垂直信号線２３を４本にすることで、フレームレートを４倍にすることができる。

【００８５】

例えば、近年、ＨＤ（High Definition）画像を撮像可能な家庭用カムコーダが実現されているが、今後、さらに高解像度の画像を、映画館や、スタジアム、家庭などで視聴することができる環境になると想定されている。例えば、ＨＤ画像の４倍の解像度を有する画像では、撮像素子の画素数もＨＤ画像の４倍になることが必須であり、ＨＤ画像と同一のフレームレートを維持するには、画素信号の読み出し速度を４倍に高速化することが要求される。さらに、スポーツ中継などにおいてスローモーションを多用する状況では、さらなるフレームレートの向上が求められ、撮像素子からの高速な画素信号の読み出しが要求される。

【００８６】

そこで、固体撮像素子１１のように、高フレームレートを実現することにより、このよ

10

20

30

40

50

うな要求にも対応することができるようになる。

【0087】

なお、上述の特許文献1で開示されている固体撮像素子では、感度ずれを低減するために、例えば、縦方向に2画素を共有する共有構造では1行ずらして配置し、縦方向に4画素を共有する共有構造では1行または3行ずらして配置することが望ましいとされている。これに対し、固体撮像素子11では、裏面照射構造を採用することにより、このような感度ずれが発生することが回避される。従って、図4を参照したように、画素共有単位24-1と画素共有単位24-2とを、2画素分のピッチに応じて縦方向に位置をずらして画素アレイ部12に配置することができる。

【0088】

また、上述したような固体撮像素子11は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

【0089】

図7は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

【0090】

図7に示すように、撮像装置101は、光学系102、撮像素子103、信号処理回路104、モニタ105、およびメモリ106を備えて構成され、静止画像および動画を撮像可能である。

【0091】

光学系102は、1枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子103に導き、撮像素子103の受光面（センサ部）に結像させる。

【0092】

撮像素子103としては、上述した固体撮像素子11が適用される。撮像素子103には、光学系102を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子103に蓄積された電子に応じた信号が信号処理回路104に供給される。

【0093】

信号処理回路104は、撮像素子103から出力された信号電荷に対して各種の信号処理を施す。信号処理回路104が信号処理を施すことにより得られた画像（画像データ）は、モニタ105に供給されて表示されたり、メモリ106に供給されて記憶（記録）されたりする。

【0094】

このように構成されている撮像装置101では、撮像素子103として、上述した固体撮像素子11を適用することにより、ノイズが低減された高画質の画像を得ることができるとともに、高フレームレートの動画を撮像することができる。

【0095】

また、本技術における固体撮像素子の構成は、裏面照射型のCMOS型固体撮像素子や、表面照射型のCMOS型固体撮像素子、CCD（Charge Coupled Device）型固体撮像素子に採用することができる。

【0096】

なお、本技術は以下のような構成も取ることができる。

(1)

光を受光して電荷に変換する光電変換部を有する画素と、
所定数の前記画素により共有され、前記光電変換部で発生した電荷を増幅して、その電荷に応じたレベルの信号を出力する増幅部と

を備え、

前記増幅部を共有する所定数の前記画素が、前記増幅部が信号を出力する信号線の延びる第1の方向に沿って配置され、

前記増幅部が形成される領域の前記第1の方向に略直交する第2の方向に沿った長さが

10

20

30

40

50

、前記画素の 1 画素分の前記第 2 の方向の長さ以上、かつ、前記画素の 2 画素分の前記第 2 の方向の長さ未満に設定される

固体撮像素子。

(2)

4 つの前記画素が前記増幅部を共有し、前記第 1 の方向に沿って、1 番目の前記画素および 2 番目の前記画素が隣接して配置されるとともに、3 番目の前記画素および 4 番目の前記画素が隣接して配置され、2 番目の前記画素と 3 番目の前記画素との間に、前記増幅部が配置される

上記 (1) に記載の固体撮像素子。

(3)

前記第 1 の方向に沿って配置される 4 つの前記画素を有する画素共有単位と、前記画素共有単位に隣接して前記第 1 の方向に沿って配置される他の画素共有単位とが、前記第 1 の方向に前記画素の 2 画素分のピッチに応じて位置をずらして配置される

上記 (1) または (2) に記載の固体撮像素子。

(4)

前記信号を出力する前記画素として選択されたときに、前記増幅部と前記信号線とを接続する選択部と、

前記光電変換部で発生した電荷をリセットするリセット部と

をさらに備え、

前記増幅部、前記選択部、および前記リセット部が前記第 2 の方向に一行に配置される領域の前記第 2 の方向の長さが、前記画素の 2 画素分の前記第 2 の方向の長さ未満に限定される中で、前記増幅部の長さを最大限に設定する

上記 (1) から (3) までのいずれかに記載の固体撮像素子。

(5)

前記光電変換部で発生した電荷が転送されるフローティングディフュージョン部をさらに備え、

前記増幅部を共有する前記画素であって、同色の光を受光する前記画素で発生した電荷が前記フローティングディフュージョン部において加算される

上記 (1) から (4) までのいずれかに記載の

固体撮像素子。

(6)

前記増幅部が信号を出力する前記信号線が 2 本以上配設される

上記 (1) から (5) までのいずれかに記載の固体撮像素子。

(7)

前記信号線どうしの間隔が、前記信号線の幅の 2 倍以上に設定される

上記 (6) に記載の固体撮像素子。

(8)

前記光電変換部が形成される半導体基板に前記信号線が形成される配線層が積層される面に対して反対側となる面に、前記光電変換部が電荷に変換する光が入射するように構成される

上記 (1) から (7) までのいずれかに記載の固体撮像素子。

【 0 0 9 7 】

なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

【符号の説明】

【 0 0 9 8 】

1 1 固体撮像素子, 1 2 画素アレイ部, 1 3 垂直駆動部, 1 4 カラム処理部, 1 5 水平駆動部, 1 6 出力部, 1 7 駆動制御部, 2 1 画素, 2 2 水平信号線, 2 3 垂直信号線, 3 1 P D, 3 2 転送トランジスタ, 3 3 F D, 3 4 増幅トランジスタ, 3 5 選択トランジスタ, 3 6 リセット

10

20

30

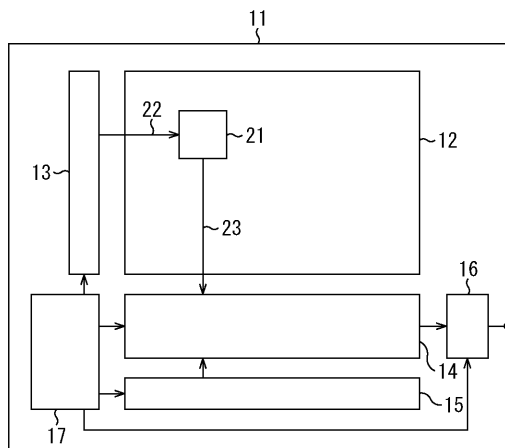
40

50

ランジスタ， 4 1 乃至 4 4 ゲート電極， 4 5 配線， 5 1 半導体基板， 5 2 配線層， 5 3 フィルター， 5 4 オンチップレンズ， 5 5 貫通電極

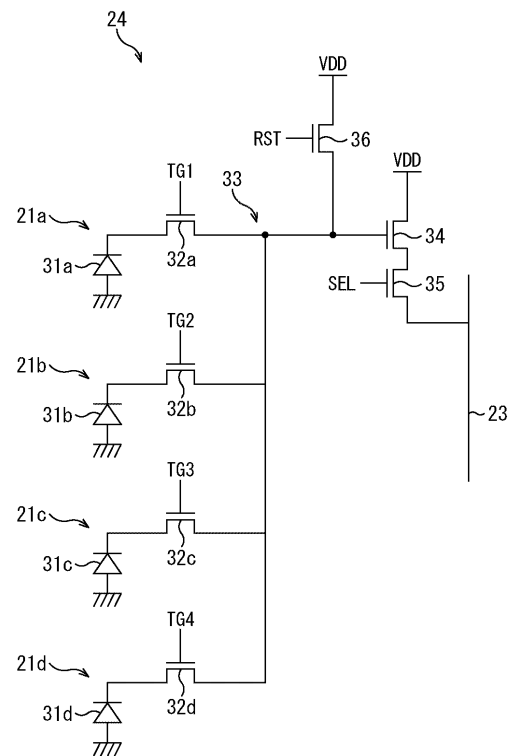
【図 1】

図1



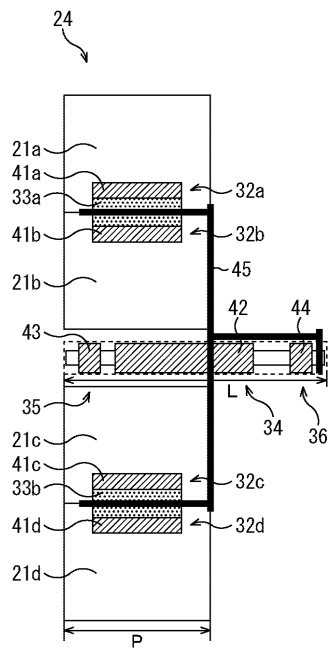
【図 2】

図2



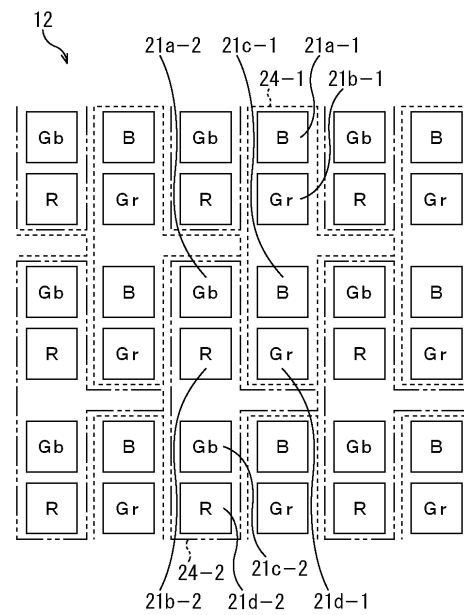
【図 3】

図3



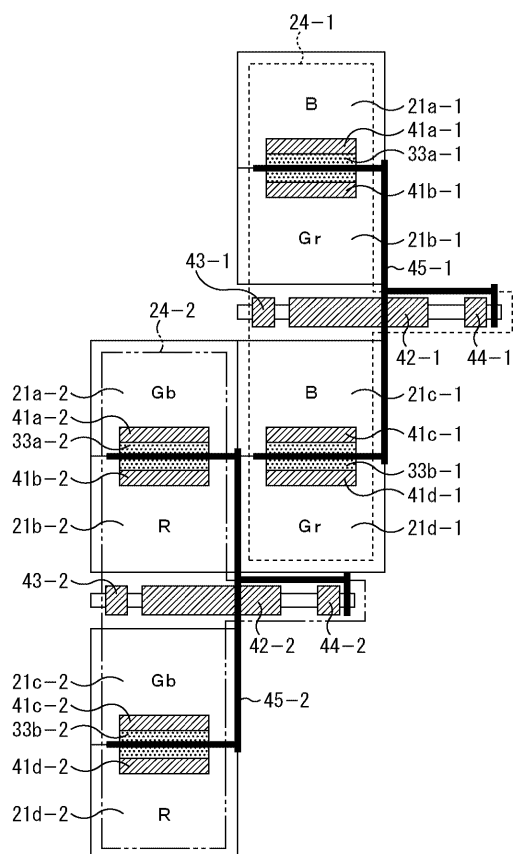
【図 4】

図4



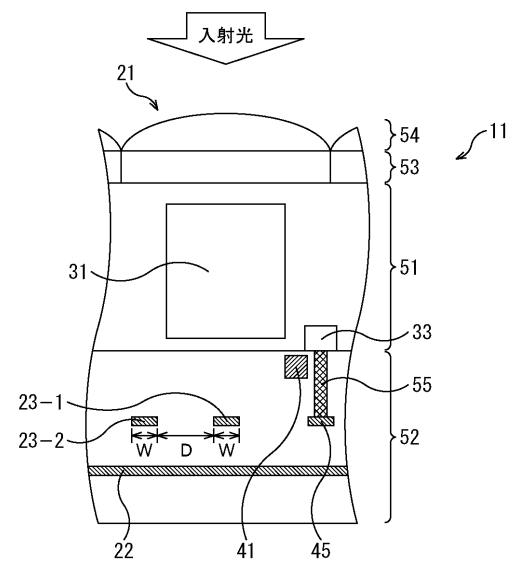
【図 5】

図5



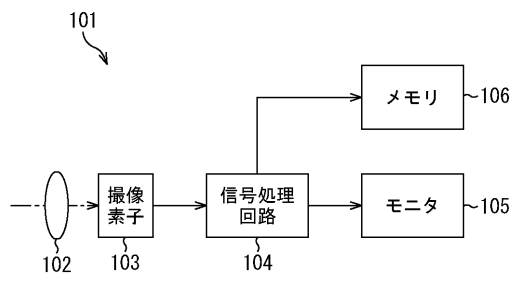
【図 6】

図6



【図7】

図7



フロントページの続き

(56)参考文献 米国特許出願公開第2009/0090845(US,A1)

特開2008-099073(JP,A)

特開2011-114843(JP,A)

特開2010-263526(JP,A)

特開2009-212248(JP,A)

特開2010-165854(JP,A)

米国特許出願公開第2011/0128426(US,A1)

米国特許出願公開第2010/0283881(US,A1)

米国特許出願公開第2009/0219422(US,A1)

米国特許出願公開第2010/0177226(US,A1)

欧州特許出願公開第02209141(EP,A2)

特開2008-186894(JP,A)

特開2009-026984(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 27/146

H04N 5/347

H04N 5/357

H04N 5/369

H04N 5/374