



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201447902 A

(43)公開日：中華民國 103 (2014) 年 12 月 16 日

(21)申請案號：103105658

(22)申請日：中華民國 103 (2014) 年 02 月 20 日

(51)Int. Cl. : **G11C29/38 (2006.01)**

(30)優先權：2013/03/25 世界智慧財產權組織 PCT/US13/33679

(71)申請人：惠普發展公司有限責任合夥企業(美國) HEWLETT-PACKARD DEVELOPMENT COMPANY, L. P. (US)

美國

(72)發明人：雷斯阿特瑞 葛雷格 B LESARTRE, GREGG B. (US)

(74)代理人：憐軼群；陳文郎

申請實體審查：有 申請專利範圍項數：15 項 圖式數：3 共 20 頁

(54)名稱

具有錯誤校正邏輯之記憶體裝置

MEMORY DEVICE HAVING ERROR CORRECTION LOGIC

(57)摘要

資料可從該記憶體裝置中之記憶體胞元讀取。該讀取資料可於一鏈接上轉移至該記憶體裝置外部之一記憶體控制器。該讀取資料之轉移進行時，該讀取資料之錯誤檢測可使用一錯誤校正碼在該記憶體裝置內執行。

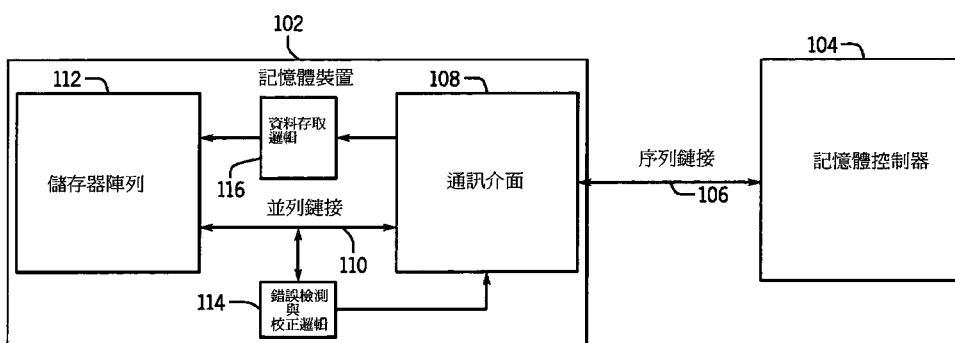


圖1

102：記憶體裝置

104：記憶體控制器

106：資料鏈接、序列鏈接

108：通訊介面

110：並列鏈接

112：儲存器陣列

114：錯誤檢測與校正邏輯

116：資料存取邏輯



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201447902 A

(43)公開日：中華民國 103 (2014) 年 12 月 16 日

(21)申請案號：103105658

(22)申請日：中華民國 103 (2014) 年 02 月 20 日

(51)Int. Cl. : **G11C29/38 (2006.01)**

(30)優先權：2013/03/25 世界智慧財產權組織 PCT/US13/33679

(71)申請人：惠普發展公司有限責任合夥企業(美國) HEWLETT-PACKARD DEVELOPMENT COMPANY, L. P. (US)

美國

(72)發明人：雷斯阿特瑞 葛雷格 B LESARTRE, GREGG B. (US)

(74)代理人：憐軼群；陳文郎

申請實體審查：有 申請專利範圍項數：15 項 圖式數：3 共 20 頁

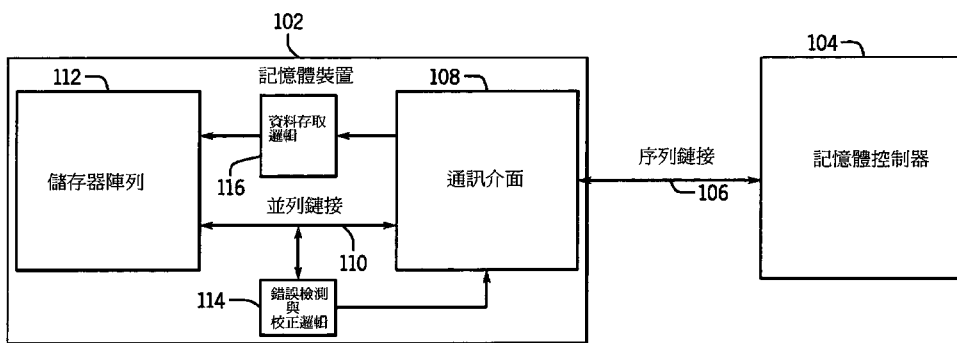
(54)名稱

具有錯誤校正邏輯之記憶體裝置

MEMORY DEVICE HAVING ERROR CORRECTION LOGIC

(57)摘要

資料可從該記憶體裝置中之記憶體胞元讀取。該讀取資料可於一鏈接上轉移至該記憶體裝置外部之一記憶體控制器。該讀取資料之轉移進行時，該讀取資料之錯誤檢測可使用一錯誤校正碼在該記憶體裝置內執行。



102：記憶體裝置

104：記憶體控制器

106：資料鏈接、序列鏈接

108：通訊介面

110：並列鏈接

112：儲存器陣列

114：錯誤檢測與校正邏輯

116：資料存取邏輯

圖1

發明摘要

※ 申請案號：103105658

※ 申請日：103.2.20.

※IPC 分類：

G11C 29/38

(2006.01)

【發明名稱】(中文/英文)

具有錯誤校正邏輯之記憶體裝置

MEMORY DEVICE HAVING ERROR CORRECTION LOGIC

【中文】

資料可從該記憶體裝置中之記憶體胞元讀取。該讀取資料可於一鏈接上轉移至該記憶體裝置外部之一記憶體控制器。該讀取資料之轉移進行時，該讀取資料之錯誤檢測可使用一錯誤校正碼在該記憶體裝置內執行。

【英文】

Data is read from memory cells in the memory device. The read data is transferred over a link to a memory controller that is external of the memory device. While the transferring of the read data is ongoing, error detection of the read data is performed inside the memory device using an error correction code.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

102...記憶體裝置

104...記憶體控制器

106...資料鏈接、序列鏈接

108...通訊介面

110...並列鏈接

112...儲存器陣列

114...錯誤檢測與校正邏輯

116...資料存取邏輯

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有錯誤校正邏輯之記憶體裝置

MEMORY DEVICE HAVING ERROR CORRECTION
LOGIC

【技術領域】

[0001]本發明係有關於具有錯誤校正邏輯之記憶體裝置。

【先前技術】

發明背景

[0002]一記憶體裝置可用於一計算系統中以儲存資料。某些情況中，該記憶體裝置可設置在一處理器與一持續性儲存子系統之間，其通常使用較低速儲存裝置，諸如磁碟式儲存裝置來執行。該處理器能夠在比該持續性儲存子系統還快的記憶體裝置中執行資料存取。

[0003]為陳述一記憶體裝置中可能發生的資料錯誤，一錯誤檢測與校正技術可用來保護儲存於一記憶體裝置中的資料。錯誤校正碼可與該記憶體裝置中的資料儲存一起，而該等錯誤校正碼可用來檢測與校正從一記憶體裝置讀取之資料。錯誤檢測與校正會造成記憶體存取的潛伏增加，其會降低該記憶體裝置之資料存取的速度。

【發明內容】

[0004]依據本發明之一實施例，係特地提出一種記憶體裝置，包含有：一於至該記憶體裝置外部之一記憶體控制

器的一鏈接上傳遞之通訊介面；用於從該等記憶體胞元讀取資料之資料存取邏輯，其中該通訊介面用來於該鏈接上透過該通訊介面以輸出該讀取資料；以及錯誤校正邏輯，其使用與該讀取資料相關聯之一錯誤校正碼來執行該讀取資料的錯誤檢測，其中該錯誤校正邏輯執行該錯誤檢測與該讀取資料的一部分於該鏈接上傳遞同時發生。

【圖式簡單說明】

[0005]某些實施例可參照下列圖式來說明：

圖1是一根據某些實施態樣，包括一記憶體控制器與一記憶體裝置之一示範系統的方塊圖；

圖2是一根據某些實施態樣之一進線錯誤檢測與校正程序的流程圖；以及

圖3是一根據其他實施態樣之一示範系統的方塊圖。

【實施方式】

較佳實施例之詳細說明

[0006]由於記憶體裝置之維度已持續縮小，該記憶體裝置更傾向遭受資料錯誤的困擾，其已導致該記憶體裝置中增加資料錯誤率。用於計算系統(例如，桌上型電腦、筆記型電腦、平板電腦、智慧型手機、伺服器電腦、儲存器系統、通訊節點、等等)中可有各種不同類型的記憶體裝置。

[0007]記憶體裝置之範例包括動態隨機存取記憶體(DRAM)裝置、快取記憶體裝置、相變記憶體裝置、憶阻器記憶體裝置、等等。一憶阻器記憶體裝置可使用根據每一胞元之電阻準位來儲存資料的憶阻器以便儲存資料。一足

夠大的電流於一第一方向流過一憶阻器時，該憶阻器的電阻增加。一足夠大的電流於該相反方向流過該憶阻器時，該憶阻器的阻抗減少。該電流停止時，該憶阻器維持上次其具有的阻抗，其提供該憶阻器儲存之一資料位元的表示。

[0008]一相變記憶體裝置之一記憶體胞元亦為一有效的可變電阻器。某些情況中，該可變電阻器可以硫屬玻璃形成。為了寫入一相變記憶體胞元，該胞元被加熱，其熔化該材料，而之後冷卻。該冷卻速度控制該結果固體材料之結晶大小，其控制該記憶體胞元之阻抗。不同的阻抗準位可代表不同的資料狀態。

[0009]某些情況中，資料錯誤率會受寫入如何被執行來將資料寫入一記憶體裝置中所影響。由於一憶阻器記憶體裝置，例如，一電流可用來將一資料狀態寫入一特定憶阻器中。一相當低的電流準位可用來寫入憶阻器以延伸該憶阻器之壽命。然而，使用相當低的電流準位來寫入憶阻器會造成較高的資料位元錯誤率。

[0010]其他類型的記憶體裝置亦可與會造成增加資料錯誤率的個別因素相關聯。

[0011]某些系統中，錯誤檢測與校正可於用來管理一記憶體裝置(或多個記憶體裝置)之存取的一記憶體控制器中執行。然而，在該記憶體控制器中執行錯誤檢測與校正會增加記憶體存取潛伏。該記憶體控制器中施加錯誤檢測與校正時，該記憶體控制器必須首先從該記憶體裝置接收讀取資料。所有讀取資料(以及對應於錯誤校正碼)接收後，該

記憶體控制器之後可施加記憶體錯誤檢測與校正，其包含可加至含有將資料從該記憶體裝置提供至該資料之一請求器的所有時間之計算。該請求器可為一處理器或該計算系統中之其他裝置。

[0012] 根據某些實施態樣，從該記憶體裝置讀取之資料於該記憶體裝置與該記憶體控制器間之一資料鏈接上遞送時，一進線錯誤檢測與校正技術或機構可提供來執行該記憶體裝置中之資料的進線錯誤檢測與校正。該記憶體裝置中之資料路徑可為一並列路徑，而一資料位元(以及對應於一錯誤校正碼之位元)之集合(例如，橫列)可被並列讀出。一旦並列讀出後，該記憶體裝置可行進以便將錯誤檢測與校正施加至該讀取資料，而該讀取資料之一部分可在該記憶體裝置與該記憶體控制器間之一鏈接上傳遞。該記憶體裝置之錯誤檢測與校正計算完成之前，該讀取資料之一部分可從該記憶體裝置提供至該記憶體控制器。結果是，未檢測到一錯誤的正常情況下，該錯誤檢測與校正不加至該資料存取潛伏。

[0013] 圖1顯示包括一記憶體裝置102與一記憶體控制器104之一示範安排。該記憶體裝置102與該記憶體控制器104可於一資料鏈接106上連接。某些範例中，該資料鏈接106為一序列鏈接，諸如一序列器/解序列器(SerDes)鏈接。其他範例中，該資料鏈接106可為一不同類型的資料鏈接。

[0014] 該記憶體裝置102包括一通訊介面108，其允許該記憶體裝置102於該序列鏈接106上傳遞。某些實施態樣

中，該通訊介面108可包括一並列序列轉換器以及一序列並列轉換器以便於(用在該序列鏈接106上之)一序列格式以及(用於該記憶體裝置102中之一並列鏈接110上的)一並列格式之間轉換。一並列鏈接110具有資料位元可並列傳遞之多個資料路徑。相較之下，該序列鏈接106具有資料位元可序列傳遞之一資料路徑。

[0015]該並列鏈接110可設置在一儲存器陣列112與該通訊介面108之間。該儲存器陣列112包括一記憶體胞元陣列，根據該記憶體裝置102之類型，其可為DRAM胞元、快取記憶體胞元、憶阻器胞元、相變記憶體胞元、等等。更一般而言，一記憶體胞元參照為用來儲存一資料位元(或多個資料位元)之電路。

[0016]該並列鏈接110可允許從該儲存器陣列112同時擷取之一資料位元的集合(例如，一橫列資料位元或某些其他的資料位元部段)。例如，該資料位元的集合可包括讀取資料以及錯誤校正碼(ECC)位元。一旦從該儲存器陣列112並列讀取，該讀取資料與ECC可在至錯誤檢測與校正邏輯114(本文參照為“ECC邏輯114”)之並列鏈接110上取得。

[0017]此外，並列鏈接110上之讀取資料可提供至該通訊介面108，而該讀取資料可轉換為適合於該鏈接106上傳遞之一格式。例如，如上所註，該通訊介面108可施加一並列序列轉換。

[0018]根據某些實施態樣，該讀取資料從該並列鏈接110透過該通訊介面108提供至該序列鏈接106之時間期

間，該ECC邏輯114可執行有關該讀取資料之錯誤檢測與校正的計算。可施加之錯誤檢測與校正技術的範例包括符號式ECC技術，諸如一里得-所羅門ECC技術、或位元式ECC技術，諸如一BCH技術。雖然文中參照示範ECC技術，但應注意其他實施態樣中，該ECC邏輯114可施加其他類型的錯誤檢測與校正技術。

[0019]該ECC邏輯114執行之錯誤檢測與校正技術可視為一進線錯誤檢測與校正技術，因為該通訊介面108將從該儲存器陣列112讀取的一部分資料於該序列鏈接106上轉移至該記憶體控制器104時，該錯誤檢測與校正可被執行。換言之，該記憶體裝置102內該ECC邏輯114之讀取資料的錯誤檢測與校正完成之前，該通訊介面108能夠將讀取資料從該記憶體裝置102之該儲存器陣列112於該序列鏈接106上轉移至該記憶體控制器104。

[0020]藉由使用該ECC邏輯114來執行進線錯誤檢測與校正，從該儲存器陣列112讀取之資料可受保護以避免錯誤而不需加至該記憶體存取時間。例如，若該記憶體裝置102需等待直到將該讀取資料從該記憶體裝置102轉移至該記憶體控制器104之前該ECC邏輯114完成該錯誤檢測與校正為止，則該記憶體存取潛伏將增加。

[0021]該記憶體裝置102亦包括資料存取邏輯116，其回應從該記憶體控制器104透過該通訊介面108接收之一命令，以便將個別命令發出至該儲存器陣列112。從該記憶體控制器104接收之請求可為一讀取請求或一寫入請求。

[0022] 若該ECC邏輯114決定從該記憶體裝置102轉移至該記憶體控制器104之讀取資料中無錯誤，則自從該讀取資料已被轉移至該記憶體控制器104而無錯誤後，該ECC邏輯114不需採取任何額外動作。

[0023] 然而，若該ECC邏輯114決定將轉移或已被轉移至該記憶體控制器104之讀取資料中存有一錯誤，則該ECC邏輯114可將有關該轉移資料中存有一錯誤之一指示提供至該記憶體控制器104。該指示可為該讀取交易已失效之一指示。該交易已失效的指示可為一外顯失效指示(例如，宣稱一特定狀態之一信號)。或者，該指示可為藉由“毒殺”用來保護該序列鏈接106上之傳遞的一檢查碼來隱含地傳遞至該記憶體控制器104。一檢查碼之一範例為一循環冗餘檢查(CRC)碼。為保護該序列鏈接106上轉移之資料，該通訊介面108可產生一CRC碼，其根據該序列鏈接106上轉移的資料內容來計算。該CRC碼之後可設有該序列鏈接106上之實際資料。該記憶體控制器104中，該記憶體控制器可根據該接收資料而重新產生該CRC碼，並比較該重新產生的CRC碼與該接收的CRC碼。若該等CRC碼匹配，則其表示該資料於該序列鏈接106上轉移是成功的。然而，若該等CRC碼不匹配，則其為該序列鏈接106上已發生一資料通訊錯誤之一指示。毒殺該CRC碼參照為刻意使該CRC碼錯誤或不正確，使得該記憶體控制器104中用以響應該接收資料而執行的CRC碼比較可形成一資料通訊錯誤之一決定。

[0024] 某些實施態樣中，一旦該ECC邏輯114檢測該資

料中有一錯誤，假設該資料錯誤為可使用該相關聯錯誤校正碼來校正的一類型，則該ECC邏輯114可校正該錯誤。例如，與一特定的資料位元集合相關聯之錯誤校正碼可校正高達 n 個錯誤位元，其中 $n \geq 1$ 。

[0025]某些實施態樣中，該記憶體控制器104接收失效交易的指示(如上所述之外顯指示或隱含指示)時，該記憶體控制器104可重試該錯誤資料之一讀取。用以響應該重試讀取，該通訊介面108可將(該ECC邏輯114校正之)校正資料提供至該記憶體控制器104。

[0026]於替代實施態樣中，不是該記憶體控制器104用以響應一失效讀取交易指示而執行一讀取重試，而是若該ECC邏輯114檢測到該資料中有一可被校正之錯誤，則該記憶體裝置102可將該ECC送至該記憶體控制器104。該類實施態樣中，該ECC邏輯114不執行該錯誤校正一而是，該錯誤校正由該記憶體控制器104執行。

[0027]該記憶體控制器104會將資料轉回至一請求器(例如，處理器或其他請求器)停頓直到該記憶體控制器104已完成該資料之錯誤校正。此外，該類實施態樣中，該記憶體控制器104可行進來藉由將該校正資料寫回該記憶體裝置102以校正該記憶體裝置102中儲存的資料。

[0028]圖2是一根據某些實施態樣之一進線錯誤檢測與校正程序的流程圖。例如，圖2之程序可由該記憶體裝置102來執行。(202中)於該記憶體裝置102中，該程序從該記憶體裝置102中之儲存器陣列112的記憶體胞元讀取資料。(204

中)該讀取資料於該序列鏈接106上轉移至該記憶體控制器104。(206中)該讀取資料之轉移進行時，從該等記憶體胞元讀取之資料的錯誤檢測可由該記憶體裝置102內部之該ECC邏輯114執行。換言之，該讀取資料之錯誤檢測可與該讀取資料於該序列鏈接106上轉移同時執行。

[0029]圖3是一根據其他實施態樣之一示範系統300的方塊圖。除了該記憶體裝置102與該記憶體控制器104之外，一請求器301亦呈現在該系統300中。該請求器301能夠發出用以存取該記憶體裝置102中之資料的資料請求(讀取請求或寫入請求)。用以響應來自請求器301之一資料請求，該記憶體控制器104可將一個別資料請求發出至該記憶體裝置102。

[0030]如圖3中進一步描繪，該記憶體裝置102中之通訊介面108包括一緩衝器302與一並序列轉換器304。該緩衝器302用來暫時儲存從該儲存器陣列112讀取、並於該序列鏈接106上遞送至該記憶體控制器104之資料。該並序列轉換器304可在該並列鏈接110上之並列格式以及該序列鏈接106上之一序列格式間轉換資料。

[0031]該記憶體控制器104包括錯誤處置邏輯306，其回應來自該記憶體裝置之一失效讀取交易指示308以執行一錯誤處置程序。該錯誤處置程序可包括將一讀取重試訊息310送至該記憶體裝置102，以執行該資料讀取之重試。該錯誤處置程序亦可替代地等待從該記憶體裝置102接收之一錯誤校正碼來用以校正該接收的資料。此外，該錯誤處

置程序可包括執行將該校正資料寫回該記憶體裝置102。

[0032]藉由使用根據某些實施態樣之技術或機構，除了出現一錯誤的情況之外，資料校正可被檢查而不需加至該存取時間潛伏，若是如此可加入額外的時間來執行該資料處置程序以校正該資料錯誤。某些實施態樣中，無資料錯誤時，一錯誤校正碼不需從該記憶體裝置102提供至該記憶體控制器104。此可降低該序列鏈接106上之資料頻寬的耗損，因為無錯誤的情況下不需提供錯誤校正碼。

[0033]上述說明中，其提出若干細節以提供對本文揭示之主題的一了解。然而，在無某些或全部該等細節的情況下該等實施態樣仍可加以實作。其他實施態樣可包括來自上述細節之修改與變化型態。該等後附請求項意欲涵蓋該類修改與變化型態。

【符號說明】

102...記憶體裝置	300...示範系統
104...記憶體控制器	301...請求器
106...資料鏈接、序列鏈接	302...緩衝器
108...通訊介面	304...並序列轉換器
110...並列鏈接	306...錯誤處置邏輯
112...儲存器陣列	308...失效讀取交易指示
114...錯誤檢測與校正邏輯	310...讀取重試訊息
116...資料存取邏輯	
202、204、206...方塊	

申請專利範圍

1. 一種記憶體裝置，包含有：
 - 一於至該記憶體裝置外部之一記憶體控制器之一鏈接上傳遞之通訊介面；
 - 用於從該等記憶體胞元讀取資料之資料存取邏輯，其中該通訊介面用來於該鏈接上透過該通訊介面以輸出該讀取資料；以及
 - 錯誤校正邏輯，其使用與該讀取資料相關聯之一錯誤校正碼來執行該讀取資料的錯誤檢測，其中該錯誤校正邏輯執行該錯誤檢測與該讀取資料的一部分於該鏈接上傳遞同時發生。
2. 如請求項1之記憶體裝置，其中該鏈接為一序列鏈接，而其中該通訊介面包括一並列/序列轉換器以便在用於該記憶體裝置內部之一並列格式的資料以及用於該序列鏈接上之一序列格式的資料之間轉換。
3. 如請求項2之記憶體裝置，該記憶體裝置更包含一並列鏈接，其中該錯誤校正邏輯用來從該等記憶體胞元接收該並列鏈接上之讀取資料。
4. 如請求項1之記憶體裝置，其中該錯誤校正邏輯用以響應該錯誤校正邏輯檢測到該讀取資料之一錯誤而將一失效指示輸出至該記憶體控制器。
5. 如請求項4之記憶體裝置，其中該失效指示包括宣稱一特定狀態之一信號。

6. 如請求項4之記憶體裝置，其中該失效指示可藉由毒殺與該讀取資料於該鏈接上之轉移相關聯的一檢查碼來提供。
7. 如請求項4之記憶體裝置，其中該記憶體裝置用來從該記憶體控制器接收一讀取重試訊息，而該讀取重試訊息係回應該失效指示。
8. 如請求項4之記憶體裝置，其中該錯誤校正邏輯用以響應檢測該錯誤而將該錯誤校正碼輸出至該記憶體控制器，以及若該讀取資料中無檢測到錯誤，則降低輸出該錯誤校正碼。
9. 如請求項8之記憶體裝置，其中將該錯誤校正碼提供至該記憶體控制器可允許該記憶體控制器使用該錯誤校正碼來校正該讀取資料。
10. 一種方法，包含下列步驟：
 - 於一記憶體裝置中，從該記憶體裝置中之記憶體胞元讀取資料；
 - 將該讀取資料於一鏈接上轉移至該記憶體裝置外部之一記憶體控制器；以及
 - 該讀取資料之轉移進行時，使用一錯誤校正碼於該記憶體裝置內部執行該讀取資料之錯誤檢測。
11. 如請求項10之方法，其中該記憶體裝置內之讀取資料的錯誤檢測完成之前，即出現將該讀取資料於一鏈接上轉移至該記憶體控制器。
12. 如請求項10之方法，更包含下列步驟：

由該記憶體裝置決定該讀取資料中是否存在錯誤；
用以響應決定該讀取資料中無錯誤存在，而降低將
該錯誤校正碼送至該記憶體控制器。

13. 如請求項12之方法，更包含下列步驟：

用以響應決定該讀取資料中有錯誤存在，而將一失
效指示送至該記憶體控制器。

14. 如請求項13之方法，其中該失效指示為一外顯失效指示
或一隱含失效指示。

15. 一種系統，包含有：

一記憶體控制器；

一記憶體裝置；以及

一將該記憶體控制器與該記憶體裝置互連之鏈
接，其中該記憶體裝置包含：

一於至該記憶體裝置外部之一記憶體控制器之
一鏈接上傳遞之通訊介面；

用於從該等記憶體胞元讀取資料之資料存取邏
輯；以及

錯誤校正邏輯，其使用與該讀取資料相關聯之
一錯誤校正碼來執行該讀取資料的錯誤檢測，其中
該讀取資料之錯誤檢測完成之前，該通訊介面即用
來於該鏈接上透過該通訊介面以輸出該讀取資料的
輸出部分。

圖式

1/3

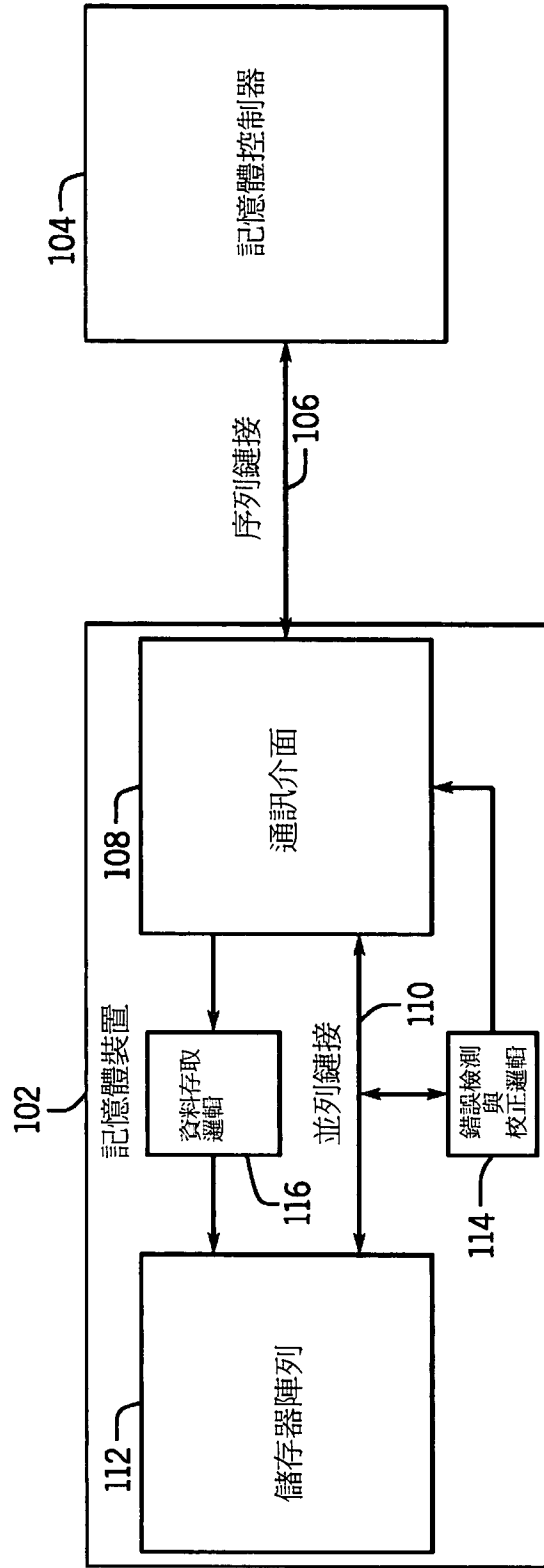


圖1

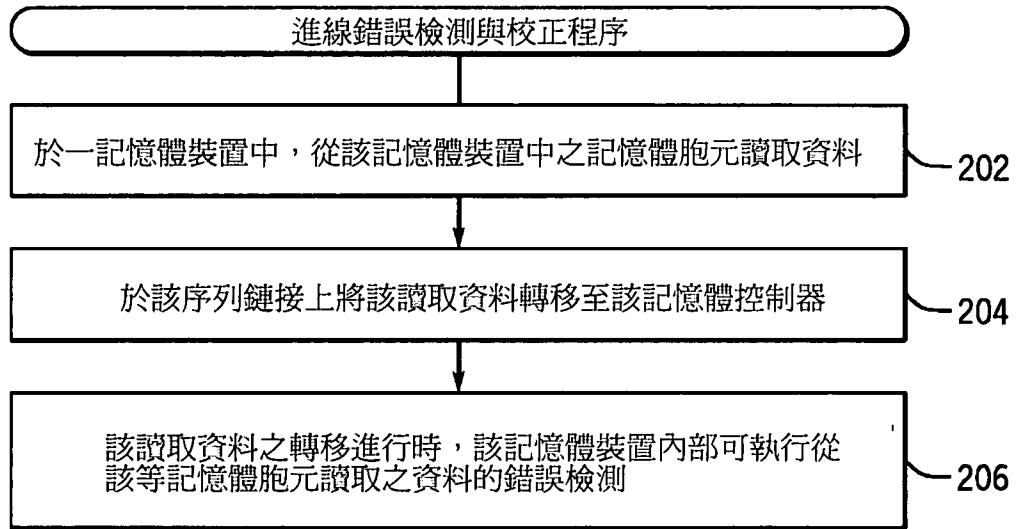


圖2

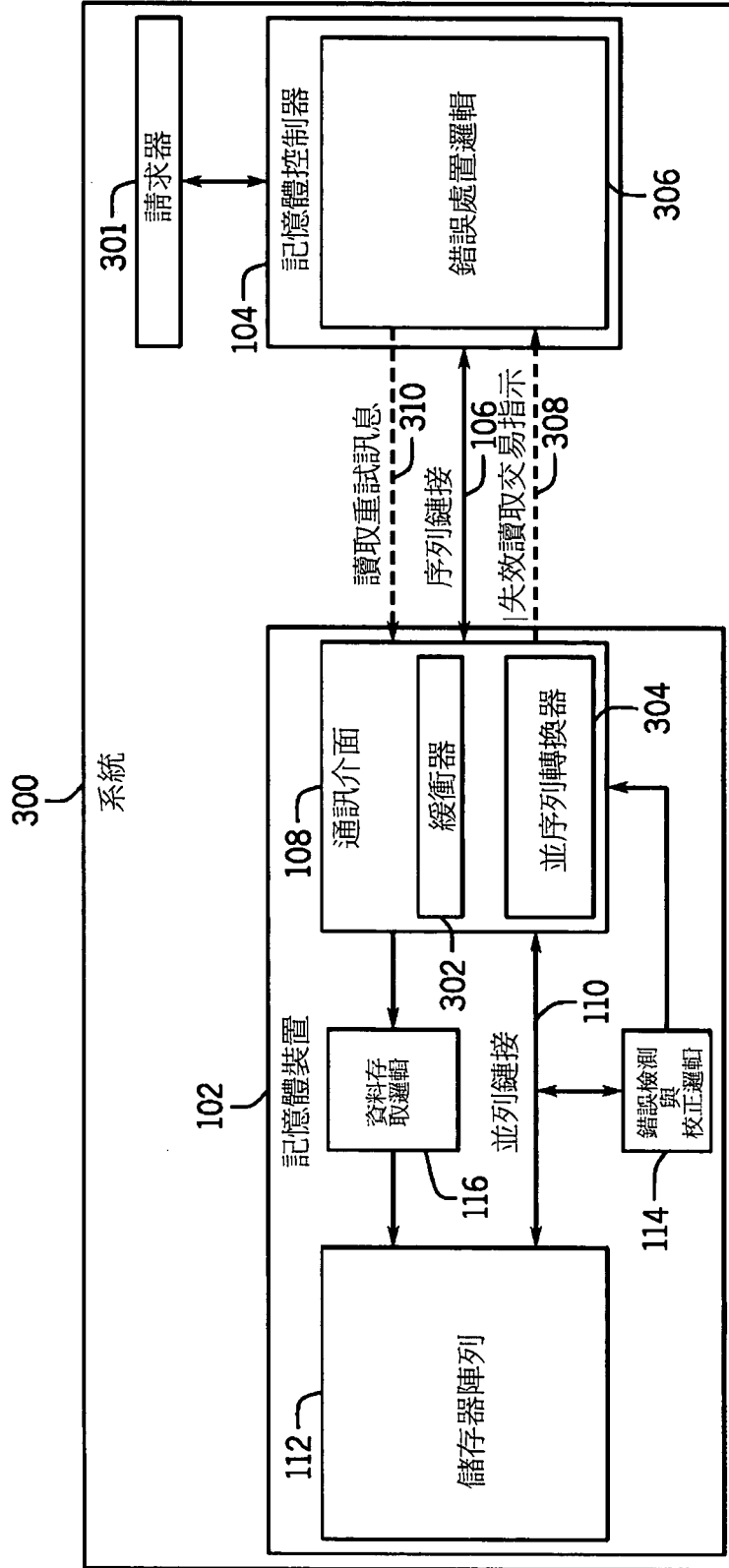


圖3