

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-21574

(P2004-21574A)

(43) 公開日 平成16年1月22日(2004.1.22)

(51) Int. Cl.<sup>7</sup>

G06F 1/32

F I

G06F 1/00 332B

G06F 1/00 332A

テーマコード(参考)

5B011

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願2002-175170(P2002-175170)  
 (22) 出願日 平成14年6月17日(2002.6.17)

(71) 出願人 000005108  
 株式会社日立製作所  
 東京都千代田区神田駿河台四丁目6番地  
 (74) 代理人 100075096  
 弁理士 作田 康夫  
 (72) 発明者 渡部 隆夫  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 内山 邦男  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 西井 修  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内

最終頁に続く

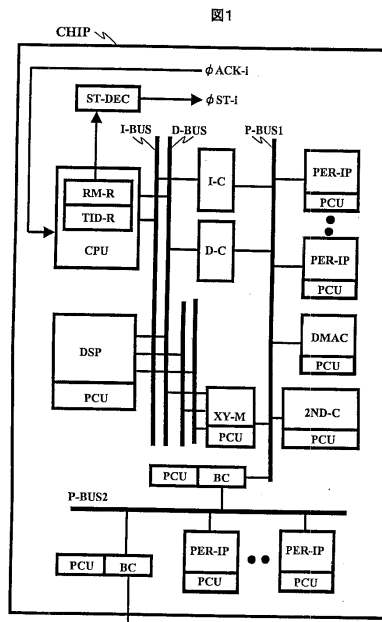
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 不使用の回路ブロックのリーク電流を電源スイッチにより低減する場合、スイッチのオンオフを短時間で頻繁に行なうと却って電力増加を招く。また、スイッチをオンしてから回路ブロックが利用できるまでには予熱時間が必要なため、動作時にスイッチを制御することは半導体装置の処理時間を損なう。

【解決手段】 論理回路やメモリアを制御するCPUコアのタスク継続時間を単位として上記のスイッチをオンオフする。また、スイッチをオフした場合には、予熱時間を見込んでタスクの終了前にスイッチをオンしておく。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

電源線と、

すくなくとも一つの第 1 回路ブロックを含む複数の回路ブロックと、

上記少なくとも一つの第 1 回路ブロックのそれぞれに対応して設けられ、上記電源線から上記第 1 回路ブロックへの電源の供給を制御するすくなくとも一つのスイッチと、

上記複数の回路ブロックのすくなくとも一つを使用状態としてタスクを実行するプロセッサとを有し、

上記プロセッサのタスクの実行において、上記第 1 回路ブロックはその不使用状態への移行を指示するステート信号を受けて対応する上記スイッチをオフ状態とし、上記第 1 回路ブロックがその使用状態への移行を指示するステート信号を受けるのに先立って上記スイッチをオン状態とする半導体装置。

10

## 【請求項 2】

請求項 1 において、

上記複数の回路ブロックは、上記電源線とスイッチを介さず接続されるすくなくとも一つの第 2 の回路ブロックを有する半導体装置。

## 【請求項 3】

請求項 1 において、

上記第 1 回路ブロックが上記スイッチをオフ状態とする時間  $T - o f f$  は、 $T - o f f < \text{タスク継続時間 } T - t a s k - \text{予熱時間 } T - h e a t$  の関係を満たし、

20

上記予熱時間  $T - h e a t$  は、上記第 1 回路ブロックのすくなくとも回路規模に応じて決定される半導体装置。

## 【請求項 4】

請求項 1 において、

上記第 1 回路ブロックが上記スイッチをオフ状態とする時間  $T - o f f$  は、時間  $T - m i n < T - o f f$  の関係を満たし、

上記時間  $T - m i n$  は、上記第 1 回路ブロックのサブスレッショルド電流による消費電力と電源スイッチを駆動するための消費電力とに応じて決定される半導体装置。

## 【請求項 5】

請求項 1 において、

上記第 1 回路ブロックは、クロック信号の入力に応じてそのデータを入出力するフリップフロップと、

30

上記フリップフロップの出力を受ける論理回路と、

第 1 のゲート回路とを有し、

上記プロセッサのタスクの実行において、上記第 1 のゲート回路は上記第 1 回路ブロックの不使用状態への移行を指示するステート信号を受けて、上記クロック信号の上記フリップフロップへの入力を遮断する半導体装置。

## 【請求項 6】

請求項 5 において、

第 2 のゲート回路を有し、

40

上記プロセッサのタスクの実行において、上記第 2 のゲート回路は上記第 1 回路ブロックの不使用状態への移行を指示するステート信号を受けて、上記論理回路の出力を所定のレベルに制御する半導体装置。

## 【請求項 7】

請求項 1 において、

上記第 1 回路ブロックは複数の要素回路により構成され、

上記複数の要素回路のすくなくとも一つは個別に電力の供給が制御可能である半導体装置。

## 【請求項 8】

電源線と、

すくなくとも一つの第 1 回路ブロックを含む複数の回路ブロックと、

50

上記少なくとも一つの第1回路ブロックのそれぞれに対応して設けられ、上記電源線から上記第1回路ブロックへの電源の供給を制御する少なくとも一つのスイッチと、上記複数の回路ブロックの少なくとも一つを使用状態としてタスクを実行するプロセッサとを有し、  
上記プロセッサのタスクの実行において、上記第1回路ブロックはその不使用または使用状態への移行を指示するステート信号に応じて上記スイッチを制御する半導体装置。

【請求項9】

電源線と、  
すくなくとも一つの第1回路ブロックを含む複数の回路ブロックと、  
上記少なくとも一つの第1回路ブロックのそれぞれに対応して設けられ、上記電源線から  
上記第1回路ブロックへの電源の供給を制御する少なくとも一つのスイッチと、  
上記複数の回路ブロックの少なくとも一つを使用状態としてタスクを実行するプロセッサ  
とを有し、  
上記スイッチはタスクの継続時間を単位に制御される半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CPUコアと論理コア、メモリコアなどが集積された半導体集積回路を含む半導体装置に関する。

【0002】

【従来の技術】

MOSトランジスタのスケールングにより、半導体集積回路の速度と電力とはともに向上されてきた。しかし、加工寸法が $0.15\mu\text{m}$ 程度以下のMOSトランジスタを用いる最近の半導体集積回路では、電源電圧のスケールングに伴って、速度と電力性能の両立が困難になってきている。これは、低い電源電圧において速度を確保するためにMOSトランジスタのしきい電圧を低く設定することにより、サブスレッショルドリーク電流の増加をもたらすからである。

【0003】

現在の半導体集積回路のほとんどは、CMOS回路を用いている。これは、理想的には、CMOS回路には動作時のみに負荷容量の充放電に伴うAC電流が流れ、待機時には電流が流れないためである。しかしながら、サブスレッショルドリーク電流はDC電流として常に流れる。サブスレッショルドリーク電流はMOSトランジスタのしきい電圧が低下するに従って大きくなるから、しきい値電圧の低いMOSトランジスタを用いたCMOS回路においてはサブスレッショルドリーク電流による電力性能の悪化は無視できない大きさとなる。

【0004】

このサブスレッショルドリーク電流を低減するための従来技術として、回路と電源線との間にしきい電圧の高いMOSトランジスタからなる電源スイッチを設け、待機時にはそのMOSトランジスタをオフする方法が提案されている。例えば、1998年2月に米国サンフランシスコで開催された国際固体素子会議(ISSCC)の予稿集192ページから193ページに記載された方式(第1の従来技術)、あるいは特開平10-208473号公報(第2の従来技術)に記載された方式はその例である。

【0005】

【発明が解決しようとする課題】

第1の従来技術は、半導体装置の待機時に電源スイッチによりサブスレッショルドリーク電源(以下、「リーク電流」と称する。)を遮断する。

【0006】

しかし、MOSトランジスタの微細化がさらに進み、電源電圧が例えば1V以下といったように低くなると、ますますしきい電圧を低く設定せざるをえない。このため、リーク電流はさらに増大するが、その一方で動作時のAC電流は、電源電圧に比例して減少する。

この結果、動作時の消費電流に占めるリーク電流の割合が増大することが予想され、動作時のAC電流の大きさに比較したリーク電流の大きさが無視できないものとなる。

【0007】

第2の従来技術には、動作時にも未使用の回路ブロックについて電源スイッチを遮断することが記載されている。しかし、動作時に電源スイッチによる電流遮断を実現しようとすると、以下のような2つの課題がある。

【0008】

第一の課題は、むやみに電源スイッチをオンオフすると却って消費電流が増大するという課題である。動作時といえども集積回路全体が常に動作するわけではないので、未使用の回路ブロックに対して電源スイッチにより電流を遮断することは可能である。しかし、短時間のうちに電源スイッチのオンオフを繰り返すと、電源スイッチの遮断によるリーク電流の低減よりも電源スイッチをオンする場合に消費する過渡的な電流の方が却って大きくなってしまふおそれがある。

10

【0009】

第二の課題は、電源スイッチのオンオフにより、集積回路の速度が低下する問題である。電源スイッチをオンしてから電流を遮断されていた回路を利用できるようになるまでには時間（以下、「予熱時間」と称する）が必要である。このため、場合によっては集積回路全体の速度を大きく低下させてしまふおそれがある。

【0010】

【課題を解決するための手段】

20

上記課題の解決のために、本発明では以下のような手段を用いる。第一の課題の解決のために、集積回路を制御するプロセッサ(CPU)のタスクの継続時間を利用して電源スイッチ制御を行なう。具体的には、CPU内部のタスクIDレジスタやリソース管理レジスタを参照するし、不使用の回路ブロックに電流を供給する電源スイッチをオフする。回路規模にもよるが、一般に電源スイッチのオンオフによる電流消費にくらべて、リーク電流を遮断することによる電流削減効果が有効になるのは、数マイクロ秒以上の時間、電源スイッチをオフできる場合である。これに対してタスクの継続時間は通常1ミリ秒程度なのでタスクの継続時間で電源スイッチを管理することで、上記の課題を解決することができる。また、第二の課題に対しては、電源スイッチをオフした後に、ある一定の時間が経過したら、次のタスクが始まる以前に電源スイッチをオンする。この一定時間を、タスクの継続時間から、予熱時間（擬似電源線を充電するのに要する時間）を差し引いた時間以下に設定すれば次のタスクが始まるまでに、予熱時間が終了しているので、次のタスクを遅延させることを回避できる。

30

【0011】

【発明の実施の形態】

以下、図面を用いて本発明の実施例を説明する。

【0012】

図1に、CPUコア、DSPコア、各種の論理コアやメモリアコア等を1つのチップ上に集積した半導体集積回路に本発明を適用した場合の基本的な構成を示した。本発明は、図1のような1チップの形態の半導体集積回路に限定されるものではなく、複数のチップを搭載したシステムやボードあるいは、一つのパッケージに複数のチップを集積した所謂マルチチップパッケージのような形態の半導体装置やそれらの組合せにも適用することができる。以下では簡単のため、図1のような1チップの形態に基づいて説明する。

40

【0013】

図1において、シリコンチップCHIPは、主たるコアとして、CPUコアCPU、DSPコアDSP、命令キャッシュI-C、データキャッシュD-C、XYメモリXY-M、2次キャッシュ2ND-C、ダイレクトメモリアクセス制御回路DMAC、周辺IPコアPER-IP、バス制御回路BCを含む。また、タスクIDレジスタTID-Rは、CPUコア内部のレジスタであって、夫々タスクを管理するレジスタであり、リソース管理レジスタRM-Rは、使用するリソース(コア)を管理するレジスタである。また、電力制

50

御を行う単位となるリソース（コア）毎に電力制御ユニットPCUを設け、ステートデコーダST-DECは、各リソース（コア）を使用するかしないかのステート信号STを電力制御ユニットPCUに送る。

【0014】

さらに、I-BUS、D-BUS、P-BUS1、P-BUS2はそれぞれ命令バス、データバス、第一周辺バス、第二周辺バスである。

【0015】

図1に示したもののうち、CPUコアを始めとする各種のコアや、メモリ、バスなどはデジタル処理向けのチップを構成する基本単位の例として示したものである（以下、これらの回路ブロックやメモリなどの基本単位を部品と称することにする）。これらの部品の動作は一般的なものを想定しているのでここでは機能の説明は省略する。本発明では、半導体装置の動作時に、未使用の部品について電源スイッチを遮断することによりリーク電流を低減する。まず、CPUコア内部のタスクIDレジスタTID-R、使用するリソース（部品）を管理するリソ-ス管理レジスタRM-Rの内容をもとに、ステートデコーダST-DECは各部品に対して、使用するかしないかを示すステート信号STを伝える。個々の部品においては、電力制御ユニットPCUはステート信号STにより、その部品が使用されるかどうかを検知し、使用されないときには電力制御ユニットPCU内部に設けた電源スイッチにより電源から遮断する。

10

【0016】

なお、図1の構成では、CPUコアとその一次キャッシュであるデータキャッシュD-C、命令キャッシュI-Cについては電力制御ユニットPCUを付加していない。これは、動作時にはこれらの電源を遮断できる期間が余りないためである。その他の部品についても電源を遮断する期間が少ないものについては電力制御ユニットPCUを付加しないことは可能である。

20

【0017】

以下、図2から図6を用いて、本発明の電力制御動作を説明する。図2は、ステートデコーダST-DECの出力するステート信号STの一例である。本実施例では、リーク電流の制御対象となる部品の数をn個とし、それぞれを使用するか否かを示すステート信号をST-1からST-nで示してある。横欄にあるA、B、...、Fは、CPUのタスクを示しており、タスクによって使用する部品が異なる。この例では、ステート信号ST-iが、「H」（高レベル）の場合は当該部品が使用されることを示し、「L」（低レベル）の場合は使用されないことを意味するものとする。例えば、部品1は、タスクA～C及びFで使用され、タスクD～Eでは不使用である。したがって、部品1は、タスクDとEにおいては、電源スイッチを遮断してリーク電流を低減することが可能である。

30

【0018】

前述のようにステート信号ST信号は、個々の部品における電力制御ユニットPCUに伝達され、電力制御ユニットPCUで電源スイッチの制御がなされる。図3が電力制御ユニットPCUの具体的な構成例である。電源スイッチSW1は高電位側の電源Vddと被制御部品iを構成する回路LGとの間に設けられ、電源スイッチSW2は低電位側の電源Vssと被制御部品iを構成する回路LG（ここでは簡単のためインバータ1つを示したが、これに限定されず被制御部品の機能のために必要な回路であることはもちろんである）との間に設けられる。回路LGとしてCMOSインバータ回路を例示している。電源スイッチ制御回路SWCは電源スイッチSW1、SW2を制御する。ack、RESETはそれぞれ、電源スイッチSW1、SW2がオンした後に予熱時間が終了したことを示す信号、電源スイッチ制御を途中でリセットするリセット信号である。ステート信号ST-iが「L」となると、電源スイッチ制御回路SWCは電源スイッチSW1、SW2をオフ状態とする。これにより電源と部品iとの間のリーク電流が遮断される。

40

【0019】

なお、図3の例では、高電位側の電源Vddと低電位側の電源Vssの両方に電源スイッチSWを設けたが、部品を構成する回路内部に電流のリークパスがなければ、どちらか一

50

方に電源スイッチを設けるだけにすることも可能である。その場合には占有面積が小さくなり、電源スイッチをオンオフする電力も削減できる。

#### 【0020】

図4を用いて、図3の電力制御ユニットPCUの基本動作を説明する。図4は、部品*i*に対するステート信号  $ST - i$  が「L」レベルになったとき、すなわち、部品*i*が使用されないタスク継続期間  $T - task$  における部品*i*の電力制御ユニットPCUの動作を示したものである。

#### 【0021】

まず、ステート信号  $ST - i$  が「L」レベルになると、電力制御ユニットPCUは、部品*i*の電源スイッチを遮断する。その後、時間  $T - off$  (時間  $T - off$  は、スイッチオフの期間を意味する) が経過すると電力制御ユニットPCUはスイッチをオン ( $SW - on$ ) して部品*i*を電源に接続する。ここで、時間  $T - off$  は、タスクの継続時間  $T - task$  から部品*i*の予熱時間  $T - heat$  を差し引いた時間を超えない様に設定する。予熱時間  $T - heat$  は、回路LGの擬似電源線  $Vdd'$ 、 $Vss'$  を充電するのに要する時間である。これにより、当該タスクが終了した時点では、予熱が終わっているので次のタスクで部品*i*を使用する際に待ち時間を生じることが回避できる。予熱時間は、部品の構成や回路規模によって異なる。したがって、 $T - off$  時間は部品毎に設定するのが望ましい。そこで、電力制御ユニットPCUにリングオシレータ回路と出力パルスを加算するカウンタとを内蔵し、電源スイッチの遮断と同時にリングオシレータとカウンタとを動作させ、そのカウンタの数値があらかじめ部品毎に設定した値を超えたら電源スイッチ

10

20

#### 【0022】

一方、前述のように、電源スイッチを短時間でオンオフすると、電源スイッチのオフによるリーク電流削減の効果より電源スイッチを駆動するための電流の方が大きくなるおそれがある。リーク電流削減により低減される消費電力と電源スイッチを駆動することによる消費電力とが等しくなるスイッチオフの期間として定義される、スイッチオフの最低有効期間を  $T - min$  とすると、 $T - off$  はそれより大きくなければならない。また、上記のように予熱時間の分だけ前もってスイッチをオンさせる必要もあるので、結局  $T - off$  は

$$T - min \quad T - off \quad T - task \quad T - heat \quad (1) \quad 30$$

の関係を満たす必要がある。最低有効期間  $T - min$  の値はリーク電流の大きさやスイッチの大きさなどによって変わるが、ふつう数10マイクロ秒程度であり、 $T - heat$  も数10マイクロ秒程度である。一方、タスク継続時間  $T - task$  は通常ミリ秒程度なので、本発明のようにタスクをもとにスイッチ制御をすると(1)の関係を容易に満たすことが可能となる。最低有効期間  $T - min$  や予熱時間  $T - heat$  は回路解析などによるシミュレーションや回路定数を元にした計算によりあらかじめ推定可能である。したがって、半導体装置の設計時に回路やメモリなど、どの程度の単位を「部品」と定義するかを決定する際に、(1)を満たすように設計すればよい。図1の例では機能ごとに部品を定義しているが、それぞれ機能の異なるコア(例えば複数の周辺IPコア)をまとめて一つの部品と定義して、共通の電源スイッチにより制御することも可能である。(1)の条件を満たすことができない回路ブロックは、電源制御ユニットPCUを設けることなく常時電源に接続することが望ましい。

40

#### 【0023】

図4の例においては、電源スイッチをオフした後一定時間 ( $T - off$ ) が経過すると自動的に電源スイッチをオンするようにしている。このようにすると予熱時間  $T - heat$  による遅延を隠蔽させることができるが、次のタスクでもその部品が不使用であるならば、再び電源スイッチをオフするため、電源スイッチをオンするための消費電流が無駄になる。これが問題になる場合には、CPUのタスクIDレジスタ  $TID - R$  を参照して次のタスクでの使用、不使用を先に判断して次のタスクでも使用しない場合には電源スイッ

50

チをオンしないという制御をするようにしてもよい。

【0024】

これに対して、割り込み動作が起きた場合には、タスクが途中で打ち切られるためにそれに対応する制御が必要である。例えば、ある部品についてステート信号  $ST - i$  が不使用の状態にあるときに割り込みが入って現在のタスクが打ち切られても、次のタスクでもそのまま不使用となる場合には特に問題はない。この場合は、そのまま電源スイッチの遮断を続けて新しいタスクが終了する時間から余熱時間  $T - heat$  を差し引いた時点で電源スイッチをオンすればよい。しかし、割り込みが入って、かつ次のタスクでその部品が使用される場合には、図5のような制御が必要となる。

【0025】

まず、割り込みに伴い  $RESET$  信号が「H」に活性化されることにより、電源スイッチ制御のシーケンスをリセットして電源スイッチをオン ( $SW - on$ ) する。つづいて予熱が終了した時点でそれを知らせるアクノリッジ信号  $ack$  を「H」に活性化して、次のタスク  $task(2)$  を開始する。このように割り込みが入った場合には、予熱時間  $T - heat$  の分だけ遅延がおこる。実際には部品は複数あり、部品毎に必要な予熱時間も異なる。したがって、CPUは、割り込み後に使用する部品すべてからのアクノリッジ信号  $ack$  が活性化された後に次のタスクを開始すればよい。

【0026】

図6は、部品  $i$  について、連続したタスク  $A, B, C, D$  における各信号の遷移を示したタイムチャートである。なお、このタイムチャートでは電源スイッチを制御する信号  $SW1$  と  $SW2$  の極性を逆にしている。 $SW1$  は「L」で電源スイッチがオン、「H」で電源スイッチがオフ、 $SW2$  は「L」で電源スイッチがオフ、「H」で電源スイッチがオンとなる。これを示すために  $SW1$  の表記を「/  $SW1$ 」としている。

【0027】

図6において、ステート信号  $ST - i$  はタスク  $A, B, C, D$  でそれぞれ「L」「H」「L」「H」となっている。つまり、この実施例では部品  $i$  は、不使用、使用、不使用、使用というようにその状態を変化させている。まず、タスク  $A$  に対しては、図4で示した制御が行なわれる。まず、電源スイッチをオフするために /  $SW1, SW2$  をそれぞれ「H」、「L」に変化させてリーク電流を遮断する。タスク  $A$  が終わる時間よりも予熱時間  $T - heat$  だけ前に /  $SW1, SW2$  の電位を元に戻して電源スイッチをオンする。つづいて、タスク  $B$  では、ステート信号  $SW - i$  が「H」に遷移し、部品  $i$  は使用状態となる。このとき、前のタスク  $A$  の間に予熱が終わっているので遅延時間を生じることなくタスク  $B$  を開始できる。つづいて、タスク  $C$  では、再びステート信号  $SW - i$  が「L」に遷移し、部品  $i$  は不使用状態になる。この例では、この状態で割り込みが生じて通常のタスク継続時間より短い時間でタスク  $D$  に切り替わる。この場合、図5で示した制御が行なわれる。 $RESET$  が入力され、/  $SW1, SW2$  の電位をそれぞれ「L」、「H」に変化させ電源スイッチをオンする。その後、予熱時間  $T - heat$  が経過したらアクノリッジ信号  $ack$  が「H」に変化する。不使用状態から使用状態に変化する他の部品のアクノリッジ信号  $ack$  がすべて切り替わると、CPUは次のタスクであるタスク  $D$  を実行する。以上のように、本発明の電力制御によれば、通常の動作中には遅延時間を生じることなしに不使用部品のリーク電流を遮断することができる。また、割り込みが生じた場合でも、予熱が終わったことを確認して次のタスクに移行できるため誤動作をおこすことがない。

【0028】

これまでは、部品の使用状態に応じてリーク電流を遮断する方法を説明してきた。部品によっては、他の方法と組み合わせることにより、さらに大きく電力を低減できる場合がある。その例を示したのが図7、図8である。図7はクロックに同期して動作する回路ブロックなどの部品において、上記のリーク電流の遮断とクロック信号の遮断を合わせて用いた例である。同期型の回路ブロックは、通常入力データをラッチするフリップフロップ  $F$  と、論理回路  $L$  とを単位として構成される。 $M1$  および  $M2$  は、それぞれ  $P$  チャネル  $M$

10

20

30

40

50

OSトランジスタ、NチャネルMOSトランジスタであり、電源スイッチとして動作する。これらのMOSトランジスタは電源スイッチとして動作するので、論理回路Lで使用されるMOSトランジスタのしきい値電圧の絶対値に比較してそのしきい電圧の絶対値を大きく設定することが望ましい。または、 $\swarrow$  SW1や SW2の振幅を調整してオフ時にゲートソース電圧を負電位にすることにより、電源スイッチがオフ状態のときにリーク電流が十分に小さくなるように設計してもよい。なお、図7, 8の実施例では、他の回路と同様のプロセスで形成できるという利点のために、電源スイッチとしてMOSトランジスタを用いるが、完全にリーク電流を遮断したい場合には、例えば半導体チップの外部に設けた機械的なスイッチを用いるなど必要に応じて他の手段でスイッチを形成してもよい。

#### 【0029】

ゲートG1はクロック信号CLKを入力するか遮断するかを制御するための回路、ゲートG2は電源スイッチがオフした際に論理回路の出力信号がフローティング状態になることを防止する回路である。これらG1, G2の回路は電力制御ユニットPCUに設ければよい。基本的な動作は以下の通りである。

#### 【0030】

まず、ステート信号 ST-iが「L」レベルになると、ゲートG1はクロック信号CLKのフリップフロップFFへの入力を遮断する。また、前述のようにスイッチ制御信号 $\swarrow$  SW1と SW2がそれぞれ「H」レベル、「L」レベルに遷移し、電源スイッチがオフする。これにより、クロック入力とリーク電流の両方が遮断されるので消費電力の削減効果が大きい。図面ではクロックが入力されるフリップフロップFFは一つしか記載していないが実際は多数ある。したがってクロック入力が停止することによる電力削減効果は大きい。なお、ゲートG2により、ステート信号 ST-iが「L」レベルになると論理回路の出力OUTが固定されるため、次段の回路の入力がフローティングになることによるリーク電流(いわゆる貫通電流)を防止することができる。つづいて、タスクの継続時間から予熱時間を引いた時間が経過すると、電源スイッチM1, M2はオン状態となる。タスクが終了するとステート信号 ST-iが「H」レベルになり、クロック信号CLKの遮断と出力信号の固定を終了し、この部品の動作が始まる。ここで、クロック信号の入力においては電源スイッチのように長い予熱時間が不要なのでステート信号 ST-iをゲートG1に入力して制御している。以上のように本実施例では、タスク継続時間を利用して、電源スイッチとクロック入力を同時に制御することにより、電力削減の効果を大きくしている。

#### 【0031】

図8は、2次キャッシュのようなメモリに対して本発明を適用した例である。図8において、CDEC, TGEN, DEC, ARY, AMP-IOはそれぞれ、コマンドデコーダ、タイミングジェネレータ、デコーダ、メモリアレイ、センスアンプ及び入出力回路である。また、ADD, CMD, DI, DOは、アドレス、コマンド、入力データ、出力データを示す。なお、説明の都合上、これらの記号を、信号そのものとして扱う場合とそれらの入力線または出力線として扱う場合がある。また、図では煩雑になるため複数の信号線を1本で描いている。M1, M2, M11, M12, M21, M22はMOSトランジスタからなる電源スイッチであり、M1, M2は部品全体を電源から遮断する電源スイッチ、M11, M21は、デコーダDECを電源から遮断する電源スイッチ、M12, M22はセンスアンプ及び入出力回路AMP-IOを電源から遮断する電源スイッチである。

#### 【0032】

図8では、部品を電源から遮断する電源スイッチと部品の要素回路を選択的に電源から遮断する電源スイッチとを設けてある。これにより、部品が不使用状態にあるときに部品全体のリーク電流を遮断することに加えて、部品が使用状態であるときにも動作にあわせて選択的に要素回路を電源から遮断できる。したがって、リーク電流の低減効果をより大きくすることが可能となる。具体的には、ステート信号 ST-iが「L」レベルのときにはMOSトランジスタM1, M2をオフとする。ステート信号 ST-iが「H」レベ

10

20

30

40

50

ルのときには、M O S トランジスタ M 1 , M 2 はオンしているが、デコーダ D E C やセンスアンプ及び入出力回路 A M P - I O を活性化する必要のないときには M O S トランジスタ M 1 1 , M 2 1 あるいは、M O S トランジスタ M 1 2 , M 2 2 をオフにする。一般にメモリでは、アドレスやコマンドが入力されて読み出し、あるいは書き込みが行なわれて次のアドレスやコマンドを入力するまでの時間をサイクル時間と呼ぶ。このサイクル時間常にデコーダ D E C やセンスアンプ及び入出力回路 A M P - I O が動作しているわけではなく、タイミングジェネレータ T G E N が管理する一定の時間だけ動作する。したがって、タイミングジェネレータ T G E N の制御により、使用されない時間においては電源スイッチによりリーク電流を遮断することが可能である。

#### 【 0 0 3 3 】

なお、図 8 の例ではメモリアレイ A R Y に個別にスイッチを設けていない。これは、2 次キャッシュなどでは S R A M などの揮発性メモリセルで構成されるために電源を遮断するとデータが失われてしまうからである。しかし、この場合でも、電源を完全にオフせずに、データが失われない程度に電流を絞ることは可能である。あるいは、メモリセルとして強誘電体メモリやマグネティックメモリなどの不揮発メモリセルを利用すれば、電流を遮断してもデータは保持される。また、メモリ全体のリーク電流を遮断するスイッチ M 1 と M 2 はメモリアレイも含んで電源を遮断するが、これはタスクが切り替わった時にはこのメモリのデータを失ってもよい場合に限られる。もしも、タスク切換え時にもデータを保持する必要がある場合には、メモリアレイ A R Y は電源に常時接続するように構成することができる。さらに、個別のスイッチを設ける要素回路はデコーダ D E C やセンスアンプ及び入出力回路 A M P - I O に限られず、他の要素部品に設けることも可能であり、必要に応じて様々な変形が可能である。

#### 【 0 0 3 4 】

なお、これまでは、半導体装置の動作時におけるリーク電流の低減方法について記載したが、半導体装置の待機時において電源スイッチを遮断して電力の削減を図ることができることはもちろんである。半導体装置全体が待機時から動作時に移行する場合には多少の遅延は許容される場合が多いので、予熱時間を見込んであらかじめスイッチをオンしておく必要はない。

#### 【 0 0 3 5 】

#### 【 発明の効果 】

本発明により、集積回路の動作状態におけるリーク電流を効果的に低減することができる。

#### 【 図面の簡単な説明 】

【 図 1 】 本発明の半導体装置のブロック図である。

【 図 2 】 部品毎のステート信号の遷移の例である。

【 図 3 】 電力制御ユニットの入出力信号を示す図である。

【 図 4 】 タスクの期間中におけるスイッチ制御のタイミングを示す図である。

【 図 5 】 割り込み処理が生じた時のスイッチ制御のタイミングを示す図である。

【 図 6 】 スイッチ制御のための信号のタイミングを示す図である。

【 図 7 】 本発明による半導体装置内部の論理ブロックの構成を示す図である。

【 図 8 】 本発明による半導体装置内部のメモリブロックの構成を示す図である。

#### 【 符号の説明 】

C H I P - - - チップ、C P U - - - C P U コア、D S P - - - D S P コア、I - C - - - 命令キャッシュ、D - C - - - データキャッシュ、X Y - M - - - X Y メモリ、2 N D - C - - - 2 次キャッシュ、D M A C - - - ダイレクトメモリアクセス制御回路、P E R - I P - - - 周辺 I P コア、B C - - - バス制御回路、T I D - R - - - タスク I D レジスタ、R M - R - - - リソ - ス管理レジスタ、S T - D E C - - - ステートデコーダ、P C U - - - 電力制御ユニット、I - B U S - - - 命令バス、D - B U S - - - データバス、P - B U S 1 - - - 第一周辺バス、P - B U S 2 - - - 第二周辺バス、C D E C - - - コマンドデコーダ、T G E N - - - タイミングジェネレータ、D E C - - - デコーダ

10

20

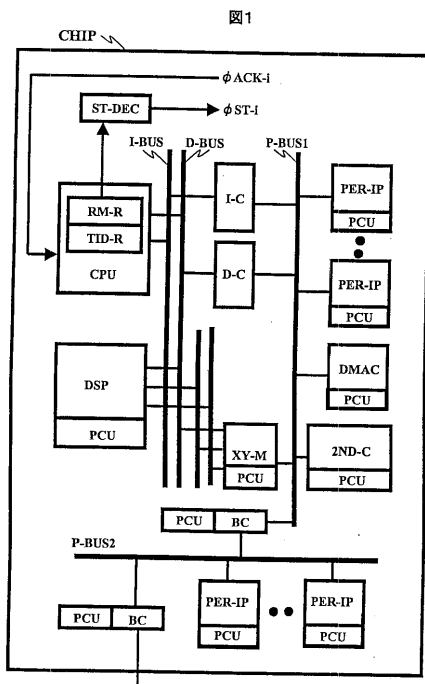
30

40

50

、 A R Y - - - メモリアレイ、 A M P - I O - - - センスアンプ及び入出力回路、 A D D - - - アドレス、 C M D - - - コマンド、 D I - - - 入力データ、 D O - - - 出力データ、 F F - - - フリップフロップ、 L - - - 論理回路、 S W 1 , S W 2 - - - 電源スイッチ、 M 1 , M 2 , M 1 1 , M 1 2 , M 2 1 , M 2 2 - - - M O S トランジスタで構成される電源スイッチ、 V d d - - - 高電位側の電源、 V s s - - - 低電位側の電源、 T - t a s k - - - タスク継続時間、 T - o f f - - - 電源スイッチ遮断時間、 T - m i n - - - 電源スイッチオフの最低有効時間、 T - h e a t - - - 予熱時間。

【 図 1 】

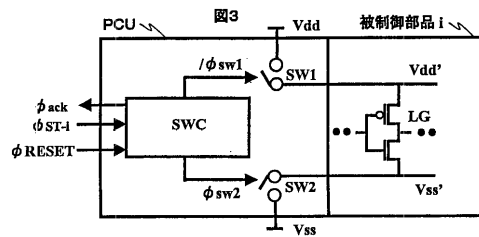


【 図 2 】

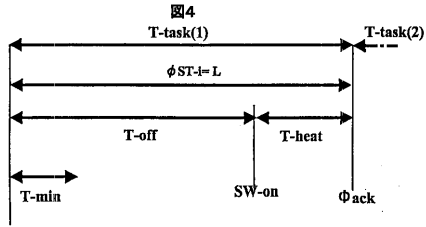
Figure 2 is a truth table for the  $\phi ST$  signals. The columns represent tasks A through F, and the rows represent different  $\phi ST$  signals.

task	A	B	C	D	E	F
$\phi ST$						
$\phi ST-1$	H	H	H	L	L	H
$\phi ST-2$	L	L	H	H	H	H
•						
•						
$\phi ST-n$	L	L	L	H	L	H

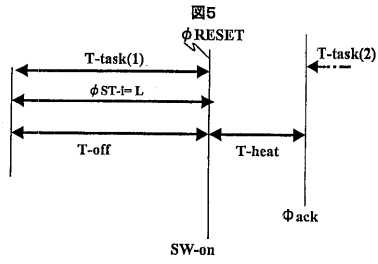
【 図 3 】



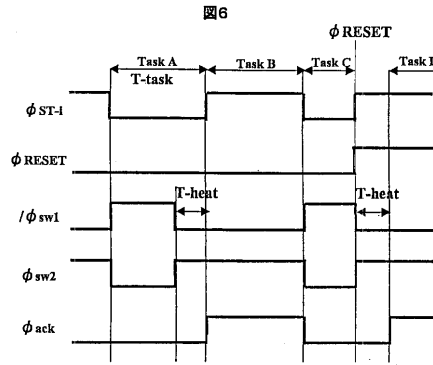
【 図 4 】



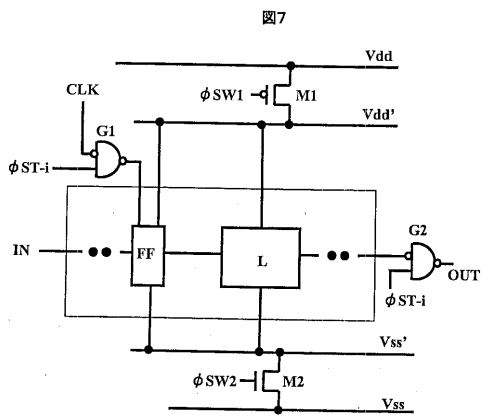
【 図 5 】



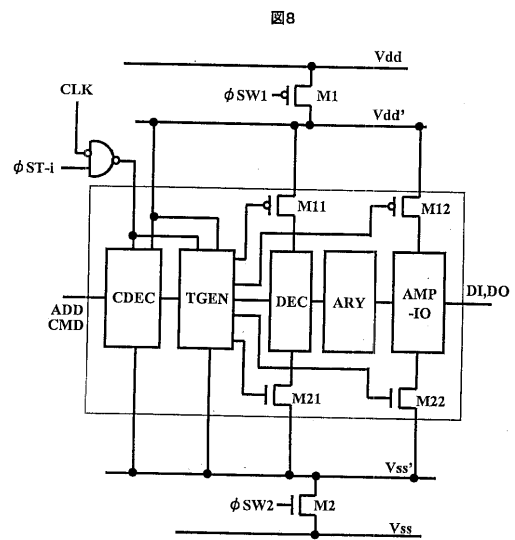
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

(72)発明者 入江 直彦

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 水野 弘之

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

Fターム(参考) 5B011 EA08 KK03 LL01 LL11