



## (12) 发明专利申请

(10) 申请公布号 CN 103378045 A

(43) 申请公布日 2013. 10. 30

(21) 申请号 201310133137. X

(22) 申请日 2013. 04. 17

(30) 优先权数据

2012-097053 2012. 04. 20 JP

(71) 申请人 新光电气工业株式会社

地址 日本长野县

(72) 发明人 竹内之治

(74) 专利代理机构 隆天国际知识产权代理有限公司

公司 72003

代理人 朴海今 向勇

(51) Int. Cl.

H01L 23/495(2006. 01)

H01L 23/31(2006. 01)

H01L 21/56(2006. 01)

H01L 21/60(2006. 01)

权利要求书2页 说明书12页 附图28页

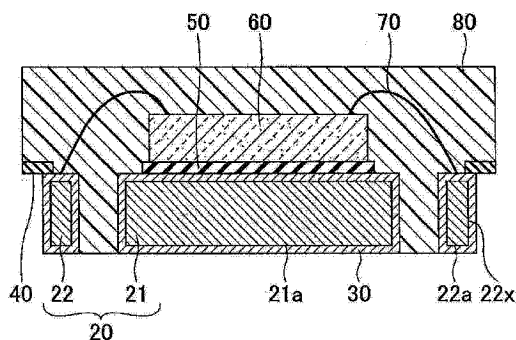
(54) 发明名称

引线框架、半导体封装件及它们的制造方法

(57) 摘要

提供一种能够提高实装至基板时的连接可靠性的引线框架、具有该引线框架的半导体封装件、及它们的制造方法。本半导体封装件具有：引线框架，具有安装半导体芯片的芯片安装部、及作为外部连接端子的端子部；半导体芯片，安装于所述芯片安装部，并与所述端子部电气连接；贯穿槽，沿厚度方向从作为所述半导体芯片侧的面的一个面至另一个面贯穿所述端子部；盖部，对所述端子部的所述一个面侧的所述贯穿槽的端部进行堵塞；及树脂部，对所述半导体芯片进行封装，使所述端子部的所述另一个面及所述贯穿槽的内侧面露出。其中，所述端子部的所述另一个面及所述贯穿槽的所述内侧面被镀膜覆盖。

10



1. 一种半导体封装件,具有:  
引线框架,具有安装半导体芯片的芯片安装部、及作为外部连接端子的端子部;  
半导体芯片,安装于所述芯片安装部,并与所述端子部电气连接;  
贯穿槽,沿厚度方向从作为所述半导体芯片侧的面的一个面至另一个面贯穿所述端子部;  
盖部,对所述端子部的所述一个面侧的所述贯穿槽的端部进行堵塞;及  
树脂部,对所述半导体芯片进行封装,使所述端子部的所述另一个面及所述贯穿槽的内侧面露出,  
其中,所述端子部的所述另一个面及所述贯穿槽的所述内侧面被镀膜覆盖。
2. 根据权利要求1所述的半导体封装件,其中,  
具有多个所述端子部,  
在多个所述端子部上设置所述贯穿槽,  
针对多个所述贯穿槽的每一个,分别设置一个所述盖部。
3. 根据权利要求1所述的半导体封装件,其中,  
具有多个所述端子部,  
在多个所述端子部上设置所述贯穿槽,  
针对毗邻的至少2个所述贯穿槽,设置1个所述盖部。
4. 一种引线框架,具有被进行切片的多个区域,其中,  
所述多个区域的每一个具有:  
安装半导体芯片的芯片安装部;  
作为外部连接端子的端子部;  
对所述芯片安装部和所述端子部进行支撑的支持部;  
沿厚度方向从作为安装所述半导体芯片的一侧的面的一个面至另一个面贯穿所述端子部的贯穿孔;及  
对所述端子部的所述一个面侧的所述贯穿孔的端部进行堵塞的盖部,  
其中,所述贯穿孔被形成跨越对所述区域进行切片时使用的切割线。
5. 根据权利要求4所述的半导体封装件,其中,  
所述端子部的所述另一个面及所述贯穿孔的内侧面被镀膜覆盖。
6. 根据权利要求4或5所述的半导体封装件,其中,  
具有多个所述端子部,  
在多个所述端子部上设置所述贯穿孔,  
针对多个所述贯穿孔的每一个,分别设置一个所述盖部。
7. 根据权利要求4或5所述的半导体封装件,其中,  
具有多个所述端子部,  
在多个所述端子部上设置所述贯穿孔,  
针对毗邻的至少2个所述贯穿孔,设置1个所述盖部。
8. 一种半导体封装件的制造方法,具有:  
在权利要求4至7的任1项所述的引线框架的所述芯片安装部上安装所述半导体芯片的步骤;

对所述半导体芯片和所述端子部进行电气连接的步骤；

使用树脂对所述半导体芯片进行封装,使所述端子部的被所述镀膜覆盖的所述另一面及所述贯穿孔的所述内侧面露出的步骤；及

沿厚度方向对包含所述贯穿孔的区域进行切割,以在所述端子部上形成内侧面被镀膜覆盖的贯穿槽的步骤。

9. 一种引线框架的制造方法,具有：

对金属板进行加工,形成安装半导体芯片的芯片安装部、及作为外部连接端子的端子部的步骤,所述端子部具有沿厚度方向从作为安装所述半导体芯片的一侧的面的一个面贯穿至另一个面的贯穿孔；及

在所述端子部的所述一个面侧设置堵塞所述贯穿孔的端部的盖部的步骤。

10. 根据权利要求9所述的引线框架的制造方法,还具有：

在所述端子部的所述另一个面及所述贯穿孔的内侧面形成镀膜的步骤。

## 引线框架、半导体封装件及它们的制造方法

### 技术领域

[0001] 本发明涉及一种引线框架、具有该引线框架的半导体封装件及它们的制造方法。

### 背景技术

[0002] 现有技术中,在例如 SON (Small-Outline No Lead)或 QFN (Quad Flat No Lead)等无引线半导体封装件中,用于与基板等连接的外部连接端子从例如半导体封装件的底面、及由个片化(也称“划片”或“切割”处理)时的切割而呈现出的侧面露出。因为个片化之前通常要形成镀膜,所以从半导体封装件露出的外部连接端子的底面形成了镀膜,但是,从半导体封装件露出的外部连接端子的侧面却没有形成镀膜。

[0003] 为此,在使用焊料将半导体封装件实装至基板等时,外部连接端子的侧面对焊料的湿润性和连接性基本上没有贡献,主要是外部连接端子的底面对焊料的湿润性和连接性作出了贡献。因此,因为半导体封装件与基板间所形成的焊料量较少,所以半导体封装件和基板间的热膨张系数的差导致产生应力,进而导致半导体封装件和基板间的连接可靠性下降。

[0004] 作为提高连接可靠性的对策,例如,提出了一种在外部连接端子上形成贯穿孔,并且为了在进行树脂封装时不让树脂流入贯穿孔,而在贯穿孔内填充焊料材料、金、或银等导电材料的技术。在该技术中,个片化之后,使贯穿孔内填充的导电材料作为外部连接端子的一部分从半导体封装件的侧面露出,据此,对连接可靠性的提高进行了尝试。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献 1 :美国发明专利申请公布第 2011/0108965 号说明书

### 发明内容

[0008] 发明要解决的课题

[0009] 但是,在贯穿孔内填充金或银的情况下,因为与形成普通的镀膜相比,较多地使用了高价材料,所以存在着半导体封装件的制造成本上升的问题。因此,一般来说,都是将廉价的焊料材料填充至贯穿孔内,但是,焊料材料容易发生氧化,并且在包括树脂封装步骤的半导体芯片实装步骤中表面也容易发生氧化,这样,就不能充分地确保将半导体封装件实装至基板时的连接可靠性。

[0010] 本发明是鉴于上述问题而提出的,其课题在于提供一种可提高实装至基板时的连接可靠性的引线框架、半导体封装件及它们的制造方法。

[0011] 用于解决课题的手段

[0012] 本半导体封装件包括:引线框架,具有安装半导体芯片的芯片安装部、及作为外部连接端子的端子部;半导体芯片,安装在所述芯片安装部上,并与所述端子部电气连接;贯穿槽,沿宽度方向从作为所述半导体芯片侧的面的一个面至另一个面贯穿所述端子部;盖部,对所述端子部的所述一个面侧的所述贯穿槽的端部进行堵塞;以及树脂部,对所述半导

体芯片进行封装,使所述端子部的所述另一个面及所述贯穿槽的内侧面露出。其中,所述端子部的所述另一个面及所述贯穿槽的所述内侧面被镀膜覆盖。

[0013] 本引线框架包含被进行个片化的多个区域。各区域具有:芯片安装部,用于安装半导体芯片;端子部,作为外部连接端子;支持部,对所述芯片安装部和所述端子部进行支持;贯穿孔,沿厚度方向从作为安装所述半导体芯片侧的面的一个面至另一个面贯穿所述端子部;以及盖部,对所述端子部的所述一个面侧的所述贯穿孔的端部进行堵塞。其中,所述贯穿孔被形成为,跨越对所述各区域进行个片化时的切割线。

[0014] 发明的效果

[0015] 根据所公开的技术,能够提供一种可提高实装至基板时的连接可靠性的引线框架、半导体封装件及它们的制造方法。

## 附图说明

[0016] 图 1A、图 1B 是对第 1 实施方式的半导体封装件进行例示的图。

[0017] 图 2 是对端子部上所形成的新月形部进行说明的图。

[0018] 图 3A、图 3B 是对第 1 实施方式的半导体封装件的制造步骤进行例示的图(其 1)。

[0019] 图 4A、图 4B 是对第 1 实施方式的半导体封装件的制造步骤进行例示的图(其 2)。

[0020] 图 5A、图 5B 是对第 1 实施方式的半导体封装件的制造步骤进行例示的图(其 3)。

[0021] 图 6A、图 6B 是对第 2 实施方式的半导体封装件进行例示的图。

[0022] 图 7A、图 7B 是对第 2 实施方式的半导体封装件的制造步骤进行例示的图(其 1)。

[0023] 图 8A、图 8B 是对第 2 实施方式的半导体封装件的制造步骤进行例示的图(其 2)。

[0024] 图 9A、图 9B 是对第 2 实施方式的半导体封装件的制造步骤进行例示的图(其 3)。

[0025] 图 10A、图 10B 是对第 3 实施方式的半导体封装件进行例示的图。

[0026] 图 11A、图 11B 是对第 3 实施方式的半导体封装件的制造步骤进行例示的图。

[0027] 图 12A、图 12B 是对第 4 实施方式的半导体封装件进行例示的图。

[0028] 图 13A、图 13B 是对第 4 实施方式的半导体封装件的制造步骤进行例示的图。

[0029] 图 14A、图 14B 是对有关切割线设定的变化的例子进行说明的图(其 1)。

[0030] 图 15A、图 15B 是对有关切割线设定的变化的例子进行说明的图(其 2)。

[0031] 图 16A、图 16B 是对有关切割线设定的变化的例子进行说明的图(其 3)。

[0032] 图 17A、图 17B 是对有关切割线设定的变化的其它例子进行说明的图。

[0033] 图 18 是对变形例 3 的半导体封装件进行例示的截面图。

[0034] 图 19 是对变形例 3 的半导体封装件的制造步骤进行例示的图。

[0035] 符号说明

[0036] 10、10A、10B、10C、10D 半导体封装件

[0037] 20、200 引线框架

[0038] 21 芯片安装部

[0039] 21a、22a 下面

[0040] 22 端子部

[0041] 22x 贯穿槽

[0042] 30、30A、30B 镀膜

- [0043] 40、40B、40C、400、400B、400C 盖部
- [0044] 50 接合部
- [0045] 60 半导体芯片
- [0046] 70 金属线
- [0047] 80 树脂部
- [0048] 80a 侧面
- [0049] 80x 沟部
- [0050] 100 配线基板
- [0051] 110 安装垫(Pad)
- [0052] 150 新月形部(Meniscus Part)
- [0053] 210、220、230 区域
- [0054] 220x、220y、220z 贯穿孔

### 具体实施方式

[0055] 下面参照附图对本发明的实施方式进行说明。这里需要说明的是,各图中,相同的构成部分被标注了相同的符号,并且还存在着省略了重复说明的情况。

[0056] <第 1 实施方式>

[0057] [第 1 实施方式的半导体封装件的结构]

[0058] 首先,对第 1 实施方式的半导体封装件的结构进行说明。图 1A、图 1B 是对第 1 实施方式的半导体封装件进行例示的图,其中,图 1A 是平面图,图 1B 是沿图 1A 的 A—A 线所截得的截面图。参照图 1A、图 1B,半导体封装件 10 大致具有引线框架 20、镀膜 30、盖部 40、接合部 50、半导体芯片 60、金属线 70 (键合线)、及树脂部 80。这里需要说明的是,为了便于说明,在图 1A 中,以点状模样示出了盖部 40。另外,在图 1A 中,镀膜 30 的图示被省略了,树脂部 80 被示为透明。

[0059] 引线框架 20 例如是通过将薄金属板实施压力加工或蚀刻加工等所形成的导电性基材,并具有用于安装半导体芯片的芯片安装部 21 (晶片垫)、及作为外部连接端子的端子部 22 (引线)。作为引线框架 20 的材料,例如可使用铜(Cu)、铜合金、或 42 合金(Fe 和 Ni 的合金)等。引线框架 20 的厚度例如可为 100 ~ 250  $\mu\text{m}$  左右。

[0060] 半导体芯片 60 介由接合部 50 在面朝上(Face Up)的状态下被安装在引线框架 20 的芯片安装部 21 上。端子部 22 与芯片安装部 21 电气独立(电气分离),并且在芯片安装部 21 的周围以预定的间距被设置了多个(这里需要说明的是,本文中,多个是指 2 个以上)。但是,端子部 22 并非一定要设置在芯片安装部 21 的周围,例如,也可以设置在芯片安装部 21 的两侧。端子部 22 的宽度例如可为 0.2mm 左右。端子部 22 的间距例如可为 0.4mm 左右。各端子部 22 介由金线或铜线等金属线 70 与半导体芯片 60 的上面侧所形成的各电极端子(图中未示)电气连接。

[0061] 在芯片安装部 21 及端子部 22 的表面上形成有镀膜 30。作为镀膜 30,例如可列举出 Au 膜、Ag 膜、Ni / Au 膜(将 Ni 膜和 Au 膜依次层积了的金属膜)、或 Ni / Pd / Au 膜(将 Ni 膜、Pd 膜及 Au 膜依次层积了的金属膜)等。镀膜 30 的厚度例如可为 0.1 ~ 数  $\mu\text{m}$  左右。

[0062] 各端子部 22 的半导体封装件 10 的外周缘部侧(以下称“各端子部 22 的外侧面

侧”)形成有贯穿槽 22x, 贯穿槽 22x 沿厚度方向从一个面(上面)至作为其反对面的另一个面(下面 22a) 贯穿各端子部 22。贯穿槽 22x 是在与各端子部 22 的下面 22a 平行的方向上的截面形状(以下简称为“截面形状”)为近似半圆形的沟。贯穿槽 22x 的直径例如可为 0.1mm 左右。但是, 贯穿槽 22x 的截面形状并不限于近似圆形, 也可为近似半椭圆形、近似矩形、或近似多边形等。

[0063] 各端子部 22 的上面(半导体芯片 60 侧的面)的、半导体封装件 10 的外周缘部侧设置有盖部 40, 用于对贯穿槽 22x 的上端部进行堵塞。这里需要说明的是, 尽管各贯穿槽 22x 的内侧面形成了镀膜 30, 但是各贯穿槽 22x 的内侧面之外的各端子部 22 的外侧面却没有形成镀膜 30, 所以露出了用于构成引线框架 20 的金属材料。

[0064] 盖部 40 是绝缘性板状部件, 例如可使用在各端子部 22 的上面侧形成了黏接层的树脂膜等。作为盖部 40, 可使用预先将树脂材料成型为具有预定形状的绝缘性板状部件, 并且可通过黏接剂将其贴附在各端子部 22 的上面侧。在半导体封装件 10 的制造步骤中, 盖部 40 被设置为, 在通过树脂部 80 对半导体芯片 60 等进行封装时, 不让树脂流入最终成为贯穿槽 22x 的贯穿孔 220x 内。

[0065] 作为用于盖部 40 的树脂, 例如可使用热硬化性树脂。具体而言, 作为用于盖部 40 的树脂, 例如可列举出环氧树脂、变性环氧树脂、聚酰亚胺(PI)树脂、变性聚酰亚胺树脂等。盖部 40 的厚度例如可为 75 ~ 100  $\mu\text{m}$  左右。这里需要说明的是, 在图 1A、图 1B 的例子中, 多个端子部 22 上分别设置了贯穿槽 22x, 并且针对每个贯穿槽 22x 一个一个地设置了盖部 40。

[0066] 引线框架 20、盖部 40、接合部 50、半导体芯片 60 及金属线 70 被树脂部 80 封装。但是, 覆盖芯片安装部 21 的下面 21a 的镀膜 30、覆盖各端子部 22 的下面 22a 的镀膜 30、覆盖各贯穿槽 22x 的内侧面的镀膜 30、各贯穿槽 22x 的内侧面之外的各端子部 22 的外侧面、盖部 40 的下面的各贯穿槽 22x 内所露出的区域、及盖部 40 的半导体封装件 10 的外周缘部侧的侧面则从树脂部 80 中露出。覆盖芯片安装部 21 的下面 21a 的镀膜 30 的下面、覆盖各端子部 22 的下面 22a 的镀膜 30 的下面、及树脂部 80 的下面为大致同面。作为树脂部 80, 例如可采用使环氧树脂含有了填充物(Filler)的所谓的模制树脂等。

[0067] 表面被镀膜 30 所覆盖的各端子部 22 的下面 22a、及表面被镀膜 30 所覆盖的各贯穿槽 22x 的内侧面在将半导体封装件 10 连接至配线基板等时, 成为与焊料或导电性糊膏(Paste)等导电材料连接的部分。换言之, 表面被镀膜 30 所覆盖的各端子部 22 的下面 22a、及表面被镀膜 30 所覆盖的各贯穿槽 22x 的内侧面形成了新月形部。例如, 如图 2 所示, 在将半导体封装件 10 连接至配线基板 100 的安装垫 110 时, 由焊料或导电性糊膏等导电材料形成了新月形 150。

[0068] [第 1 实施方式的半导体封装件的制造方法]

[0069] 下面对第 1 实施方式的半导体封装件的制造方法进行说明。图 3A、图 3B、图 4A、图 4B、图 5A、图 5B 是对第 1 实施方式的半导体封装件的制造步骤进行例示的图。

[0070] 首先, 在图 3A、图 3B (图 3A 是平面图, 图 3B 是沿图 3A 的 B-B 线所截得的截面图) 所示的步骤中, 形成具有预定形状的引线框架 200。之后, 在具有预定形状的引线框架 200 的表面上形成镀膜 30。这里需要说明的是, 在图 3A 中, 为了便于说明, 以点状模样示出了镀膜 30。另外, 还以括号的形式示出了被镀膜 30 所覆盖的区域 210、220、及 230。

[0071] 引线框架 200 例如可通过对薄金属板实施压力加工或蚀刻加工等方式所形成。作为引线框架 200 的材料,例如可使用铜(Cu)、铜合金、或 42 合金(Fe 和 Ni 的合金)等。引线框架 200 的厚度例如可为  $100 \sim 250 \mu\text{m}$  左右。

[0072] 镀膜 30 例如可通过电解电镀法等形成于引线框架 200 的表面。作为镀膜 30,例如可列举出 Au 膜、Ag 膜、Ni/Au 膜(将 Ni 膜和 Au 膜依次层积了的金属膜)、或 Ni/Pd/Au 膜(将 Ni 膜、Pd 膜及 Au 膜依次层积了的金属膜)等。这里需要说明的是,根据需要,在形成镀膜 30 之前,还可以对引线框架 200 的表面实施粗化处理。通过对引线框架 200 的表面实施粗化处理,可以提高引线框架 200 的表面和镀膜 30 间的密着性。

[0073] 引线框架 200 具有由虚线所示的切割线所围成的多个区域 C (以下称“单个封装区域 C”)。引线框架 200 最终沿虚线所示的切割线被切割,并且,去除虚线所示的切割线内的一部分(例如,用于连接作为各端子部 22 的各区域的架桥部等),然后按每个单个封装区域 C 进行个片化,以形成引线框架 20。

[0074] 各单个封装区域 C 具有最终成为芯片安装部 21 的区域 210、最终成为多个端子部 22 的多个区域 220、及对区域 210 和 220 进行支持(连接)的区域 230(支持部)。各区域 220 上形成了沿厚度方向贯穿各区域 220 的贯穿孔 220x。贯穿孔 220x 的一部分(大约一半)最终成为贯穿槽 22x。因为是在将引线框架 200 加工成预定形状之后再形成镀膜 30 的,所以各贯穿孔 220x 的内侧面被镀膜 30 所覆盖。

[0075] 这里需要说明的是,在毗邻的单个封装区域 C 内,区域 220 之间相连,连接了的区域 220 上形成有 1 个贯穿孔 220x。贯穿孔 220x 的一部分(大约一半)最终成为毗邻的一个单个封装区域 C 的贯穿槽 22x,贯穿孔 220x 的剩余部分(剩余的大约一半)最终成为毗邻的另一个单个封装区域 C 的贯穿槽 22x。贯穿孔 220x 的截面形状可为近似圆形、近似椭圆形、近似矩形、或近似多边形等。贯穿孔 220x 为近似圆形时的直径例如可为  $0.1\text{mm}$  左右。

[0076] 接下来,在图 4A、图 4B (图 4A 是平面图,图 4B 是沿图 4A 的 B-B 线所截得的截面图)所示的步骤中形成盖部 400,以对各贯穿孔 220x 的上端部(在后述步骤中安装半导体芯片 60 的一侧)进行堵塞。

[0077] 盖部 400 是通过被切割最终成为盖部 40 的绝缘性板状部件,例如可通过在引线框架 200 的整个上面贴附了形成有黏接层的树脂膜之后,再将不要的部分进行去除的方式而形成。另外,也可以将形成有黏接层的树脂膜预先加工成预定的形状,并且将其贴附在各贯穿孔 220x 的上面侧,以形成盖部 400。或者,还可以采用预先将树脂材料成型为具有预定形状的绝缘性板状部件以取代树脂膜,并且使用黏接剂将其贴附在各贯穿孔 220x 的上面侧,以形成盖部 400。

[0078] 作为用于盖部 400 的树脂,优选为可承受在包含后述的图 5B 所示的步骤中的树脂部 80 的引线框架 200 上安装半导体芯片 60 时的温度,并且可达成引线框架 200 和树脂部 80 间的良好密着性的树脂。作为这样的树脂,例如可列举出环氧树脂、变性环氧树脂、聚酰亚胺树脂、及变性聚酰亚胺树脂等。盖部 400 的厚度例如可为  $75 \sim 100 \mu\text{m}$  左右。盖部 400 的宽度例如可为贯穿孔 220x 的最大外形尺寸再加上  $100 \mu\text{m}$  左右。

[0079] 接下来,在图 5A 所示的步骤中,在作为各单个封装区域 C 的芯片安装部 21 的区域 210 上介由接合部 50 安装半导体芯片 60。接合部 50 例如可通过在各区域 210 上贴附芯片黏接膜(Die Attach Film)而形成。之后,将半导体芯片 60 的上面侧所形成的各电极端子

(图中未示)介由金属线 70 与各区域 220 电气连接。金属线 70 例如可通过引线键合法(Wire Bonding)与半导体芯片 60 的各电极端子(图中未示)及各区域 220 连接。

[0080] 接下来,在图 5B 所示的步骤中,在引线框架 200 上形成树脂部 80,以覆盖盖部 400、接合部 50、半导体芯片 60、以及金属线 70。作为树脂部 80,例如可采用使环氧树脂含有填充物的所谓的模制树脂等。树脂部 80 例如可通过传递模(Transfer Mold)法或压模(Compression Mold)法等形成。这里需要说明的是,在形成树脂部 80 之前,如果事先对盖部 400 的表面实施粗化处理,则有助于提高盖部 400 和树脂部 80 间的密着性。

[0081] 接下来,在图 5B 所示的步骤之后,去除用于支持(连接)区域 210 和 220 的区域 230,在各单个封装区域 C 上形成由芯片安装部 21 及多个端子部 22 构成的引线框架 20。区域 230 例如可通过以区域 230 之外的部分(由芯片安装部 21 及多个端子部 22 构成的部分)为掩模(Mask)进行蚀刻的方式而被去除。或者,也可以使用刨刨机(Router)、模具冲压(Punch)、或激光等,以机械方式去除区域 230。

[0082] 之后,沿虚线所示的切割线进行切割,按每个单个封装区域 C 进行个片化,据此,形成了多个半导体封装件 10 (参照图 1A、图 1B)。沿虚线所示的切割线的切割例如可通过切割刀(Dicing Saw)等进行。据此,各端子部 22 上形成了基于贯穿孔 220x 的、截面形状为近似半圆形的贯穿槽 22x。这里需要说明的是,尽管各贯穿槽 22x 的内侧面上形成了镀膜 30,但是,因为各贯穿槽 22x 的内侧面之外的各端子部 22 的外侧面为切割面,所以,其上并没有形成镀膜 30,露出了用于构成引线框架 20 的金属材料。

[0083] 上面对作为 1 个产品发货时的半导体封装件 10 的制造步骤进行了说明,然而,也可以将图 4A、图 4B 所示的结构体(设置了盖部 400 的引线框架 200)作为 1 个产品进行发货。在这种情况下,获得了作为产品的图 4A、图 4B 所示的结构体的厂家等可执行图 5A、图 5B 之后的步骤,以形成半导体封装件 10。

[0084] 这样,在第 1 实施方式中,形成了沿厚度方向贯穿引线框架 20 的各端子部 22,并且内侧面被镀膜 30 所覆盖的贯穿槽 22x。据此,在将半导体封装件 10 实装至基板等时,不仅可对覆盖各端子部 22 的下面 22a 的镀膜 30,而且还可对覆盖贯穿槽 22x 的内侧面的镀膜 30 进行焊料接合。因此,因为可在新月形部上确保具有充足的焊料量,所以可提高半导体封装件 10 和基板等之间的连接可靠性。

[0085] 这里需要说明的是,例如尽管也可以采用设置不贯穿端子部 22 的沟,然后形成覆盖该沟的内侧面的镀膜 30 的方法,但是,因为可确保形成在新月形部上的焊料量减少了,所以存在着不能充分地获得连接可靠性的问题。如第 1 实施方式所述,通过设置沿厚度方向贯穿端子部 22 的贯穿槽 22x,并且形成覆盖贯穿槽 22x 的内侧面的镀膜 30,就可以解决上述问题。

[0086] 另外,即使在镀膜 30 中包含了金(Au)等高价材料,然而,因为镀膜 30 是以覆盖贯穿槽 22x 的内侧面等的方式被形成成为极薄,并不是用于填充贯穿槽 22x,所以也不会对半导体封装件 10 的制造成本产生较大的影响。

[0087] 另外,因为在贯穿槽 22x 的内侧面等上并没有形成焊料等的容易发生氧化的金属,所以在将半导体封装件 10 实装至基板等时,可获得良好的焊料接合性。换言之,可确保形成良好的新月形部,并可提高连接可靠性。

[0088] 另外,因为最终成为贯穿槽 22x 的贯穿孔 220x 的上端部被盖部 400 所覆盖,在使

用树脂对半导体芯片 60 进行封装时,树脂不能流入贯穿孔 220x 内,所以可使覆盖贯穿孔 220x 的镀膜 30 的表面维持良好的状态。换言之,可使覆盖通过切割贯穿孔 220x 而形成的贯穿槽 22x 的内侧面的镀膜 30 的表面维持良好的状态。因此,在将半导体封装件 10 实装至基板等时,可获得良好的焊料接合性。换言之,可确保形成良好的新月形部,并可提高连接可靠性。

[0089] 另外,因为在贯穿槽 22x 的内侧面上确保形成了良好的新月形部,所以通过目视或使用检查设备等,可容易地对焊料的接合状态进行确认。

[0090] <第 2 实施方式>

[0091] 第 2 实施方式中示出了具有与第 1 实施方式不同的结构的半导体封装件的例子。这里需要说明的是,在第 2 实施方式中,对与已经说明了的实施方式相同的构成部件的说明进行了省略。

[0092] [第 2 实施方式的半导体封装件的结构]

[0093] 首先,对第 2 实施方式的半导体封装件的结构进行说明。图 6A、图 6B 是对第 2 实施方式的半导体封装件进行例示的图,其中,图 6A 是平面图,图 6B 是沿图 6A 的 A-A 线所截得的截面图。这里需要说明的是,为了便于说明,在图 6A 中,以点状模样示出了盖部 40。另外,在图 6A 中,镀膜 30 的图示被省略了,树脂部 80 被示为透明。

[0094] 参照图 6A、图 6B,半导体封装件 10A 在镀膜 30 是由镀膜 30A 及 30 B 所构成的这点上与半导体封装件 10(参照图 1A、图 1B)不同。在引线框架 20 的上面,设置了盖部 40 的区域附近之外的区域内形成了镀膜 30A。换言之,盖部 40 被设置在引线框架 20 的上面的、没有形成镀膜 30A 的区域上。但是,盖部 40 的一部分也可形成在镀膜 30A 上。

[0095] 另外,在引线框架 20 的下面(芯片安装部 21 的下面 21a 及端子部 22 的下面 22a)及各贯穿槽 22x 的内侧面上形成了镀膜 30 B。在引线框架 20 中,芯片安装部 21 的侧面及贯穿槽 22x 的内侧面之外的各端子部 22 的侧面上并没有形成镀膜 30。这里需要说明的是,镀膜 30A 和镀膜 30B 也可被形成为一部分互相重叠。引线框架 20 的下面(芯片安装部 21 的下面 21a 及端子部 22 的下面 22a)和树脂部 80 的下面为大致同面。

[0096] [第 2 实施方式的半导体封装件的制造方法]

[0097] 下面对第 2 实施方式的半导体封装件的制造方法进行说明。图 7A、图 7B、图 8A、图 8B、图 9A、图 9B 是对第 2 实施方式的半导体封装件的制造步骤进行例示的图。

[0098] 首先,在图 7A、图 7B(图 7A 是平面图,图 7B 是沿图 7A 的 B-B 线所截得的截面图)所示的步骤中,与第 1 实施方式的图 3A、图 3B 所示步骤同样地形成具有预定形状的引线框架 200,之后,在引线框架 200 的上面的预定区域 D 之外的区域上形成镀膜 30A。这里需要说明的是,引线框架 200 的上面之外的部分事先被掩盖(Masking),不形成镀膜 30A。

[0099] 这里,预定区域 D 是指图 8A、图 8B 所示步骤中设置了盖部 400 的区域附近的区域。这里需要说明的是,在图 7A 中,为了便于说明,以点状模样示出了镀膜 30A,并且以与镀膜 30A 不同的点状模样示出了预定区域 D。另外,还以括号的形式示出了被镀膜 30A 所覆盖的区域 210、220、及 230。

[0100] 接下来,在图 8A、图 8B(图 8A 是平面图,图 8B 是沿图 8A 的 B-B 线所截得的截面图)所示的步骤中,与第 1 实施方式的图 4A、图 4B 所示步骤同样地形成盖部 400,以对各贯穿孔 220x 的上端部(在后述步骤中安装半导体芯片 60 的一侧)进行堵塞。但是,盖部 400

是形成在图 7A、图 7B 所示步骤中没有形成镀膜 30A 的预定区域 D 上。

[0101] 接下来,在图 9A 所示的步骤中,与第 1 实施方式的图 5A 所示步骤同样地,在作为各单个封装区域 C 的芯片安装部 21 的区域 210 上介由接合部 50 安装半导体芯片 60。之后,与第 1 实施方式的图 5B 所示步骤同样地,在引线框架 200 上形成树脂部 80,以对盖部 400、接合部 50、半导体芯片 60、及金属线 70 进行覆盖。在此阶段,各贯穿孔 220x 的内侧面及引线框架 200 的下面并没有形成镀膜 30A。另外,引线框架 200 的下面和树脂部 80 的下面为大致同面。

[0102] 接下来,在图 9B 所示的步骤中,与第 1 实施方式的图 3A、图 3B 所示步骤同样地,在各贯穿孔 220x 的内侧面及引线框架 200 的下面上形成镀膜 30B。这里需要说明的是,在此步骤中,因为盖部 400 的一部分触及了镀液,所以,作为盖部 400 的材料,需要使用可耐镀液腐蚀的材料。但是,作为盖部 400,如果使用了上述的环氧树脂或聚酰亚胺树脂等,则没问题。

[0103] 接下来,在图 9B 所示的步骤之后,与第 1 实施方式同样地,对用于支持区域 210 和 220 的区域 230 进行去除,在各单个封装区域 C 上形成由芯片安装部 21 及多个端子部 22 构成的引线框架 20。之后,沿虚线所示的切割线进行切割,按每个单个封装区域 C 进行个片化,这样,就形成了多个半导体封装件 10A (参照图 6A、图 6B)。据此,与第 1 实施方式同样地,在各端子部 22 上形成了基于贯穿孔 220x 的贯穿槽 22x。

[0104] 这样,在设置了用于堵塞各贯穿孔的上端部的盖部之后,也可以在各贯穿孔的内侧面和各端子部的下面形成镀膜。这里需要说明的是,与第 1 实施方式同样地,也可以将图 8A、图 8B 所示的结构体作为 1 个产品进行发货。

[0105] <第 3 实施方式>

[0106] 第 3 实施方式中示出了具有与第 1 实施方式不同的结构的半导体封装件的其它例子。这里需要说明的是,在第 3 实施方式中,对与已经说明了的实施方式相同的构成部件的说明进行了省略。

[0107] [第 3 实施方式的半导体封装件的结构]

[0108] 首先,对第 3 实施方式的半导体封装件的结构进行说明。图 10A、图 10B 是对第 3 实施方式的半导体封装件进行例示的图,其中,图 10A 是平面图,图 10B 是沿图 10A 的 A-A 线所截得的截面图。这里需要说明的是,为了便于说明,在图 10A 中,以点状模样示出了盖部 40B。另外,在图 10A 中,镀膜 30 的图示被省略了,树脂部 80 被示为透明。

[0109] 参照图 10A、图 10B,半导体封装件 10B 在盖部 40 被盖部 40B 置换了这点上与半导体封装件 10 (参照图 1A、图 1B) 不同。盖部 40B 被设置为框状,以在各端子部 22 的上面 (半导体芯片 60 侧) 的、半导体封装件 10 的外周缘部侧对贯穿槽 22x 的上端部进行堵塞。

[0110] 这里需要说明的是,在本实施方式中,各贯穿槽 22x 的内侧面上形成了镀膜 30,各贯穿槽 22x 的内侧面之外的各端子部 22 的外侧面上没有形成镀膜 30,露出了用于构成引线框架 20 金属材料,这点与半导体封装件 10 同样。另外,盖部 40B 的材料和厚度等也可与盖部 40 同样。

[0111] 这里需要说明的是,在图 10A、图 10B 的例子中,以围绕芯片安装部 21 的方式所配置的多个端子部 22 上分别设置了贯穿槽 22x,针对所有的贯穿槽 22x,设置 1 个平面形状为框状的盖部 40B,但是,并不限定与此。针对毗邻的至少 2 个贯穿槽 22x,可设置 1 个盖部。

例如,在平面视图中,可沿半导体封装件 10 的各边设置细长条状的 4 个盖部。

[0112] [第 3 实施方式的半导体封装件的制造方法]

[0113] 下面对第 3 实施方式的半导体封装件的制造方法进行说明。图 11A、图 11B 是对第 3 实施方式的半导体封装件的制造步骤进行例示的图。

[0114] 制造半导体封装件 10B 时,可执行图 11A、图 11B 所示的步骤以取代第 1 实施方式的图 4A、图 4B 所示的步骤。即,可在引线框架 200 的整个上面贴附了形成有黏接层的树脂膜之后,通过去除不要的部分以形成盖部 400B。另外,也可以预先将形成有黏接层的树脂膜加工成预定的形状,并且将其贴附在各贯穿孔 220x 的上面侧,以形成盖部 400B。或者,还可以采用预先将树脂材料成型为具有预定形状的绝缘性板状部件以取代树脂膜,并且将其贴附在各贯穿孔 220x 的上面侧,以形成盖部 400B。这里需要说明的是,盖部 400B 是通过被切割而最终成为盖部 40B 的部件。

[0115] 这样,针对毗邻的至少 2 个的贯穿槽,可设置 1 个盖部。例如,针对所有的贯穿槽,可设置 1 个平面形状为框状的盖部。这里需要说明的是,与第 1 实施方式同样地,可将图 11A、图 11B 所示结构体作为 1 个产品进行发货。

[0116] <第 4 实施方式>

[0117] 第 4 实施方式中示出了具有与第 1 实施方式不同的结构的半导体封装件的另外的其它例子。这里需要说明的是,在第 4 实施方式中,对与已经说明了的实施方式相同的构成部件的说明进行了省略。

[0118] [第 4 实施方式的半导体封装件的结构]

[0119] 首先,对第 4 实施方式的半导体封装件的结构进行说明。图 12A、图 12B 是对第 4 实施方式的半导体封装件进行例示的图,其中,图 12A 是平面图,图 12B 是沿图 12A 的 A-A 线所截得的截面图。这里需要说明的是,为了便于说明,在图 12A 中,以点状模样示出了盖部 40C 及接合部 50。另外,在图 12A 中,镀膜 30 的图示被省略了,树脂部 80 被示为透明。

[0120] 参照图 12A、图 12B,半导体封装件 10C 在盖部 40 被盖部 40C 置换了这点上与半导体封装件 10 (参照图 1A、图 1B) 不同。与第 1 实施方式的盖部 40 同样地,针对每个贯穿槽 22x 一个一个地设置盖部 40C,以在各端子部 22 的上面(半导体芯片 60 侧)的、半导体封装件 10C 的外周缘部侧对贯穿槽 22x 的上端部进行堵塞。

[0121] 这里需要说明的是,在本实施方式中,各贯穿槽 22x 的内侧面上形成了镀膜 30,各贯穿槽 22x 的内侧面之外的各端子部 22 的外侧面上没有形成镀膜 30,露出了用于构成引线框架 20 的金属材料,这点与半导体封装件 10 同样。但是,盖部 40C 通过与接合部 50 相同的材料被形成成为具有与接合部 50 相同的厚度。

[0122] [第 4 实施方式的半导体封装件的制造方法]

[0123] 下面对第 4 实施方式的半导体封装件的制造方法进行说明。图 13A、图 13B 是对第 4 实施方式的半导体封装件的制造步骤进行例示的图。

[0124] 制造半导体封装件 10C 时,可执行图 13A、图 13B 所示的步骤以取代第 1 实施方式的图 4A、图 4B 所示的步骤。即,可在引线框架 200 的整个上面贴附了形成有黏接层的树脂膜之后,通过去除不要的部分以在单个封装区域 C 上形成盖部 400C 及接合部 50。换言之,由相同的树脂膜(例如,芯片黏接膜)形成盖部 400C 及接合部 50。另外,也可以通过预先将形成有黏接层的树脂膜加工成与盖部 400C 及接合部 50 相对应的预定的形状,并且将其分

别贴附在各贯穿孔 220x 的上面侧及区域 210 的上面侧,以形成盖部 400C 及接合部 50。这里需要说明的是,盖部 400C 是通过被切割而最终成为盖部 40C 的部件。

[0125] 这样,可使用相同的材料,并且在相同的步骤中形成盖部和接合部。这里需要说明的是,与第 1 实施方式同样地,可将图 13A、图 13B 所示的结构体作为 1 个产品进行发货。

[0126] <变形例 1>

[0127] 变形例 1 中示出了有关切割线设定的变化的例子。这里需要说明的是,在变形例 1 中,对与已经说明了的实施方式相同的构成部件的说明进行了省略。另外,尽管变形例 1 是基于第 1 实施方式而进行说明的,但是,变形例 1 也可应用于其它实施方式。

[0128] 在第 1 实施方式中,引线框架 200 沿虚线所示的切割线被进行了切割和个片化。如图 14A、图 14B 所示,在变形例 1 中,图 3A、图 3B 等中 C 所示的部分(切割线)被设定为宽于第 1 实施方式(图 14A、图 14B 的切割线 E)。具体而言,切割线 E 的宽度  $W_1$  被设定为,比用于连接作为各端子部 22 的各区域的架桥部的宽度  $W_2$  还宽。这里需要说明的是,因为在毗邻的单个封装区域内确实地形成了贯穿槽 22x,所以切割线 E 最好设定在穿过贯穿孔 220x 的中心的位置。

[0129] 在变形例 1 的半导体封装件的制造步骤中,对图 3A、图 3B、图 4A、图 4B、图 5A、图 5B 而言,其与第 1 实施方式的半导体封装件的制造步骤同样。但是,在图 5B 所示的步骤之后,在对引线框架 200 进行个片化时,是沿图 14A、图 14B 所示的切割线 E 进行切割的。具体而言,使用宽度比切割线 E 的宽度  $W_1$  还宽的切割刀(刀刃的厚度(刃厚)较厚),沿切割线 E 进行切割,以对引线框架 200 进行个片化。据此,因为在对引线框架 200 进行个片化的同时,还去除了用于连接作为各端子部 22 的各区域的架桥部,进而实现了各端子部 22 的独立化,所以可大幅度地提高半导体封装件的制造步骤的效率。

[0130] 这里需要说明的是,如果贯穿孔 220x 的直径小于切割刀的刃厚,则个片化后不会形成贯穿槽 22x。所以,贯穿孔 220x 的直径被设计为大于切割刀的刃厚。另外,如果不将贯穿孔 220x 的平面形状设计为圆形,而是设计成如图 15A、图 15B 所示的贯穿孔 220 y 那样的、以切割线 E 的宽度方向为长径的椭圆形,则更有助于确实地形成贯穿槽 22x。另外,也可以将贯穿孔 220 y 的平面形状设计为椭圆形之外的纵长形状(例如,以切割线 E 的宽度方向为长边的长方形等)。

[0131] 或者,如图 16A、图 16B 所示,在作为端子部 22 的各区域内设置 2 个贯穿孔 220z,也有助于确实地形成贯穿槽 22x。这里需要说明的是,只要能确实地形成贯穿槽 22x,贯穿孔 220z 的平面形状可为圆形、椭圆形或其它形状。另外,在作为端子部 22 的各区域内,在平面视图上,各贯穿孔 220z 可设置为互相邻接、互相重复、或互相离开。另外,在作为端子部 22 的各区域内,也可设置 3 个以上的贯穿孔 220z。

[0132] <变形例 2>

[0133] 变形例 2 中示出了有关切割线设定的变化的其它例子。这里需要说明的是,在变形例 2 中,对与已经说明了的实施方式相同的构成部件的说明进行了省略。另外,尽管变形例 2 是基于第 1 实施方式而进行说明的,变形例 2 也可应用于其它实施方式。

[0134] 在第 1 实施方式中,引线框架 200 沿虚线所示的切割线被进行了切割和个片化。如图 17A、图 17B 所示,在变形例 2 中,图 3A、图 3B 等中的 C 所示的部分(切割线)被切割线  $F_1$  及  $F_2$  所置换。切割线  $F_1$  被设定在用于连接作为各端子部 22 的各区域的架桥部的外侧,

切割线  $F_2$  被设定在用于连接作为各端子部 22 的各区域的架桥部的内侧。这里需要说明的是,由切割线  $F_2$  所围成的区域是单个封装区域。

[0135] 在变形例 2 的半导体封装件的制造步骤中,对图 3A、图 3B、图 4A、图 4B、图 5A、图 5B 而言,其与第 1 实施方式的半导体封装件的制造步骤同样。但是,在图 5B 所示的步骤之后,在对引线框架 200 进行个片化时,是使用切割刀沿图 17A、图 17B 所示的切割线  $F_1$  及  $F_2$  进行切割,以对引线框架 200 进行个片化的。据此,因为在对引线框架 200 进行个片化的同时,还去除了用于连接作为各端子部 22 的各区域的架桥部,进而实现了各端子部 22 的独立化,所以可大幅度地提高半导体封装件的制造步骤的效率。

[0136] 这里需要说明的是,如果贯穿孔 220x 的直径小于切割线  $F_1$  和切割线  $F_2$  间的距离(间隔),则个片化后不会形成贯穿槽 22x。所以,贯穿孔 220x 的直径被设计为大于切割线  $F_1$  和切割线  $F_2$  间的距离(间隔)。另外,如果形成了如图 15A、图 15B 和图 16A、图 16B 所示形态的贯穿孔,则会更好,这点与变形例 1 同样。

[0137] 另外,在引线框架 200 的外周,也可以不设置 2 条切割线  $F_1$  及  $F_2$ ,而是设置 1 条切割线,以避免用于支持区域 220 的区域 230。例如,在引线框架 200 的外周,可仅有图 17A、图 17B 的切割线  $F_2$  的位置处所设置的 1 条切割线。在这种情况下,引线框架 200 的外周的贯穿孔 220x 可形成在例如图 17A、图 17B 的切割线  $F_2$  的位置处所设置的 1 条切割线穿过其中心那样的位置处。

[0138] 另外,沿切割线  $F_1$  及  $F_2$  进行切割的切割刀并不是如变形例 1 所述的刃厚较厚的刀,可使用与第 1 实施方式同样的刃厚较薄的刀。

[0139] <变形例 3>

[0140] 变形例 3 中示出了树脂部 80 的形状的变化的例子。这里需要说明的是,在变形例 3 中,对与已经说明了的实施方式相同的构成部件的说明进行了省略。另外,尽管变形例 3 是基于第 1 实施方式而进行说明的,但是变形例 3 也可应用于其它实施方式。

[0141] 在第 1 实施方式中,引线框架 200 沿虚线所示的切割线被进行了切割和个片化。之后,树脂部 80 又被形成在了图 5B 等中的 C 所示的切割线上。换言之,在对引线框架 200 进行个片化时,需要对切割线上的树脂部 80 进行切割。在变形例 3 中,树脂部 80 并不是形成在 C 所示的切割线上。下面参照图 18 及图 19 对其进行说明。

[0142] 图 18 是对变形例 3 的半导体封装件进行例示的截面图。参照图 18,在半导体封装件 10D 中,树脂部 80 的侧面 80a 为倾斜面,配置在 C 所示的切割线附近的引线框架 20 和盖部 40 从树脂部 80 中露出。但是,树脂部 80 的侧面 80a 并不一定要为倾斜面,例如,可为与盖部 40 的上面大致垂直的面。

[0143] 图 19 是对变形例 3 的半导体封装件的制造步骤进行例示的图。在制造半导体封装件 10D 时,首先执行与第 1 实施方式的图 3A、图 3B、图 4A、图 4B、图 5A 同样的步骤。之后,如图 19 所示,在引线框架 200 上形成树脂部 80,以覆盖盖部 400、接合部 50、半导体芯片 60、及金属线 70。但是,在树脂部 80 上形成了使 C 所示的切割线露出的沟部 80x。沟部 80x 例如可通过在传递模法或压模法等中所使用的金型中设置与沟部 80x 相对应的突起部的方式而形成。

[0144] 在图 19 所示的步骤之后,对引线框架 200 进行个片化,此时,因为 C 所示的切割线已经在沟部 80x 内露出来了,所以并不需要对树脂部 80 进行切割。树脂部 80 例如采用使

环氧树脂含有了填充物的所谓的模制树脂等,然而,在填充物的含有率较高的情况下,如果对树脂部 80 进行切割,则填充物有可能导致切割刀破损。在变形例 3 中,因为并不对树脂部 80 进行切割,所以可排除填充物导致切割刀破损的可能性。

[0145] 这里需要说明的是,也可以不使 C 所示的切割线从树脂部 80 露出,而使覆盖 C 所示的切割线的树脂部 80 的厚度薄于覆盖其它部分的树脂部 80 的厚度。在这种情况下,即使切割刀对树脂部 80 进行了切割,然而,因为切割部分的树脂部 80 被事先设计为较薄,所以也可降低填充物导致切割刀破损的可能性。

[0146] 另外,在变形例 3 中,因为 C 所示的切割线在沟部 80x 内露出来了,所以,在图 19 所示的步骤中,也可以使用基于压力加工的冲压法对 C 所示的切割线进行切割。在覆盖 C 所示的切割线的树脂部 80 的厚度薄于覆盖其它部分的树脂部 80 的厚度的情况下,同样地也可以使用基于压力加工的冲压法对 C 所示的切割线进行切割。

[0147] 另外,也可以将变形例 3 与变形例 1 或 2 进行组合。

[0148] 以上对本发明的较佳实施方式及变形例进行了说明,但是,本发明并不限于上述的实施方式及变形例,只要不脱离权利要求的范围,可以对上述实施方式及变形例进行各种各样的变形、变更或置换。

[0149] 例如,也可以采用倒装芯片(Flip Chip)实装技术将半导体芯片实装至引线框架。

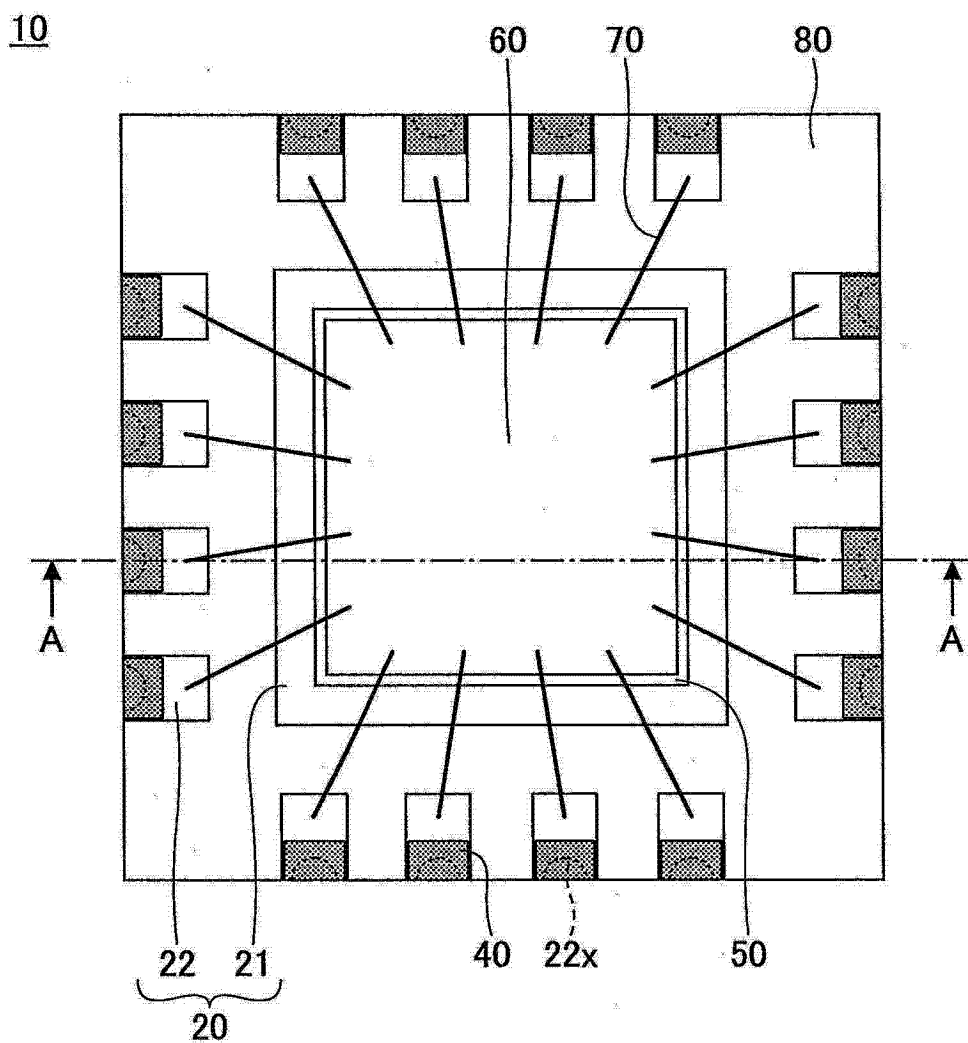


图 1A

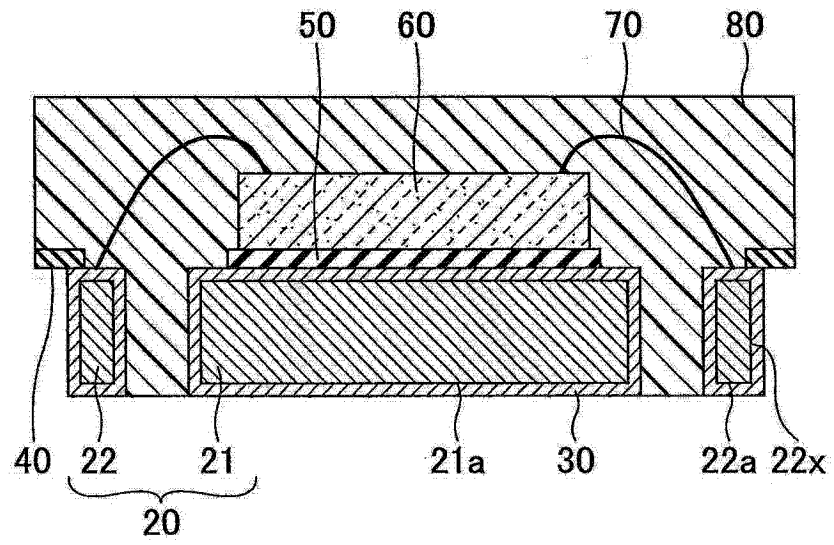
10

图 1B

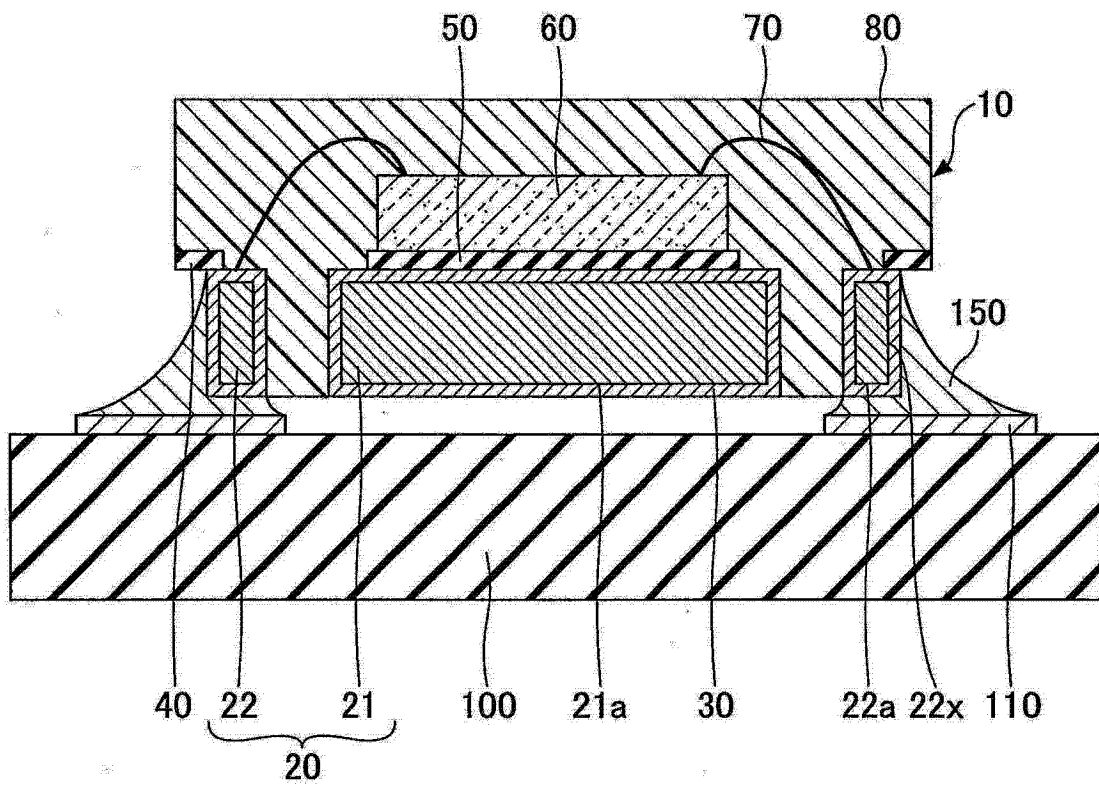


图 2

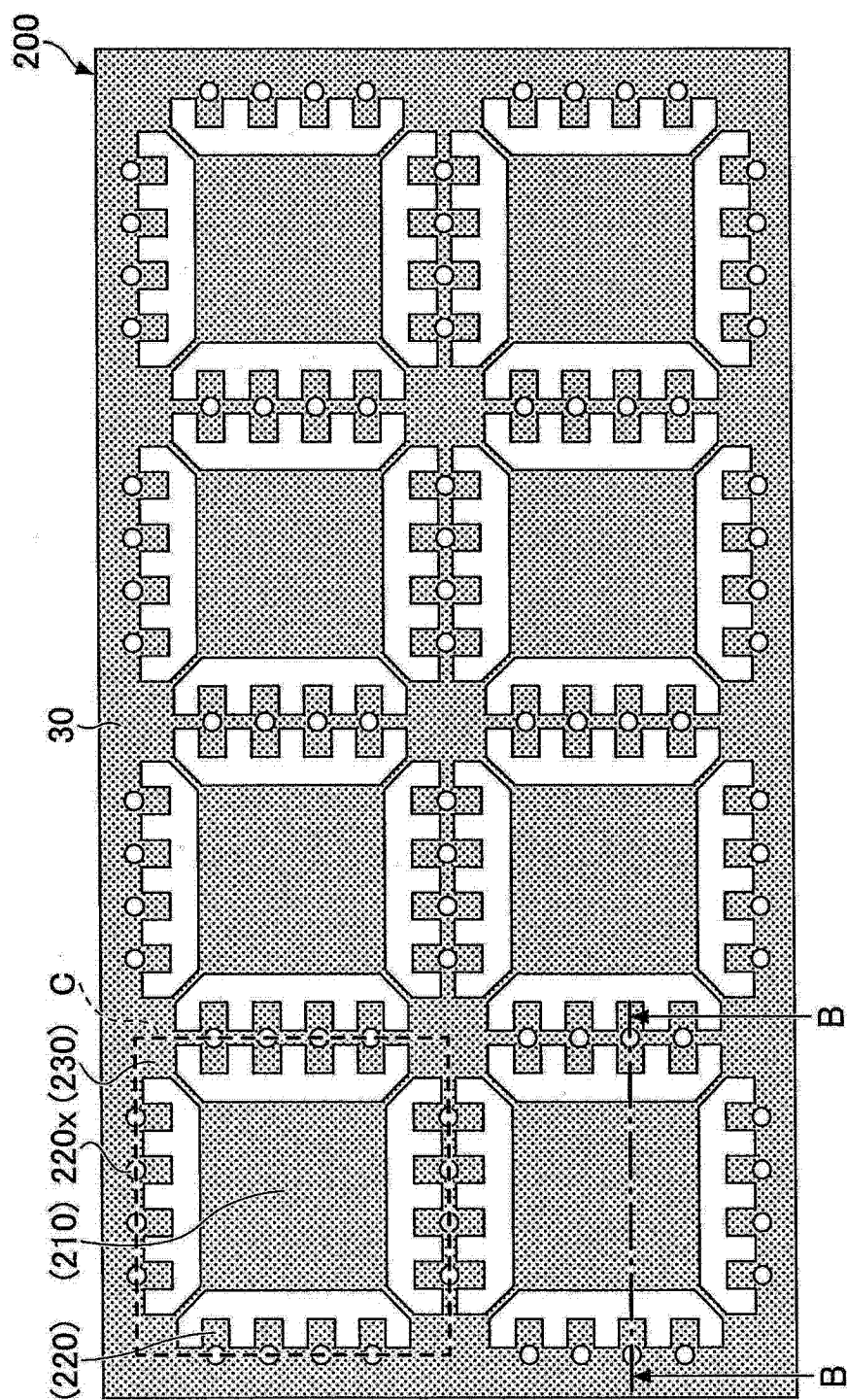


图 3A

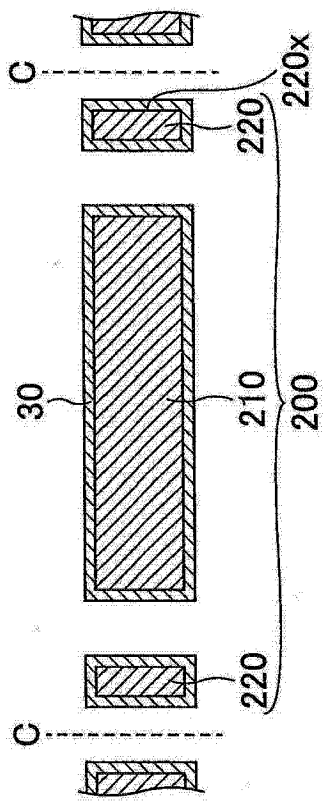


图 3B

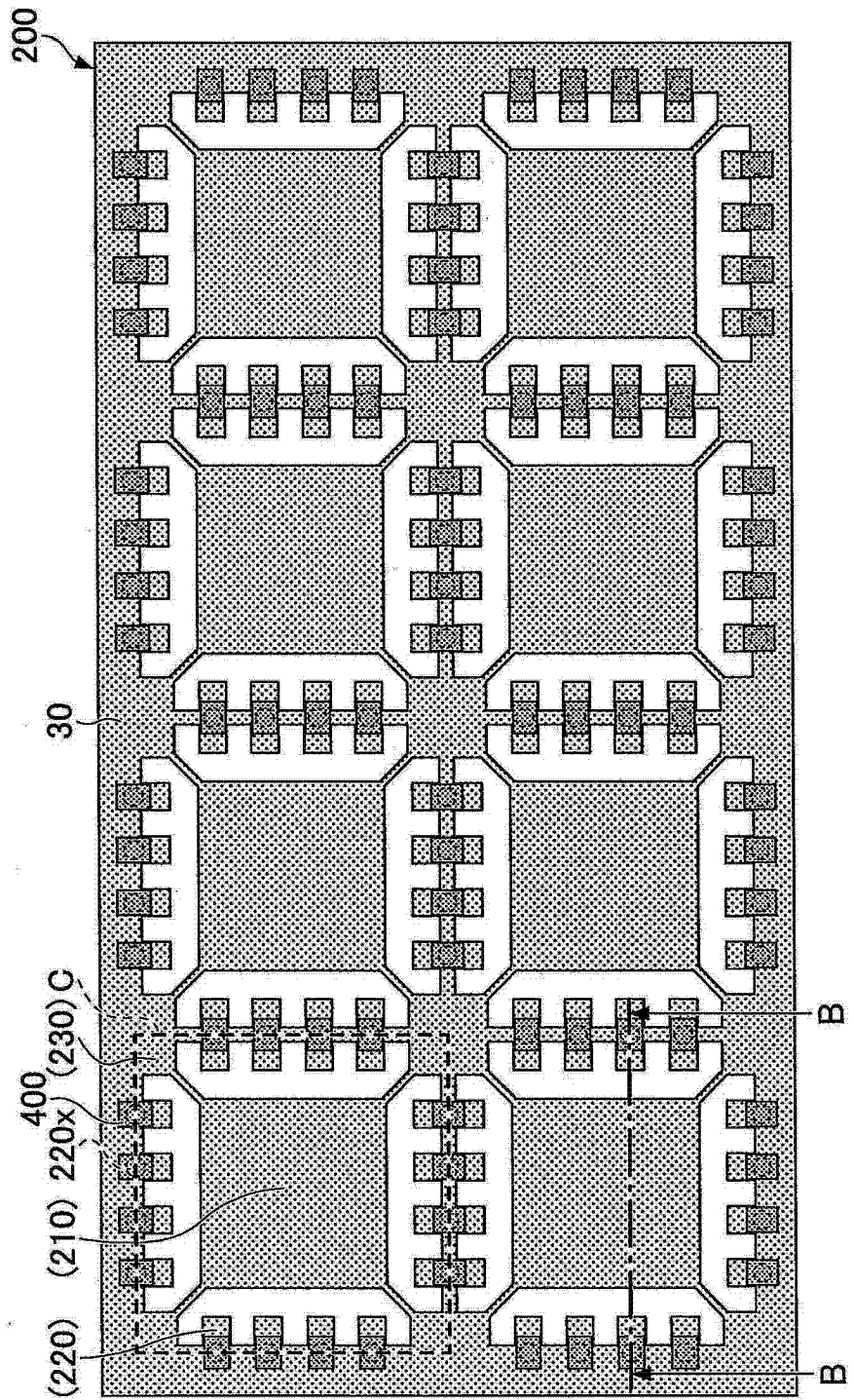


图 4A

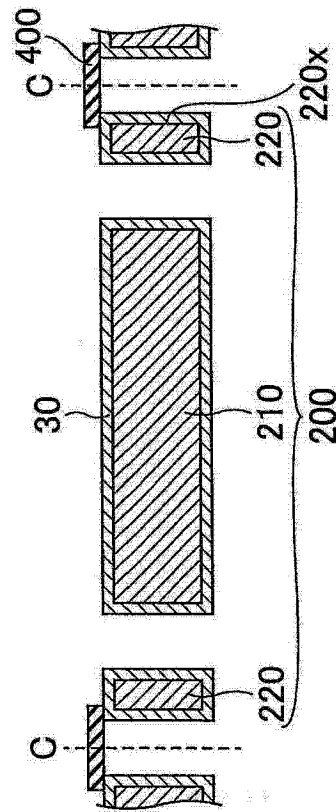


图 4B

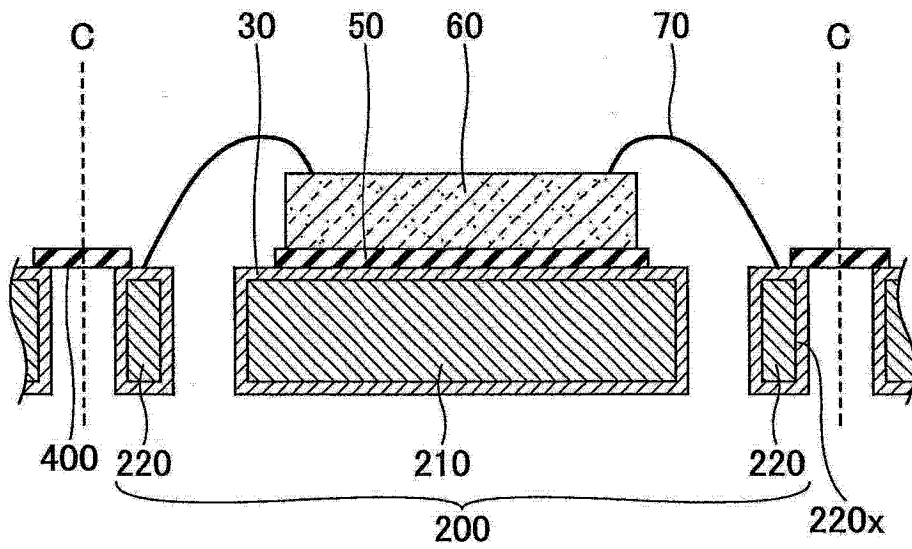


图 5A

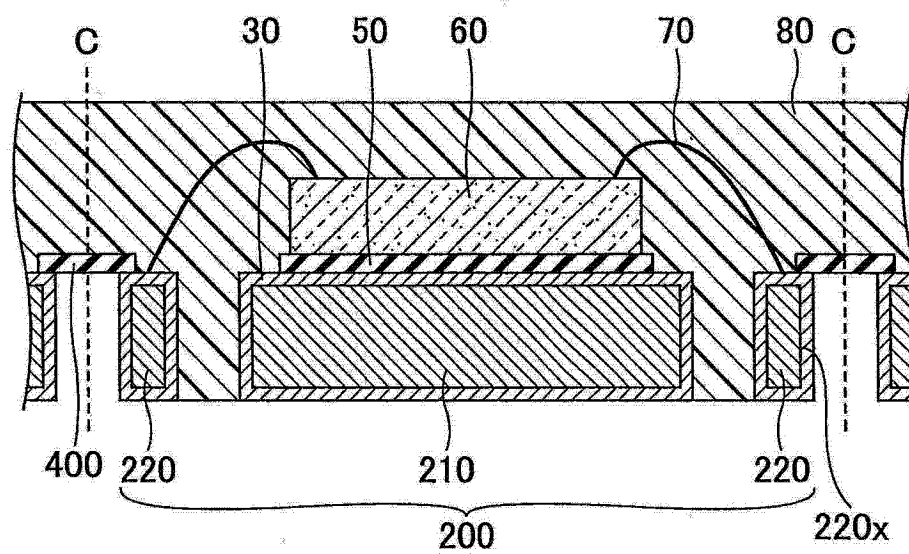


图 5B

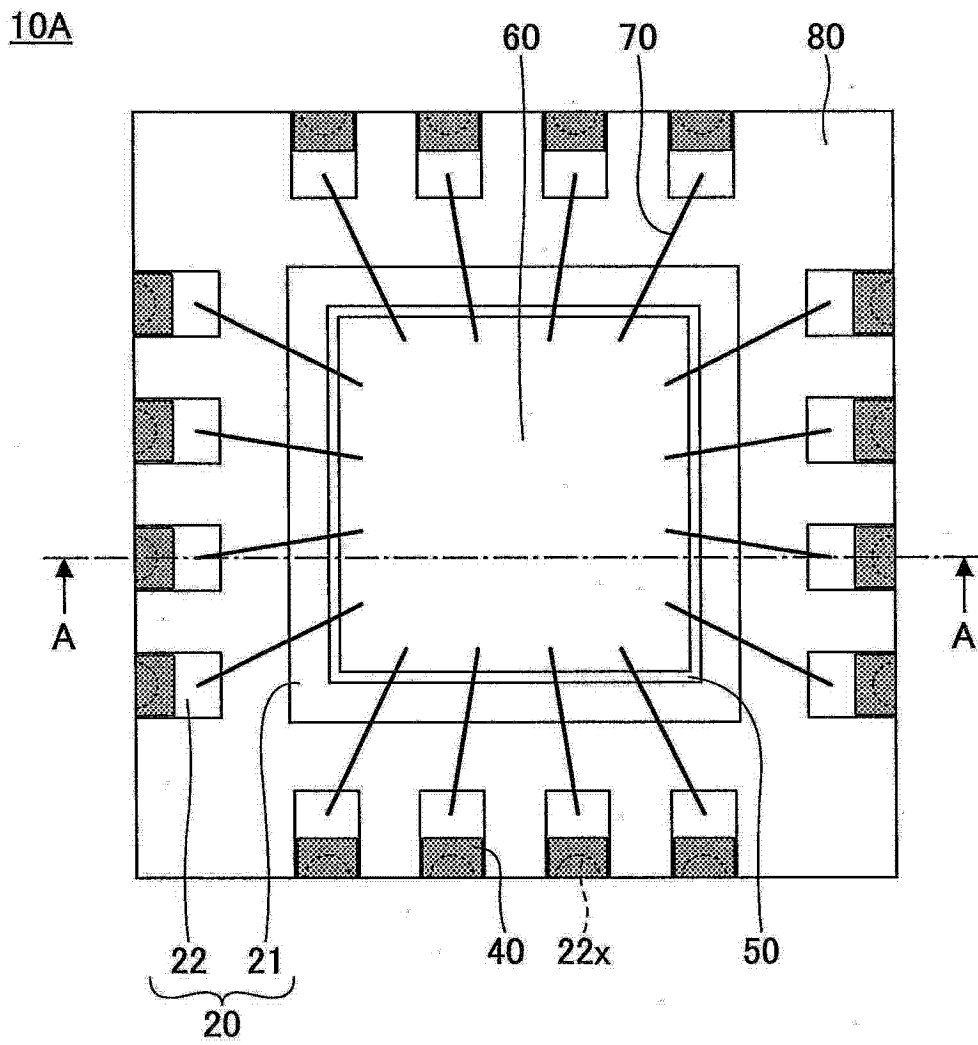


图 6A

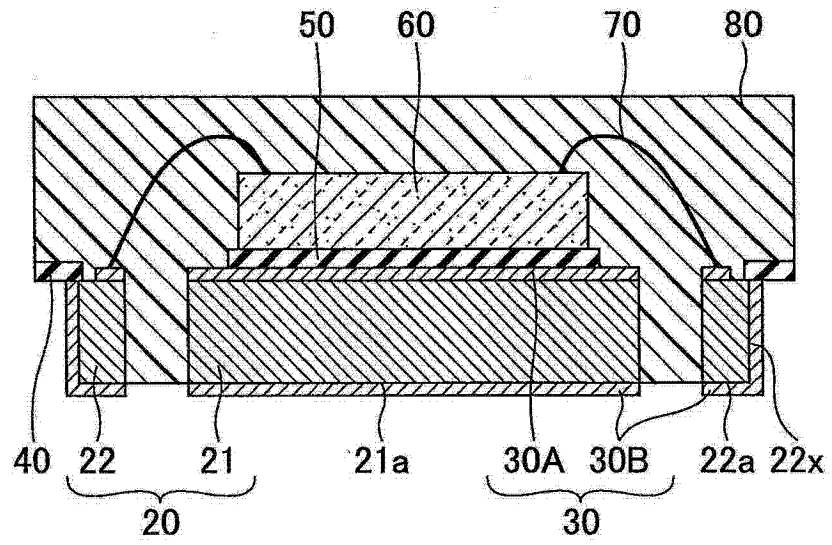
10A

图 6B

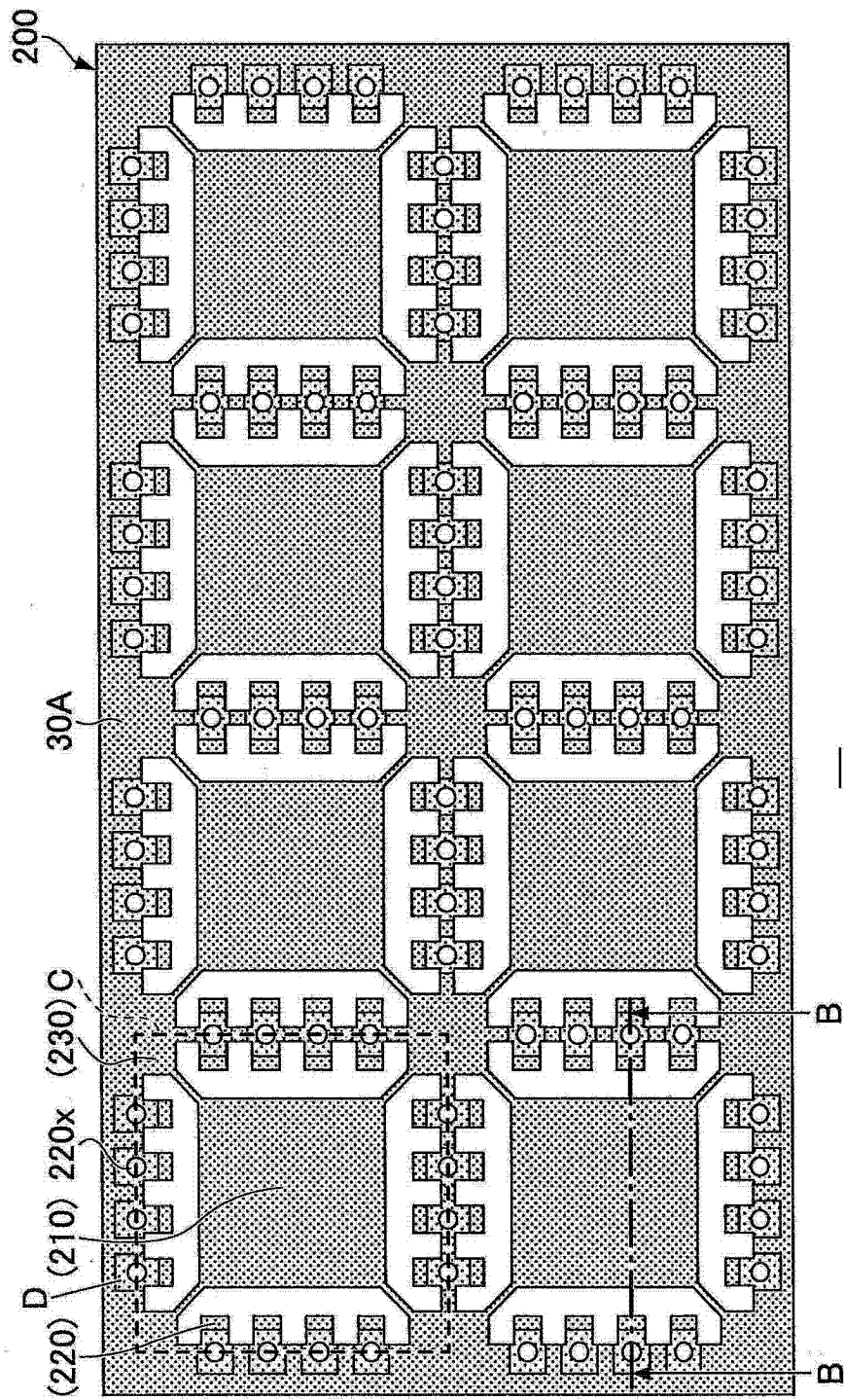


图 7A

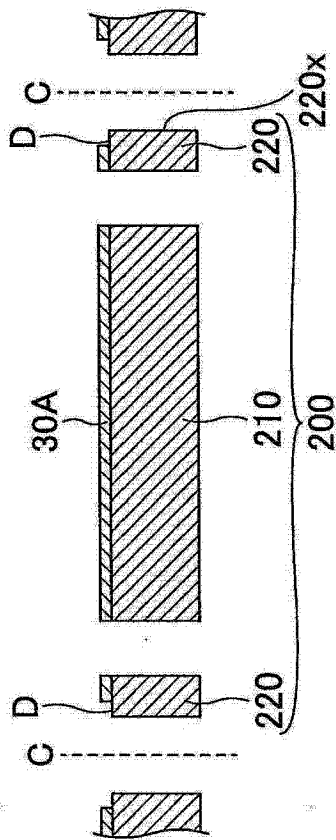


图 7B

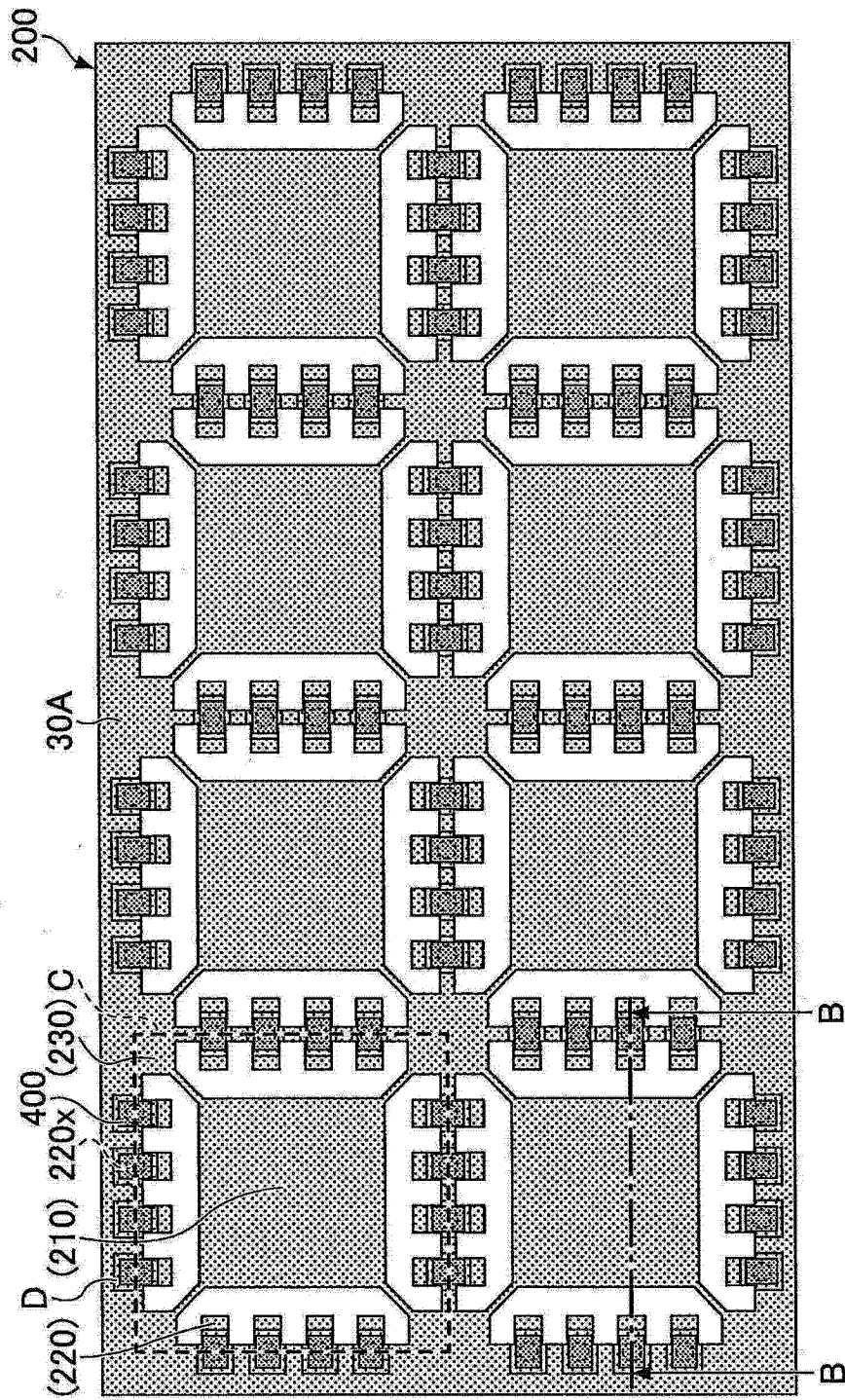


图 8A

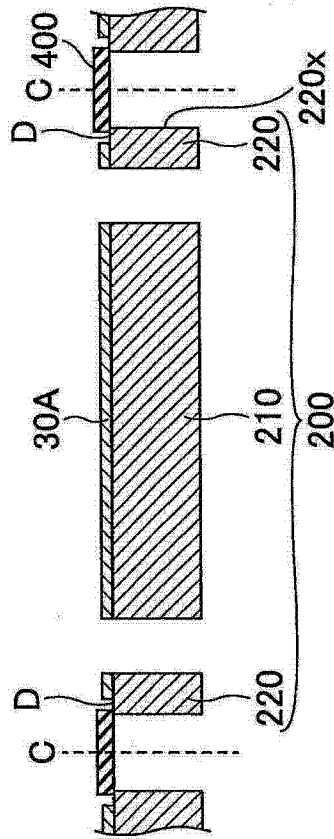


图 8B

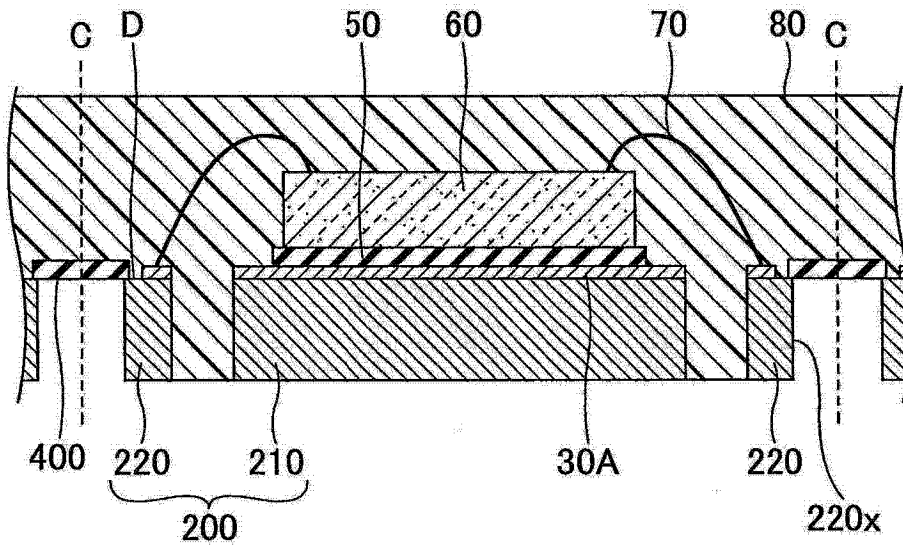


图 9A

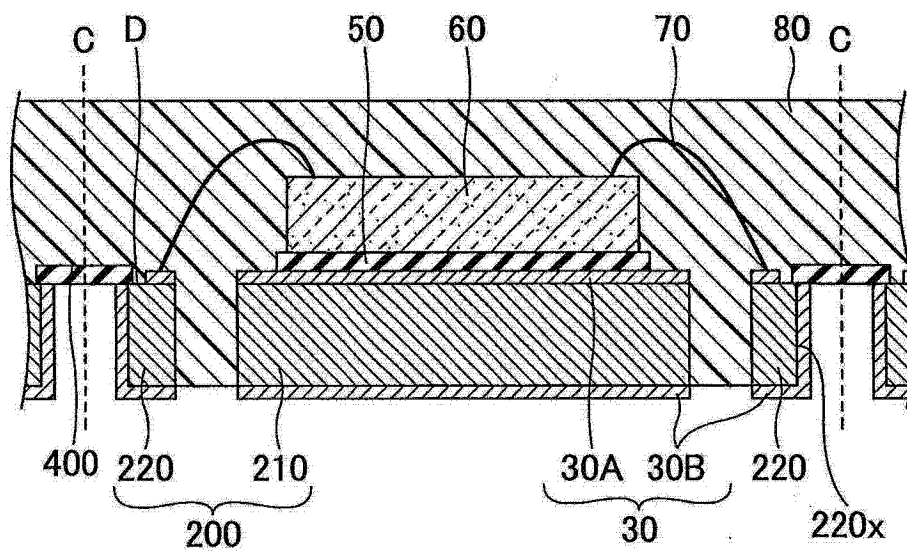


图 9B

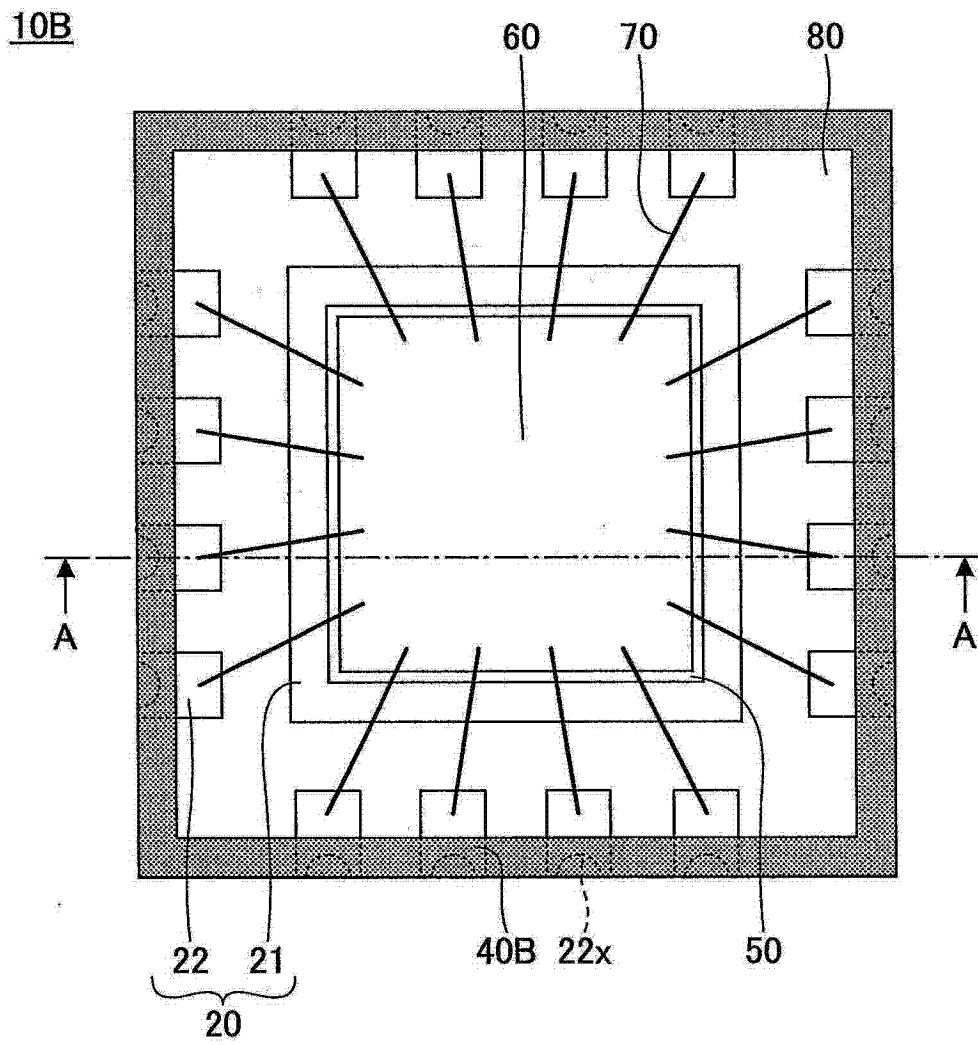


图 10A

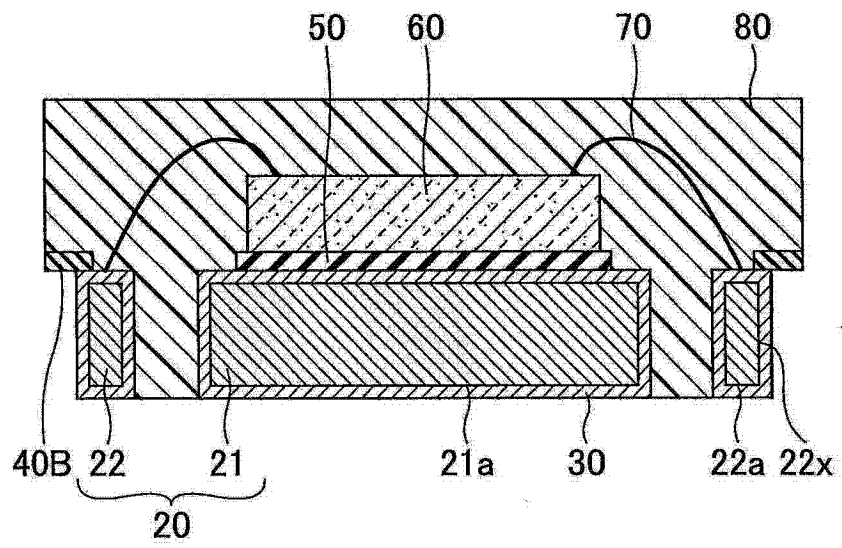
**10B**

图 10B

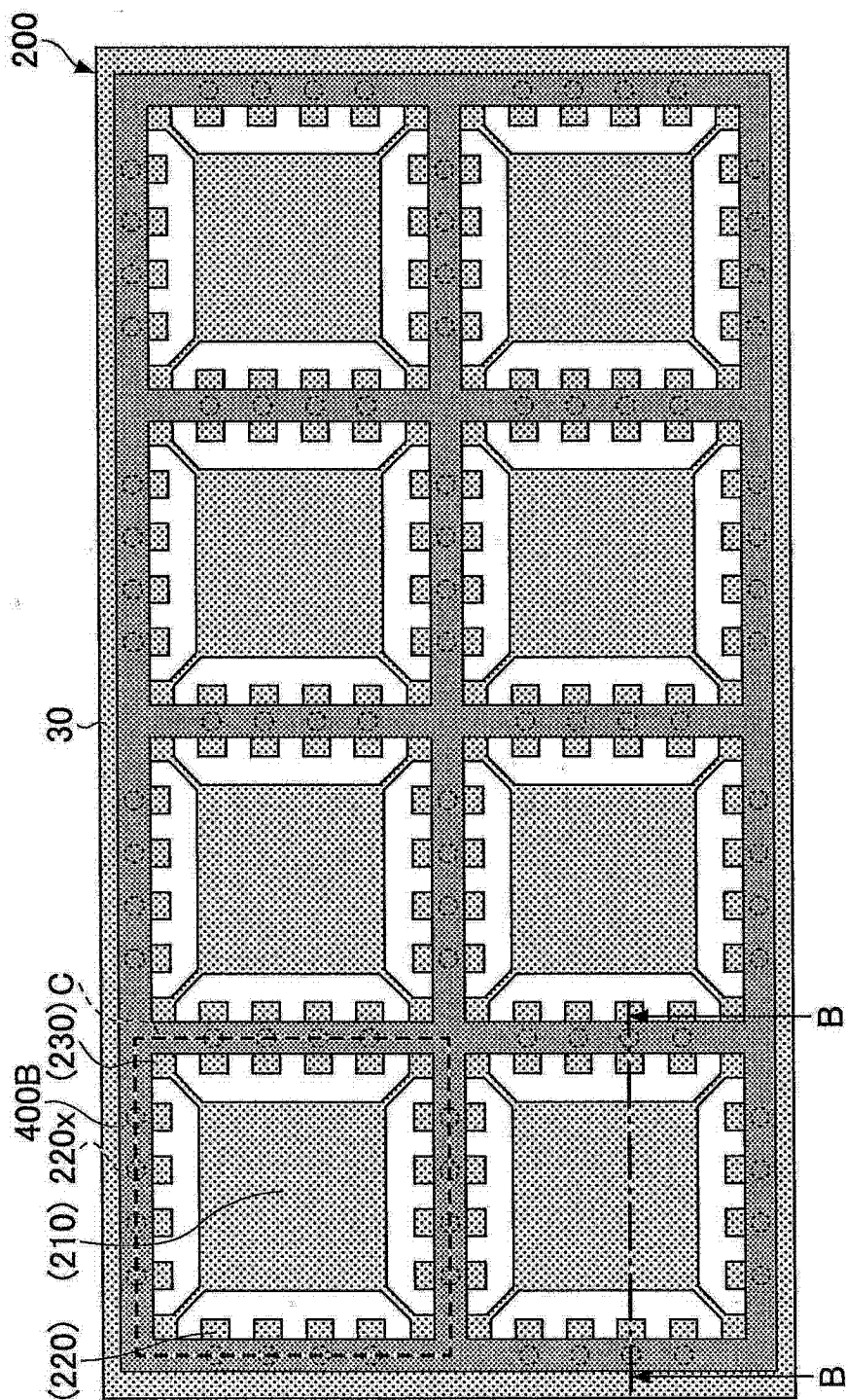


图 11A

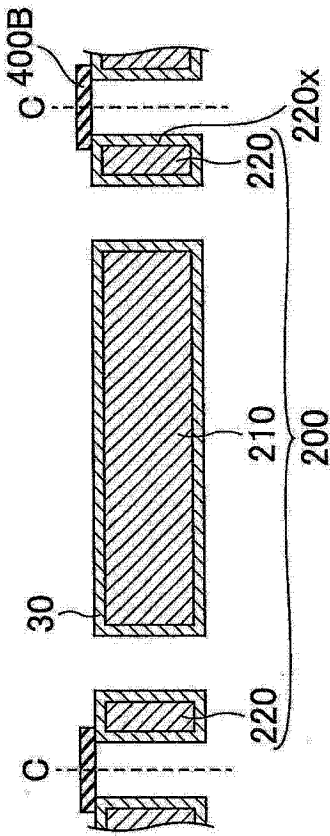


图 11B

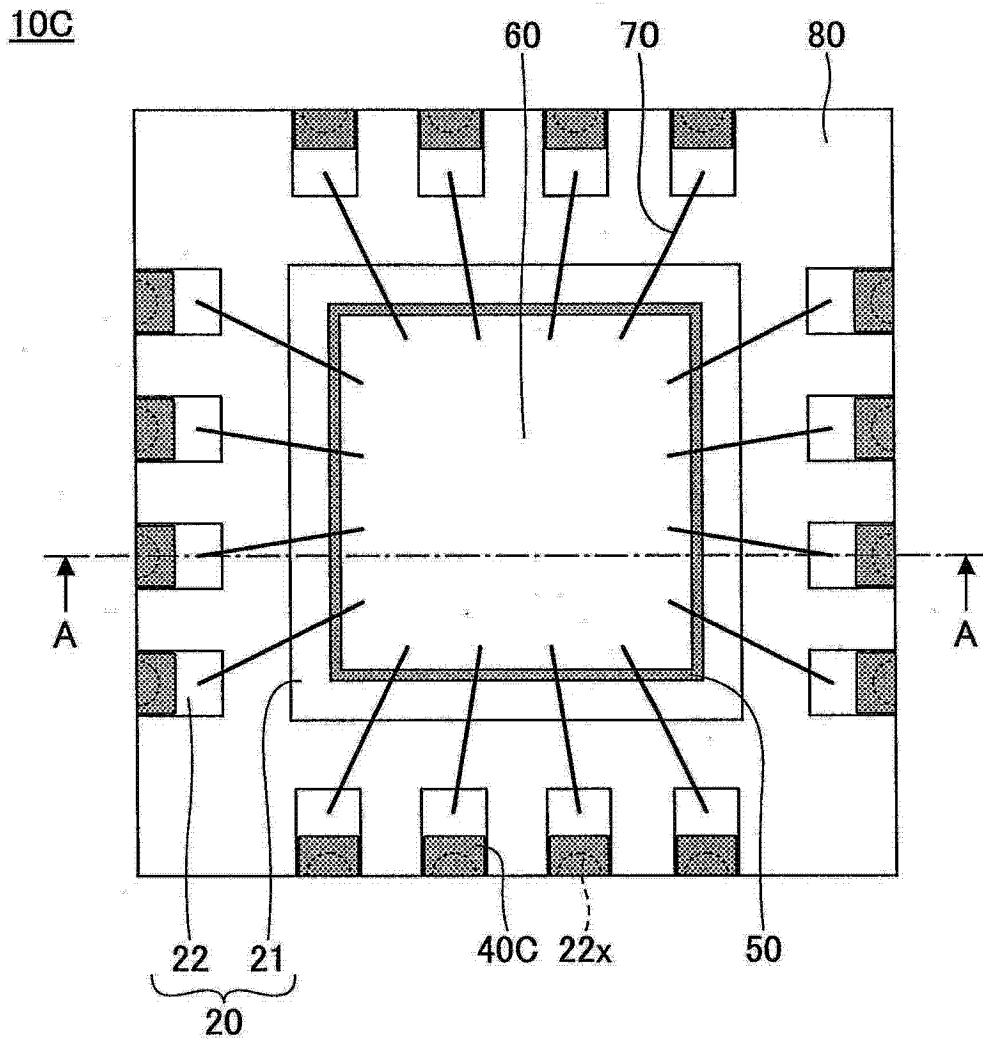


图 12A

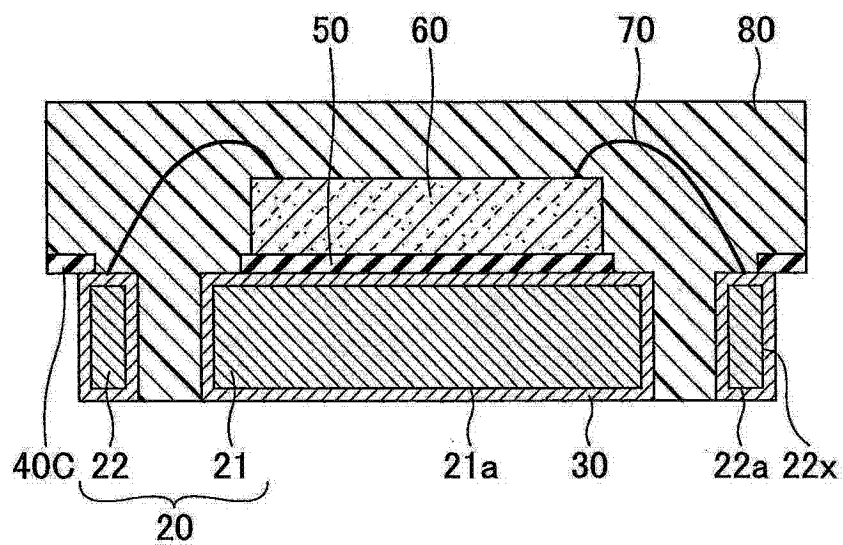
**10C**

图 12B

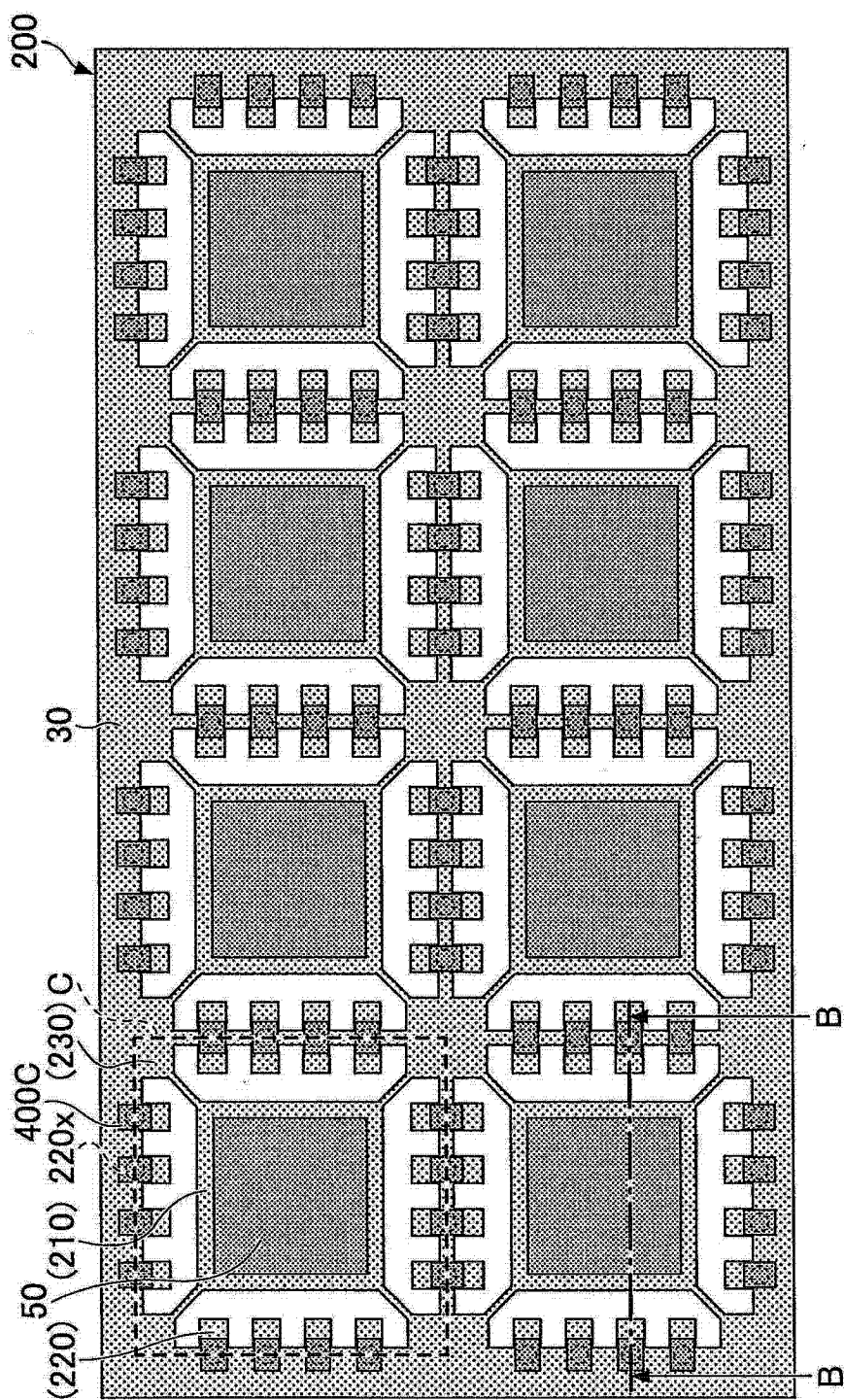


图 13A

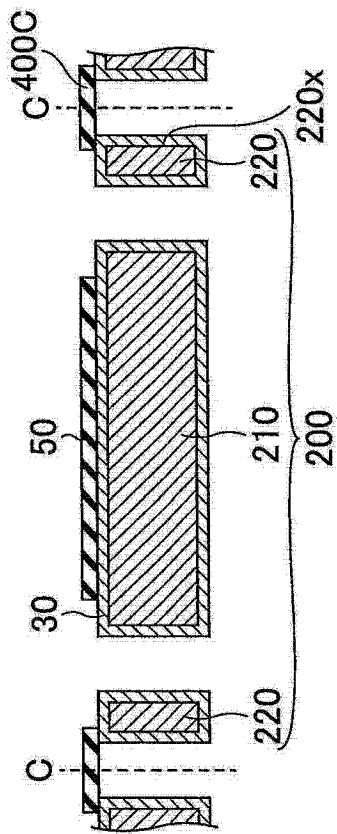


图 13B

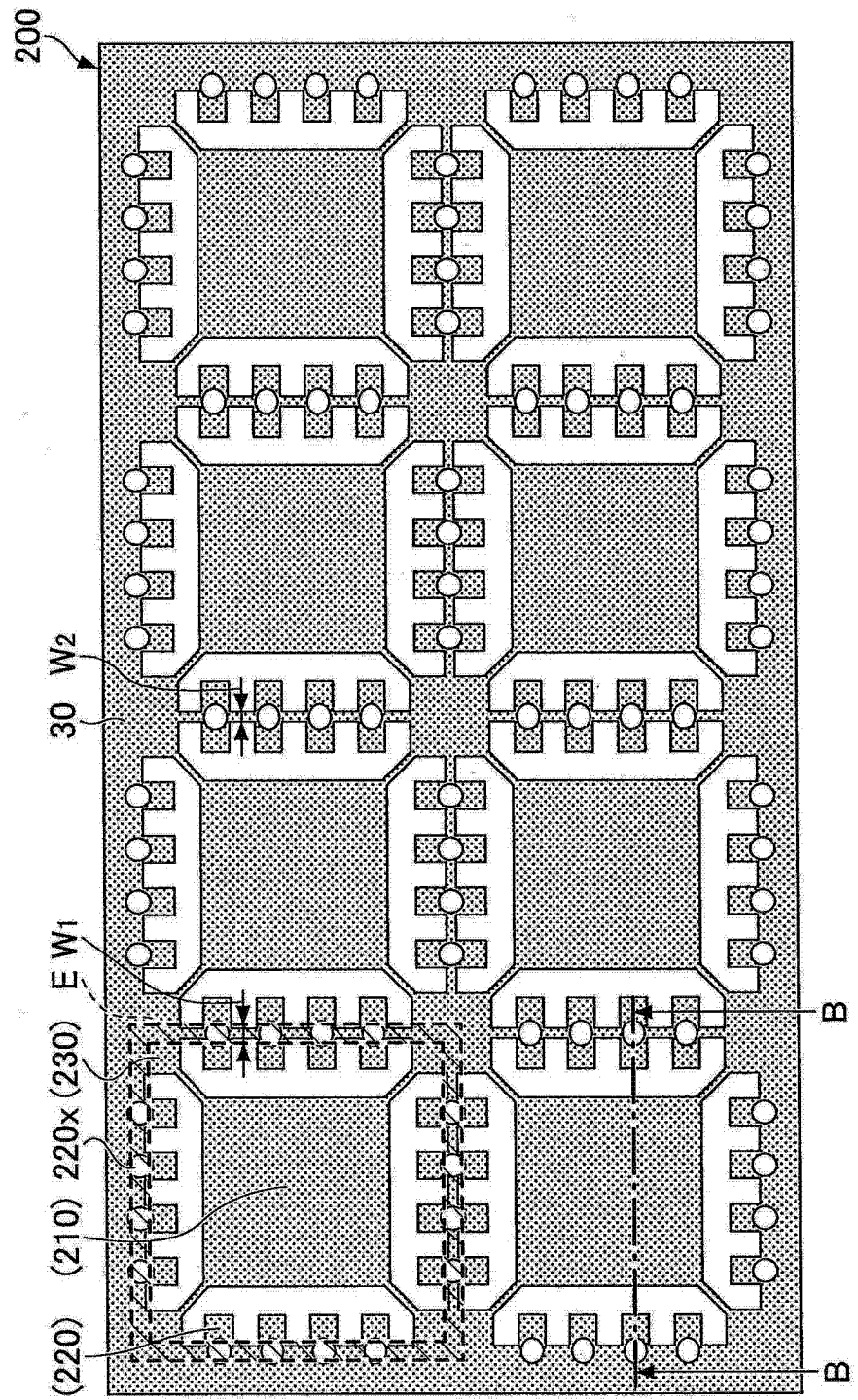


图 14A

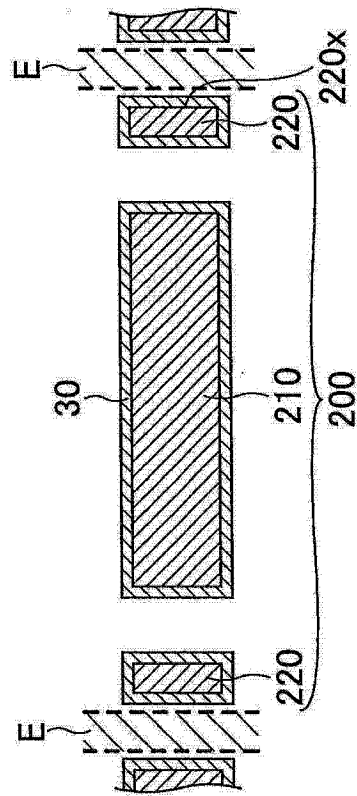


图 14B

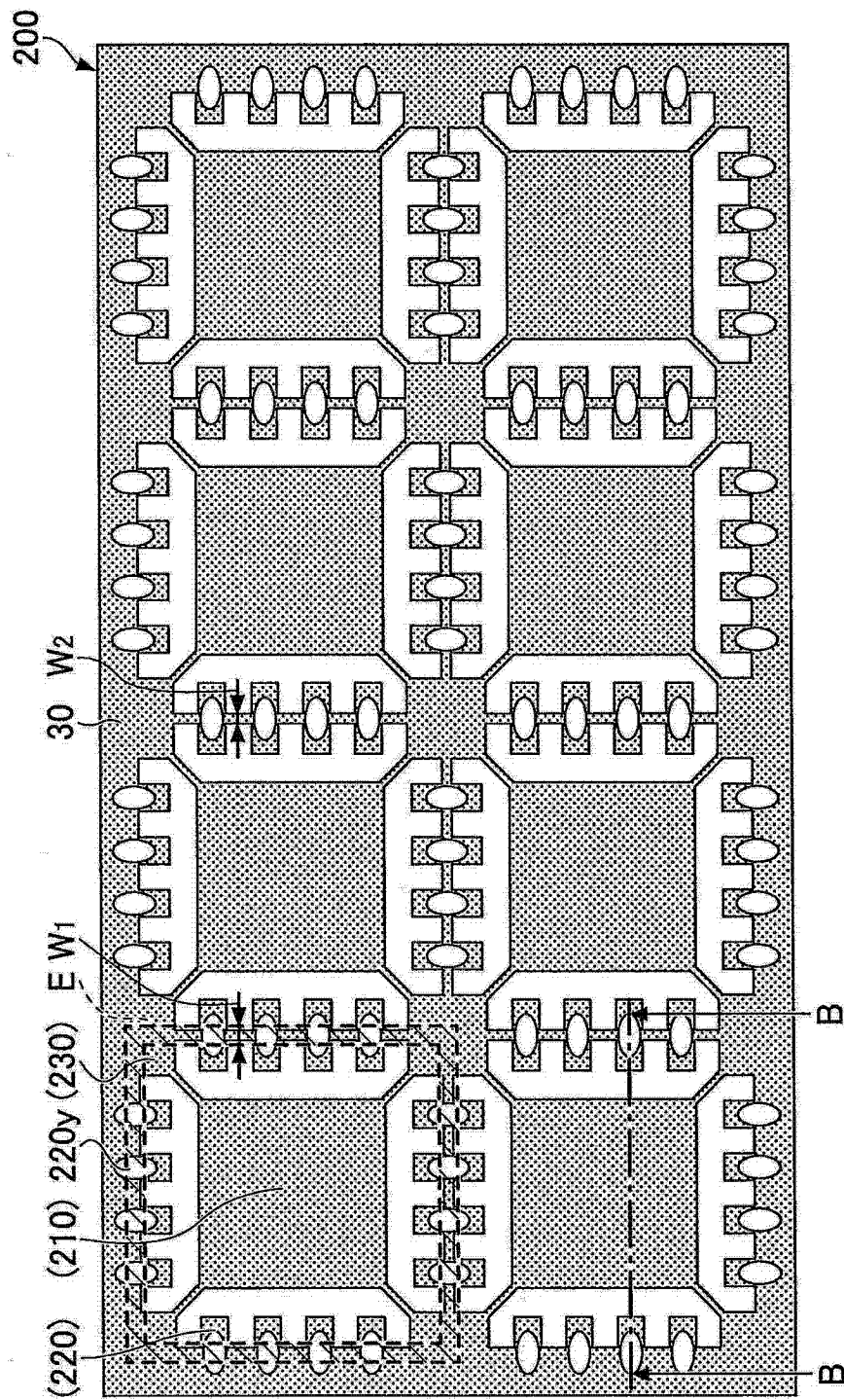


图 15A

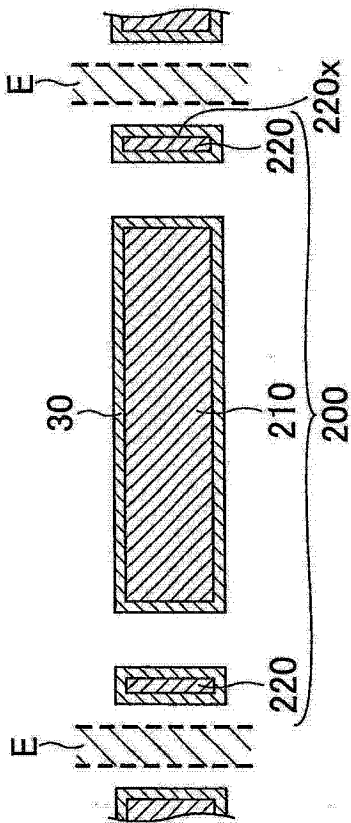


图 15B

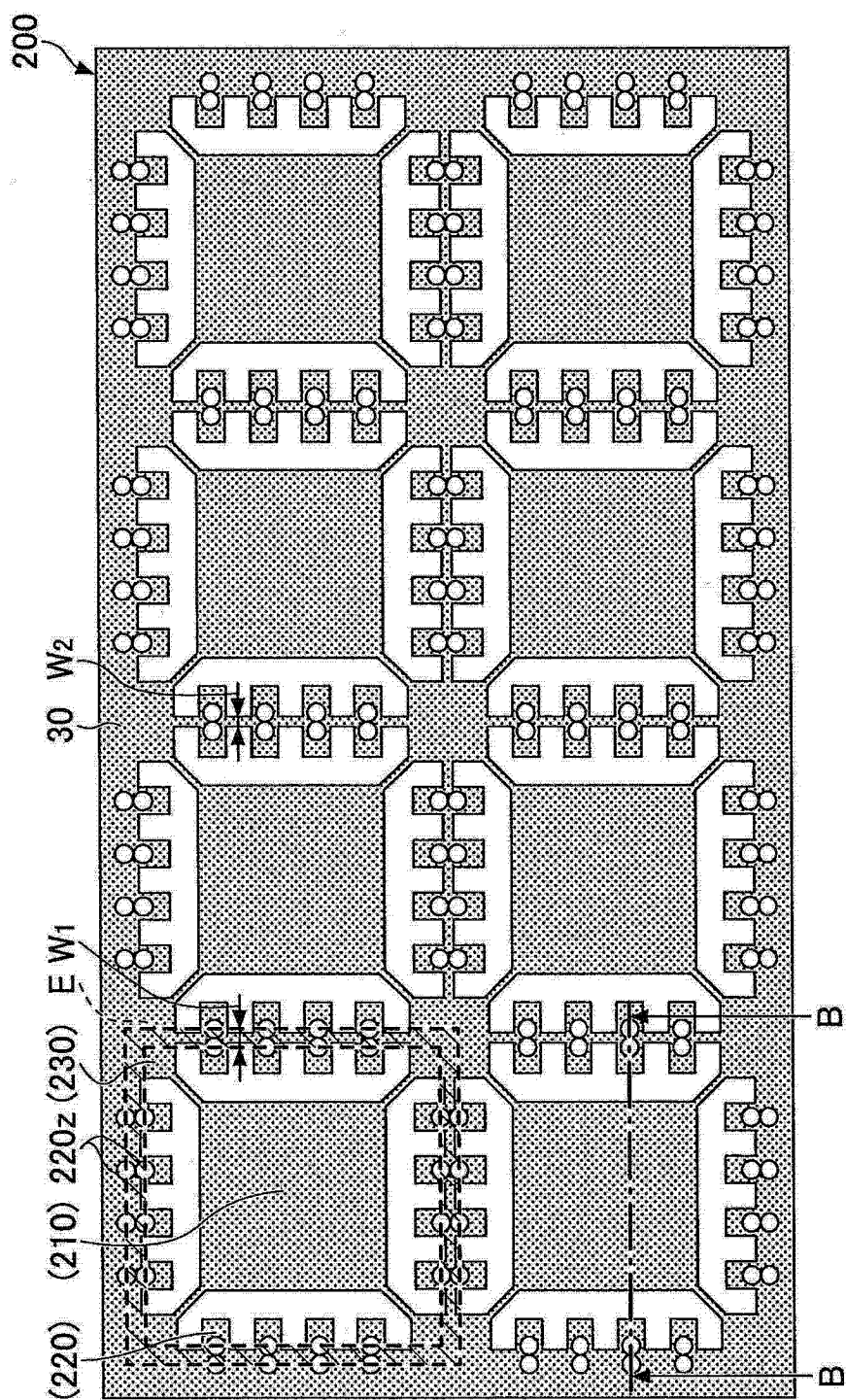


图 16A

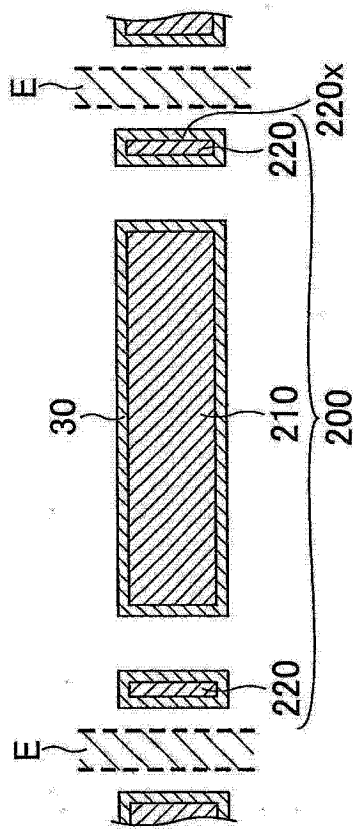


图 16B

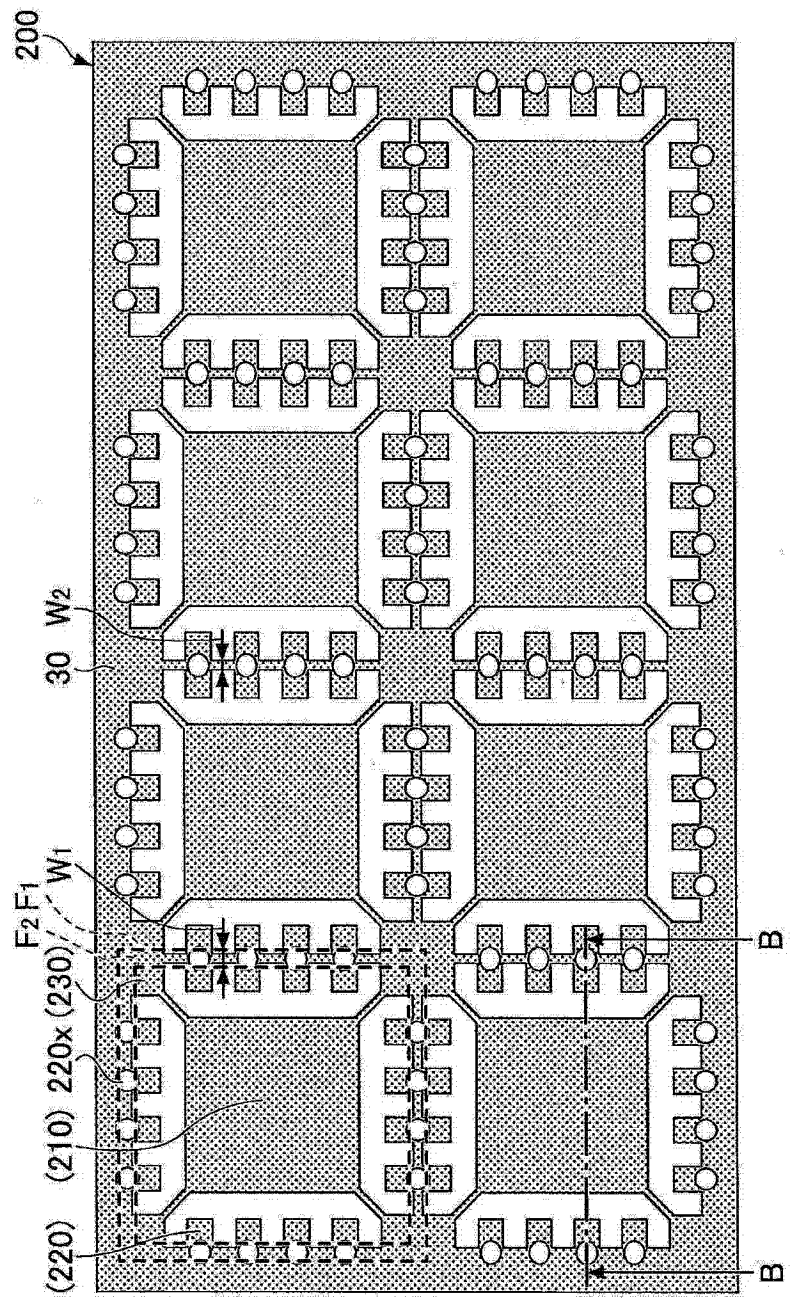


图 17A

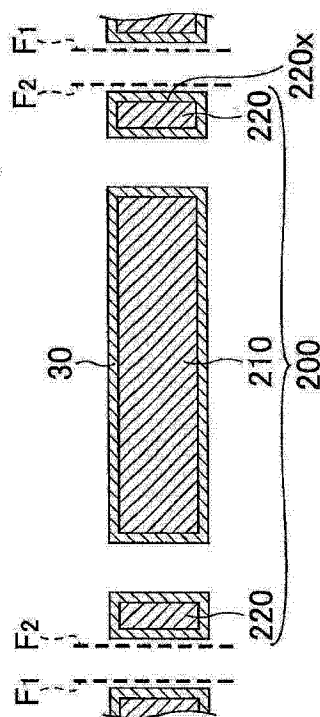


图 17B

10D

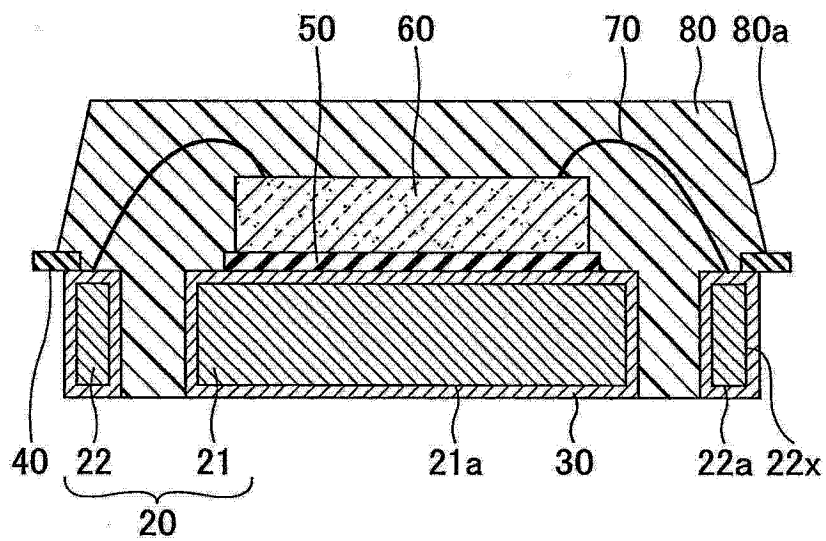


图 18

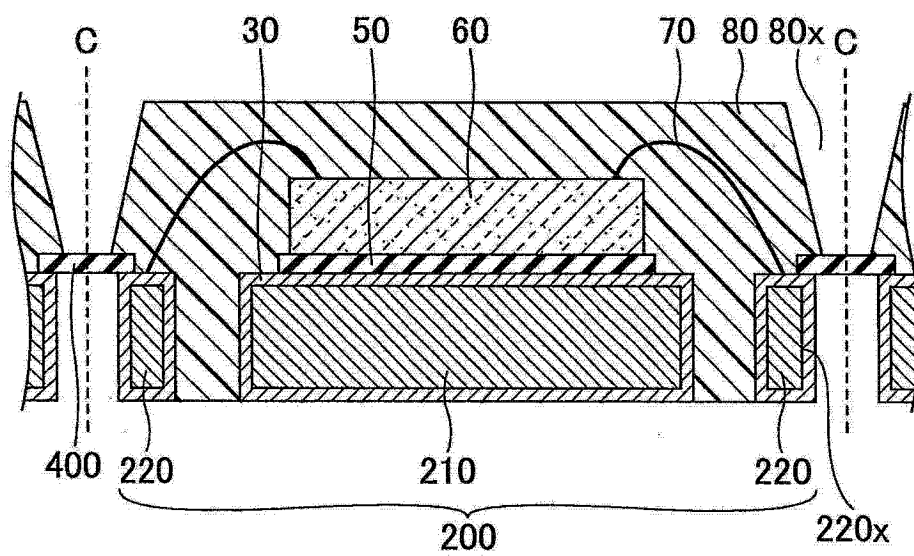


图 19