

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 1 月 18 日 (18.01.2024)



(10) 国际公布号
WO 2024/012155 A1

(51) 国际专利分类号:
H01F 27/30 (2006.01)

(21) 国际申请号: PCT/CN2023/100913

(22) 国际申请日: 2023 年 6 月 17 日 (17.06.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210821256.3 2022年7月13日 (13.07.2022) CN

(71) 申请人: 华为数字能源技术有限公司
(**HUAWEI DIGITAL POWER TECHNOLOGIES CO., LTD.**) [CN/CN]; 中国广东省深圳市福田区香蜜湖街道香安社区安托山六路33号安托山总部大厦A座研发39层01号, Guangdong 518043 (CN)。

(72) 发明人: 梁金坤(**LIANG, Jinkun**); 中国广东省深圳市福田区香蜜湖街道香安社区安托山六路33号安托山总部大厦A座研发39层01号, Guangdong 518043 (CN)。智彦军(**ZHI, Yanjun**); 中国广东省深圳市福田区香蜜湖街道香安社区安托山六路33号安托山总部大厦A座研发39层01号, Guangdong 518043 (CN)。郑洲(**ZHENG, Zhou**); 中国广东省深圳市福田区香蜜湖街道香安社区安托山

六路33号安托山总部大厦A座研发39层01号, Guangdong 518043 (CN)。胡小情(**HU, Xiaoqing**); 中国广东省深圳市福田区香蜜湖街道香安社区安托山六路33号安托山总部大厦A座研发39层01号, Guangdong 518043 (CN)。景遐明(**JING, Xiaming**); 中国广东省深圳市福田区香蜜湖街道香安社区安托山六路33号安托山总部大厦A座研发39层01号, Guangdong 518043 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司
(**SCIHEAD IP LAW FIRM**); 中国广东省广州市越秀区先烈中路80号汇华商贸大厦1508室, Guangdong 510070 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) **Title:** INTEGRATED INDUCTOR, CIRCUIT BOARD ASSEMBLY AND INVERTER

(54) 发明名称: 集成电感、电路板组件和逆变器

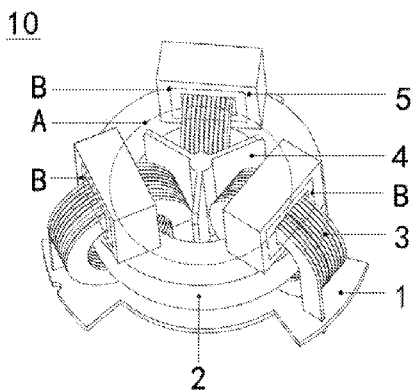


图 3

(57) **Abstract:** The present application provides an integrated inductor, a circuit board assembly and an inverter. The integrated inductor comprises a first magnetic core, at least two second magnetic cores and at least two windings, the first magnetic core comprising a first surface and a second surface which are opposite one another in a first direction, and the first magnetic core being provided with a first through hole penetrating through the first surface and the second surface. The second magnetic cores are arranged on a side of the first surface distant from the second surface in the first direction, and the second magnetic cores are provided with second through holes. The windings are wound around the first magnetic core and the second magnetic cores, the windings and the first magnetic core forming a common mode inductor, and the windings and the second magnetic cores forming differential mode inductors. A second magnetic core comprises a first part and a second part, the first part being located between the winding and the first surface in the first direction and on the side of the first surface distant from the second surface, and the second part being located on a side of the winding distant from the first surface. The first magnetic core and a second magnetic core share one set of windings, which can save area occupied by the integrated inductor during installation while ensuring the working efficiency of the integrated inductor.

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请提供了一种集成电感、电路板组件和逆变器, 集成电感包括第一磁芯、至少两个第二磁芯和至少两个绕组, 第一磁芯包括在第一方向上相对的第一表面和第二表面, 第一磁芯设有贯穿第一表面和第二表面的第一通孔。第二磁芯在第一方向上设置在第一表面远离第二表面的一侧, 第二磁芯设有一个第二通孔。绕组缠绕第一磁芯和第二磁芯, 绕组和第一磁芯构成共模电感, 绕组和第二磁芯构成差模电感。第二磁芯包括第一部分和第二部分, 沿第一方向且在第一表面背离第二表面的一侧, 第一部分位于绕组和第一表面之间, 第二部分位于绕组远离第一表面的一侧。第一磁芯与第二磁芯共用一组绕组, 在保证集成电感工作效率的情况下, 能够节省集成电感安装时的占板面积。

集成电感、电路板组件和逆变器

本申请要求于 2022 年 7 月 13 日提交中国专利局、申请号为 202210821256.3，发明名称为“集成电感、电路板组件和逆变器”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及电感领域，尤其涉及一种集成电感、电路板组件和逆变器。

背景技术

随着现代工业技术的发展，电力系统中如逆变器等各种非线性和时变性电力电子装置大量运用，在提升工业生产效率的同时也会具有许多负面效应。逆变器中的干扰电磁场会在导线间产生差模电流，或者在导线与大地之间产生共模电流，二者都会对于负载上产生干扰，影响负载的正常工作。对于产生的差模干扰和共模干扰，通常会通过差模电感抑制差模干扰，通过共模电感抑制共模干扰。

如何设计一种集成共模电感和差模电感的架构，即能保证抑制共模干扰和差模干扰，又具有小型化的优势为业界研究的方向。

发明内容

本申请提供一种集成电感、电路板组件和逆变器，集成电感具有小型化的优势，且能保证抑制共模干扰和差模干扰。

第一方面，本申请提供了一种集成电感，包括第一磁芯、至少两个第二磁芯和至少两个绕组，第一磁芯包括在第一方向上相对设置的第一表面和第二表面，第一磁芯设有贯穿第一表面和第二表面的第一通孔。第二磁芯在第一方向上设置在第一表面远离第二表面的一侧，每个第二磁芯设有一个第二通孔。至少两个绕组和第二磁芯一一对应设置，每个绕组均穿过第一通孔和一个对应的第二通孔，以使至少每个绕组均缠绕第一磁芯和一个第二磁芯，至少两个绕组和第一磁芯构成共模电感，至少两个绕组和至少两个第二磁芯构成差模电感。每个第二磁芯包括第一部分和第二部分，沿第一方向且在第一表面背离第二表面的一侧，第一部分位于绕组和第一表面之间，第二部分位于绕组远离第一表面的一侧。

具体而言，第二磁芯的第一部分和第二部分可以为一体成型式的结构（例如铁氧体材料一体成型制作而成），第一部分和第二部分也可以为分体式结构并经过粘贴组装固定为一体。

本方案通过第一磁芯与第二磁芯共用一组绕组，第一磁芯与绕组构成共模电感，第二磁芯与绕组构成差模电感，能够在保证集成电感工作效率的情况下，将共模电感和差模电感集成为一个整体，有利于节约空间且降低成本。本申请实施例提供的集成电感通过共模电感和差模电感共用绕组，能够实现降低铜损，从而降低铜损对于逆变器系统效率的影响，从而有效的提升集成电感的效率。当集成电感组装至电路板时，第一方向可以为垂直于电路板上用于安装集成电感的表面，本申请通过第一磁芯与第二磁芯在第一方向上层叠设置，能够节省集成电感所占用的电路板的面积。

在第一方面的一种实现方式中，每个绕组均包括两个接线引脚，至少两个绕组的所有的接线引脚在第一方向上排列在第二表面背离第一表面的一侧。本方案通过限定接线引脚在第

一方向上排列在第二表面背离第一表面的一侧，由于接线引脚用于将集成电感连接至电路板上，本方案通过限定接线引脚的位置，具体可以理解为：接线引脚、共模磁芯、差模磁芯在第一方向上依次排列，本方案有利于实现集成电路节约电路板的占板空间。接线引脚全部位于第一磁芯的同一侧，在将集成电感组装至电路板的过程中，能够便于批量固定安装接线引脚，提升组装过程中的加工效率。

在第一方面的一种实现方式中，所有的第二通孔在第一表面上的垂直投影位于第一表面内。当第二通孔在第一方向上的投影全部落入第一表面内时，即第二磁芯与第一磁芯在第一方向上的投影有大部分的重叠，能够节省集成电感在第一方向上的投影面积大小。本方案通过限定第二通孔和第一表面的位置关系，使得第二通孔在第一表面上的垂直投影不超出第一磁芯的第一表面的范围，本方案提供的集成电感中的第二磁芯的设置不影响第一磁芯的径向最大尺寸，有利于保证集成电感在垂直于第一方向上的总尺寸，有利于节约占板面积。

在第一方面的一种实现方式中，每个第二磁芯包括第三表面和第四表面，第二通孔连通第三表面和第四表面，第一表面呈平面状，第三表面或第四表面为平面状或弧面状，第三表面垂直于第一表面。由于第一表面可以理解为设置所有的第二磁芯的基准面，通过限定第一磁芯的第一表面为平面状，有利于提升第二磁芯和第一磁芯的连接稳固性，有利于保证所有的第二磁芯的组装位置的一致性。本方案概括了一种具体的第二磁芯的结构形态，通过第三表面与第一表面垂直设置，使得第二磁芯与第一磁芯在第一方向上的投影有大部分的重叠，能够节省集成电感在第一方向上的投影面积大小。当第三表面和第四表面为弧面状时，第一表面和第三表面之间的垂直关系可以理解为：第三表面的轴母线与第一表面垂直，第三表面的母线可以为弧形的第三表面中任一条形成弧面的动线。

在第一方面的一种实现方式中，第一磁芯与第二磁芯之间设有气隙。本方案通过第一磁芯与第二磁芯之间的气隙隔离第一磁芯和第二磁芯构成的磁路，使得共模磁路与差模磁路相互独立，互不影响，能够提升集成电感的整体抗饱和能力。

在第一方面的一种实现方式中，气隙的取值范围大于或等于 $5\mu\text{m}$ 。气隙在该取值范围内时，既能使得集成电感布局紧凑、减少占用的安装空间，又能使得集成电感的整体抗饱和能力最大化。

在第一方面的一种实现方式中，第一磁芯的外表面具有第一绝缘层，第一绝缘层构成至少部分气隙。本方案通过设置第一磁芯的外表面的第一绝缘层构成至少部分气隙，第一绝缘层一方面可以保护第一磁芯，另一方面作为第一磁芯和第二磁芯之间的磁路隔离结构，具有双功能性，本方案有利于在保证共模磁路与差模磁路相互独立的情况下，实现集成电感的尺寸小型化。

在第一方面的一种实现方式中，第二磁芯的外表面具有第二绝缘层，第二绝缘层构成至少部分气隙。本方案通过设置第二磁芯的外表面的第二绝缘层构成至少部分气隙，第二绝缘层一方面可以保护第一磁芯，另一方面作为第一磁芯和第二磁芯之间的磁路隔离结构，具有双功能性，本方案有利于在保证共模磁路与差模磁路相互独立的情况下，实现集成电感的尺寸小型化。

在第一方面的一种实现方式中，绕组和第二磁芯的数量均为三个，本方案限定一种三相集成电感。

在第一方面的一种实现方式中，绕组和第二磁芯的数量均为两个，本方案限定一种两相集成电感。

在第一方面的一种实现方式中，集成电感还包括底盘，底盘位于第二表面背离第一表面的一侧；绕组的接线引脚均与底盘固定连接。底盘为绝缘材质，底盘用于固定所有的接线引脚，一方面便于管理集成电感的接线引脚，另一方面也便于接线引脚的后续固定安装（安装至电路板上），同时底盘能够将集成电感的功能性结构（即第一磁芯、第二磁芯和绕组）与电路板上安装面隔离开，保护集成电感。

在第一方面的一种实现方式中，接线引脚穿过底盘，部分接线引脚位于底盘背离第一磁芯的一侧。本方案通过限定接线引脚穿过底盘并底盘远离第一磁芯的一侧露出，在将集成电路组装至电路板时，组装的位置在底盘远离第一磁芯的一侧，一方面，不需要在集成电感占用电路板的安装区之外的空间连接接线引脚，将接线引脚隐藏在底盘和电路板之间，可以节约占板空间，也会在接线引脚的组装过程中，借用底盘隔离组装区域和第一磁芯，例如当通过焊接的方式组装时，由于底盘的隔离，焊接温度不会对第一磁芯和绕组造成影响。

在第一方面的一种实现方式中，底盘包括至少两个安装部，每个安装部均与一个绕组的接线引脚固定，至少两个安装部之间互相独立，或者至少两个安装部之间通过柔性连接件连接。集成电感固定连接时，若安装面高度不一致，分体式的底盘（或柔性连接件连接的至少两个安装部构成的底盘）更容易适应高度差不同的安装面，根据高度差调整集成电感的安装姿态，使得集成电感对安装环境的适应性大大增强，能够拓展集成电感的适用情景。

在第一方面的一种实现方式中，集成电感还包括绝缘件，绝缘件设置在相邻的绕组之间，部分绝缘件位于第一通孔内。本方案通过绝缘件设于相邻的绕组之间，能够有效的隔绝相邻绕组之间的电效应，防止击穿损坏集成电感。

在第一方面的一种实现方式中，每个绕组均包括抵接部，各抵接部和绝缘件接触，抵接部通过接触绝缘件产生弹性形变。本方案通过限定绕组的抵接部和绝缘件接触并产生弹性形变，限定绕组之间的位置设置，各绕组之间的间隔距离较小，小于绝缘件的厚度，这样当将绝缘件安装在绕组之间时，会迫使抵接部产生弹性形变，本方案有利于实现集成电路的尺寸小型化设计，每个绕组都与绝缘件抵接，使得集成电感内部的布局紧凑，能够有效地减小集成电感占用的安装面积。

在第一方面的一种实现方式中，绝缘件包括中间柱和连接在中间柱外侧面的三个绝缘板，绕组的数量为三个，三个绝缘板分别位于相邻的两个绕组之间。本方案限定了一种具体的绝缘板的架构，绝缘件为一体式的结构，其结构简单，便于批量生产，并且一体式的绝缘件安装步骤简洁，能够有效地提升安装效率。

一种实现方式中，绝缘件和底盘固定连接，二者之间可以通过粘胶的方式固定连接，也可以通过卡扣和卡槽的配合实现固定连接，例如在绝缘件的底部设置卡扣，在底盘上设卡槽，将卡扣插入卡槽，可以实现绝缘件和底盘之间的固定连接。

一种实现方式中，绝缘件和底盘为一体成型的结构，本方案有利于提升集成电感整体结构的稳定性。

一种实现方式中，所述共模电感的所述第一磁芯的磁导率为 20000，所述差模电感的所述第二磁芯的磁导率为 1000。本方案通过限定第一磁芯和第二磁芯的磁导率，限定一种具体的集成电感的架构。

一种实现方式中，所述共模电感的所述第一磁芯的磁导率为 7000，所述差模电感的所述第二磁芯的磁导率为 125。本方案通过限定第一磁芯和第二磁芯的磁导率，限定一种具体的集成电感的架构。

第二方面，本申请提供了一种电路板组件，包括电路板和第一方面提供的集成电感，集成电感与电路板连接。集成电感与电路板安装，由于本申请提供的集成电感结构紧凑，因此集成电感与电路板安装时，在第一方向上占用的占板面积较小，便于为电路板上的其他元件节省出安装空间，使得电路板的元件布局更加合理。

第三方面，本申请提供了一种电路板组件，包括电路板和第一方面提供的集成电感，电路板包括电感安装区，电感安装区内设有焊盘，集成电感的外轮廓和电感安装区一致，集成电感的接线引脚与焊盘焊接。接线引脚与焊盘固定连接以使集成电感与电路板固定连接，又由于集成电感在第一方向上的投影面积较小，因此会使得电感安装区的面积较小，便于为电路板上的其他元件节省出安装空间，使得电路板组件内部布局更加合理。

第四方面，本申请提供了一种逆变器，包括壳体和第三方面或第四方面所述的电路板组件，壳体包围电路板组件。电路板组件内部布局合理、结构紧凑，在保证逆变器工作效率的情况下，能够有效的减少逆变器的整体空间。

附图说明

- 图 1 是本申请实施例的逆变器的电源系统示意图；
- 图 2 是本申请实施例的逆变器的组装结构示意图；
- 图 3 是本申请实施例的集成电感的组装结构示意图；
- 图 4 是本申请实施例的集成电感的组装结构俯视图；
- 图 5 是本申请实施例的集成电感的分解结构示意图；
- 图 6 是本申请实施例的集成电感的组装结构示意图；
- 图 7 是本申请实施例的集成电感的底盘的一种结构示意图；
- 图 8 是本申请实施例的集成电感的底盘的另一种结构示意图；
- 图 9 是本申请实施例的集成电感的共模组件的结构示意图；
- 图 10 是本申请实施例的集成电感的差模磁芯的一种结构示意图；
- 图 11 是本申请实施例的集成电感的差模磁芯的另一种结构示意图；
- 图 12 是本申请实施例的集成电感的绕组的结构示意图；
- 图 13 是本申请实施例的集成电感的绝缘件的结构示意图；
- 图 14 是本申请实施例的绕组和绝缘件的配合结构示意图；
- 图 15 是本申请实施例的电路板的结构示意图。

具体实施方式

部分术语的解释

平行：本申请所定义的平行不限定为绝对平行，此平行的定义可以理解为基本平行，允许在组装公差、设计公差、结构平面度的影响等因素所带来的不是绝对平行的情况，这些情况会导到滑动配合部和第一门板之间不是绝对的平行，但是本申请也定义为这种情况是平行的。

垂直：本申请所定义的垂直不限定为绝对的垂直相交（夹角为 90 度）的关系，允许在组装公差、设计公差、结构平面度的影响等因素所带来的不是绝对的垂直相交的关系，允许存在小角度范围的误差，例如 80 度至 100 度的范围的组装误差范围内，都可以被理解为是垂直的关系。

术语“第一”、“第二”等仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”等的特征可以明示或者隐含地包括一个或者更多个该特征。

以下通过实施例对本申请方案进行示例说明。

逆变器广泛应用于光伏、变频器等供电或者电力控制场景，该场景中会存在差模干扰和共模干扰对电路系统有不良影响，通常会使用滤波电路对其进行滤波。其中，共模信号是指幅度相等，相位相同的信号。差模信号是指幅度相等，相位相反的信号。在一个闭合电路中，共模干扰信号在两导线上幅度相等、方向相同，其本质是闭合回路中两条走线和地线之间的电压差所引起的干扰；差模干扰信号在两导线之间幅度相等，相位相反，其本质是两条走线之间的干扰。如图1所示，三相线路中，“A”端、“B”端和“C”端为逆变器的电源系统功率输入端，“A'”端、“B'”端和“C'”端为逆变器的电源系统功率输出端。其中电感 L_c 为共模电感，主要用来抑制共模干扰，电感 L_d 为差模电感，主要用来滤波以及抑制差模谐振。

一种实施方式中，逆变器中共模电感 L_c 和差模电感 L_d 彼此独立，作为两个独立的电感元件分开安装。

图1是本申请一种实施方式提供的逆变器的电源系统示意图，图2是本申请一种实施方式提供的逆变器300的结构示意图。基于提高功率密度以及降低成本的需求，参阅图1和图2，本申请一种实施方式提供的逆变器300将共模电感 L_c 和差模电感 L_d 集成为一个集成电感10，从而减小共模电感 L_c 和差模电感 L_d 的体积、减小占板面积并降低成本。

如图2所示，本申请提供了一种逆变器300，逆变器300可以包括电路板组件100和壳体200。壳体200包围在电路板组件100的外侧，保护电路板组件100。电路板组件100可以包括集成电感10、电路板20和控制芯片30等其他电子元器件。集成电感10和控制芯片30在电路板20上固定连接。

图3、图4、图5和图6为本申请一种实施方式提供的集成电感10的结构示意图。集成电感10可以包括底盘1、共模组件2、绕组3、差模磁芯5和绝缘件4。共模组件2、绕组3、差模磁芯5为集成电感10中的功能器件，用于产生抑制共模干扰的共模电感和产生用于抑制谐振及差模干扰的差模电感。底盘1为用于组装集成电感10的上述功能器件的结构，接下来参阅图7和图8对底盘1的具体架构展开描述。

如图7所示，底盘1可以为板状结构，底盘1可以包括基座盘11和凸缘12。在一种实施方式中，底盘1可以为一体式结构，如图7所示，即基座盘11与凸缘12连为一体。基座盘11近似为圆板状，凸缘12近似为扇形板状结构。凸缘12均匀的分布在基座盘11的边缘，并与基座盘11固定连接，例如可以连为一体。凸缘12个数与绕组3的数量相匹配，例如可以有三个。凸缘12与基座盘11上设有三组安装孔1a，用于使绕组3与底盘1固定（下文将会继续说明）。其中，安装孔1a的数量也与绕组3的数量相匹配。

上述实施方式中，底盘1为一体式结构，在其他实施方式中，底盘1可以为分体式结构，如图8所示，底盘1可以包括多个安装部13，安装部13的数量可以根据绕组3的数量而定。每个安装部13上都设有一组安装孔1a，用于使绕组3与底盘1固定安装。多个安装部13之间相互独立或者至少两个安装部之间通过柔性连接件连接，每个安装部13与绕组3的固定方式与一体式结构的底盘1与绕组3的连接方式（下文将会说明）近似相同。将底盘1设为分体式结构的好处在于，当集成电感10与电路板20固定连接时，若电路板20的安装面高度不一致，分体式的底盘1可以一定程度上适应高度差不同的安装面，根据高度差调整集成电感

10 的安装姿态,使得集成电感 10 对安装环境的适应性大大增强,能够拓展集成电感 10 的适用情景。并且底盘 1 能够将集成电感 10 的功能性结构(即共模组件 2、差模磁芯 5 和绕组 3)与电路板 20 上安装面隔离开,保护集成电感 10。

接下来描述共模组件 2 的结构组成以及共模组件 2 与底盘 1 的位置关系。

如图 9 所示,共模组件 2 可以包括共模磁芯 22、上壳体 21 和下壳体 23。其中,共模磁芯 22 也可以称为第一磁芯,上壳体 21 与下壳体 23 组成的壳体可以称为第一绝缘层。可以理解为:第一绝缘层设置在第一磁芯的外侧。第一绝缘层和第一磁芯的外表面之间可以具有间隙,也可以相互接触。

如图 9 所示,共模磁芯 22 可以为圆环状结构。共模磁芯 22 具有相对的第一表面 22a 和第二表面 22b,第一表面 22a 和第二表面 22b 都可以近似为平面。其中,第一表面 22a 和第二表面 22b 都属于共模磁芯 22 的外表面 22d 的一部分。共模磁芯 22 设有第一通孔 22c,第一通孔 22c 同时贯穿第一表面 22a 和第二表面 22b,第一通孔 22c 的延伸方向为第一方向,参阅图 9,箭头 P 的延伸方向为第一方向。共模磁芯 22 的外表面 22d 可以理解为共模磁芯 22 的背离第一通孔 22c 的孔壁的表面。第一方向都近似垂直于第一表面 22a 和第二表面 22b。在本申请实施例中,共模磁芯 22 为圆环状结构,在其他实施例中,共模磁芯 22 不仅限于圆环状结构,也可以为其他的多边形环装结构。在本申请实施例中,共模磁芯 22 可以由非晶带材、纳米晶带材、铁氧体等磁性材料制成。

如图 9 所示,上壳体 21 近似为环槽结构,其内部具有通孔。下壳体 23 近似为环状盖板结构,其内部具有通孔。上壳体 21 与下壳体 23 都可以为绝缘材料制成。

如图 9 所示,上壳体 21 和下壳体 23 能够包围形成收容空间,将共模磁芯 22 收容在内,以使共模磁芯 22 被绝缘材料的壳体包围。上壳体 21 的通孔与下壳体 23 的通孔连通,以使得第一通孔 22c 露出。

底盘 1 位于共模组件 2 具有下壳体 23 的一侧,底盘 1 与共模组件 2 之间具有间隔。

在本申请实施例中,通过上壳体 21 和下壳体 23 包围的方式使得共模磁芯 22 的外表面 22d 被绝缘材料覆盖,在其他实施例中,也可以不设置绝缘的上、下壳体,而是对共模磁芯 22 的表面喷涂绝缘层,以使共模磁芯 22 外表面 22d 被绝缘材料覆盖。共模磁芯 22 的外表面 22d 覆盖绝缘材料能够防止绕组 3 绕制在共模磁芯 22 上时,在过电压的作用下二者发生击穿导致集成电感 10 损坏。

接下来描述差模磁芯 5 的结构以及差模磁芯 5 与共模组件 2 的位置关系。

差模磁芯 5 也可以称为第二磁芯。如图 10 所示,差模磁芯 5 可以是矩形环装结构。差模磁芯 5 包括第一部分 51 和第二部分 52,差模磁芯 5 具有第二通孔 5c,第二通孔 5c 的形状可以根据需求任意设计。第一部分 51 和第二部分 52 分别位于第二通孔 5c 的两侧。差模磁芯 5 具有相对的第三表面 5a 和第四表面 5b,第三表面 5a 和第四表面 5b 都属于差模磁芯 5 的外表面 5d 的一部分,差模磁芯 5 的外表面 5d 可以理解为差模磁芯 5 的背离第二通孔 5c 的内壁的表面。在图 10 所示方向中,第三表面 5a 为贴近纸面的表面,第四表面 5b 为第二通孔 5c 背离第三表面 5a 一侧的表面。如图 10 和图 11 所示,第三表面 5a 和/或第四表面 5b 可以为平面或弧面,第二通孔 5c 同时贯穿第三表面 5a 和第四表面 5b。在本申请实施例中,差模磁芯 5 的外表面 5d 不设有绝缘层,在其他实施例中,差模磁芯 5 可以设置第二绝缘层,第二绝缘层可以为喷涂在差模磁芯 5 的外表面 5d 的绝缘层或者为包围差模磁芯 5 的外表面 5d 的绝缘外壳。第二绝缘层用于防止差模磁芯 5 与集成电感 10 的其他元件之间发生击穿,损伤集成

电感 10 的内部元件。可以理解为,第二绝缘层位于第二磁芯(差模磁芯)的外侧,第二绝缘层和第二磁芯的外表面之间可以具有间隙,也可以接触。

本申请实施例中,差模磁芯 5 不仅限于矩形环装结构,也可以是其他多边形环装结构。在一种实施方式中,差模磁芯 5 为分体式结构,例如可以由两部分拼接而成,使得差模磁芯 5 的组装方式简单便捷,能够在集成电感 10 组装过程中提升安装效率。在另一种实施方式中,差模磁芯 5 可以为一体式结构,一体式结构的差模磁芯 5 加工方式简单,能够在差模磁芯 5 的生产过程中提升生产效率。在本申请实施例中,差模磁芯 5 可以由非晶带材、纳米晶带材、铁氧体、硅钢、铁硅磁粉芯、铁硅铝磁粉芯、铁镍磁粉芯、铁镍钼磁粉芯、铁粉芯等材料制成。

如图 3 和图 9 所示,一种实施方式中,集成电感 10 是三相集成电感,差模磁芯 5 的数量可以有三个,差模磁芯 5 位于共模组件 2 具有第一表面 22a 的一侧,三个差模磁芯 5 在共模组件 2 上呈三相均匀分布。

在一种实施方式中,沿第一方向,差模磁芯 5 与共模组件 2 层叠布置,如图 3、图 9 和图 10 所示,差模磁芯 5 的第一部分 51 位于靠近第一表面 22a 的一侧;第二部分 52 位于第二通孔 5c 远离第一表面 22a 的一侧(即在第一方向上,第一部分 51、第二通孔 5c、第二部分 52 依次分布)。第三表面 5a 可以朝向共模组件 2 的外侧,第四表面 5b 可以朝向共模组件 2 的第一通孔 22c。第二通孔 5c 在第一方向上的投影至少有一部分落入第一表面 22a 内,例如可以全部落入第一表面 22a 内。第三表面 5a 与第四表面 5b 为平面时,第三表面 5a 和第四表面 5b 都与第一表面 22a 近似垂直;如图 3、图 9 和图 11 示,当第三表面 5a 和第四表面 5b 为弧面时,第三表面 5a 和第四表面 5b 的母线与第一表面 22a 近似垂直,第三表面 5a 的母线可以为第三表面 5a 中任一条形成弧面的动线。

第二通孔 5c 在第一表面 22a 上的垂直投影不超出共模磁芯 22 的第一表面 22a 的范围,即差模磁芯 5 的设置不影响共模磁芯 22 的径向最大尺寸,有利于保证集成电感 10 在垂直于第一方向上的总尺寸,能够节约占板面积。并且第一表面 22a 为平面,能够有效的提升差模磁芯 5 与共模组件 2 连接的稳固性,有利于保证差模磁芯 5 与共模组件 2 组装位置的一致性。

一种实施方式中,本申请实施例中的差模磁芯 5 之间具有间隔空间,例如,对于三相集成电感而言,三相集成电感具有三个差模磁芯 5,这三个差模磁芯 5 相互独立,单独组装至共模组件 2 上,这样在相邻的差模磁芯 5 之间就形成了间隔空间,这种方案方便组装,在组装的过程中具有更高的灵活性,提升组装的效率。而且,每一个差模磁芯 5 可以选用较简单的单相磁芯,不需要将三个单相磁芯制作为一体的结构,可以提高生产效率,降低成本。

差模磁芯 5 与共模磁芯 22 之间具有气隙,在第一方向上,气隙的尺寸 $\geq 5\mu\text{m}$ 。此气隙指的是差模磁芯 5 与共模磁芯 22 之间的隔离,不限于通过绝缘介质进行隔离,也可以为空气隔离,可以理解为,气隙可以包括实体的绝缘介质结构,也可以为类似缝隙(或孔隙)的间隔。在本申请实施例中,通过差模磁芯 5 和共模磁芯 22 之间的第一绝缘层(例如:第一绝缘层可以为用于包裹共模磁芯 22 的外壳)构成气隙,在另一种实施方式中,可以对差模磁芯 5 设置第二绝缘层(例如:第二绝缘层可以为用于包裹差模磁芯 5 的外表面 5d 的外壳)来构成气隙,又或者可以通过架空或设置填充物等手段来满足气隙的尺寸要求。在其他实施方式中,可以将上述实施方式任意结合以构成该气隙。

上文主要说明集成电感 10 中的差模磁芯 5 和共模组件 2,接下来将展开描述绕组 3 的结构以及与绕组 3 与差模磁芯 5 和共模组件 2 的组装配合。

在本申请实施例中，绕组 3 由外表覆有绝缘层的线环绕而成，例如可以是漆包线或者膜包线等。如图 3 和图 12 所示，绕组 3 包括线圈主体 31 和接线引脚 32，二者相连，线圈主体 31 内具有线圈围成的通孔。每个绕组 3 的线圈匝数相同，并且每个绕组 3 的绕线方向也相同。绕组 3 的数量与差模磁芯 5 的数量对应设置，以使绕组 3 与差模磁芯 5 一一对应。绕组 3 至少有两个，例如可以有三个。在一种实施方式中，接线引脚 32 可以有两个，分别位于线圈主体 31 的两侧，与线圈主体 31 近似相切。在其他实施方式中，接线引脚 32 可以位于线圈主体 31 的同一侧。接线引脚 32 在线圈主体 31 上分布方式的不同也会影响到集成电感 10 在电路板 20 上占用的安装面积的不同，因此可以根据需要设计接线引脚 32 的所在位置。

如图 3、图 6、图 9 和图 10，每个绕组 3 的线圈主体 31 与共模组件 2 的第一通孔 22c 和差模磁芯 5 的第二通孔 5c 配合：每个绕组 3 的线圈主体 31 同时穿过第一通孔 22c 和一个差模磁芯 5 的第二通孔 5c，以使每个绕组 3 均缠绕共模磁芯 22 和一个差模磁芯 5。每个线圈主体 31 的通孔均收容共模组件 2 的一部分和差模磁芯 5 的第一部分，以使第一部分 51 位于线圈主体 31 和第一表面 22a 之间，第二部分 52 位于线圈主体 31 远离第一表面 22a 的一侧。绕组 3 的接线引脚 32 均在第一方向上位于第二表面 22b 远离第一表面 22a 的一侧。三个绕组 3 可以在共模组件 2 上均匀分布，每两个绕组 3 之间的间距近似相等。

如图 6、图 7 和图 9 所示，绕组 3 与底盘 1 固定连接。每个绕组 3 都与一组安装孔 1a 配合。在一种实施方式中，绕组 3 的一个接线引脚 32 伸入第一通孔 22c，并且穿过基座盘上安装孔 1a，另一个接线引脚 32 位于共模组件 2 的外侧，穿过凸缘 12 上的安装孔 1a。共模磁芯 22 位于底盘 1 露出接线引脚 32 的另一侧，第二表面 22b 在第一方向上朝向底盘 1。接线引脚 32 在第一方向上排列在第二表面 22b 背离第一表面 22a 的一侧，由于接线引脚 32 用于将集成电感 10 连接至电路板 20 上，通过限定接线引脚 32 的位置，可以使得接线引脚 32、共模磁芯 22、差模磁芯 5 在第一方向上依次排列，有利于实现集成电感 10 节约电路板 20 的占板空间。接线引脚 32 全部位于共模磁芯 22 的同一侧，在将集成电感 10 组装至电路板 20 的过程中，接线引脚 32 组装的位置在底盘 1 远离共模组件 2 的一侧，不需要在集成电感 10 占用电路板 20 的安装区之外的空间连接接线引脚 32，将接线引脚 32 隐藏在底盘 1 和电路板 20 之间，可以节约占板空间，也会在接线引脚 32 的组装过程中，借用底盘 1 隔离组装区域和共模组件 2，例如当通过焊接的方式组装时，由于底盘 1 的隔离，焊接温度不会对共模组件 2 和绕组 3 造成影响。

接下来描述集成电感 10 的磁路的构成方案。

如图 3 和图 9 所示，由于共模磁芯 22 为封闭的环形磁芯，因此共模磁芯 22 构成了闭合的共模磁路 A。共模磁芯 22 与每个绕组 3 之间形成共模电感，抑制共模干扰。差模磁芯 5 都构成闭合的差模磁路 B，每个差模磁芯 5 都与环绕其上的绕组 3 形成差模电感，抑制差模电流。又由于差模磁芯 5 与共模磁芯 22 之间具有气隙，因此该气隙能够保证差模磁路 B 与共模磁路 A 相互独立，互不干涉、影响。

共模磁芯 22 可以由磁导率为 2000-100000 的磁性材料制成，差模磁芯 5 可以由磁导率为 26-5000 的磁性材料制成。

在一种实现方式中，共模磁芯 22 可以由磁导率为 20000 的纳米晶带材绕制成，差模磁芯 5 由磁导率为 1000 的非晶带材制成，使得共模感量为 202 微亨，差模感量为 12 微亨。

在另一种实现方式中，共模磁芯 22 由磁导率为 7000 的铁氧体制成，差模磁芯 5 由磁导率为 125 的铁硅磁粉芯制成，使得共模感量为 180 微亨，差模感量为 14 微亨。

作为示例而非限定，通过调节任意一个绕组 3 的匝数，或者通过调节共模磁芯 22 的横截面的面积，可以调节该绕组 3 与该共模磁芯 22 之间形成的共模电感量。

在上述例举的实施方式中，共模磁芯 22 与每个差模磁芯 5 都为封闭的环形结构，这是因为，当共模磁芯 22 或差模磁芯 5 为封闭的环形结构的磁芯时，能够有效地提升在共模磁芯 22 或差模磁芯 5 上绕制绕组 3 的绕线利用率。因此共模磁芯 22 与差模磁芯 5 都为封闭的环形结构仅仅是一种举例，实际上共模磁芯 22 与差模磁芯 5 的磁芯结构可以根据需要设计为其它方案，例如共模磁芯 22 或各差模磁芯 5 设置为不封闭的环形架构。

一种实施方式中，通过在集成电感内设置绝缘件 4，绝缘件用于隔离保护相邻的绕组 3。

如图 13 所示，绝缘件 4 可以包括至少两个绝缘板 41，绝缘板 41 的数量与绕组 3 的数量相对应，例如可以有三个。绝缘板 41 可以为矩形板状结构，由绝缘材料制成，用于设于相邻绕组 3 之间起到隔离保护绕组 3 的作用。

本申请实施例中，绝缘件 4 可以为一体式的绝缘件 4。如图 13 所示，一体式的绝缘件 4 可以包括绝缘板 41 和中间柱 42，三个绝缘板 41 环绕中间柱 42 的外侧面，并且分别沿中间柱 42 的轴线方向与中间柱 42 固定连接，且相邻的两个绝缘板 41 之间形成不为 0 的夹角。例如，绝缘件 4 的三个绝缘板 41 在中间柱 42 上均匀分布，以使每两个相邻的绝缘板 41 的夹角近似为 120° 。一体式的绝缘件 4 安装方式简单，能够批量安装集成电感 10，提升安装效率。

在其他实施方式中，绝缘件 4 可以为分体式结构，绝缘件 4 仅包括三个绝缘板 41，三个绝缘板 41 之间可以互不连接或者使用柔性件相互连接。分体式的绝缘件 4 可以根据不同的情景灵活调整绝缘板 41 的安装位置，因此分体式的绝缘件 4 对环境的适应性较强，能够应对多变的安装场景。

如图 3、图 13 所示，绝缘件 4 设于三个绕组 3 之间，与底盘 1 固定连接，例如可以通过粘胶的方式固定连接，也可以通过卡扣和卡槽的配合实现固定连接，例如在绝缘件 4 的底部设置卡扣，在底盘 1 上设卡槽，将卡扣插入卡槽，可以实现绝缘件 4 和底盘 1 之间的固定连接。在另一种实施方式中，绝缘件 4 和底盘 1 为一体成型结构，有利于提升集成电感 10 整体结构的稳定性。

绝缘件 4 的每个绝缘板 41 都位于相邻的两个绕组 3 之间，将相邻的两个绕组 3 隔开，能够防止相邻绕组 3 之间在电流过载的情况下发生击穿。在一种实施方式中，绝缘板 41 可以与两侧的绕组 3 都具有间隙。在另一种实施方式中，绝缘板 41 可以被两侧的绕组 3 抵持。如图 14 所示，图 14 的上半部分表示绕组 3 之间没有设置绝缘板 41 时的场景，绕组 3 之间的间距为 D_1 ；图 14 的下半部分表示绕组 3 之间设有绝缘板 41 以后的场景，此时绝缘板 41 两侧的绕组 3 与绝缘板 41 抵接，绕组 3 与绝缘板 41 抵持的部分可以称为抵接部 31a。绕组 3 之间的间距为 D_2 ，对比得出 D_2 的宽度大于 D_1 的宽度，即抵接部 31a 与绝缘板 41 抵接时会产生弹性形变，因此能够使得绕组 3 与绝缘板 41 之间的布局更加的紧凑，从而节省集成电感 10 在第一方向上占用的电路板 20 的面积。

结合图 2 和图 15 所示，电路板 20 上设有电感安装区 201，电感安装区 201 内设有焊盘 202。电感安装区 201 用于定位安装集成电感 10，电感安装区 201 的轮廓与集成电感 10 的外轮廓在第一方向上的投影基本一致，因此电感安装区 201 的面积即为集成电感 10 在电路板 20 上的占板面积。焊盘 202 用于与绕组 3 的接线引脚 32 对应，使得接线引脚 32 焊接于焊盘 202 上。焊盘 202 在电感安装区 201 内的位置分布取决于接线引脚 32 的位置分布，可以根据需要设计焊盘 202 的分布位置，在此不做过多的设定。

而本申请的集成电感 10，差模磁芯 5 与共模磁芯 22 在第一方向上层叠设置，差模磁芯 5 在第一方向上的投影与共模磁芯 22 在第一方向上的投影有大部分的重叠，由于第一方向垂直于电路板 20，因此本申请的集成电感 10 在电路板 20 上的占板面积（即电感安装区 201 的面积）利用率大大提高，与其他差模磁芯与共模磁芯分别独立安装实施例相比，本申请的集成电感 10 能够减少对电路板 20 的占板面积，功率密度大。

差模磁芯 5 和共模磁芯 22 共用三相绕组 3，在能够保证抑制差模电流和共模电流的前提下，减少绕组 3 的使用量，能够有效地降低铜损，从而降低铜损对于逆变器 300 的系统效率的影响，从而有效的提升集成电感 10 的效率。

本申请的差模磁路 B 与共模磁路 A 相互独立。差模磁芯 5 的磁通不会占用共模磁芯 22 的磁通，使得集成电感 10 能够耐受更大的电流，具有优异的抗磁饱和能力。

本申请的集成电感 10 为层叠布局，差模磁芯 5 和共模磁芯 22 在第一方向上的投影有大面积的重叠，因此集成电感 10 与电路板 20 安装时，能够大大减小电感安装区 201 的面积，可以为电路板 20 上的其他元件避让出安装空间，进而减小电路板组件 100 的体积。

以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请通过的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1. 一种集成电感，其特征在于，包括：

第一磁芯，包括在第一方向上相对设置的第一表面和第二表面，所述第一磁芯设有贯穿所述第一表面和所述第二表面的第一通孔；

至少两个第二磁芯，在所述第一方向上设置在所述第一表面远离所述第二表面的一侧，每个所述第二磁芯设有一个第二通孔；

至少两个绕组，和所述第二磁芯一一对应设置，每个所述绕组均穿过所述第一通孔和一个对应的所述第二通孔，以使每个所述绕组均缠绕所述第一磁芯和一个所述第二磁芯，所述至少两个绕组和所述第一磁芯构成共模电感，所述至少两个绕组和所述至少两个第二磁芯构成差模电感；

每个所述第二磁芯包括沿所述第一方向分布在所述第二通孔相对的两侧的第一部分和第二部分，所述第一部分位于所述绕组和所述第一表面之间，所述第二部分位于所述绕组远离所述第一表面的一侧。

2. 根据权利要求1所述的集成电感，其特征在于，

每个所述绕组均包括两个接线引脚，所述至少两个绕组的所有的所述接线引脚在所述第一方向上排列在所述第二表面背离所述第一表面的一侧。

3. 根据权利要求1或2所述的集成电感，其特征在于，

沿所述第一方向，所有的所述第二通孔在所述第一表面上的垂直投影位于所述第一表面内。

4. 根据权利要求1-3任一项所述的集成电感，其特征在于，

每个所述第二磁芯包括第三表面和第四表面，所述第二通孔连通所述第三表面和所述第四表面，所述第一表面呈平面状，所述第三表面或所述第四表面为平面状或弧面状，所述第三表面垂直于所述第一表面。

5. 根据权利要求1-4任一项所述的集成电感，其特征在于，

所述第一磁芯与所述第二磁芯之间设有气隙。

6. 根据权利要求5所述的集成电感，其特征在于，

所述气隙的取值范围大于或等于 $5\mu\text{m}$ 。

7. 根据权利要求5-6任一项所述的集成电感，其特征在于，

所述第一磁芯的外表面具有第一绝缘层，所述第一绝缘层构成至少部分所述气隙。

8. 根据权利要求5-7任一项所述的集成电感，其特征在于，

所述第二磁芯的外表面具有第二绝缘层，所述第二绝缘层构成至少部分所述气隙。

9. 根据权利要求2所述的集成电感，其特征在于，

所述集成电感还包括底盘，所述底盘位于所述第二表面背离所述第一表面的一侧；所述绕组的所述接线引脚均与所述底盘固定连接。

10. 根据权利要求9所述的集成电感，其特征在于，

所述接线引脚穿过所述底盘，部分所述接线引脚位于所述底盘背离所述第一磁芯的一侧。

11. 根据权利要求9或10所述的集成电感，其特征在于，

所述底盘包括至少两个安装部，每个所述安装部均与一个所述绕组的所述接线引脚固定，

所述至少两个安装部之间互相独立，或者所述至少两个安装部之间通过柔性连接件连接。

12. 根据权利要求 1-11 任一项所述的集成电感，其特征在于，

所述集成电感还包括绝缘件，所述绝缘件设置在相邻的所述绕组之间，部分所述绝缘件位于所述第一通孔内。

13. 根据权利要求 12 所述的集成电感，其特征在于，

每个所述绕组均包括抵接部，各所述抵接部和所述绝缘件接触，所述抵接部通过接触所述绝缘件产生弹性形变。

14. 根据权利要求 12 或 13 所述的集成电感，其特征在于，

所述绝缘件包括中间柱和连接在所述中间柱外侧面的三个绝缘板，所述绕组的数量为三个，所述三个绝缘板分别位于相邻的两个所述绕组之间。

15. 根据权利要求 1-14 任一项所述的集成电感，其特征在于，

所述绕组和所述第二磁芯的数量均为三个；或者，所述绕组和所述第二磁芯的数量均为两个。

16. 一种电路板组件，其特征在于，

所述电路板组件包括电路板和权利要求 1-15 任一项所述的集成电感，所述集成电感与所述电路板连接。

17. 一种电路板组件，其特征在于，

所述电路板组件包括电路板和权利要求 1-11 任一项所述的集成电感，所述电路板包括电感安装区，所述电感安装区内设有焊盘，所述集成电感的通过接线引脚与所述焊盘焊接。

18. 一种逆变器，其特征在于，

所述逆变器包括壳体和权利要求 16 或 17 所述的电路板组件，所述壳体包围所述电路板组件。

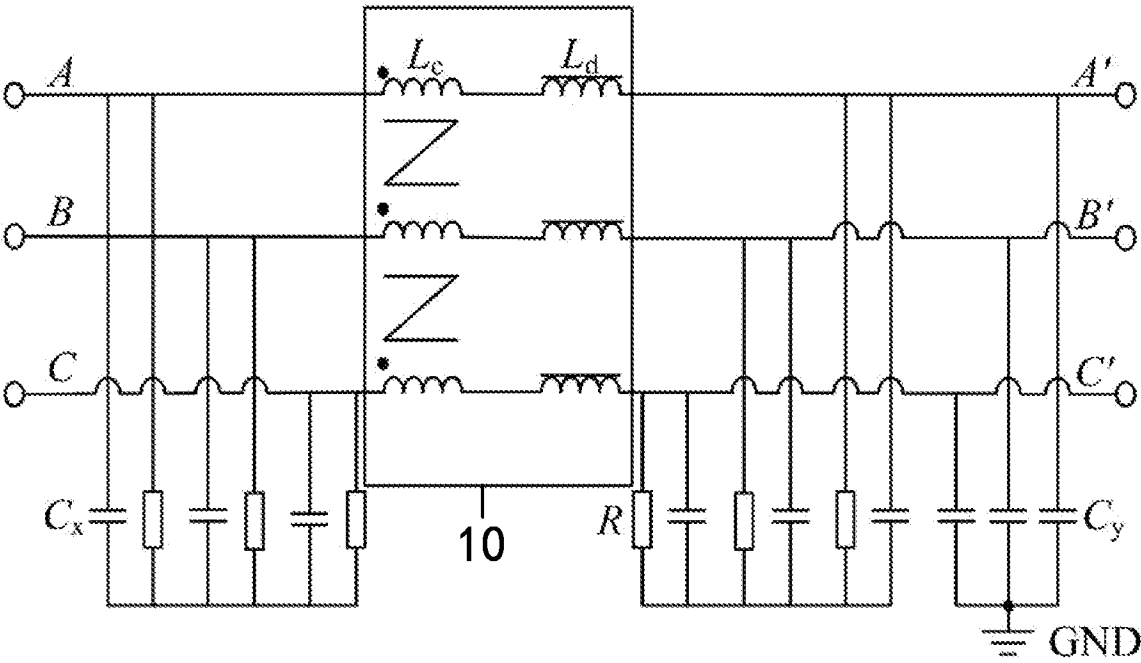


图 1

300

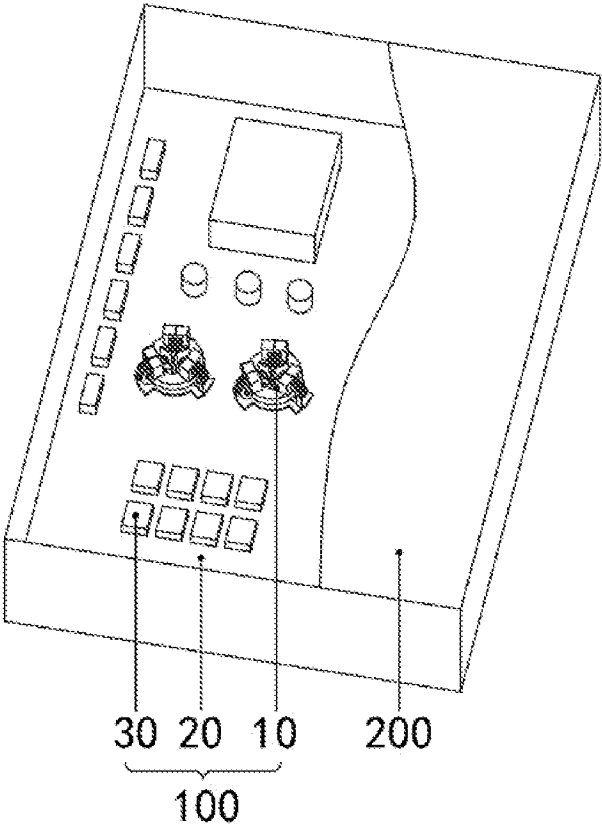


图 2

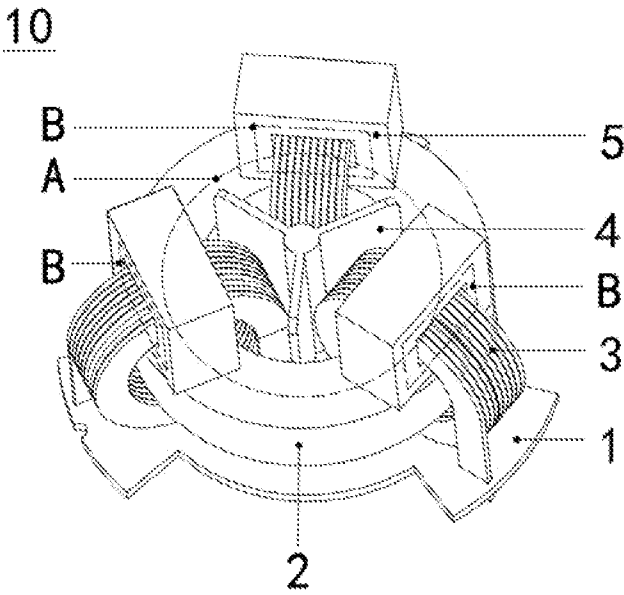


图 3

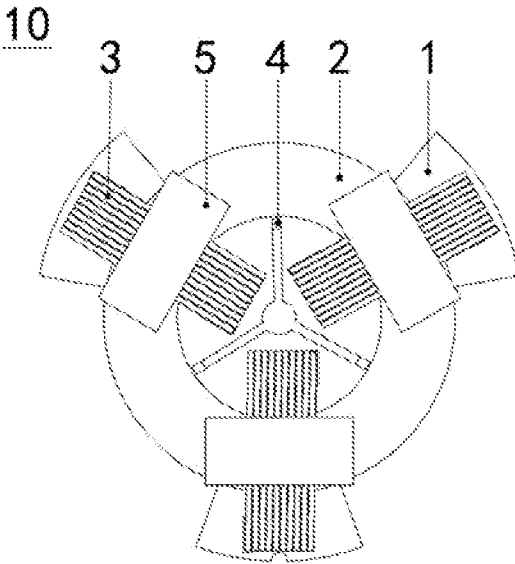


图 4

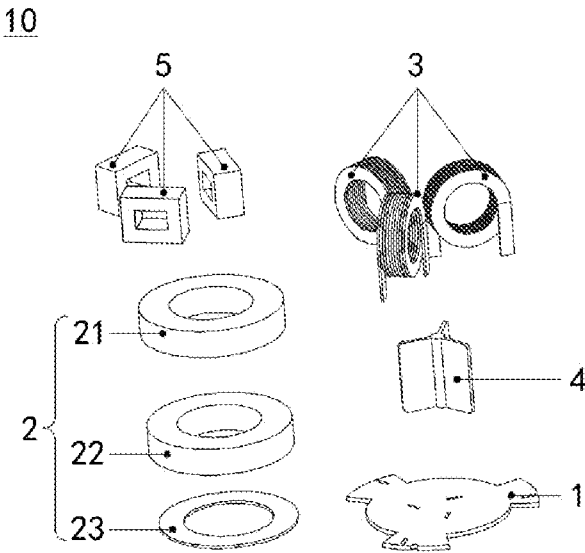


图 5

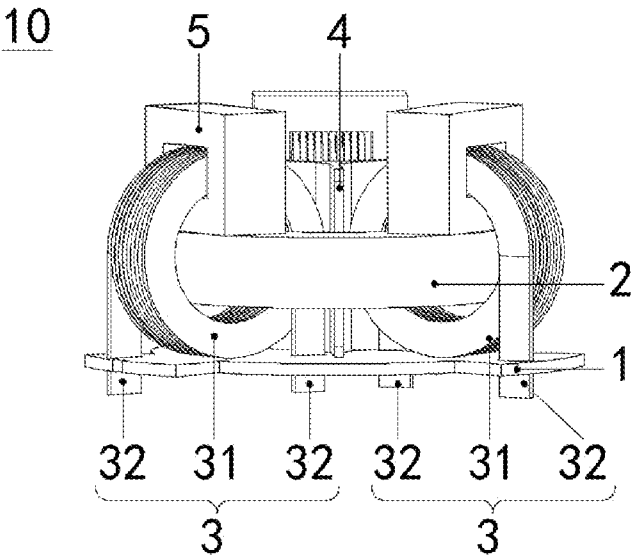


图 6

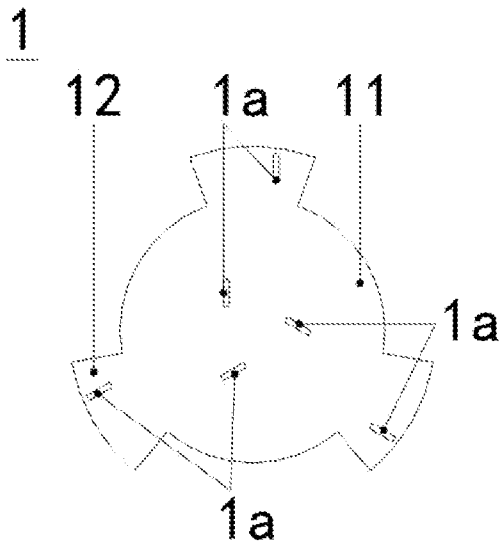


图 7

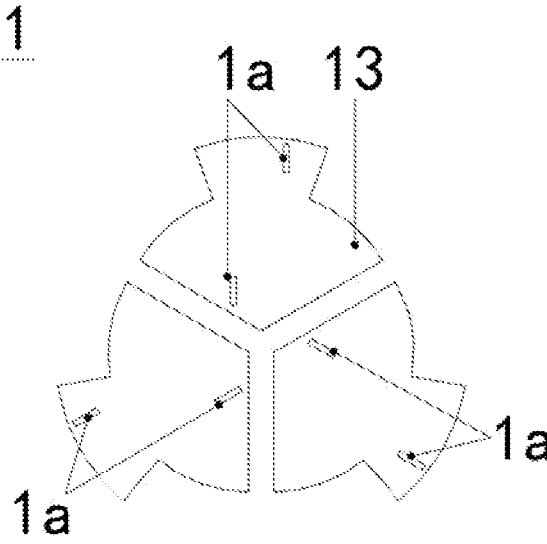


图 8

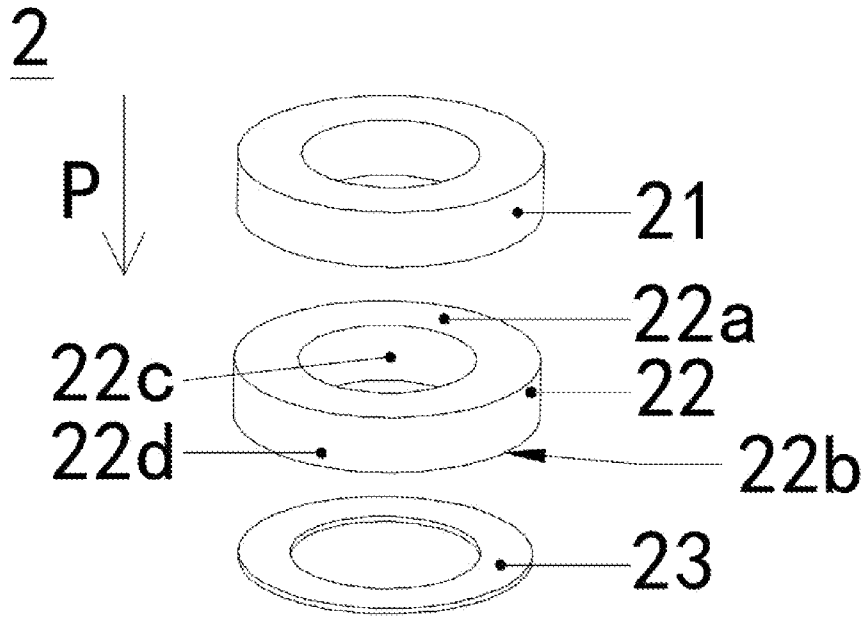


图 9

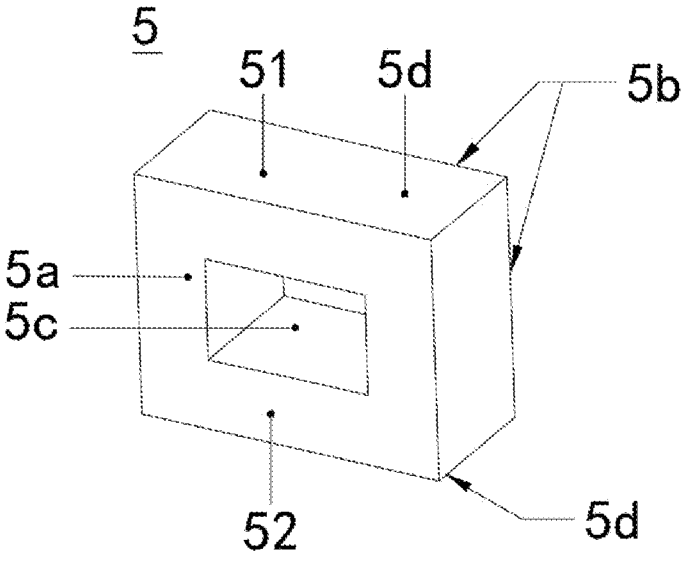


图 10

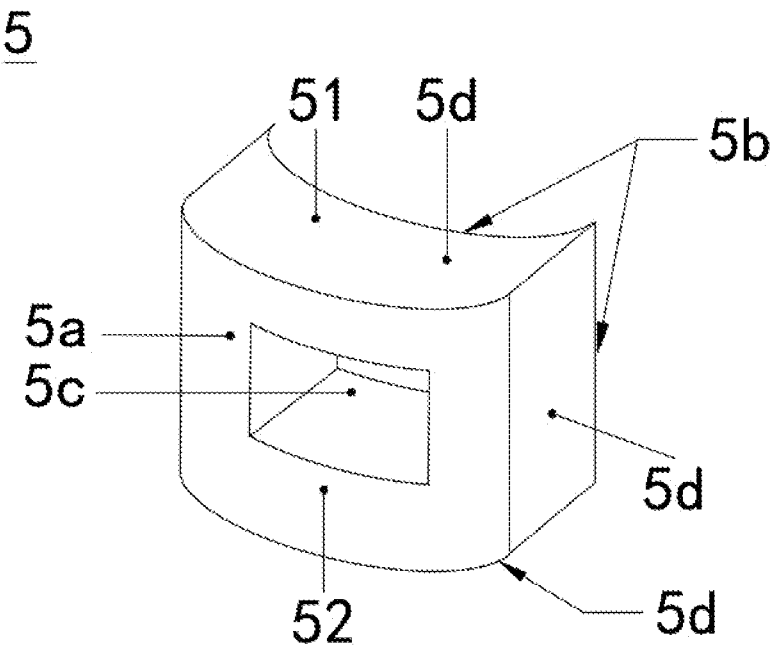


图 11

3

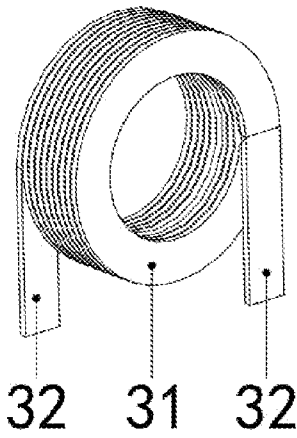


图 12

4

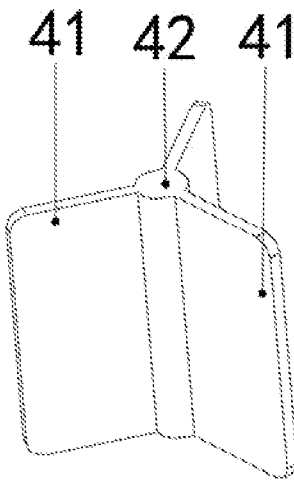


图 13

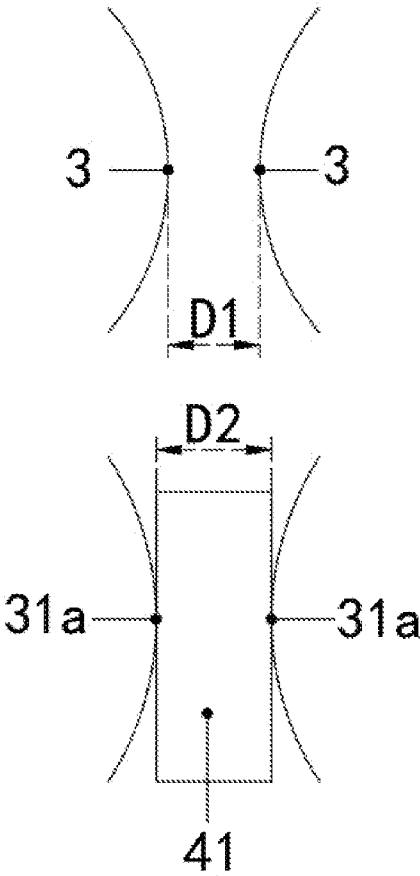


图 14

20

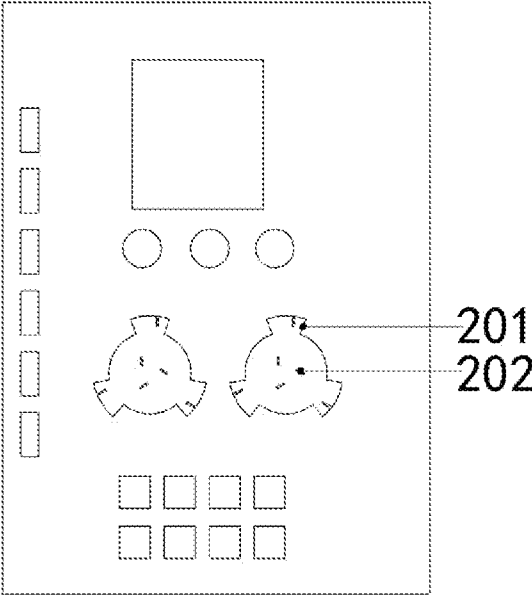


图 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/100913

A. CLASSIFICATION OF SUBJECT MATTER

H01F27/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, WOTXT, EPTXT, USTXT, VEN, CNKI: 电感, 共模, 差模, 磁芯, 绕组, inductance, common mode, differential mode, core, coil

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 115312304 A (SHANGHAI HUAWEI DIGITAL ENERGY TECHNOLOGY CO., LTD.) 08 November 2022 (2022-11-08) claims 1-18	1-18
A	CN 107293389 A (HUAWEI TECHNOLOGIES CO., LTD.) 24 October 2017 (2017-10-24) description, paragraphs 38-54, and figures 2-3	1-18
A	CN 208335914 U (QINGDAO YUNLU JUNENG ELECTRICAL CO., LTD.) 04 January 2019 (2019-01-04) description, paragraphs 34-63, and figures 1-11	1-18
A	CN 1514532 A (YANG YUGANG) 21 July 2004 (2004-07-21) entire document	1-18
A	CN 110379599 A (HUAWEI TECHNOLOGIES CO., LTD.) 25 October 2019 (2019-10-25) entire document	1-18
A	US 2020234867 A1 (DELTA ELECTRONICS (THAILAND) PUBLIC CO., LTD.) 23 July 2020 (2020-07-23) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 September 2023

Date of mailing of the international search report

12 October 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/100913

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115312304	A	08 November 2022	None			
CN	107293389	A	24 October 2017	CN	107293389	B	21 June 2019
CN	208335914	U	04 January 2019	None			
CN	1514532	A	21 July 2004	CN	2632934	Y	11 August 2004
CN	110379599	A	25 October 2019	CN	110379599	B	19 November 2021
US	2020234867	A1	23 July 2020	US	11688541	B2	27 June 2023
				EP	3683811	A1	22 July 2020
				CN	111462981	A	28 July 2020

A. 主题的分类 H01F27/30(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC:H01F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS、CNTXT、WOTXT、EPTXT、USTXT、VEN、CNKI:电感, 共模, 差模, 磁芯, 绕组, inductance, common mode, differential mode, core, coil		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 115312304 A (华为数字能源技术有限公司) 2022年11月8日 (2022 - 11 - 08) 权利要求第1-18项	1-18
A	CN 107293389 A (华为技术有限公司) 2017年10月24日 (2017 - 10 - 24) 说明书第38-54段, 图2-3	1-18
A	CN 208335914 U (青岛云路聚能电气有限公司) 2019年1月4日 (2019 - 01 - 04) 说明书第34-63段, 图1-11	1-18
A	CN 1514532 A (杨玉岗) 2004年7月21日 (2004 - 07 - 21) 全文	1-18
A	CN 110379599 A (华为技术有限公司) 2019年10月25日 (2019 - 10 - 25) 全文	1-18
A	US 2020234867 A1 (DELTA ELECTRONICS (THAILAND) PUBLIC CO LTD) 2020年7月23日 (2020 - 07 - 23) 全文	1-18
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
★ 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年9月12日		国际检索报告邮寄日期 2023年10月12日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 李霞 电话号码 (+86) 020-28958358

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/100913

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	115312304	A	2022年11月8日	无	
CN	107293389	A	2017年10月24日	CN	107293389 B 2019年6月21日
CN	208335914	U	2019年1月4日	无	
CN	1514532	A	2004年7月21日	CN	2632934 Y 2004年8月11日
CN	110379599	A	2019年10月25日	CN	110379599 B 2021年11月19日
US	2020234867	A1	2020年7月23日	US	11688541 B2 2023年6月27日
				EP	3683811 A1 2020年7月22日
				CN	111462981 A 2020年7月28日