

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-512684

(P2006-512684A)

(43) 公表日 平成18年4月13日(2006.4.13)

(51) Int.C1.	F 1	テーマコード (参考)
GO6F 15/78 (2006.01)	GO6F 15/78	510P
HO1L 21/822 (2006.01)	HO1L 27/04	F
HO1L 27/04 (2006.01)	HO1L 27/04	T
GO6F 1/04 (2006.01)	GO6F 1/04	301C
HO1L 21/66 (2006.01)	HO1L 21/66	B

審査請求 未請求 予備審査請求 有 (全 29 頁)

(21) 出願番号	特願2004-565787 (P2004-565787)
(86) (22) 出願日	平成15年12月29日 (2003.12.29)
(85) 翻訳文提出日	平成17年8月25日 (2005.8.25)
(86) 國際出願番号	PCT/US2003/041490
(87) 國際公開番号	W02004/061632
(87) 國際公開日	平成16年7月22日 (2004.7.22)
(31) 優先権主張番号	10/334,748
(32) 優先日	平成14年12月31日 (2002.12.31)
(33) 優先権主張国	米国(US)

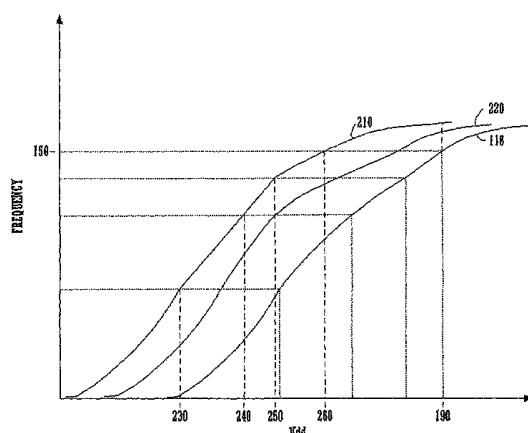
(71) 出願人	501093321 トランスマタ コーポレイション アメリカ合衆国 カリフォルニア州 95 054 サンタ クララ フリーダム サ ークル 3940
(74) 代理人	100083839 弁理士 石川 泰男
(72) 発明者	リード, アンドリュー, ジェイ. アメリカ合衆国, 94087 カリフォル ニア州, サニーヴェール, イーグル ドラ イヴ 1621
(72) 発明者	ウイング, マルコム アメリカ合衆国, 94306 カリフォル ニア州, パロ アルト, ラモナ ストリー ト 2893

最終頁に続く

(54) 【発明の名称】マイクロプロセッサおよびマイクロプロセッサの動作方法

(57) 【要約】

集積回路のパッケージ前の特性表示に基づいて電力を適応制御する方法およびシステムである。特定の集積回路の特性を使用して、その集積回路の電力が適応制御される。



【特許請求の範囲】**【請求項 1】**

マイクロプロセッサを動作させる方法であって、
前記マイクロプロセッサのための所望の動作周波数を決定するステップと、
前記マイクロプロセッサ内に記憶され、そして、前記マイクロプロセッサに特化された
情報にアクセスするステップであって、前記情報を使用して、前記所望の動作周波数で前
記マイクロプロセッサを動作させるための、前記マイクロプロセッサの特性に基づく最適
電圧を決定するステップと、
前記最適電圧で前記マイクロプロセッサを動作させるステップと
を含む方法。

10

【請求項 2】

前記情報が、前記マイクロプロセッサのパッケージングに先立って、前記マイクロプロ
セッサ内で符号化される、請求項 1 に記載の方法。

【請求項 3】

前記最適電圧で動作している間、前記マイクロプロセッサを前記所望の動作周波数で動作
させるステップを更に含む、請求項 1 に記載の方法。

【請求項 4】

前記マイクロプロセッサの前記特性が、前記マイクロプロセッサの温度測定を含む、請求
項 1 に記載の方法。

【請求項 5】

前記温度測定が、アクセスする前記ステップを行う位置の最も近くで実施される、請求
項 4 に記載の方法。

20

【請求項 6】

前記情報が、複数組の周波数 - 電圧動作点のうちの 1 組へのマッピングを含む、請求項
1 に記載の方法。

【請求項 7】

前記複数組の周波数 - 電圧動作点が、前記マイクロプロセッサ内に記憶されない、請求
項 6 に記載の方法。

【請求項 8】

マイクロプロセッサの製造方法であって、
複数の未パッケージのマイクロプロセッサにアクセスするステップと、
前記複数の未パッケージのマイクロプロセッサのうちの 1 つのマイクロプロセッサに必
要な、指定周波数における電力制限に合致するための電圧を決定するステップと、
前記電圧の情報を前記 1 つのマイクロプロセッサの中に符号化するステップと
を含む方法。

30

【請求項 9】

前記決定ステップが、前記 1 つのマイクロプロセッサのパッケージングに先立って実行
される、請求項 8 に記載の方法。

【請求項 10】

決定する前記ステップがウェハレベルで実行される、請求項 9 に記載の方法。

40

【請求項 11】

符号化する前記ステップもまた、前記ウェハレベルで実行される、請求項 10 に記載の
方法。

【請求項 12】

前記電圧が、前記 1 つのマイクロプロセッサのキャパシタンスを測定することによって
決定される、請求項 8 に記載の方法。

【請求項 13】

前記電圧が、前記 1 つのマイクロプロセッサのアイドル電流を測定することによって決
定される、請求項 8 に記載の方法。

【請求項 14】

50

決定する前記ステップが複数の温度で実行される、請求項 8 に記載の方法。

【請求項 15】

前記情報が、周波数 - 電圧特性の複数の関係のうちの 1 つへのマッピングを含む、請求項 8 に記載の方法。

【請求項 16】

集積回路であって、

マイクロプロセッサ回路と、

前記マイクロプロセッサ回路に結合された不揮発性記憶装置の少なくとも 1 つのビットとを備え、

前記不揮発性記憶装置が、前記集積回路の周波数 - 電圧特性の情報を含んでいる集積回路。10

【請求項 17】

前記情報が、周波数 - 電圧特性の複数のグループのうちの 1 つへのマッピングを含む、請求項 16 に記載の集積回路。

【請求項 18】

前記マイクロプロセッサ回路が、前記集積回路の動作状態を示す値を提供する、請求項 16 に記載の集積回路。

【請求項 19】

前記値が前記集積回路の温度を含む、請求項 18 に記載の集積回路。

【請求項 20】

前記値が前記集積回路の所望の動作周波数を含む、請求項 18 に記載の集積回路。20

【請求項 21】

不揮発性記憶装置の前記少なくとも 1 つのビットがリセット不能である、請求項 16 に記載の集積回路。

【請求項 22】

前記情報が前記集積回路のパッケージングに先立って記憶される、請求項 16 に記載の集積回路。

【請求項 23】

2 組の周波数 - 電圧動作点を備えた、コンピュータ可読メモリ内のデータ構造であって、30

前記組の個々の周波数 - 電圧動作点が、マイクロプロセッサ集積回路を所望の周波数で動作させるために必要な最低動作電圧を指定し、更に、

周波数 - 電圧動作点の組の各々が、複数のマイクロプロセッサ集積回路の 1 つのクラスを表し、複数のマイクロプロセッサ集積回路の前記クラスの各々が異なる周波数 - 電圧特性を有しているところのデータ構造。

【請求項 24】

前記データ構造がマイクロプロセッサ集積回路の外部に存在する、請求項 23 に記載のデータ構造。

【請求項 25】

温度依存動作電圧情報を更に含む、請求項 23 に記載のデータ構造。40

【請求項 26】

マイクロプロセッサ集積回路に記憶されている情報によって前記組の周波数 - 電圧動作点の各々を指示することができる、請求項 23 に記載のデータ構造。

【請求項 27】

マイクロプロセッサ集積回路と、

前記マイクロプロセッサ集積回路に結合されて、前記マイクロプロセッサ集積回路に選択可能電圧を供給するための電圧源と、

前記マイクロプロセッサ集積回路に結合されて、前記マイクロプロセッサ集積回路の動作電圧を最適化する方法を実施するための命令を含むメモリ空間とを備えたコンピュータであって、前記方法が、50

前記マイクロプロセッサ集積回路のための所望の動作周波数を決定するステップと、前記マイクロプロセッサ集積回路内に記憶されている情報にアクセスして、前記マイクロプロセッサを前記所望の動作周波数で動作させるための最適電圧を決定するステップであって、前記最適電圧が、前記マイクロプロセッサ集積回路の特性に基づいているところのステップと、

前記電圧源に前記最適電圧を前記マイクロプロセッサ集積回路に供給させるステップとを含んでいる

ところのコンピュータ。

【請求項 2 8】

少なくとも 2 組の周波数 - 電圧動作点を備えた第 2 のメモリ空間を更に備え、

10

前記組の個々の周波数 - 電圧動作点が、マイクロプロセッサ集積回路を所望の周波数で動作させるために必要な最低動作電圧を指定し、更に、

少なくとも 2 組の周波数 - 電圧動作点の各々が、複数のマイクロプロセッサ集積回路の 1 つのクラスを表し、複数のマイクロプロセッサ集積回路の各々のクラスが異なる周波数 - 電圧特性を有する、請求項 2 7 に記載のコンピュータ。

【請求項 2 9】

前記情報が、前記少なくとも 2 組の周波数 - 電圧動作点のうちの 1 つへのマッピングを含む、請求項 2 8 に記載のコンピュータ。

【請求項 3 0】

前記第 2 のメモリ空間が前記マイクロプロセッサ集積回路内に包含されない、請求項 2 8 に記載のコンピュータ。

20

【請求項 3 1】

前記第 2 のメモリ空間が温度依存動作電圧情報を更に含む、請求項 2 8 に記載のコンピュータ。

【請求項 3 2】

前記マイクロプロセッサ集積回路の温度を測定するための手段を更に備えた、請求項 3 1 に記載のコンピュータ。

【請求項 3 3】

前記方法が、

30

前記マイクロプロセッサ集積回路の温度にアクセスするステップと、

前記温度依存動作電圧情報にアクセスして、前記所望の動作周波数および前記マイクロプロセッサ集積回路の前記温度で、前記マイクロプロセッサを動作させるための最適電圧を決定するステップとを更に含む、請求項 3 2 に記載のコンピュータ。

【請求項 3 4】

マイクロプロセッサのクラスに関連する、電圧 - 周波数の複数の関係を記憶するメモリと、

前記クラスの複数のマイクロプロセッサのうちの 1 つのマイクロプロセッサとを備えた電子デバイスであって、前記マイクロプロセッサが、前記マイクロプロセッサ上に記憶され、前記複数の電圧 - 周波数の関係のうちの特定の電圧 - 周波数の関係を示す情報を含み、前記特定の電圧 - 周波数の関係が前記マイクロプロセッサに特化され、そして、前記特定の電圧 - 周波数の関係を使用して、前記マイクロプロセッサに印加すべき、前記マイクロプロセッサの所望の動作周波数に基づく最適電圧が選択されるところの電子デバイス。

40

【請求項 3 5】

前記最適電圧を印加し、そして、前記マイクロプロセッサを前記所望の動作周波数で動作させるための論理を更に備え、前記論理は、前記メモリおよび前記マイクロプロセッサに結合されている、請求項 3 4 に記載のデバイス。

【請求項 3 6】

前記メモリが前記マイクロプロセッサから分離している、請求項 3 4 に記載のデバイス。

50

【請求項 3 7】

前記情報が、前記マイクロプロセッサ上に組み込まれたプログラマブルヒューズに記憶される、請求項 3 4 に記載のデバイス。

【請求項 3 8】

前記情報が、前記マイクロプロセッサ上に組み込まれたプログラマブルメモリに記憶される、請求項 3 4 に記載のデバイス。

【請求項 3 9】

前記情報が、前記マイクロプロセッサの特性表示後に獲得される、請求項 3 4 に記載のデバイス。

【請求項 4 0】

前記情報が、ウェハレベルの前記マイクロプロセッサにプログラムされる、請求項 3 9 に記載のデバイス。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本明細書の実施形態は、集積回路の製造および動作に関する。より詳細には、本明細書の実施形態は、集積回路をその集積回路の最適電圧で動作させるためのコンピュータ実施プロセスに関する。本明細書は、部分的に、集積回路のパッケージ前の特性表示に基づく適応電力制御を開示する。

【背景技術】**【0 0 0 2】**

移動コンピュータ、たとえば電池によって電力が供給されるコンピュータが直面している重大な問題は、このようなコンピュータを充電と充電の間で動作させることができる時間の長さである。もう 1 つの問題は、エレクトロニクスの熱損失の問題である。コンピュータプロセッサには、その能力が高くなるにつれてより速いクロック速度で動作し、かつ、より多くの電力を散逸する傾向がある。また、より能力の高い周辺装置、たとえばより容量の大きいハードドライブおよび無線高速ネットワークも、有効電池電力のこれまで以上の増加部分を主コンピュータプロセッサと競い合っている。同時に、携帯型コンピュータのサイズおよび重量は、それらを更に可搬性に富んだものにするために絶えず縮小されている。電池は、通常、携帯型コンピュータおよび他の携帯型デバイスの重量の極めて大きな割合を占めるため、電池のサイズ延いては電池の容量を最小限に維持する傾向が続いている。また、携帯型デバイスのコンパクトな性質が熱損失の問題を大きくしている。

【0 0 0 3】

多大な時間、経費および努力が、携帯型コンピュータの動作寿命を長くするための技法に傾注されている。現在、典型的なプロセッサおよびコンピュータシステムは、携帯型コンピュータの様々な機能に対して、それらが長期間に渡って使用されていない場合に、それらの機能による電力の消費を不能にするための回路およびソフトウェアを備えている。たとえば、選択された一定の期間の間、表示画面が未使用である場合、表示画面をターンオフするための様々な技法が工夫されている。同様のプロセスがハードドライブが使用されていない時間の長さを測定し、一定期間が経過すると回転を不能にしている。別のこのようなプロセスを使用して、一定の非アクティブ期間が経過すると、中央処理装置を休止状態にしている。

【0 0 0 4】

これらのプロセスは、一般的には携帯型コンピュータの動作寿命を長くするために有効であるが、一般的には動作寿命は依然として望ましい持続期間を達成していない。実際、電池の寿命は、携帯型プロセッサとコンピュータ製造者との間の高度に競合的な仕様であり、より長い電池寿命に対する要望は、ほぼ世界中に存在している。

【0 0 0 5】

極めて多くの研究がなされており、必要な電力が少ないプロセッサが製造されることであろう。今日、コンピュータシステムに使用されているほとんどのプロセッサは、相補性

10

20

30

40

50

金属酸化膜半導体（C M O S）技術を使用して製造されている。C M O S集積回路によって消費される電力は、静的部分と動的部分との2つの構成要素からなっている。動的電力は、近似的に、 $p = C V^2 f$ で与えられる。Cはアクティブスイッチングキャパシタンス、Vは供給電圧、fは動作周波数である。静的電力は、アイドルすなわち「オフ」電流×電圧で表される。

【0006】

プロセッサは、任意の所与の瞬間に使用者によって要求される計算資源を提供する周波数の最低可能電圧で動作させることができが望ましい。たとえば、プロセッサが600MHzで動作しており、かつ、プロセッサの需要の半分しか使用者がプロセスを走らせていない場合、周波数をほぼ1/2にすることができます。これに対応して、多くの場合、同じく電圧を1/2にすることができます。したがって動的電力の消費を1/8にすることができます。従来技術においては、この動的周波数・電圧スケーリングを実施する様々な方法が記述されている。

【0007】

カリフォルニア州サンタクララにあるTransmeta Corporationは、プロセッサに使用することができる、処理要求に応じて電圧を調整するための極めて有効なシステムを市販している。本出願の譲受人に譲渡された、2000年1月18日出願の、S. Halepe teらに対する「Adaptive Power Control」という名称の米国特許出願第09/484,516号に、このようなシステムの実施形態が記載されている。

【0008】

Halepeteらは、プロセッサの電圧およびクロック周波数を、ソフトウェアによってプロセッサに課せられる要求に対応する電圧およびクロック周波数に動的に適合させるためのプロセッサの能力を開示している。動的電力は、クロック速度に比例して直線的に変化し、かつ、電圧の2乗で変化するため、電圧および周波数の両方を調整することにより、動的電力の消費を3乗もしくはそれ以上のオーダで低減することができる。これに対して、従来のプロセッサに可能な電力の調整は、直線的（周波数の調整のみによる）な調整のみである。

【0009】

図1は、マイクロプロセッサを動作させるための従来技術による例示的動作周波数対供給電圧曲線110を示したものである。曲線110は、所望の動作周波数を達成するために必要な供給電圧Vddを示しており、たとえば周波数120で動作させるためには、供給電圧160が必要である。

【0010】

曲線110は、たとえば多数のマイクロプロセッササンプルに対する周波数対電圧情報を収集することによって、マイクロプロセッサの母集団のための標準として確立することができる。良く知られている様々な統計的分析手法を使用して曲線110を確立し、性能とプロセス歩留りとの最適トレードオフを達成することができる。たとえば、全母集団の90%が曲線110より良好な周波数・電圧性能を示すように曲線110を確立することができる。曲線110を使用して1組の周波数・電圧動作点を確立することができる。たとえば周波数150は電圧190と対であり、周波数140は電圧180と、周波数130は電圧170と、また、周波数120は電圧160とそれぞれ対である。また、このような1組の周波数・電圧対（すなわち動作点）は、次の表1に示すように、テーブルの形態で表すことも可能である。

【0011】

10

20

30

40

【表1】

表1

周波数	供給電圧
150	190
140	180
130	170
120	160

10

20

30

40

50

【0012】

このようなプロセッサは、周波数および電圧の多数の異なる組合せ、すなわち動作点で動作するように構成される。専用の電力管理ソフトウェアによってプロセッサがモニタされ、プロセッサによる動的電力の消費を有利に最少化するために、これらの動作点と動作点の間で、ランタイム条件変更として動的にスイッチされる。

【0013】

残念なことには、従来技術の場合、このような電力管理ソフトウェアは、1組の周波数 - 電圧動作点での動作に限定されている。たとえば特定の製造プロセスに対する特定のプロセッサモデルを認定試験している間に、1組の周波数 - 電圧動作点が決定され、そのプロセッサモデルのすべてのデバイスの動作に使用される。このような1組の周波数 - 電圧動作点は、プロセッサデバイスの母集団の最悪動作に基づいて決定され、たとえばそのプロセッサデバイスの汎用可用性に先立って決定される。

【0014】

プロセッサ集積回路（「マイクロプロセッサ」）の電力消費に関連する多くの特性は、製造プロセスの間に大きく変化する。たとえば、最大動作周波数、閾値電圧およびキャパシタンスは、バッチ間で、更には同じウェハにおいて、それぞれ30%以上変化することがある。漏れ電流は閾値電圧の指數であり、公称値から500%変化することがある。残念な結果として、このような1組の周波数 - 電圧動作点は、たとえば認定プロセスの間に、一般的にはプロセッサデバイスの汎用可用性に先立って決定されるプロセッサデバイスの母集団の最悪動作に基づいている。

【0015】

多くのプロセッサ、典型的には製造済み母集団の大半は、最悪性能に基づく標準の1組より多い有利な周波数 - 電圧動作点で動作させることができる。たとえば、標準組が1.2ボルトで600MHzの動作を指定している場合、個々のプロセッサデバイスの多くは、600MHzでたったの1.1ボルトで動作させることができる。しかしながら、このようなより良好な性能を発揮するプロセッサは、標準の周波数 - 電圧動作点での動作に不利益に設定されており、電力を無駄に消費している。また、このような部品は、通常、より低い閾値電圧を有することになり、より高い供給電圧での動作を強制されると、漏れ電流が増加することになる。これらの両方の効果が電力を過度に消費し、電池の寿命を、いたずらに、このような特定のプロセッサデバイスに対する最適な電池寿命より短くしている。

【0016】

また、通常、プロセッサモデルの商用寿命の間に、様々な洗練および改善がその製造プロセスに加えられる。これらの洗練および改善の中には、たとえば、既存の標準周波数 - 電圧動作点の組を最適ではない組にしているプロセッサ母集団の電力特性を改善するものもある。

【0017】

従来技術は、主としてマイクロプロセッサの動的電力消費の低減に的を絞っているが、残念なことには、近代の半導体プロセス、たとえば最小フィーチャサイズが約0.13ミクロン以下のプロセスにおいては、総電力消費に占める静的電力消費を無視することはもはやできない。このようなプロセスの場合、静的電力は、総電力消費の1/2を占めることがある。また、静的電力が総電力に占める割合は、半導体プロセスの逐次生成に伴って増加する傾向がある。

【0018】

たとえば、最大動作周波数は、通常、量($1 - V_{t} / V_{dd}$)、つまり、供給電圧で除した閾値電圧を1から引いた量に比例している(微小プロセス幾何学の場合)。プロセス幾何学が縮小されると、通常、酸化膜の破壊などの有害な影響を回避するために供給電圧(V_{dd})も低減される。したがって、有利な最大動作周波数を維持し、あるいは高くするためには、同じく閾値電圧を低くしなければならず、したがって、ゲート酸化膜は、ゲートがチャネルの制御を維持することができるよう、より薄く構築されている。ゲート酸化膜をより薄くすることにより、ゲートキャパシタンスを大きくすることができる。「オフ」であるか、あるいはCMOSデバイスの漏れ電流が一般的にゲートキャパシタンスに比例しているため、ゲート酸化膜をより薄くする傾向には、漏れ電流を大きくする傾向がある。残念なことには、漏れ電流が増加すると、静的電力の消費が著しく増加する。また、残念な結果として、半導体プロセスのサイズの絶えることのない縮小により、総電力消費に対する静的電力散逸の関与がこれまで以上に増加している。

10

20

30

40

50

【0019】

また、漏れ電流は、デバイス幾何学の多数のアспектおよびインプラン特性的影響を受けるため、静的電力は、公称レベルの上下に500%も変化することがある。電力消費の面における性能は、移動プロセッサの重要な属性であるため、プロセッサの製造者は、通常、部品が最大電力レベルにおける特定のクロック速度、たとえば8.5ワットにおける1GHzに合致していることを試験し、認証している。固定組の周波数-電圧動作点で動作させる場合、このような最大電力レベルは、その組の周波数-電圧動作点によって指定される電圧で達成しなければならない。

【0020】

特定のプロセッサデバイスが標準周波数-電圧動作点における最大電力制限に合致することができない場合、そのプロセッサデバイスは除外されるか、あるいはより大きい電力の範疇、つまり製造試験におけるそれほど望ましくないカテゴリーすなわち「貯蔵所」に置かれることになる。このような部品は、製造者に対する歩留り損失および潜在的な収入の損失を表しているが、このような部品は、要求されるクロック速度仕様および電力消費仕様の両方を、より低い電圧で達成することができることがしばしばである。

【発明の開示】

【発明が解決しようとする課題】

【0021】

したがって、従来技術による周波数-電圧動作点を制御するシステムおよび技法は、プロセッサの電力消費の低減に改善をもたらしているが、プロセッサの可変母集団のすべてに標準組の動作点を使用しているため、電力の消費が最適ではなく、また、極めて望ましくない製造歩留り損失をもたらしている。

【課題を解決するための手段】

【0022】

前述の観点から、特定の集積回路の特性を反映している、集積回路のパッケージ前の特性表示に基づいて電力を適応制御するシステムおよび方法が必要である。

【0023】

本明細書は、部分的に、集積回路のパッケージ前の特性表示に基づいて電力を適応制御する方法およびシステムを開示する。特定の集積回路の特性を使用してその集積回路の電力が適応制御される。

【発明を実施するための最良の形態】

【0024】

本発明すなわち集積回路のパッケージ後の特性表示に基づく適応電力制御についての以下の詳細説明では、本発明を完全に理解するために、多数の特定の詳細が示されている。しかしながら、当業者には、これらの特定の詳細がなくても本発明を実践することができ、あるいはこれらの特定の詳細の均等物を使用して本発明を実践することができることは認識されよう。したがって、本発明の態様を明確にするために、良く知られている方法、処理手順、コンポーネントおよび回路についての詳細な説明は、ここでは省略されている。

【0025】

表記法および名称集 10

以下の詳細説明のいくつかの部分（たとえばプロセス 600、700、800、900、1000、1100、1200 および 1300）は、処理手順、ステップ、論理ブロック、処理、およびコンピュータメモリ上で実行することができるデータビットに対する動作の他の記号表現の形で示されている。これらの記述および表現は、データ処理分野の技術者に使用されている、それらの働きの本質を他の当業者に最も効果的に伝えるための手段である。処理手順、コンピュータ実行ステップ、論理ブロック、プロセス等は、ここでは一般的に、所望の結果を得るために自己無矛盾ステップシーケンスあるいは命令もしくはファームウェアと見なすべきである。ステップは、物理量の物理的な操作を必要とするステップである。通常、物理量は、必ずしもそうとは限らないが、記憶し、転送し、結合し、比較し、あるいはコンピュータシステムの中で操作することができる電気信号もしくは磁気信号の形態を取っている。これらの信号は、主として共通に利用するという理由で、ビット、値、エレメント、記号、特性、用語、数などとして参照することがしばしば便利であることが分かっている。

【0026】

しかしながら、これらのすべての用語およびすべての類似用語は、適切な物理量に関連させるべきであり、また、これらの物理量に適用された単に便利なラベルに過ぎないことに留意されたい。以下の考察から明らかであるように、特に言及されていない限り、本発明を通して、「入手する」、「索引付けする」、「処理する」、「計算する」、「翻訳する」、「計算する」、「決定する」、「選択する」、「記憶する」、「認識する」、「生成する」、「選択する」、「移動させる」、「符号化する」、「結合する」、「試験する」、「設定する」、「動作させる」、「変換する」、「決定する」、「最適化する」、「合成する」、「グループ化する」、「予測する」、「記述する」、「測定する」、「記録する」、「関連付ける」などの用語を利用した考察は、コンピュータシステムのレジスタおよびメモリ内の物理（電子）量として表されたデータを、コンピュータシステムメモリあるいはレジスタもしくは他のこののような情報記憶装置、転送デバイスもしくは表示デバイス内の物理量として同様に表された他のデータに操作し、かつ、変換するコンピュータシステムもしくは類似の電子計算デバイスのアクションおよびプロセスを意味していることを理解されたい。

【0027】

集積回路のパッケージ後の特性表示に基づく適応電力制御 40

本発明の実施形態について、高度に集積化された半導体の設計および動作のコンテキストの中で説明する。より詳細には、本発明の実施形態は、マイクロプロセッサの適応電力管理に関する。しかしながら、本発明のエレメントは、半導体動作の他の領域に利用することが可能であることを理解されたい。

【0028】

2000年1月18日出願の、S. Halepe te らに対する「Adaptive Power Control」という名称の米国特許出願第09/484,516号は、参照によりその全体が本明細書に組み込まれている。

【0029】

10

20

30

30

40

50

半導体製造プロセスは、一般に高度な自己無矛盾プロセスであると見なされている。つまり、半導体製造プロセスは、集積回路設計の「厳密な」コピーの製造に極めて良好であり、デジタル領域で動作する半導体製品の場合、とりわけ良好である。機能的には、半導体技術は、同様に機能する本質的に完璧なコピーの製造に成功している。

【0030】

しかしながら、半導体の多くのアナログ特性は極めて変化しやすく、たとえば閾値電圧、キャパシタンス、ゲート遅延、電流消費、最小動作電圧および最大動作周波数は、チップ間で30%以上変化することがある。漏れ電流すなわち「オフ」電流は、更に変化しやすく、たとえば公称レベルの上下500%の漏れ電流の変化は希なことではない。より詳細には、集積回路の電力消費に関連するパラメータは、極めて変化しやすい。

10

【0031】

図2は、本発明の一実施形態による、特定の集積回路の例示的周波数-電圧特性を示したものである。曲線210は、測定した周波数-電圧特性を示したもので、製造済み母集団の特定の集積回路の出力に対応している。また、参考として、標準の周波数-電圧曲線110が示されている。曲線210で示す周波数-電圧特性は、標準曲線110とは異なっており、製造プロセスの結果が変動していることを反映していることを理解されたい。

【0032】

曲線210は、標準曲線110より良好な周波数-電圧特性を備えた特定の集積回路を示している。たとえば、曲線210で示す集積回路は、標準の周波数-電圧特性によって指定される供給電圧190(表1)より低い供給電圧260で周波数150を達成することができる。有利な結果として、このような集積回路は、標準の電圧(たとえば電圧190)での動作と比較して、より低い電圧(たとえば電圧260)延いてはより小さい電力で同じレベルの処理性能(周波数で表される)を提供することができる。

20

【0033】

曲線210は、標準曲線(110)より有利な周波数-電圧特性を備えた集積回路を示している。通常、製造母集団の大半は、標準曲線を決定する際に、製造プロセスの歩留りを少なくとも部分的に最小化するために優れた周波数-電圧特性を有することになるが、このような標準周波数-電圧特性の有害な影響は、集積回路のほとんどが、それらの定格より良好な電力性能が可能であることである。

30

【0034】

電力消費の面における性能は、移動プロセッサの重要な属性であるため、プロセッサの製造者は、通常、部品が最大電力レベルにおける特定のクロック速度に合致していることを試験し、認証している。固定組の周波数-電圧動作点で動作させる場合、このような最大電力レベルは、所望の周波数に対応する、その組の周波数-電圧動作点によって指定される電圧で達成しなければならない。たとえば、集積回路の電力レベルは、供給電圧190における周波数150に対する最大制限未満でなければならない。

40

【0035】

たとえば曲線210に対応する集積回路のような「高速」部品は、「より速度の遅い」部品と比較すると、より低い電圧でより高い動作周波数を達成することができる。高速部品は、通常、より速度の遅い部品と比較すると、所与の電圧における電流消費も多く、したがって、曲線210に対応する集積回路は、供給電圧190、周波数150で容易に動作させることができるが、この集積回路は、通常、より多くの電流を消費するため、試験電圧における電力制限を超過することがある。従来技術の場合、曲線210に対応する集積回路は、所望の動作周波数、たとえば標準の周波数-電圧特性によって指定される電圧より低い電圧で周波数150を達成することは可能であるが、有害なことには消費する電力が多すぎるため、除外されることになる。

40

【0036】

典型的な動作周波数、たとえば数百メガヘルツからギガヘルツの範囲における集積回路の試験、たとえば曲線210の作成に必要な試験は、通常、集積回路がパッケージされた後に実行される。パッケージ部品の試験に必要な試験設備は、通常、ベアダイレベルもし

50

くはウェハレベルの試験に必要な試験設備より安価である。また、たとえばリードフレームを含むパッケージングにより、パッケージデバイスの性能、とりわけ周波数性能に影響する多くの追加電気特性および熱特性が導入される。

【0037】

残念なことには、パッケージングプロセスは、パッケージング材料、プロセス設備の運転経費および能力の点で高価である。パッケージ後におけるパッケージ半導体が望ましくない電力特性を有していることが分かると、パッケージングの経費が損失する。また、半導体のある種の不揮発性エレメント、たとえばデータ記憶ヒューズは、通常、パッケージングに先立ってのみセットすることができる。たとえば、データ記憶ヒューズは、直接アクセスされる（たとえばレーザによって）半導体構造にすることができ、あるいは一般的にはボンディングされないパッドを介してアクセスされる半導体構造にすることができる。これらおよびその他の理由により、集積回路の電力性能をパッケージングに先立って決定することがしばしば有利である。

【0038】

CMOS回路によって消費される電力は、静的部分と動的部分との2つの構成要素からなっている。動的電力は、近似的に、 $p = C V^2 f$ で与えられる。Cはアクティブスイッチングキャパシタンス、Vは供給電圧、fは動作周波数である。静的電力は、アイドル電流 × 電圧で表される。既に説明したように、通常、パッケージングに先立って集積回路を周波数で正確に試験することは不可能である。したがって動的電力を集積回路のパッケージングに先立って正確に測定することはできないが、キャパシタンスCおよびアイドル電流は、パッケージングによる影響が比較的小さく、また、ペアダイレベルおよび/またはウェハレベルで正確に測定することができる。

【0039】

本発明の一実施形態によれば、有利には、キャパシタンスが与えられると、パッケージングに先立って、仮想動作周波数に基づいて動的電力を予測することができる。たとえば、測定したキャパシタンスの値に基づいて、所望の動作周波数に対する動的電力を予測することができる。動作電圧は、たとえば標準の周波数 - 電圧動作点毎に指定することができる。また、パッケージが施されていないデバイス上でアイドル電流を測定することができるため、総電力（所望の動作周波数における）を直接予測することができる。

【0040】

本発明の一実施形態によれば、電力消費のこのような予測（所望の動作周波数に対する）を使用して、パッケージングに先立って、過剰電力消費に基づいて除外された部品を試験することができる。しかしながら、既に説明したように、このような基準に基づく除外は、集積回路デバイス、たとえば図2に示す曲線210に対応する集積回路を有害に除外することになる。

【0041】

本発明の代替実施形態によれば、所望の動作周波数の達成が可能であることを仮定して、最大電力制限を達成するために必要な最大電圧を決定することができる。たとえば、前述の電力予測では、電力（最大制限として）を指定して電圧の解を求めている。得られた電圧は、許容可能な電力レベルを達成するための所望の周波数で集積回路デバイスを動作させることができる最大電圧である。集積回路は、所望の周波数では試験されていないことを理解されたい。しかしながら、電力制限に合致するためには、集積回路は、得られた決定電圧に等しいか、あるいはそれより低い電圧の所望の周波数で動作しなければならない。

【0042】

本発明の一実施形態によれば、得られたこのような電圧の表現を符号化し、たとえば、集積回路のデータ記憶ヒューズ（たとえばリセット不能半導体フィーチャ）、電気的消去可能プログラマブルリードオンリメモリ（EEPROM）などの不揮発性エレメントの中にプログラムすることができる。たとえば、許容される最大電圧を集積回路の中に符号化することができる。別法としては、可変周波数 - 電圧特性の組の中へのマッピングを符号

10

20

30

40

50

化することも可能である。

【0043】

もう一度図2を参照すると、本発明の一実施形態によれば、曲線220は、製造母集団の部分と部分の間の分割線を表している。集積回路の中には、たとえば曲線210に対応する集積回路のように曲線220の「左側」までの電圧・周波数特性を有している集積回路があり、また、曲線220と曲線110の間の電圧・周波数特性を有している集積回路もある。

【0044】

所望の動作周波数に対する許容最大電圧（最大電力レベルを超過しないよう）の決定に基づいて、特定の集積回路を上記複数のグループのうちの1つに置くことができる。曲線220は、第2の組の周波数・電圧動作点になり得るため、曲線110および220で表される2組の周波数・電圧動作点を使用して、所与の特定の集積回路の特定の特性に基づいて、より最適な電力レベルで集積回路を動作させることができる。たとえば曲線210に対応する集積回路は、曲線220の周波数・電圧動作点で動作させることができるため、同じ集積回路を曲線110の標準周波数・電圧動作点で動作させた場合と比較して電力が節約される。符号化された不揮発性回路エレメントは、動作中に使用すべき周波数・電圧動作点の組を決定することができる。

【0045】

次の表2は、本発明の一実施形態による周波数・電圧動作点の組の例示的な対を示したものである。

【0046】

【表2】

表2

標準		高速	
周波数	供給電圧	周波数	供給電圧
1.0 GHz	1.50 V	1.0 GHz	1.40 V
800 MHz	1.30 V	800 MHz	1.25 V
600 MHz	1.20 V	600 MHz	1.10 V
400 MHz	1.05 V	400 MHz	1.00 V

【0047】

表2は、2組の周波数・電圧動作点を示したもので、左側の2列は標準の組であり、右側の2列は「高速」部品のための組である。たとえば、「高速」の組の周波数・電圧動作点が曲線220に対応している場合、曲線210に対応する集積回路は、表2の「高速」の組中の周波数・電圧点で有利に動作させることができる。このような「高速」動作点に従って動作させた場合の「高速」集積回路の消費電力は、標準組の動作点で動作させた場合より少ない。

【0048】

本発明の実施形態は、集積回路の周波数・電圧特性を表すための他の方法にも適しており、たとえば、周波数・電圧特性の多項式記述あるいは近似記述の係数として周波数・電圧特性を表すことができる。

【0049】

10

20

30

40

50

また、同様に、このような符号化不揮発回路エレメントを使用して、パッケージデバイスの動的電力試験の供給電圧を決定することができる。たとえば、曲線210に対応する集積回路などの高速部品は、曲線220に対応する所望の周波数に対して、より低い供給電圧で試験しなければならない。従来技術の場合、高速部品は、標準の周波数・電圧動作点、たとえば曲線110で動作する最大電力制限試験には合格しないが、曲線220に対応するより低い電圧で動作するこのような試験には、より高い割合のデバイスが合格する。有利な結果として、本発明の実施形態により、製造歩留りが有利に向上する。

【0050】

本発明の実施形態は、表2に示す2つのグループより多い複数のグループへの製造母集団のセグメント化に適していることを理解されたい。より多くの周波数・電圧特性の組を生成し、このような複数の組の識別に使用されるより多くのビットを特定の集積回路の各々の中に符号化することができる。

【0051】

ほとんどの半導体の速度すなわち動作周波数は、温度によって変化する。たとえば、所与の電圧においては、集積回路は、温度が低い方がより高速で動作する。必然的な結果として、集積回路は、通常、同じ所望の周波数で、より高い温度で動作させるためにより高い供給電圧を必要とする場合、より低い温度で、より低い供給電圧を使用して、所望の周波数で動作させることになる。

【0052】

本発明の一実施形態によれば、チップの温度を使用して、所望の動作周波数に対する最適動作電圧を選択することができる。次の表3は、本発明の一実施形態による、チップの温度を組み込んだ周波数・電圧動作点の例示的な組を示したものである。

【0053】

【表3】

表3

チップ温度	標準		高速	
	周波数	供給電圧	周波数	供給電圧
100°C 「ホット」	1.0 GHz	1.50 V	1.0 GHz	1.40 V
	800 MHz	1.30 V	800 MHz	1.25 V
	600 MHz	1.20 V	600 MHz	1.10 V
	400 MHz	1.05 V	400 MHz	1.00 V
50°C 「クール」	1.0 GHz	1.40 V	1.0 GHz	1.30 V
	800 MHz	1.30 V	800 MHz	1.15 V
	600 MHz	1.10 V	600 MHz	1.00 V
	400 MHz	0.95 V	400 MHz	0.90 V

【0054】

10

20

30

40

50

表3は、4組の周波数-電圧動作点を示したもので、第2列および第3列は2つの標準組であり、右側の2列は、「高速」部品のための2組である。これらの組は、チップの温度、たとえば「ホット」および「クール」に基づく2つの標準組および2つの高速組である。チップの温度が50以下であることが分かっている場合、集積回路は、「クーラ」すなわち表3の下の部分に示す周波数-電圧点で動作させることが有利である。このような「クール」動作点に従って動作させた場合の集積回路の消費電力は、標準組の動作点（たとえば表2に示す、温度が考慮されていない組）で動作させた場合より少ない。

【0055】

本発明の実施形態は、表3に示す2つの温度グループより多い複数のグループへの周波数-電圧特性の特性化に適していることを理解されたい。より多くの温度依存周波数-電圧特性の組を生成し、このような複数の組の識別に使用されるより多くのビットを特定の集積回路の各々の中に符号化することができる。

【0056】

場合によっては、可変周波数-電圧特性の組へのマッピングを集積回路の中に符号化することが望ましいが、この符号化には限界も存在している。第1の限界は、実際に集積回路の中に符号化することができる情報の量に関係している。マイクロプロセッサは、通常、その不揮発性記憶装置の量が極端に制限されているか、あるいは不揮発性記憶装置を有していない。このようなオンチップ不揮発性記憶装置が不足している理由の1つは、回路のサイズに関係しており、たとえば不揮発性記憶装置の1ビットは、マイクロプロセッサ回路をより最適に使用するための貴重な回路面積を消費している。もう1つの理由は、半導体プロセスに関係しており、たとえば多くのタイプの集積回路不揮発性記憶装置には、標準のマイクロプロセッサ回路には不要な半導体マスクおよび処理ステップを追加する必要がある。このようなマスクおよび処理ステップは高価であり、また、製造プロセスの複雑性が増すため、コストが増加し、かつ、歩留りが悪くなる。これらの理由およびその他により、通常、マイクロプロセッサには、追加処理ステップを必要とする不揮発性記憶装置は含まれていない。

【0057】

第2の限界には、ダイレベル/ウェハレベルの試験の容量および能力が含まれている。ダイレベルおよびウェハレベルのテスタは、パッケージテスタより高価であり、また、既に説明したように、通常、パッケージングによる電気的な影響のため、集積回路の周波数-電圧挙動を完全に特性化することはできない。したがって、場合によっては、パッケージング後の集積回路の周波数-電圧挙動を特性化することがより望ましい。

【0058】

本発明の実施形態は、可変周波数-電圧特性の組へのマッピングの、パッケージング後の集積回路の中への符号化に適していることを理解されたい。たとえば、オンチップ不揮発性記憶装置は、パッケージピンを介してアクセスすることができ、また、テスタは、このような記憶装置にマッピング情報を書き込むことができる。しかしながら、オンチップ不揮発性記憶装置は、パッケージング後には符号化することができない場合がしばしばである。また、場合によっては、所望する量の情報を符号化するために利用することができる十分なオンチップ不揮発性記憶装置が存在していない場合もあり、そのような場合は、1つまたは複数の周波数-電圧特性を特定の集積回路に結合するための代替手段を使用しなければならない。

【0059】

本発明の一実施形態によれば、特定の集積回路の周波数-電圧特性もしくは周波数-電圧特性のマッピングを、その特定の集積回路と結合している不揮発性記憶装置の中に符号化することができる。このようなデバイスの実施例には、それらに限定されないが、電気的消去可能プログラマブルリードオンリメモリ（E E P R O M）、バッテリバックアップランダムアクセスメモリ（R A M）、マスクR O M、強磁性R A M、半導体パッケージ内のデータ記憶ヒューズ、集積回路の一部であるデータ記憶ヒューズ、配線接続（たとえば、ピンをV c c および/または接地に結合することによる符号化）などがある。

10

20

30

40

50

【 0 0 6 0 】

不揮発性記憶装置を特定の集積回路に結合するための望ましい方法の1つは、その特定の集積回路のパッケージ内、たとえばマルチチップモジュール内に記憶装置を備えることである。

【 0 0 6 1 】

本発明の実施形態は、特定の集積回路の周波数 - 電圧特性もしくは周波数 - 電圧特性のマッピングをその特定の集積回路に結合する他の方法にも適している。ある方法によれば、複数の集積回路に対する複数の周波数 - 電圧特性のコンピュータ可読媒体中のデータベースが維持され、その集積回路の属性、たとえば固有通し番号を識別することによって、特定の集積回路の特定の周波数 - 電圧特性が参照される。

10

【 0 0 6 2 】

この特定の周波数 - 電圧特性は、広範囲に渡る様々な手段、たとえばインターネットダウンロードを使用して転送することができ、その集積回路を使用した製品の製造中および／または使用中における多くのポイントで参照することができる。たとえば、その集積回路がマイクロプロセッサであったと仮定すると、そのマイクロプロセッサを備えたコンピュータの製造者は、そのコンピュータをアセンブルし、電子的にそのマイクロプロセッサの通し番号を入手し、たとえばデータファイル内のその特定の周波数 - 電圧特性入手して、そのコンピュータに対する固有のROMを構成することができる。したがって、このようなROMは、その特定のコンピュータの心臓部であるマイクロプロセッサの特定の周波数 - 電圧特性を反映している。

20

【 0 0 6 3 】

一般的には、情報をパッケージング操作の後に符号化することによって、より大量の記憶装置をパッケージングに先立つ符号化に利用することができる。たとえば、メモリ半導体は、通常、マイクロプロセッサに含まれている数ビットではなく、数百万ビットの情報を備えている。また、マイクロプロセッサ、たとえば試験マシンに結合することができる、良く知られている多くのタイプのコンピュータシステムは、本質的に無制限の記憶装置を有することができ、更には本質的に無制限の記憶装置に結合することができる。

【 0 0 6 4 】

また、パッケージングの後は、集積回路を完全に特性化するため、一般的には、パッケージング後の特定の集積回路に特化された情報をより大量に符号化することが可能である。本発明の一実施形態によれば、特定の集積回路がパッケージングされた後に、その集積回路の特定の周波数 - 電圧特性情報を符号化することができる。

30

【 0 0 6 5 】

このようなパッケージング後の符号化によって、様々なタイプの情報を記憶することができる。たとえば、集積回路は、同様の周波数 - 電圧特性を有する集積回路の複数のグループのうちのいずれか1つに属するものとして特性化することができる。符号化された情報は、このようなグループの中から、特定の集積回路を最も良好に記述しているグループを識別することができる。

【 0 0 6 6 】

別法としては、特定の集積回路の周波数 - 電圧特性を符号化することも可能であり、たとえば曲線210(図2)の属性を符号化することができる。この方法によれば、特定の集積回路上で動作する電力管理ソフトウェアは、1組の周波数 - 電圧特性を利用することができます。有利には、このような1つの特性組により、複数の組を記憶する場合と比較して記憶装置要求事項が緩和される。また、電力管理ソフトウェアを単純化することができ、かつ、より有効に動作させることができるために、1組の動作点の間接的な参照が減少する。

40

【 0 0 6 7 】

本発明の実施形態は、データリダクション技法を始めとする、良く知られている広範囲に渡る様々な曲線表現方法、たとえば集積回路の周波数 - 電圧曲線などの表現技法に適している。本発明の一実施形態によれば、座標点を含んだテーブルを使用して周波数 - 電圧

50

特性が表される。代替実施形態によれば、周波数 - 電圧特性の多項式記述もしくは近似記述の係数として周波数 - 電圧特性を表すことができる。

【0068】

次の表4は、本発明の一実施形態による、特定のマイクロプロセッサの周波数 - 電圧特性を示したものである。

【0069】

【表4】

表4

チップ温度	動作点	
100°C 「ホット」	周波数	供給電圧
	1.0 GHz	1.50 V
	800 MHz	1.30 V
	600 MHz	1.20 V
	400 MHz	1.05 V
50°C 「クール」	1.0 GHz	1.40 V
	800 MHz	1.30 V
	600 MHz	1.10 V
	400 MHz	0.95 V

10

20

30

40

【0070】

表4には、1組の電圧 - 周波数特性しか含まれていないことを理解されたい（温度毎に任意選択である）。

【0071】

図3は、本発明の一実施形態による集積回路モジュール300を示したものである。モジュール300は、マイクロプロセッサ310および不揮発性記憶装置320を備えている。マイクロプロセッサ310および記憶装置320は、カップリング330によって結合されている。モジュール300は、広範囲に渡る様々なタイプの集積回路パッケージ、たとえば印刷回路基板上への直接もしくは間接実装用に設計されたパッケージに概ね準拠している。パッケージの実施例には、それらに限定されないが、ボールグリッドアレイ、ピングリッドアレイ、シンQFP、LCCなどがある。モジュール300は、複数の集積回路を含むことができるマルチチップモジュールであってもよい。一実施例では、プロセッサ310および記憶装置320は、個別の集積回路である。

【0072】

また、本発明の実施形態は、たとえばダイレクトチップアタッチ(DCA)を介して回路基板に直接取り付けられるマイクロプロセッサを備えたモジュールに適している。本発明の実施形態には必要ではないが、DCAによって実装される集積回路は、通常、実装後に塗布されるカプセル封止材すなわち「グロップトップ」を有している。モジュールのコンポーネントを物理的に近接させる要求事項は、前述の考察には意図されていない。

【0073】

50

不揮発性記憶装置 320 は、広範囲に渡る様々なタイプの不揮発性記憶装置に適している。たとえば、記憶装置 320 は、それらに限定されないが、電気的消去可能プログラマブルリードオンリメモリ (EEPROM)、バッテリバックアップランダムアクセスメモリ (RAM)、マスクROM、強磁性RAMを始めとする集積回路デバイスであってもよい。また、記憶装置 320 は、半導体パッケージ内のデータ記憶ヒューズ、集積回路の一部であるデータ記憶ヒューズ、配線接続 (たとえば、ピンをVcc および/または接地に結合することによる符号化)などを始めとする、広範囲に渡る他の様々なタイプのデータ記憶装置に適している。

【0074】

図4は、本発明の一実施形態によるデバイス400を示したものである。デバイス400は、コンピュータもしくはコンピュータの一部、たとえばコンピュータマザーボードを形成することができる。デバイス400は、マイクロプロセッサ410およびメモリ空間450を備えている。マイクロプロセッサ410は、複数の電圧での動作が可能であり、更には複数の周波数での動作が可能である。

【0075】

メモリ空間450は、マイクロプロセッサ410に結合されている。メモリ空間450は、それらに限定されないが、マイクロプロセッサ410内の内部RAMもしくはROM、マイクロプロセッサ410の外部のRAMもしくはROM、およびコンピュータ可読媒体の他の形態を始めとする、良く知られている広範囲に渡る様々なタイプのメモリに適している。

【0076】

電圧源420は、マイクロプロセッサ410に結合されている。電圧源420は、選択可能な電圧430をマイクロプロセッサ410に供給している。マイクロプロセッサ410は、電圧源420に最適電圧を選択させるために、カップリング440を介して電圧源420に結合されている。

【0077】

本発明の代替実施形態によれば、デバイス400は、更に、メモリ空間460を備えることができる。メモリ空間460は、たとえばメモリ空間450と同じ結合手段を介してマイクロプロセッサ410に結合されている。メモリ空間460は、メモリ空間450に関連して上で説明したメモリと同様のタイプのメモリに適しており、更に、メモリ空間450と同じ物理デバイス内への配置に適している。しかしながら、メモリ空間460は、必ずしもメモリ空間450と同じ物理デバイス内に配置する必要はなく、これらの2つのメモリのタイプおよび/またはデバイスを異なるタイプおよび/またはデバイスにすることによって、コンピュータ400をある程度最適化することが優先される。

【0078】

本発明の他の代替実施形態によれば、デバイス400は、論理470を備えることができる。論理470は、メモリ460およびマイクロプロセッサ410に結合されている。論理470は、マイクロプロセッサ410によって決定することができる所望の動作周波数を入手し、また、メモリ460を使用して対応する電圧を決定している。論理470は、マイクロプロセッサ410を所望の動作周波数および対応する電圧で動作させている。論理470は、たとえばマイクロプロセッサ410上でのソフトウェア実施形態の実行に適している。また、論理470は、第2のプロセッサ(図示せず)上での動作が可能であり、あるいはゲートおよび/またはラッチの機能の組を備えることも可能である。論理470は、マイクロプロセッサ410の内部もしくは外部への配置に適している。

【0079】

図5A、5Bおよび5Cは、計算エレメントの本発明の実施形態による構成を示したものである。図5Aには、計算エレメントの本発明の一実施形態による構成570が示されている。構成570は、広範囲に渡る様々な配置、実装および相互接続構造に適している。たとえば、構成570は、コンピュータ「マザーボード」の一部であってもよい。別法としては、構成570は、マルチチップモジュールであってもよい。

10

20

30

40

50

【 0 0 8 0 】

データ構造 505 は、プロセッサ 501 に特化された電圧 - 周波数の関係の情報を備えている。従来技術とは対照的に、データ構造 505 の情報は、同様の設計のプロセッサの母集団に概ね関係する情報ではなく、プロセッサ 501 の試験に基づいている。データ構造 505 は、プロセッサ 501 の外部メモリであるメモリ 506 に常駐させることができる。メモリ 506 は、たとえば ROM 集積回路であってもよい。本発明の実施形態は、たとえば RAM、回転磁気記憶装置などの他のタイプのメモリにも適している。

【 0 0 8 1 】

制御論理 507 は、データ構造 505 からの情報を使用して、プロセッサ 501 の動作電圧および / または動作周波数を制御している。このような制御により、プロセッサ 501 が消費する電力を最少化することができる。制御論理 507 は、プロセッサ 501 上でのソフトウェアの実行に適している。

【 0 0 8 2 】

図 5B には、計算エレメントの本発明の一実施形態による構成 580 が示されている。構成 580 は、広範囲に渡る様々な配置、実装および相互接続構造に適している。たとえば、構成 580 は、コンピュータ「マザーボード」の一部であってもよい。別法としては、構成 580 は、マルチチップモジュールであってもよい。

【 0 0 8 3 】

データ構造 530 は、プロセッサ 503 のタイプのプロセッサのクラスのための電圧 - 周波数の関係の情報を備えている。同様に、データ構造 540 および 550 も、それぞれプロセッサ 503 のタイプのプロセッサの他のクラスのための電圧 - 周波数の関係の情報を備えている。従来技術とは対照的に、データ構造 530 ~ 550 の情報は、プロセッサ 503 と同じタイプのプロセッサの製造母集団のセグメントを表している。通常、情報 530、540 および 550 は異なっている。本発明の実施形態は、可変数のこのようなデータ構造に適している。データ構造 530、540 および 550 は、プロセッサ 503 の外部メモリであるメモリ 560 に常駐させることができる。メモリ 560 は、たとえば ROM 集積回路であってもよい。本発明の実施形態は、たとえば RAM、回転磁気記憶装置などの他のタイプのメモリにも適している。

【 0 0 8 4 】

クラス識別子 520 は、プロセッサ 503 に最も良好に対応する電圧 - 周波数の関係（たとえばデータ構造 530、540 もしくは 550 に含まれている）に関する情報を備えている。プロセッサ 503 の製造中にクラス識別子 520 が決定され、記録される。クラス識別子のこのような決定および記録は、プロセッサ 503 のパッケージングに先立って実行することができる。通常、クラス識別子 520 は数ビットであり、多くのタイプの不揮発性記憶装置、たとえばデータ記憶ヒューズもしくは電気的消去可能プログラマブルリードオンリメモリ（EEPROM）に適している。

【 0 0 8 5 】

制御論理 525 は、クラス識別子 520 から情報を入手して、プロセッサ 503 に対応するデータ構造、たとえば 530、540 もしくは 560 を決定しており、また、プロセッサ 503 の動作電圧および / または動作周波数を制御するためにはこの情報を使用しなければならない。このような制御により、プロセッサ 503 が消費する電力を最少化することができる。制御論理 525 は、プロセッサ 503 上でのソフトウェアの実行に適している。

【 0 0 8 6 】

図 5C には、計算エレメントの本発明の一実施形態による構成 590 が示されている。構成 590 は、広範囲に渡る様々な配置、実装および相互接続構造に適している。たとえば、構成 590 は、コンピュータ「マザーボード」の一部であってもよい。別法としては、構成 590 は、マルチチップモジュールであってもよい。

【 0 0 8 7 】

データ構造 505 は、プロセッサ 502 に特化された電圧 - 周波数の関係の情報を備え

10

20

30

40

50

ている。従来技術とは対照的に、データ構造 505 の情報は、同様の設計のプロセッサの母集団に概ね関係する情報ではなく、プロセッサ 502 の試験に基づいている。データ構造 505 は、プロセッサ 502 の内部に存在している。データ構造 505 は、プロセッサ内に含むことができる、良く知られている広範囲に渡る様々なタイプのメモリ、たとえば不揮発性 RAM、電気的消去可能プログラマブルリードオンリーメモリ (EEPROM) 等に記憶することができる。

【0088】

制御論理 508 は、データ構造 505 からの情報を使用して、プロセッサ 502 の動作電圧および / または動作周波数を制御している。このような制御により、プロセッサ 502 が消費する電力を最少化することができる。制御論理 508 は、プロセッサ 502 上でのソフトウェアの実行に適している。

【0089】

図 6 は、本発明の一実施形態によるマイクロプロセッサ製造方法 600 を示したものである。ステップ 610 で、マイクロプロセッサに必要な、指定周波数における電力制限に合致するための電圧が決定される。この電圧は、たとえば、指定周波数でマイクロプロセッサを動作させ、その電力消費を測定することによって決定することができる。

【0090】

ステップ 620 で、その電圧の情報がコンピュータ可読媒体に記憶される。本発明の実施形態は、集積回路テストもしくは製造データロギングシステムのメモリすなわち記憶システム、マイクロプロセッサの共通パッケージ内の集積回路、個別集積回路メモリなどを始めとする、広範囲に渡る様々なタイプのコンピュータ可読媒体での情報の記憶に適している。本発明の一実施形態によれば、この情報は、マイクロプロセッサに特化された周波数 - 電圧の関係を含んでいる。

【0091】

図 7 は、本発明の一実施形態によるマイクロプロセッサ製造方法 700 を示したものである。ステップ 710 で、マイクロプロセッサに必要な、複数の指定周波数の各自で動作させるための最適電圧が決定され、電圧 - 周波数の複数の関係が生成される。この電圧 - 周波数の関係は、上記表 4 と同様である。

【0092】

ステップ 720 で、その複数の関係の情報がコンピュータ可読媒体に記憶される。本発明の実施形態は、集積回路テストもしくは製造データロギングシステムのメモリすなわち記憶システム、マイクロプロセッサの共通パッケージ内の集積回路、個別集積回路メモリなどを始めとする、広範囲に渡る様々なタイプのコンピュータ可読媒体での情報の記憶に適している。

【0093】

図 8 は、本発明の一実施形態によるマイクロプロセッサ製造方法 800 を示したものである。ステップ 810 で、複数の未パッケージマイクロプロセッサがアクセスされる。「パッケージング」などの用語は、出荷あるいは消費者パッケージングではなく、半導体パッケージング、たとえばピングリッドアレイパッケージを意味していることを理解されたい。マイクロプロセッサは、ウェハの形態であってもよい。

【0094】

ステップ 820 で、複数の未パッケージマイクロプロセッサのうちの 1 つに必要な、指定周波数における電力制限に合致するための電圧が決定される。この電圧は、マイクロプロセッサのキャパシタンスおよび / またはアイドル電流を測定することによって決定することができる。

【0095】

ステップ 830 で、前記電圧の情報がマイクロプロセッサの中に符号化される。本発明の実施形態は、マイクロプロセッサの一部であってもよく、また、ステップ 830 で符号化することができる、良く知られている広範囲に渡る様々なタイプの記憶装置に適している。この記憶装置の実施例には、それらに限定されないが、データ記憶ヒューズ、電気的

10

20

30

40

50

消去可能リードオンリメモリなどがある。

【0096】

図9は、本発明の一実施形態による、集積回路を動作させる方法900を示したものである。ステップ910で、集積回路の周波数・電圧特性が測定され、記録される。集積回路は、マイクロプロセッサであってもよく、また、パッケージされていても、あるいはパッケージされていてもよい。

【0097】

ステップ920で、集積回路の動作を最適化するために、周波数・電圧特性が集積回路に結合される。周波数・電圧特性は、集積回路内の符号化情報もしくは集積回路と共に顧客に引き渡されるデバイス内の符号化情報を介した方法を始めとする、広範囲に渡る様々な方法で集積回路に結合することができる。本発明の代替実施形態によれば、この結合は、複数の集積回路の複数の周波数・電圧特性のコンピュータ可読媒体中のデータベースを維持する形態を取ることができる。この場合、特定の集積回路の特定の周波数・電圧特性は、その集積回路の属性、たとえば固有通し番号を識別することによって参照することができる。

【0098】

ステップ930で、周波数・電圧特性によって指定される電圧および周波数で集積回路が動作する。

【0099】

図10は、本発明の一実施形態による、マイクロプロセッサを動作させる方法1000を示したものである。ステップ1010で、マイクロプロセッサのための所望の動作周波数が決定される。有利な周波数を決定する典型的な手段の1つは、そのマイクロプロセッサ上で動作するソフトウェアの処理ニーズに基づいている。

【0100】

ステップ1020で、マイクロプロセッサを所望の動作周波数で動作させるための最適電圧が選択される。選択される最適電圧は、そのマイクロプロセッサに特化された特性に基づいている。

【0101】

ステップ1030で、最適電圧でマイクロプロセッサが動作する。たとえば、マイクロプロセッサは、選択可能電圧源、たとえば図4に示す電圧源420に最適電圧を出力させることができる。本発明の代替実施形態によれば、最適電圧で動作している間、有利な周波数でマイクロプロセッサを動作させることができる。

【0102】

図11は、本発明の一実施形態による、マイクロプロセッサを動作させる方法1100を示したものである。ステップ1120で、マイクロプロセッサを動作させる設定周波数が入手される。

【0103】

ステップ1130で、その設定周波数を使用して、その設定周波数に対応する、マイクロプロセッサがその設定周波数で最適動作する設定電圧が決定される。この決定は、マイクロプロセッサに特化された電圧・周波数の関係に基づいている。

【0104】

ステップ1140で、その設定周波数および対応する設定電圧でマイクロプロセッサが動作する。

【0105】

任意選択のステップ1110で、マイクロプロセッサが実行する同時組の動作を調査することによって設定周波数が決定される。

【0106】

図12は、本発明の一実施形態による、マイクロプロセッサを特性化する方法1200を示したものである。ステップ1210で、マイクロプロセッサに特化された周波数・電圧の関係が測定され、記録される。この周波数・電圧の関係は、そのマイクロプロセッサ

10

20

30

40

50

を最適動作させるための周波数 - 電圧対を記録することができる。本発明の実施形態は、良く知られている様々なデータリダクション方法を始めとする、良く知られている他の関係記録方法に適している。

【0107】

ステップ1220で、マイクロプロセッサを最適使用するために、マイクロプロセッサを動作させている間、前記周波数 - 電圧の関係を入手し、かつ、使用することができるよう、周波数 - 電圧の関係がマイクロプロセッサに結合される。

【0108】

図13は、本発明の一実施形態による、マイクロプロセッサを動作させる方法1300を示したものである。ステップ1310で、マイクロプロセッサのための所望の動作周波数が決定される。本発明の実施形態は、有利な周波数を決定するための様々な最適化に適している。有利な周波数を決定する典型的な手段の1つは、マイクロプロセッサ上で動作するソフトウェアの処理ニーズに基づいている。

10

【0109】

ステップ1320で、マイクロプロセッサに特化された情報が入手される。たとえば、この情報は、メモリ、たとえば図4に示すメモリ450に記憶することができ、この情報を使用して、有利な周波数でマイクロプロセッサを動作させるための最適電圧が決定される。この最適電圧は、マイクロプロセッサの特性に基づいている。

【0110】

本発明の代替実施形態によれば、この情報は、マイクロプロセッサ内から入手することができる。

20

【0111】

ステップ1330で、最適電圧でマイクロプロセッサが動作する。たとえば、マイクロプロセッサは、選択可能電圧源、たとえば図4に示す電圧源420に最適電圧を出力させることができる。本発明の代替実施形態によれば、最適電圧で動作している間、有利な周波数でマイクロプロセッサを動作させることができる。必要に応じてステップ1310から1330を繰り返すことができる。たとえば負荷の変化を処理する場合、有利な新しい動作周波数を決定し、かつ、新しい動作周波数に対応する電圧にアクセスすることができ、その新しい周波数および電圧でマイクロプロセッサを動作させることができる。

30

【0112】

集積回路の電力を適応制御するシステムおよび方法が開示される。集積回路のための所望の動作周波数が決定される。集積回路はマイクロプロセッサであってもよく、そのマイクロプロセッサの決定済み所望処理負荷に基づいて所望の動作周波数を決定することができる。マイクロプロセッサを所望の動作周波数で動作させるための最適電圧が選択される。この最適電圧の選択は、そのマイクロプロセッサに特化された特性に基づいており、マイクロプロセッサは、最適電圧で動作する。

【0113】

本発明の実施形態により、集積回路が消費する電力をその集積回路の特定の特性に基づいて適応制御するための手段が提供される。また、本発明の実施形態により、既存のマイクロプロセッサプロセスおよび設備に、確立したツールおよび技法を改造することなく上記達成すべき解決法が提供される。

40

【0114】

以上、本発明の好ましい実施形態である、集積回路のパッケージ後の特性表示に基づく適応電力制御について説明した。本発明について、特定の実施形態を使用して説明したが、このような実施形態に限定されるものとして本発明を解釈してはならず、本発明は、特許請求の範囲に従って解釈すべきであることを理解されたい。

【0115】

以上、本発明の好ましい実施形態である、集積回路のパッケージ前の特性表示に基づく適応電力制御について説明した。本発明について、特定の実施形態を使用して説明したが、このような実施形態に限定されるものとして本発明を解釈してはならず、本発明は、特

50

許請求の範囲に従って解釈すべきであることを理解されたい。

【図面の簡単な説明】

【0116】

【図1】従来技術による、マイクロプロセッサを動作させるための例示的動作周波数対供給電圧曲線を示すグラフである。

【図2】本発明の一実施形態による、特定の集積回路の例示的周波数・電圧特性を示すグラフである。

【図3】本発明の一実施形態による集積回路モジュールを示す図である。

【図4】本発明の一実施形態によるデバイスを示す図である。

10

【図5A】本発明の実施形態による、計算エレメントの構成を示す図である。

【図5B】本発明の実施形態による、計算エレメントの構成を示す図である。

【図5C】本発明の実施形態による、計算エレメントの構成を示す図である。

【図6】本発明の一実施形態によるマイクロプロセッサ製造方法を示す図である。

【図7】本発明の一実施形態によるマイクロプロセッサ製造方法を示す図である。

【図8】本発明の一実施形態によるマイクロプロセッサ製造方法を示す図である。

【図9】本発明の一実施形態による、集積回路を動作させる方法を示す図である。

【図10】本発明の一実施形態による、マイクロプロセッサを動作させる方法を示す図である。

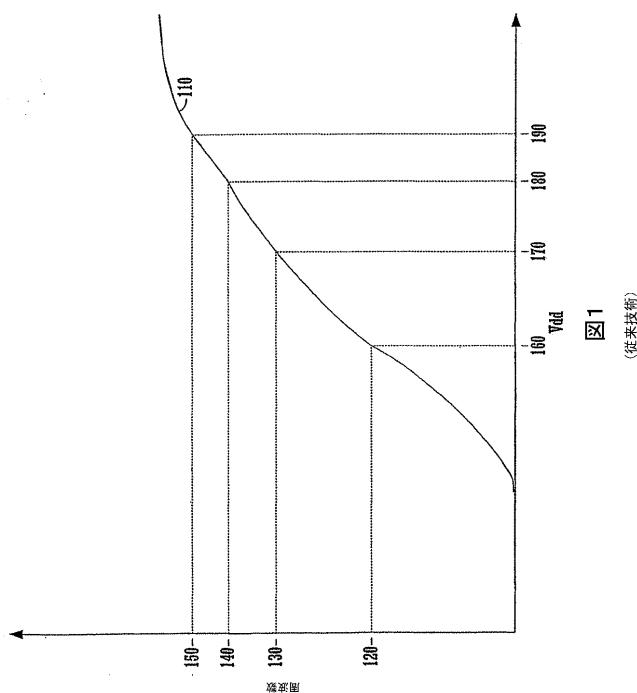
【図11】本発明の一実施形態による、マイクロプロセッサを動作させる方法を示す図である。

20

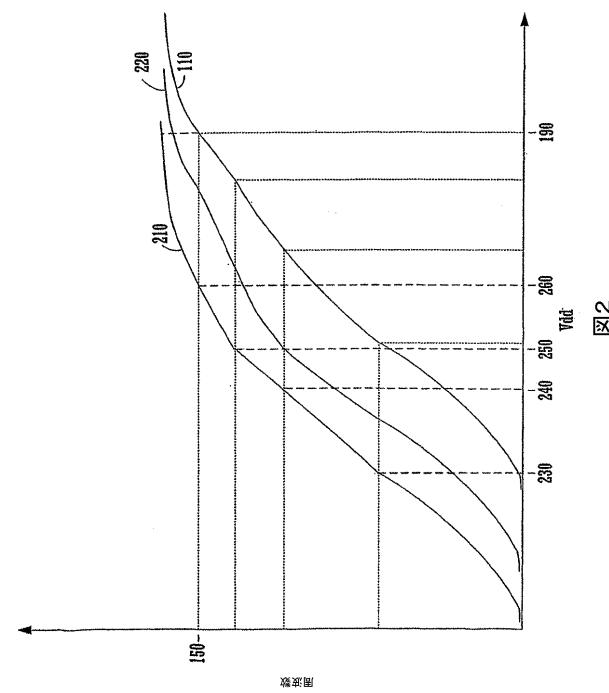
【図12】本発明の一実施形態による、マイクロプロセッサを特性化する方法を示す図である。

【図13】本発明の一実施形態による、マイクロプロセッサを動作させる方法を示す図である。

【図1】



【図2】



【図3】

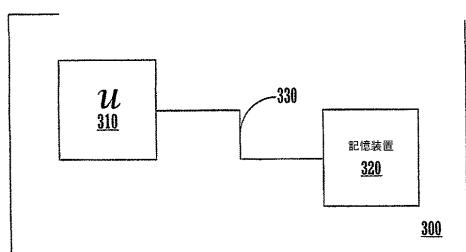


図3

【図4】

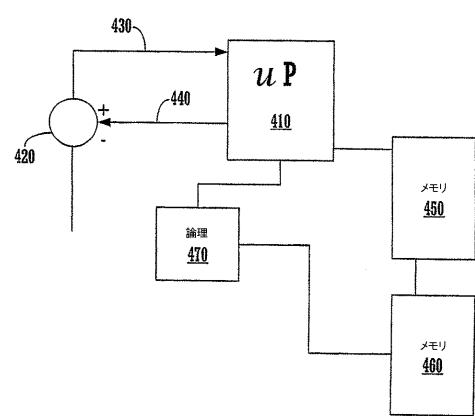


図4

【図5A】

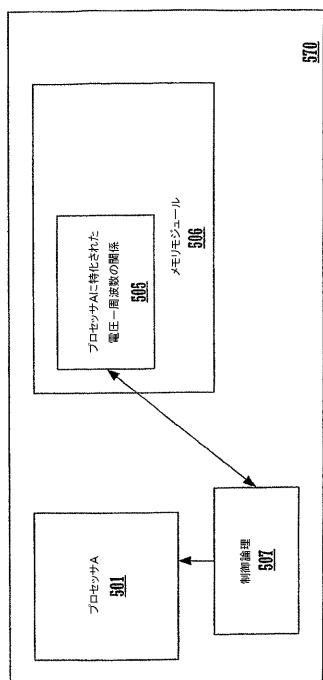


図5A

【図5B】

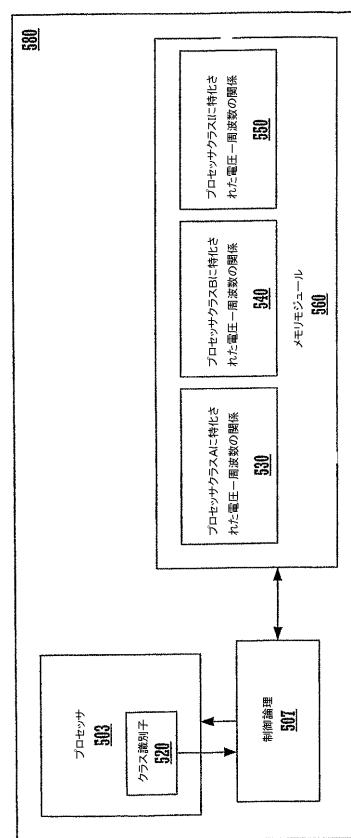


図5B

【図5C】

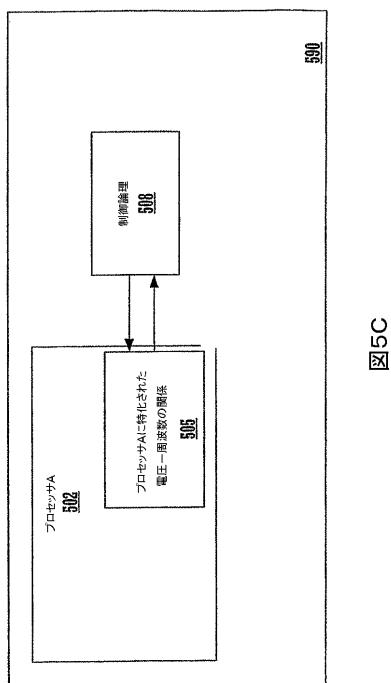


図5C

【図6】

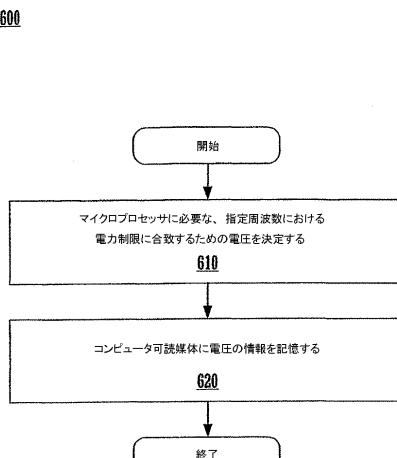


図6

【図7】

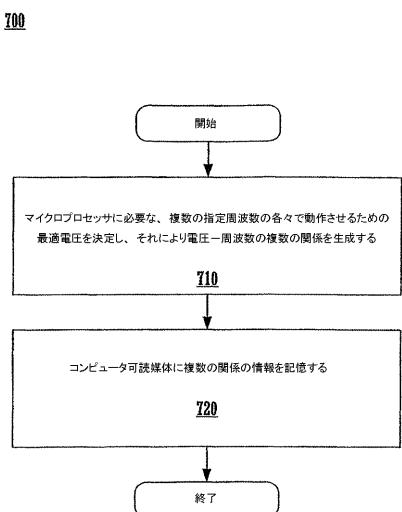


図7

【図8】

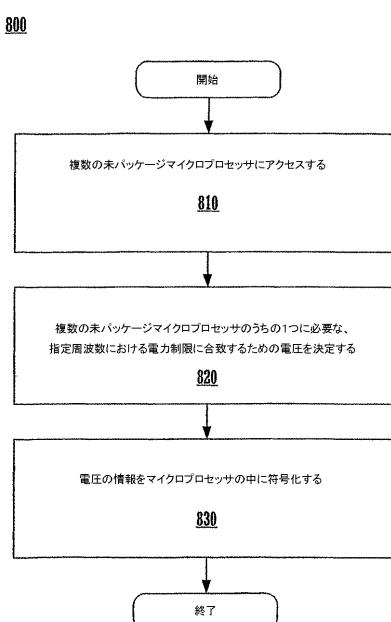


図8

【図9】

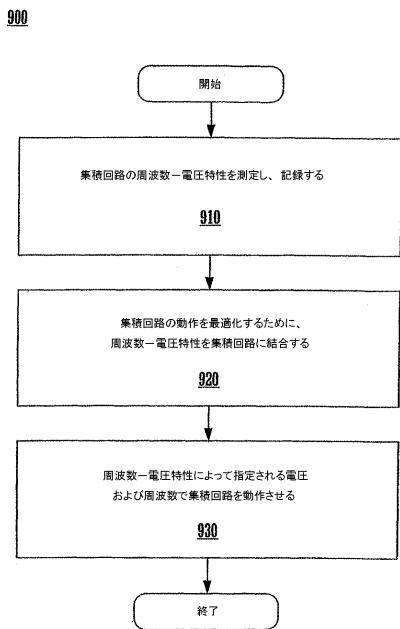


図9

【図10】

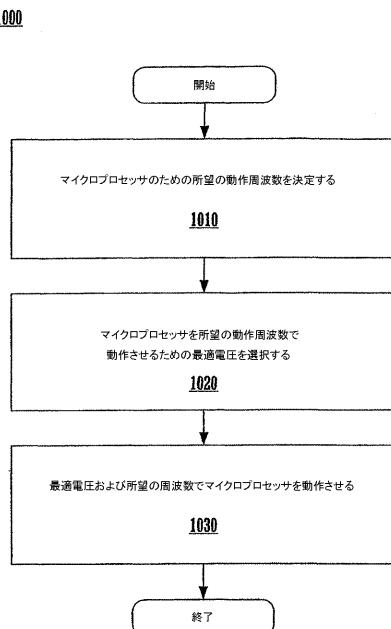


図10

【図11】

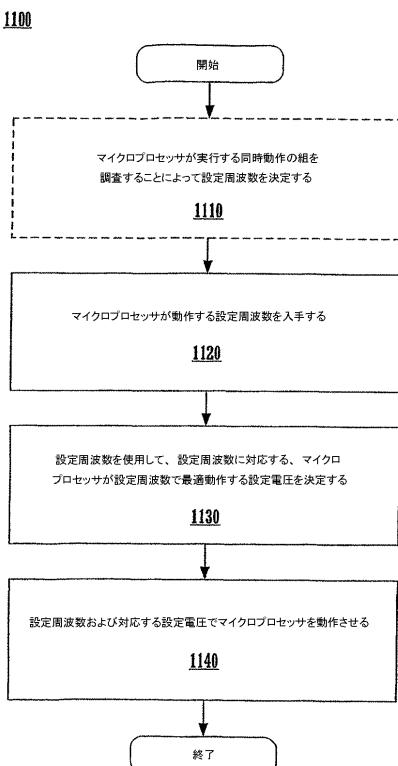


図11

【図12】

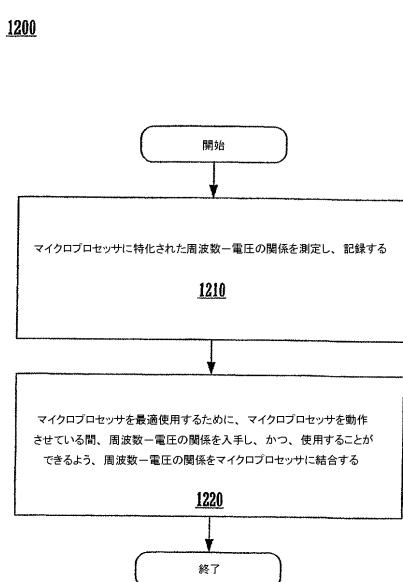


図12

【図13】

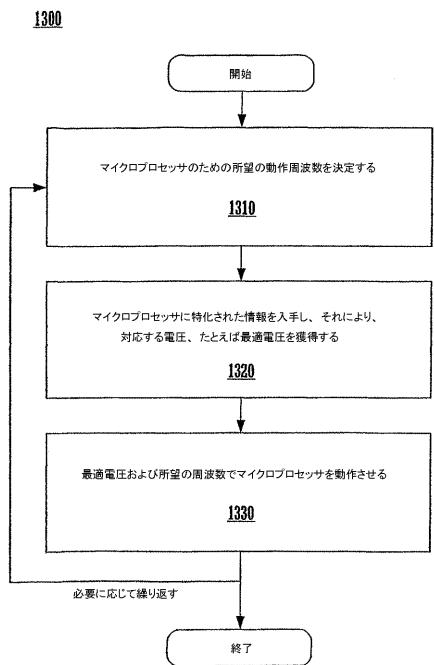


図13

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No PCT/US 03/41490																		
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G06F1/32																				
According to International Patent Classification (IPC) or to both national classification and IPC																				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G06F																				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																				
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, IBM-TDB																				
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category ^a</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">US 5 727 208 A (BROWN ALAN E) 10 March 1998 (1998-03-10)</td> <td style="padding: 2px; text-align: center;">16,18, 20-22</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">column 1, line 11 - column 7, line 67</td> <td style="padding: 2px; text-align: center;">1-5,27</td> </tr> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;">figures</td> <td style="padding: 2px; text-align: center;">34,35, 38,39</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">US 2002/116650 A1 (HALEPETE ET AL) 22 August 2002 (2002-08-22) cited in the application paragraph '0008! - paragraph '0044!; figures</td> <td style="padding: 2px; text-align: center;">1-5,27</td> </tr> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;">US 2002/087896 A1 (CLINE ET AL) 4 July 2002 (2002-07-04) paragraph '0004! - paragraph '0024!; figures</td> <td style="padding: 2px; text-align: center;">1,3,34</td> </tr> </tbody> </table>			Category ^a	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 5 727 208 A (BROWN ALAN E) 10 March 1998 (1998-03-10)	16,18, 20-22	Y	column 1, line 11 - column 7, line 67	1-5,27	A	figures	34,35, 38,39	Y	US 2002/116650 A1 (HALEPETE ET AL) 22 August 2002 (2002-08-22) cited in the application paragraph '0008! - paragraph '0044!; figures	1-5,27	A	US 2002/087896 A1 (CLINE ET AL) 4 July 2002 (2002-07-04) paragraph '0004! - paragraph '0024!; figures	1,3,34
Category ^a	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
X	US 5 727 208 A (BROWN ALAN E) 10 March 1998 (1998-03-10)	16,18, 20-22																		
Y	column 1, line 11 - column 7, line 67	1-5,27																		
A	figures	34,35, 38,39																		
Y	US 2002/116650 A1 (HALEPETE ET AL) 22 August 2002 (2002-08-22) cited in the application paragraph '0008! - paragraph '0044!; figures	1-5,27																		
A	US 2002/087896 A1 (CLINE ET AL) 4 July 2002 (2002-07-04) paragraph '0004! - paragraph '0024!; figures	1,3,34																		
<input type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.																		
^a Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed																				
Date of the actual completion of the international search 25 June 2004		Date of mailing of the international search report 06/07/2004																		
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl Fax: (+31-70) 340-3016		Authorized officer Semple, M																		

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/US 03/41490

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 5727208	A	10-03-1998	NONE			
US 2002116650	A1	22-08-2002	WO	0153921 A1		26-07-2001
US 2002087896	A1	04-07-2002	NONE			

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA,ZM,ZW

F ターム(参考) 4M106 AA01 AA02 BA14 CA09 DJ21
5B062 CC01 HH02 HH04 HH06
5B079 BA01 BC01 BC07
5F038 CD17 DF04 DF05 DF07 DF08 DT15 DT17 DT18 EZ20