



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I847115 B

(45)公告日：中華民國 113 (2024) 年 07 月 01 日

(21)申請案號：111112779

(22)申請日：中華民國 111 (2022) 年 04 月 01 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L29/78 (2006.01)

H03K17/785 (2006.01)

(30)優先權：2021/04/01 美國 17/220,660

(71)申請人：美商雷森公司(美國) RAYTHEON COMPANY (US)

美國

(72)發明人：迪賈德 馬修 T DEJARLD, MATTHEW T. (US)；拉羅什 傑弗瑞 R LAROCHE, JEFFREY R. (US)；隆恩 克雷 T LONG, CLAY T. (US)；索瑞茲 拉弗萊斯 J SOIREZ, LOVELACE J. (US)

(74)代理人：陳長文

(56)參考文獻：

TW 200636983A US 2005/0037526A1

US 2019/0067900A1 US 2020/0091224A1

US 2021/0043793A1

審查人員：黃淑萍

申請專利範圍項數：14 項 圖式數：3 共 15 頁

(54)名稱

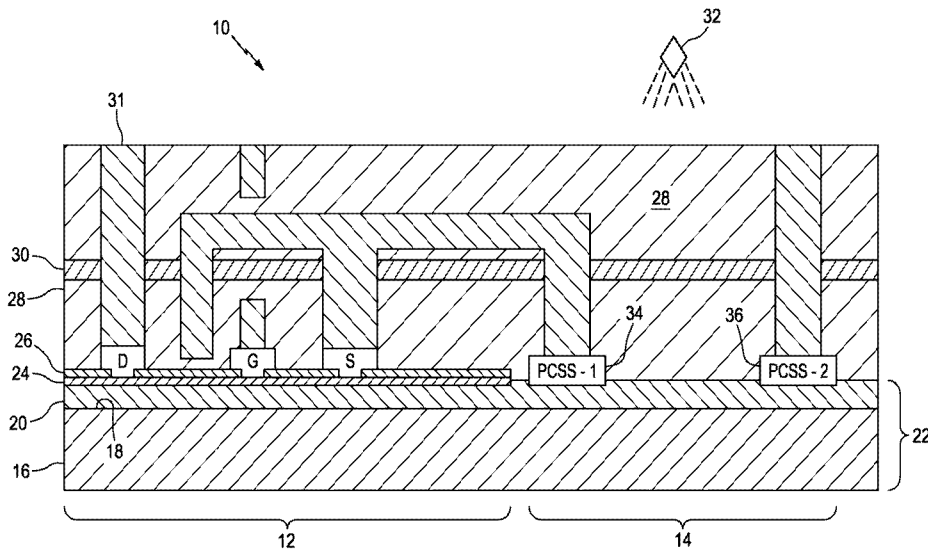
沿矽基氮化鎵場效電晶體橫向製造之光導半導體開關

(57)摘要

本發明係關於一種積體電路結構，其包括具有一上表面之一基板；經安置於該基板之該上表面上之一氮化鎵層；及沿經整合至該積體電路結構之該氮化鎵層上之一電晶體而橫向地安置之一光導半導體開關，其中，一再生氮化鎵材料經安置於該光導半導體開關上，且操作地與晶圓耦合。

An integrated circuit structure comprising a substrate having an upper surface; a gallium nitride layer disposed on the upper surface of the substrate; and a photoconductive semiconductor switch laterally disposed alongside a transistor on the gallium nitride layer integrated into the integrated circuit structure wherein a regrown gallium nitride material is disposed on the photoconductive semiconductor switch and operatively coupled with the wafer.

指定代表圖：



【圖1】

符號簡單說明：

10:橫向積體電路結構

12:電晶體/FET

14:光導半導體開關/

PCSS

16:基板

18:上表面

20:GaN 層

22:晶圓

24:AlGaN 層

26:氮化矽電介質(SiN/
電介質)層/電介質28:二氧化矽電介質
(SiO₂/電介質)層/電介
質

30:夾層

31:導電互連

32:光源

34:第一電觸點

36:第二電觸點

D:汲極

G:閘極

S:源極



I847115

【發明摘要】

【中文發明名稱】

沿矽基氮化鎵場效電晶體橫向製造之光導半導體開關

【英文發明名稱】

PHOTOCONDUCTIVE SEMICONDUCTOR SWITCH
LATERALLY FABRICATED ALONGSIDE GaN ON Si FIELD-EFFECT
TRANSISTORS

【中文】

本發明係關於一種積體電路結構，其包括具有一上表面之一基板；經安置於該基板之該上表面上之一氮化鎵層；及沿經整合至該積體電路結構之該氮化鎵層上之一電晶體而橫向地安置之一光導半導體開關，其中，一再生氮化鎵材料經安置於該光導半導體開關上，且操作地與晶圓耦合。

【英文】

An integrated circuit structure comprising a substrate having an upper surface; a gallium nitride layer disposed on the upper surface of the substrate; and a photoconductive semiconductor switch laterally disposed alongside a transistor on the gallium nitride layer integrated into the integrated circuit structure wherein a regrown gallium nitride material is disposed on the photoconductive semiconductor switch and operatively coupled with the wafer.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 10: 橫向積體電路結構
- 12: 電晶體/FET
- 14: 光導半導體開關/PCSS
- 16: 基板
- 18: 上表面
- 20: GaN層
- 22: 晶圓
- 24: AlGaN層
- 26: 氮化矽電介質(SiN/電介質)層/電介質
- 28: 二氧化矽電介質(SiO₂/電介質)層/電介質
- 30: 夾層
- 31: 導電互連
- 32: 光源
- 34: 第一電觸點
- 36: 第二電觸點
- D: 汲極
- G: 閘極
- S: 源極

【發明說明書】

【中文發明名稱】

沿矽基氮化鎵場效電晶體橫向製造之光導半導體開關

【英文發明名稱】

PHOTOCONDUCTIVE SEMICONDUCTOR SWITCH
LATERALLY FABRICATED ALONGSIDE GaN ON Si FIELD-EFFECT
TRANSISTORS

【技術領域】

【先前技術】

【0001】 本發明係關於改良之氮化鎵(GaN)積體電路技術，具體而言係關於包含GaN光導半導體開關(PCSS)及/或光導開關電晶體及GaN電晶體及隨附積體電路結構之一結構。

【0002】 現時，晶載矽基氮化鎵高電子遷移率電晶體(HEMT)開關及RF裝置透過電信號控制，且受傳統半導體裝置設計及製造之限制。例如，開關速度受裝置幾何形狀及開關電流比之限制。另一實例包含裝置之崩潰電壓，此為該裝置在災難性裝置故障前可處置之最大電壓。此電壓由HEMT半導體材料及/或電介質之崩潰判定，此時汲極側之電場峰值(取決於所施加之汲極偏壓及閘極至汲極距離)超過材料之崩潰場。當前最先進的GaN HEMT開關之最大操作電壓約為650 V，在低於崩潰電壓之安全操作區域操作。光導半導體開關(PCSS)及光導開關電晶體係不同的裝置，具有高電壓開關能力、超快速開關速度，或藉由光而非藉由由金屬門施加之偏壓而切換之快速能量脈衝。因此，該等裝置相對於傳統GaN HEMT開關及RF裝置具有增加操作電壓之潛力。

【0003】此外，現存GaN PCSS結構係透過基於非平面發射之處理製造之獨立裝置，其透過導線接合抑或電路板設計與電晶體、積體電路(IC)及光源(例如雷射器及發光二極體)連接，作為更大模組之部分。

【0004】實現最大效能及功能密度所需的係緊湊型整合光導半導體開關及光導開關電晶體。

【發明內容】

【0005】根據本發明，提供了一種積體電路結構，其包括：一基板，其具有一上表面；一氮化鎵層，其經安置於該基板之該上表面上，其中該基板與該氮化鎵層構成一晶圓；及一光導半導體開關，其沿經整合至該積體電路結構之該氮化鎵層上之一電晶體而橫向地安置；其中，一再生氮化鎵材料經安置於該光導半導體開關上，且操作地與該晶圓耦合。

【0006】上文實施例中任一項之另一實施例可額外地及/或替代地包含：基板包括一矽材料及一碳化矽材料中之至少一者。

【0007】上文實施例中任一項之另一實施例可額外地及/或替代地包含：電晶體包括一場效電晶體。

【0008】上文實施例中任一項之另一實施例可額外地及/或替代地包含：光導半導體開關包括經安置於GaN層上之一第一電觸點及一第二電觸點。

【0009】上文實施例中任一項之另一實施例可額外地及/或替代地包含：光導半導體開關包括經安置於矽晶圓上之一氮化鎵上之一氮化鋁鎵層；第一電觸點及第二電觸點經橫向地配置於該晶圓之該氮化鎵層上之台面外，其中該再生氮化鎵材料經沈積於該第一電觸點及該第二電觸點中之各者上，且經安置於該第一電觸點與該第二電觸點之間之該氮化鎵上。

【0010】 上文實施例中任一項之另一實施例可額外地及/或替代地包含：該再生氮化鎵材料及該氮化鎵層中之至少一者形成一光導電路。

【0011】 上文實施例中任一項之另一實施例可額外地及/或替代地包含：光導半導體開關包括經安置於矽晶圓上之一氮化鎵上之一氮化鋁鎵層；第一電觸點及第二電觸點經安置於該氮化鋁鎵層上之台面上，其中存在一AlGa_N-Ga_N二維電子氣體介面；經蝕刻至該AlGa_N層中之一窗；及經沈積在該窗中之再生Ga_N層。

【0012】 上文實施例中任一項之另一實施例可額外地及/或替代地包含：該再生Ga_N層經安置於該窗中之經曝露的氮化鎵層上。

【0013】 上文實施例中任一項之另一實施例可額外地及/或替代地包含：積體電路結構，其進一步包括一透明二氧化矽電介質絕緣層，其經組態以將光導半導體開關之第一電觸點及第二電觸點中之各者與電晶體絕緣。

【0014】 上文實施例中任一項之另一實施例可額外地及/或替代地包含：積體電路結構，其進一步包括一光源，該光源光學地經耦合至光導半導體開關。

【0015】 上文實施例中任一項之另一實施例可額外地及/或替代地包含：光導半導體開關及電晶體各者經組態以分開地或相互依賴地被利用。

【0016】 上文實施例中任一項之另一實施例可額外地及/或替代地包含：光導半導體開關與該電晶體均勻地經整合在矽晶圓上之一氮化鎵上，且經組態以控制電晶體。

【0017】 上文實施例中任一項之另一實施例可額外地及/或替代地包含：光導半導體開關與該電晶體均勻地經整合在矽晶圓上之一氮化鎵中，

且經組態以藉由電晶體控制。

【0018】 上文實施例中任一項之另一實施例可額外地及/或替代地包含：一電介質及一夾層對被利用以觸發光導半導體開關之一光源係透明的。

【0019】 下文之詳細描述及隨附圖式闡述矽基氮化鎵異質技術之其他細節，其中類似元件符號描繪類似元件。

【圖式簡單說明】

【0020】 圖1係一例示性橫向積體電路結構之一橫截面示意圖。

【0021】 圖2係一例示性GaN PCSS之一橫截面示意圖。

【0022】 圖3係一例示性GaN PCSS之一橫截面示意圖。

【實施方式】

【0023】 參考圖1，繪示一橫向積體電路結構10。橫向積體電路結構10包含一電晶體12，其與一PCSS 14電耦合，且各者經橫向地整合且經支撐在一共同基板16上。電晶體12可為一FET，例如GaN電晶體、Si電晶體及隨附積體電路結構。PCSS 14可包含一GaN PCSS。基板16可包含一矽(Si)或碳化矽(SiC)材料。基板16包含一上表面18。

【0024】 一氮化鎵(GaN)層經安置在基板16之上表面18上以形成一矽基氮化鎵晶圓22。GaN層20串聯地支撐電晶體12及PCSS 14，使得電晶體12及PCSS 14經橫向地整合且經併入同一積體電路。

【0025】 FET 12包含經安置於GaN層20上之一氮化鋁鎵(AlGaN)層24。FET 12包含經安置於AlGaN層24上之氮化矽電介質(SiN/電介質)層26，靠近FET 12之汲極D、閘極G及源極S中之各者。一二氧化矽電介質(SiO₂/電介質)層28將電晶體12電路及一夾層30 (此為例如SiN_x)及經安置

於二氧化矽電介質層28內之導電互連31絕緣。電介質28、26及夾層30對被利用以觸發PCSS 14傳導路徑之一光源32可為透明的。在一例示性實施例中，在電介質或夾層不透明之情況下，可在膜中打開一窗以允許光透射。

【0026】 PCSS 14可包含經安置於GaN層上之一第一電觸點34 (PCSS-1)及一第二電觸點36 (PCSS-2)。在一例示性實施例中，二氧化矽電介質層28使光導半導體開關14之第一電觸點34及第二電觸點36中之各者絕緣。在例示性實施例中，電介質層28可為氮化矽或二氧化矽材料等。在其他例示性實施例中，第一電觸點34及第二電觸點36不具有電介質絕緣。一光導半導體開關14係半導體材料(例如GaN)之一區域，其通常具有非常高的電阻，此處例如無意地摻雜或摻雜一深層，諸如碳或鐵。此使材料能夠以極低洩漏阻斷大量電壓。然而，當使用具有高於或接近帶隙能量之一能量之一光源32照明時，會產生過多激發載子。此類激發載子現形成用於開關之一低電阻傳導路徑。PCSS 14提供高電壓開關能力、超快開關速度或快速能量脈衝。至電晶體12之一輸入電壓可藉由PCSS 14之通斷狀態或其他方式控制。

【0027】 亦參考圖2、圖3，可在晶圓22上以多種方式製造GaN PCSS 14。

【0028】 如圖2中所示，在一例示性實施例中，PCSS 14可包含基板16，其中GaN層20經安置於構成晶圓22之基板16上。第一電觸點34及第二電觸點36經橫向地安置於晶圓22之GaN層20上之台面外。一再生GaN材料40經沈積於第一電觸點34與第二電觸點36之各者上及第一電觸點34與第二電觸點36之間之氮化鎵層20上，使得再生GaN 40及/抑或GaN層20形

成一光導電路42。

【0029】如圖3中所示，在例示性實施例中，PCSS 14可包括基板16，其中GaN層20經安置於構成品圓22之基板16上。第一電觸點34及第二電觸點36位於台面上、經安置於AlGaN層24上，使得存在AlGaN-GaN二維介面(2DEG介面)。可蝕刻AlGaN層24以在AlGaN層24中形成一GaN窗38。再生GaN 40可經沈積在窗38中，代替一閘極金屬(未經展示)。在從AlGaN層24蝕刻出之窗38中經曝露之GaN層20上形成再生GaN 40。

【0030】本發明提供光導半導體開關及光導開關電晶體，其與電晶體及光源一體地整合，或透過晶圓至晶圓接合或晶粒堆疊整合。為實現此點，需要消滅平面處理技術。

【0031】本發明的技術優勢包含將光學閘控開關直接與矽基氮化鎵程序流程整合，以實現光學閘控開關的本質高壓能力及快速回應時間。

【0032】本發明之另一個技術優勢包含一結構，該結構包含含有矽基氮化鎵電晶體裝置及GaN PCSS裝置兩者之一單一晶片/晶圓，其中最終裝置具有GaN電晶體、Si電晶體及GaN PCSS之功能，分開地或相互依賴地被利用。

【0033】本發明之另一個技術優勢包含一PCSS裝置，該裝置控制均勻地經整合在同一晶圓中之一GaN+Si裝置或由其控制。

【0034】本發明之另一個技術優勢包含一結構，該結構具有用於光導材料之多個選項，諸如，一基於AlGaN/GaN之基板，其具有獨立或經組合之再生AlGaN/GaN；或藉由光敏AlGaN/GaN材料之一狹窄區域連接之一AlGaN/GaN 2DEG。

【0035】 本發明之另一個技術優勢包含再生AlGa_N/Ga_N，其可獨立於基板中之磊晶Ga_N經組態及經調諧。組態及調諧參數可包含幾何形狀/厚度、摻雜及濃度/化學計量。

【0036】 本發明之另一個技術優勢包含：製造Ga_N PCSS之方法可基於層消滅，利用矽鑄造廠之傳統技術。

【0037】 本發明之另一個技術優勢包含：使用相同處理步驟同時製造Ga_N PCSS及Ga_N/Si電晶體兩者。

【0038】 本發明之另一個技術優勢包含將PCSS添加至一矽基氮化鎵裝置上，此係一重要的添加，因為其利用不會在一獨立矽基氮化鎵裝置上或獨立PCSS裝置中使用之層及結構。

【0039】 本發明之另一個技術優勢包含2DEG層必須完全凹陷，此與矽基氮化鎵裝置不同。

【0040】 本發明之另一技術優勢包含使用一AlGa_N/Ga_N高電子遷移率電晶體(HEMPT)磊晶之基板，而非針對光敏性最佳化之一體基板，此與典型的PCSS裝置不同。

【0041】 已提供一種矽基氮化鎵異質技術。雖然已在其特定實施例之上下文中描述矽基氮化鎵異質技術，但對於已閱讀了上文描述之熟悉此項技術者來說，其他不可預見的替代方案、修改及變化可能變得顯而易見。因此，本發明旨在包含落在隨附發明申請專利範圍之廣泛範圍內之此等替代方案、修改及變動。

【符號說明】

【0042】

10: 橫向積體電路結構

- 12: 電晶體/FET
- 14: 光導半導體開關/PCSS
- 16: 基板
- 18: 上表面
- 20: GaN層
- 22: 晶圓
- 24: AlGaN層
- 26: 氮化矽電介質(SiN/電介質)層/電介質
- 28: 二氧化矽電介質(SiO₂/電介質)層/電介質
- 30: 夾層
- 31: 導電互連
- 32: 光源
- 34: 第一電觸點
- 36: 第二電觸點
- 38: GaN窗
- 40: 再生GaN材料
- 42: 光導電路
- D: 汲極
- G: 閘極
- S: 源極

【發明申請專利範圍】

【請求項1】

一種積體電路結構，其包括：

一基板，其具有一上表面；

一氮化鎵層，其經安置該基板之該上表面上，其中該基板與該氮化鎵層構成一晶圓；及

一光導半導體開關，其沿經整合至該積體電路結構之該氮化鎵層上之一電晶體經橫向地安置；其中一再生氮化鎵材料經安置於該光導半導體開關上且操作地與該晶圓耦合。

【請求項2】

如請求項1之積體電路結構，其中該基板包括一矽材料及一碳化矽材料中之至少一者。

【請求項3】

如請求項1之積體電路結構，其中該電晶體包括一場效電晶體。

【請求項4】

如請求項1之積體電路結構，其中該光導半導體開關包括經安置於該氮化鎵層上之一第一電觸點及一第二電觸點。

【請求項5】

如請求項4之積體電路結構，其中該光導半導體開關包括經安置於矽晶圓上之一氮化鎵上之一氮化鋁鎵層；該第一電觸點及該第二電觸點經橫向地配置在該晶圓之該氮化鎵層上之台面外，其中，該再生氮化鎵材料經沈積在該第一電觸點及該第二電觸點之各者上，且經安置於該第一電觸點與該第二電觸點之間之該氮化鎵上。

【請求項6】

如請求項5之積體電路結構，其中該再生氮化鎵材料及該氮化鎵層中之至少一者形成一光導電路。

【請求項7】

如請求項4之積體電路結構，其中該光導半導體開關包括經安置於矽晶圓上之一氮化鎵上之一氮化鋁鎵層；該第一電觸點及該第二電觸點經安置於該氮化鋁鎵層上之台面上，其中存在一AlGa_N-Ga_N二維電子氣體介面；經蝕刻至該AlGa_N層中之一窗；及經沈積在該窗中之該再生氮化鎵材料。

【請求項8】

如請求項7之積體電路結構，其中該再生氮化鎵材料經安置於該窗中之該經曝露之氮化鎵層上。

【請求項9】

如請求項4之積體電路結構，其進一步包括：

一透明二氧化矽電介質絕緣層，其經組態以將該光導半導體開關之該第一電觸點及該第二電觸點中之各者與該電晶體絕緣。

【請求項10】

如請求項1之積體電路結構，其進一步包括：

一光源，其光學地經耦合至該光導半導體開關。

【請求項11】

如請求項1之積體電路結構，其中該光導半導體開關及該電晶體各者經組態以分開地或相互依賴地被利用。

【請求項12】

如請求項1之積體電路結構，其中該光導半導體開關與該電晶體均勻地經整合在矽晶圓上之一氮化鎵上，且經組態以控制該電晶體。

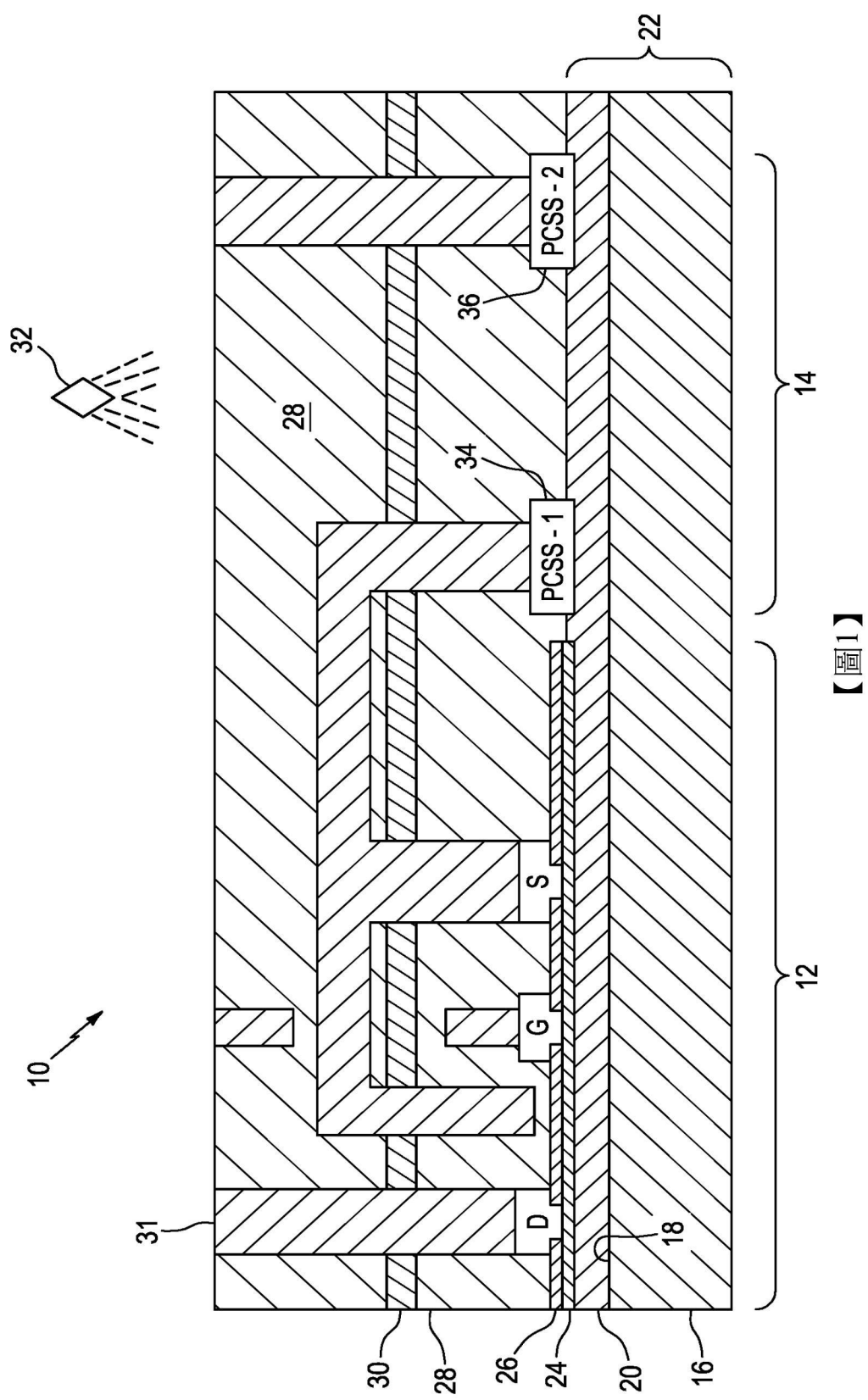
【請求項13】

如請求項1之積體電路結構，其中該光導半導體開關與該電晶體均勻地經整合在矽晶圓上之一氮化鎵中，且經組態以藉由該電晶體控制。

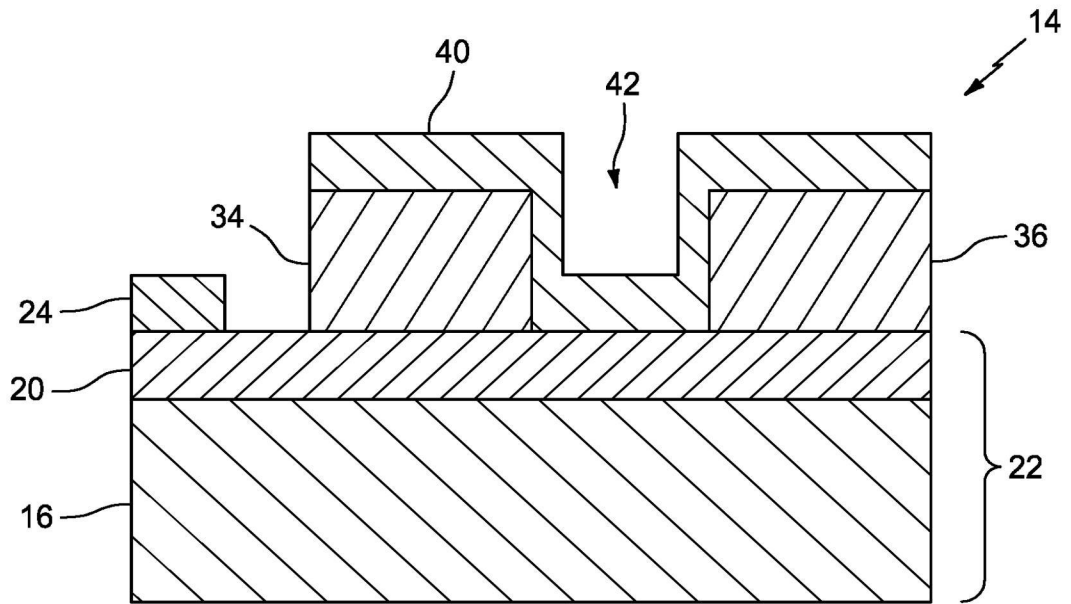
【請求項14】

如請求項1之積體電路結構，其中一電介質及一夾層對被利用以觸發該光導半導體開關之一光源係透明的。

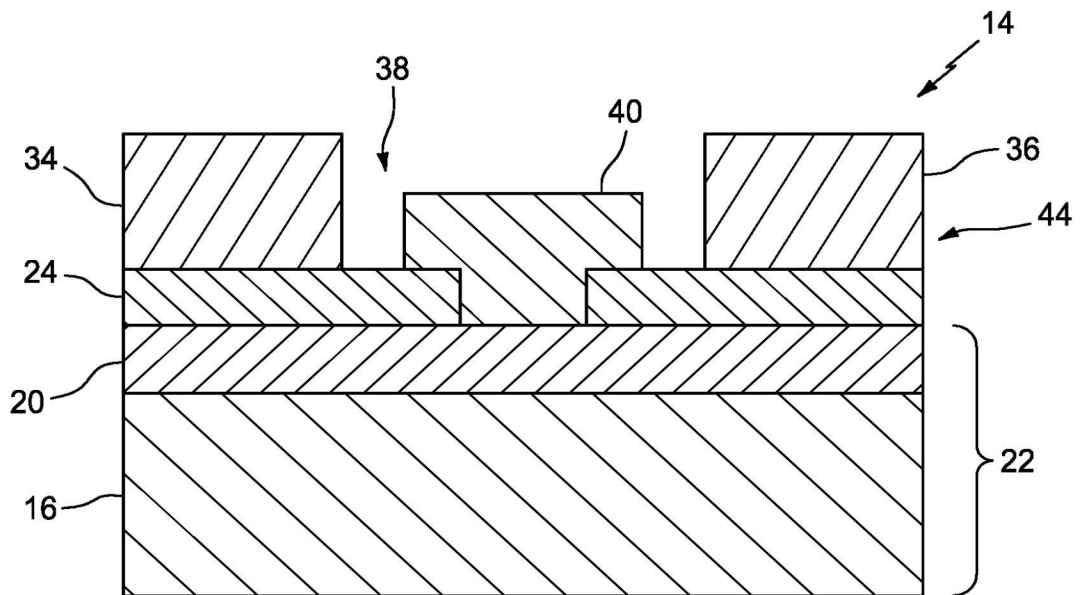
【發明圖式】



【圖1】



【圖2】



【圖3】