

(11) 特許出願公開番号

特開2010-141703

(P2010-141703A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int. Cl.	F I	テーマコード (参考)
H04L 7/00 (2006.01)	H04L 7/00 Z	5B077
H04L 29/00 (2006.01)	H04L 13/00 S	5K034
G06F 13/42 (2006.01)	G06F 13/42 340A	5K047

審査請求 未請求 請求項の数 10 O L (全 11 頁)

(21) 出願番号 特願2008-317142 (P2008-317142)
(22) 出願日 平成20年12月12日 (2008.12.12)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(74) 代理人 100065385
弁理士 山下 穰平

(74) 代理人 100130029
弁理士 永井 道雄

(72) 発明者 青木 睦
東京都港区芝五丁目7番1号 日本電気株
式会社内

Fターム(参考) 5B077 MM02
5K034 AA01 JJ11 PP01
5K047 GG01 GG08 MM36 MM63

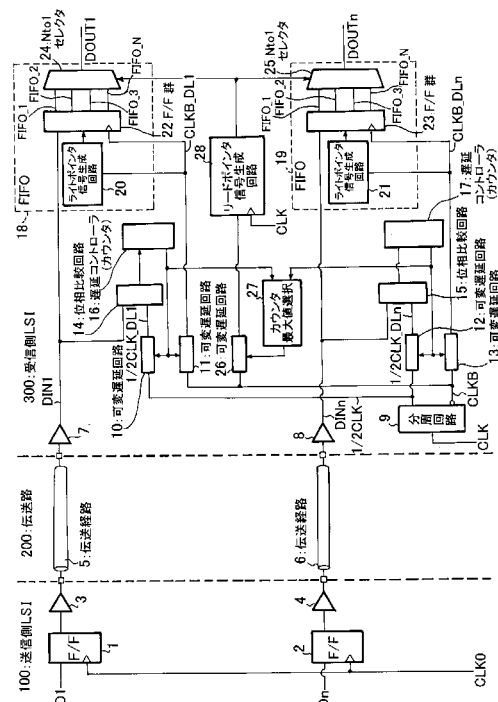
(54) 【発明の名称】 並列データ伝送回路及び並列データ伝送方法

(57) 【要約】

【課題】ソースクロック信号を必要とせずにソースシンクロナス転送方式と同等以上の並列高速伝送を実現する。

【解決手段】送信側集積回路と受信側集積回路を複数の伝送経路を介して接続する。前記送信側集積回路が、トグル動作の初期化ボタンを全ての前記伝送経路に対して同時に送信する。前記受信側集積回路が、前記各伝送経路に対応するデータバス毎に、前記初期化ボタンのデータ信号と、基準クロックを分周したクロックである分周クロックと、を比較することにより、位相差を検出する。前記データバス毎に、前記比較結果に基づいて第1の可変遅延回路を調整することにより、それぞれの前記データバスの遅延値を前記位相差に調整するとともに、そのカウンタ値を保持する。調整された前記遅延値に基づいて前記基準クロックを反転したクロックである反転クロックを調整することによりストロブ信号を生成する。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

送信側集積回路と受信側集積回路が複数の伝送経路を介して接続されており、前記複数の伝送経路を用いてデータ信号を並列伝送する並列データ伝送回路であって、

前記送信側集積回路が、トグル動作の初期化ボタンを全ての前記伝送経路に対して同時に送信する第 1 の送信手段を備え、

前記受信側集積回路が、

前記各伝送経路に対応するデータバス毎に、前記初期化ボタンのデータ信号と、基準クロックを分周したクロックである分周クロックと、を比較することにより、位相差を検出する位相差比較手段と、

前記データバス毎に、前記比較結果に基づいて第 1 の可変遅延回路を調整することにより、それぞれの前記データバスの遅延値を前記位相差に調整するとともに、そのカウンタ値を保持する遅延コントローラと、

前記データバス毎に、前記遅延コントローラにより調整された前記遅延値に基づいて前記基準クロックを反転したクロックである反転クロックを調整することによりストロブ信号を生成する第 2 の可変遅延回路と、

を備えることを特徴とする並列データ伝送回路。

【請求項 2】

請求項 1 に記載の並列データ伝送回路であって、

前記送信側集積回路が、実データ信号を全ての前記伝送経路に対して同時に送信する第 2 の送信手段を更に備え、

前記受信側集積回路が、

前記データバス毎に、前記ストロブ信号からライトポイント信号を生成し、当該ストロブ信号の立ち上がりエッジで先入れ先出し回路群に前記実データ信号を取り込む、ライトポイント信号生成手段と、

前記各データバスの中で最も前記カウンタ値が高いデータバスを選択するカウンタ最大値選択手段と、

前記最も前記カウンタ値が高いデータバスの前記位相差に基づいて第 3 の可変遅延回路を調整することにより、前記各先入れ先出し回路群におけるリードポイント信号を生成するリードポイント信号生成手段と、

を更に備えることを特徴とする並列データ伝送回路。

【請求項 3】

請求項 1 又は 2 に記載の並列データ伝送回路において、前記データバス毎に、前記第 1 の可変遅延回路及び前記第 2 の可変遅延回路という 2 つの可変遅延回路に替えて単一の可変遅延回路を有しており、前記第 1 の可変遅延回路として動作する場合と、前記第 2 の可変遅延回路として動作する場合とで、当該単一の可変遅延回路が調整する信号を切り替えることを特徴とする並列データ伝送回路。

【請求項 4】

請求項 2 に記載の並列データ伝送回路において、

前記カウンタ最大値選択手段及び前記第 3 の可変遅延回路に替えて、遅延最大値選択手段を有しており、当該遅延最大値選択手段が、前記遅延コントローラから受け取った信号から前記カウンタ値の最大値を検出し、前記カウンタ値が最大の前記遅延コントローラに対応したクロック信号を前記リードポイント信号生成手段に出力することを特徴とする並列データ伝送回路。

【請求項 5】

請求項 1 乃至 4 の何れか 1 項に記載の並列データ伝送回路において、当該並列データ伝送回路を搭載する装置の初期化時に前記第 1 の送信手段が動作することを特徴とする並列データ伝送回路。

【請求項 6】

送信側集積回路と受信側集積回路が複数の伝送経路を介して接続されている並列データ

10

20

30

40

50

伝送回路において、前記複数の伝送経路を用いてデータ信号を並列伝送する並列データ伝送方法であって、

前記送信側集積回路が、トグル動作の初期化ボタンを全ての前記伝送経路に対して同時に送信する第1の送信ステップと、

前記各伝送経路に対応するデータバス毎に、前記初期化ボタンのデータ信号と、基準クロックを分周したクロックである分周クロックと、を比較することにより、位相差を検出する位相差比較ステップと、

遅延コントローラが、前記データバス毎に、前記比較結果に基づいて第1の可変遅延回路を調整することにより、それぞれの前記データバスの遅延値を前記位相差に調整するとともに、そのカウンタ値を保持する遅延コントロールステップと、

第2の可変遅延回路が、前記データバス毎に、前記遅延コントローラにより調整された前記遅延値に基づいて前記基準クロックを反転したクロックである反転クロックを調整することによりストロブ信号を生成するストロブ信号生成ステップと、

を備えることを特徴とする並列データ伝送方法。

【請求項7】

請求項6に記載の並列データ伝送方法であって、

前記送信側集積回路が、実データ信号を全ての前記伝送経路に対して同時に送信する第2の送信ステップと、

前記受信側集積回路が、前記データバス毎に、前記ストロブ信号からライトポイント信号を生成し、当該ストロブ信号の立ち上がりエッジで先入れ先出し回路群に前記実データ信号を取り込む、ライトポイント信号生成ステップと、

カウンタ最大値選択回路が、前記各データバスの中で最も前記カウンタ値が高いデータバスを選択するカウンタ最大値選択ステップと、

リードポイント信号生成回路が、前記最も前記カウンタ値が高いデータバスの前記位相差に基づいて第3の可変遅延回路を調整することにより、前記各先入れ先出し回路群におけるリードポイント信号を生成するリードポイント信号生成ステップと、

を更に備えることを特徴とする並列データ伝送方法。

【請求項8】

請求項6又は7に記載の並列データ伝送方法において、前記データバス毎に、前記第1の可変遅延回路及び前記第2の可変遅延回路という2つの可変遅延回路に替えて単一の可変遅延回路を有しており、前記第1の可変遅延回路として動作する場合と、前記第2の可変遅延回路として動作する場合とで、当該単一の可変遅延回路が調整する信号を切り替えることを特徴とする並列データ伝送方法。

【請求項9】

請求項7に記載の並列データ伝送方法において、

前記カウンタ最大値選択回路及び前記第3の可変遅延回路に替えて、遅延最大値選択ステップを有しており、当該遅延最大値選択ステップが、前記遅延コントローラから受け取った信号から前記カウンタ値の最大値を検出し、前記カウンタ値が最大の前記遅延コントローラに対応したクロック信号を前記リードポイント信号生成回路に出力することを特徴とする並列データ伝送方法。

【請求項10】

請求項6乃至9の何れか1項に記載の並列データ伝送方法において、当該並列データ伝送回路を搭載する装置の初期化時に前記第1の送信ステップを行うことを特徴とする並列データ伝送方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、並列伝送路における並列高速データ伝送方法及び並列伝送回路に関する。

【背景技術】

【0002】

近年の高速データ伝送としては、シリアル伝送方式が主流となってきた。もっとも、シリアル伝送方式は高転送レートを実現できるが、一方で、レイテンシ（latency：応答時間）が大きくなり、データ転送のために必要な時間が長くなるという問題がある。なぜならば、シリアル伝送方式では、データ伝送をする前にパラレルシリアルエンコード処理等が必要となり、データ受信時には転送開始信号検出処理、シリアルパラレルデコード処理及び同期化処理、といった複数の処理が必要となるためである。

【 0 0 0 3 】

このため、高レイテンシが要求されるシステムでは、シリアル伝送方式を採用することは出来ない。このようなシステムで採用される高速並列データ伝送方式として、ソースシンクロナス（Source Synchronous）伝送方式が有名であり、現在でもメモリインタフェースである D D R S D R A M (Double-Data-Rate Synchronous Dynamic Random Access Memory) 等がこの方式を採用している（例えば特許文献 1 参照）。

10

【特許文献 1】特開 2 0 0 0 - 3 4 7 9 9 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

しかしながら、上述したソースシンクロナス伝送方式を実現するためにはデータ信号に加えてソースクロック（ストローク）信号が別途必要となる。そのため、実装にあたり集積回路（以下「L S I」と記載する。）のピン数が増加するという問題がある。また、ソースクロック信号を用いて高速転送を実現するにあたり、伝送線路上で各データ信号に関してできる限り等長等遅延で配線することが必要である。そのため、伝送線路の設計に制約を与えるといった問題がある。

20

【 0 0 0 5 】

そこで、本発明は、ソースクロック信号を必要とせずにソースシンクロナス転送方式と同等以上の並列高速伝送を実現することができる並列データ伝送回路及び並列データ伝送方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明の第 1 の観点によれば、送信側集積回路と受信側集積回路が複数の伝送経路を介して接続されており、前記複数の伝送経路を用いてデータ信号を並列伝送する並列データ伝送回路であって、前記送信側集積回路が、トグル動作の初期化ボタンを全ての前記伝送経路に対して同時に送信する第 1 の送信手段を備え、前記受信側集積回路が、前記各伝送経路に対応するデータバス毎に、前記初期化ボタンのデータ信号と、基準クロックを分周したクロックである分周クロックと、を比較することにより、位相差を検出する位相差比較手段と、前記データバス毎に、前記比較結果に基づいて第 1 の可変遅延回路を調整することにより、それぞれの前記データバスの遅延値を前記位相差に調整するとともに、そのカウンタ値を保持する遅延コントローラと、前記データバス毎に、前記遅延コントローラにより調整された前記遅延値に基づいて前記基準クロックを反転したクロックである反転クロックを調整することによりストローク信号を生成する第 2 の可変遅延回路と、を備えることを特徴とする並列データ伝送回路が提供される。

30

40

【 0 0 0 7 】

本発明の第 2 の観点によれば、送信側集積回路と受信側集積回路が複数の伝送経路を介して接続されている並列データ伝送回路において、前記複数の伝送経路を用いてデータ信号を並列伝送する並列データ伝送方法であって、前記送信側集積回路が、トグル動作の初期化ボタンを全ての前記伝送経路に対して同時に送信する第 1 の送信ステップと、前記各伝送経路に対応するデータバス毎に、前記初期化ボタンのデータ信号と、基準クロックを分周したクロックである分周クロックと、を比較することにより、位相差を検出する位相差比較ステップと、遅延コントローラが、前記データバス毎に、前記比較結果に基づいて第 1 の可変遅延回路を調整することにより、それぞれの前記データバスの遅延値を前記位相差に調整するとともに、そのカウンタ値を保持する遅延コントロールステップと、第 2

50

の可変遅延回路が、前記データパス毎に、前記遅延コントローラにより調整された前記遅延値に基づいて前記基準クロックを反転したクロックである反転クロックを調整することによりストロブ信号を生成するストロブ信号生成ステップと、を備えることを特徴とする並列データ伝送方法が提供される。

【発明の効果】

【0008】

本発明によれば、ソースクロック信号を必要とせずにソースシンクロナス転送方式と同等以上の並列高速伝送を行うことが可能となる。

【0009】

その理由は、並列伝送路における各データ信号間のスキュー (skew) を受信側の L S I 内部に搭載した可変遅延回路にてキャンセルするためである。ここで、スキューとは同期式設計においてクロックの伝搬遅延時間の差、配線容量などの理由により発生するタイミングずれ (遅延差若しくは位相差) のことをいう。

【発明を実施するための最良の形態】

【0010】

次に、本発明の実施形態について図面を参照して詳細に説明する。

【0011】

本発明の実施形態である並列データ伝送回路の概略は、並列伝送路における各データ信号間のスキューを受信側の L S I 内部に搭載した可変遅延回路にてキャンセルし、高速データ伝送を実現するというものである。また、この可変遅延回路を、本回路が搭載されたシステムの初期化時に自動的に最適遅延値に設定されるようにしてもよい。

【0012】

図1は、本発明の第1の実施形態である並列データ伝送回路の全体構成を示すブロック図である。

【0013】

本実施形態は、送信側 L S I 100 及び受信側 L S I 300 を有する。そして、送信側 L S I 100 と受信側 L S I 300 は、伝送路 200 を介して接続されている。

【0014】

送信側 L S I 100 は、フリップフロップ 1 及び 2 と、送信側ドライバ I / O 3 及び 4 を有する。

【0015】

フリップフロップ 1 及び 2 は送信側 L S I のフリップフロップ (Flip Flop) 回路である。なお、図中及び以下の文章ではフリップフロップを「F / F」と記載する。

【0016】

送信側ドライバ I / O 3 及び 4 は、送信側のドライバ I / O である。複数の並列データ D 1 ~ D n はこれら送信側ドライバ I / O 3 及び 4 によって、送信側 L S I 100 から受信側 L S I 300 へ同タイミングで送り出される。なお、図中では説明の都合上 D 1 の系統及び D n の系統の 2 系統を図示するが、これはあくまで例示である。本発明の実施形態は、複数の任意の系統で並列データ伝送を行うことが可能である。

【0017】

伝送路 200 は、複数の伝送経路を有している。図1では伝送経路 5 及び 6 を図示する。上述の送信側ドライバ I / O 3 及び 4 から送信されてきた複数の並列データ D 1 ~ D n は、例えば配線基板やケーブル、コネクタ等で構成される伝送経路 5 や 6 を通り受信側 L S I 300 に転送される。

【0018】

受信側 L S I 300 は、レシーバ I / O 7 及び 8 と、分周回路 9 と、可変遅延回路 10 , 11 , 12 , 13 及び 26 と、位相比較回路 14 及び 15 と、遅延コントローラ回路 16 及び 17 と、F I F O 18 及び 19 と、カウンタ最大値選択回路 27 と、リードポイント信号生成回路 28 を有している。

【0019】

10

20

30

40

50

F I F O 1 8 及び 1 9 は、先入れ先出し (First In First Out) 回路である。F I F O 1 8 は、ライトポインタ信号生成回路 2 0 と、F / F 群 2 2 と、N t o 1 セレクタ 2 4 とを有している。また同様に、F I F O 1 9 は、ライトポインタ信号生成回路 2 1 と、F / F 群 2 3 と、N t o 1 セレクタ 2 5 とを有している。

【 0 0 2 0 】

分周回路 9 は例えば図 2 で示される様な構成の回路である。今回は、分周回路 9 を 1 / 2 分周信号を出力するための 2 分周回路とする。そして分周回路 9 は、入力された信号である「C L K」の反転信号である「C L K B」と 1 / 2 分周信号である「1 / 2 C L K」を生成する。

【 0 0 2 1 】

図 3 に、この分周回路 9 のタイミングチャートを示す。但し、図 2 及び図 3 は分周回路 9 の構成の一例であり、同様のタイミング信号 C L K B 及び 1 / 2 C L K を生成できるのであれば、その具体的回路構成は問わない。更に、今回は分周回路 9 を 2 分周回路としたが、例えば 4 分周回路などの他の分周回路としてもよい。この点については、後述する。

【 0 0 2 2 】

以上に本発明の実施形態の構成を述べたが、F I F O 回路 1 8 及び 1 9 が有する、ライトポインタ信号生成回路 2 0 及び 2 1、F / F 回路群 2 2 及び 2 3、N t o 1 セレクタ 2 4 及び 2 5 やリードポインタ信号生成回路 2 8 の構成は、例えば特許文献 1 に示されたものと同等の構成で実現でき、また本発明とは直接関係しないので、その詳細な構成は省略する。

【 0 0 2 3 】

次に、図 4 のタイミングチャート及び図 5 のフローチャートを用いて、本発明の動作を説明する。なお、本タイミングチャートでは説明のため F I F O 段数は 4 段としているが、特に 4 段にこだわる必要は無く、任意の段数であって構わない。

【 0 0 2 4 】

まず、本実施形態が搭載された装置の初期化時に送信側 L S I 1 0 0 から「0 1 0 1 ...」のトグル動作の初期化パタンを全てのデータバスに対して同時に送信する (ステップ S 4 0 1)。受け側 L S I である受信 L S I 3 0 0 では伝送路のばらつきなどの影響のため、データバス間で位相差が生じる。ここで、最も伝送時間が短いバスの信号を D I N 1、最も長いバスの信号を D I N n とした場合、これらの間には T d の位相差が生じている。

【 0 0 2 5 】

これらのデータ D I N 1、D I N n と分周回路 9 によって生成された 1 / 2 C L K 信号とを位相比較回路 1 4 及び 1 5 で位相比較を行う (ステップ S 4 0 3)。

【 0 0 2 6 】

そして、比較結果に基づいて可変遅延回路 1 0 及び 1 2 を調整することによりそれぞれの遅延値を D I N 1、D I N n と基準信号 C L K 及び 1 / 2 C L K 信号との位相差である D L 1、D L n に調整し、そのカウンタ値をホールドする (ステップ S 4 0 5)。図示は省略するが、例えばデータバスが更にあり、D I N 1、D I N m 及び D I N n の 3 つの信号があったとする。そして、伝送時間が D I N 1 と D I N n の中間である D I N m の場合も同様に D L m に調整する。

【 0 0 2 7 】

ここで調整された遅延値を可変遅延回路 1 1 及び 1 3 にも適用し、F I F O 回路 1 8、1 9 のストローブ信号である C L K B __ D L 1、C L K B __ D L n 信号を生成する (ステップ S 4 0 7)。

【 0 0 2 8 】

次に、実データパタンの伝送時の動作について説明する。

【 0 0 2 9 】

ここで、D I N 1 ~ D O U T 1 のバスを D 1 系、D I N n ~ D O U T n のバスを D n 系とする。そして、上記のステップ S 4 0 1 ~ ステップ S 4 0 7 における初期化動作が終了し、実データパタン伝送時になったものとする。この場合において、まず送信側 L S I 1

10

20

30

40

50

00が全てのデータパスに対して同時にデータA、B、C及びDの順に送信する(ステップS409)。

【0030】

D1系はCLKB__DL1信号からライトポインタ信号を生成し、CLKB__DL1の立ち上がりエッジでFIFO18を構成するF/F群22に順にデータを取りこむ。同様にDn系はCLKB__DLn信号からライトポインタ信号を生成し、CLKB__DLnの立ち上がりエッジでFIFO19を構成するF/F群23に順にデータを取りこむ(ステップS411)。

【0031】

一方、リードポインタ信号としては、最も伝送時間が長いDn系に合わせる必要があるため、遅延コントローラ16及び17のカウンタ値の最大値を最大値選択回路27で選び、可変遅延回路26をDLnに調整し、これをリードポインタ信号生成に使用する。この信号により、DOU1、DOUnは受信側LSI300のクロックに同期され、データA、B、C及びDの順に出力される(ステップS413)。

10

【0032】

上述の例では、並列伝送路における各データ信号間のスキューとして2クロック周期まで対応可能である。また、例えばこれを4クロック周期まで対応できるようにするには、分周回路を1/4CLKまで生成するようにし、初期化パターンは「00110011...」のトグル動作とし、FIFO段数も増やす必要がある。

【0033】

20

なお、本発明において、送信側LSI100内のクロック信号CLK0及び受信側LSI300内のクロック信号CLKの基準となるリファレンスクロック信号は同一の発信器から配られるものとする。その理由は以下である。

【0034】

もしも、発信器が異なると、転送にかかる時間に関してこれら2つの発信器の周波数差の乗算分の位相差が発生する。例えば、 $\pm 10^{-4}$ の周波数精度の発信器を使用した場合、5000データを送ると最初と最後では1周期分の差が生じることになる($5000 \times 2 \times 10^{-4} = 1$)。つまり、5000データを送っても受信側LSI300のクロックから見ると、4999クロック目または5001クロック目になってしまう。つまり、基準クロックと各データ信号のスキュー値は初期化時に設定した遅延値からどんどんずれていく。このずれについては、本発明の実施形態における回路では対応できない。そのため、上述したようにリファレンスクロック信号は同一の発信器から配られるようにする必要がある。

30

【0035】

次に、本発明の第2の実施形態について図面を参照して詳細に説明する。

【0036】

図6は、本発明の第2の実施形態によるデータ伝送回路の全体構成を示すブロック図である。第1の実施形態においては、可変遅延回路を1データ系列につき2つ持っていた。この点、可変遅延回路は面積が大きく、また例え同じ回路構成の可変遅延回路だとしてもLSIの出来具合によって遅延ばらつきが生じる。そのため、この実施形態では1データ系列につき可変遅延回路を1つとしている。その代わりにセクタ10及び11(図中では、「SEL」と表記する)を設け、セクタ信号SELによって初期化時には1/2CLK、実データ伝送時にはCLKBを選択するという構成となっている。

40

【0037】

図7は、本発明の第3の実施形態であるデータ伝送回路の全体構成を示すブロック図である。この構成は、第2の実施形態の可変遅延回路26とカウンタ最大値選択回路27を削除し、その代わりに遅延最大値選択回路29を追加している。遅延最大値選択回路29は、遅延コントローラ16及び17から送られたカウンタ値の最大値を検出し、それに対応したクロック信号CLKB__Dnを選択し出力する。

【0038】

50

図6や図7のように構成することにより受信側LSI300を構成の自由度を高めることができる。また、LSIの出来具合によって遅延ばらつきについて対応することが出来る。

【0039】

以上説明した本発明の実施形態は以下の効果を奏する。

【0040】

第1の効果は、ソースクロック信号を必要とせずにソースシンクロナス転送方式と同等以上の並列高速伝送を実現できることにある。その理由は、並列伝送路における各データ信号間のスキューを受信側のLSI内部に搭載した可変遅延回路にてキャンセルすることによりスキュー補償ができるためである。

10

【0041】

第2の効果は、ソースシンクロナス転送方式よりも同じデータビットを伝送するのに必要なLSIピン数が減り、PKG配線性も良くなることである。その理由は、ソースクロック信号を必要としないためである。

【0042】

第3の効果は、PKG等の伝送線路上でのデータ信号間の等遅延配線の必要が無くなることである。その理由は、LSI内部にデータ信号毎に可変遅延回路を有するためである。

【0043】

第4の効果は、ソースシンクロナス転送方式ではその動作原理のため、ソースクロック信号を基準とした各データ信号とのスキューは転送サイクルの1周期以内(限りなく等長等遅延)にする必要があるが、本方式では、1周期以上のスキューも許容可能である。その理由は、1周期以上のスキューを吸収できる可変遅延回路とFIFO回路を有するためである。

20

【0044】

第5の効果は、高い伝送データレートが求められる環境であっても、本発明を実現できることである。

【0045】

例えば、要求される伝送データレートよりも高速なクロックと、シフトレジスタを用いてスキュー補償を行うという技術を用いる場合は、1Gbps程度の伝送データレートを要求される環境では、現実的に対応が困難である。しかし、本発明の実施形態では可変遅延回路とFIFOの組合せで課題を解決するという構成であることから、1Gbps程度の伝送データレートであっても対応できるからである。

30

【産業上の利用可能性】

【0046】

本発明は、高速、高レイテンシな並列データ伝送回路を必要とするハイエンドサーバ用LSIやスーパーコンピュータ用LSI等に好適である。

【図面の簡単な説明】

【0047】

【図1】本発明の第1の実施形態の基本的構成を表す図である。

40

【図2】本発明の各実施形態における分周回路9の構成例を示す図である。

【図3】本発明の各実施形態における分周回路9のタイミングチャートである。

【図4】本発明の各実施形態におけるタイミングチャートである。

【図5】本発明の各実施形態におけるフローチャートである。

【図6】本発明の第2の実施形態の基本的構成を表す図である。

【図7】本発明の第3の実施形態の基本的構成を表す図である。

【符号の説明】

【0048】

1、2 フリップフロップ

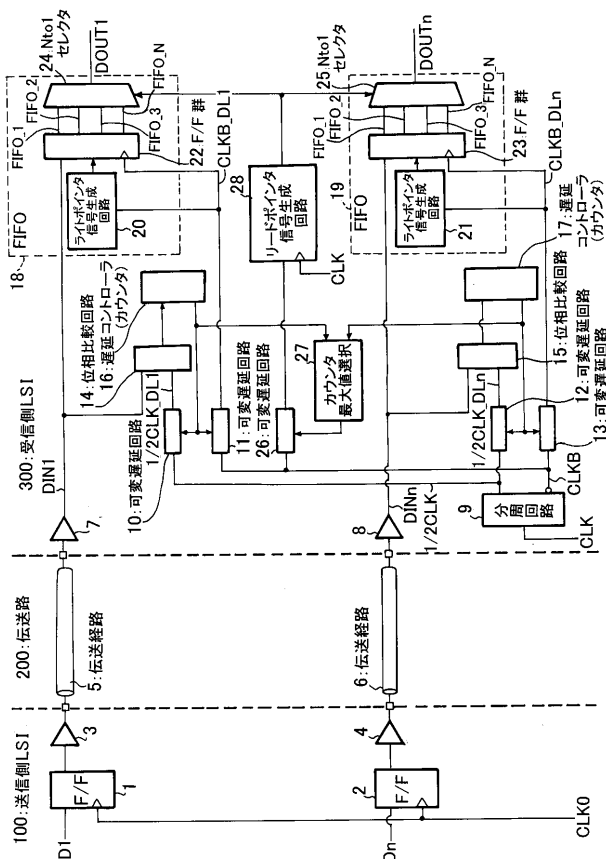
3、4 送信側ドライバI/O

50

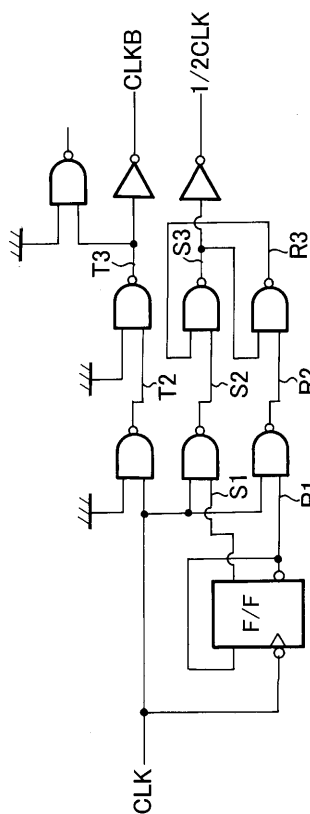
- 5、6 伝送経路
- 7、8 レシーバ I / O
- 9 分周回路
- 10、11、12、13、26 可変遅延回路
- 14、15 位相比較回路
- 16、17 遅延コントローラ回路
- 18、19 F I F O
- 20、21 ライトポインタ信号生成回路
- 22、23 F / F 群
- 24、25 N t o 1 セレクタ
- 27 カウンタ最大値選択回路
- 28 リードポインタ信号生成回路
- 29 遅延最大値選択回路
- 100 送信側 L S I
- 200 伝送路
- 300 受信側 L S I

10

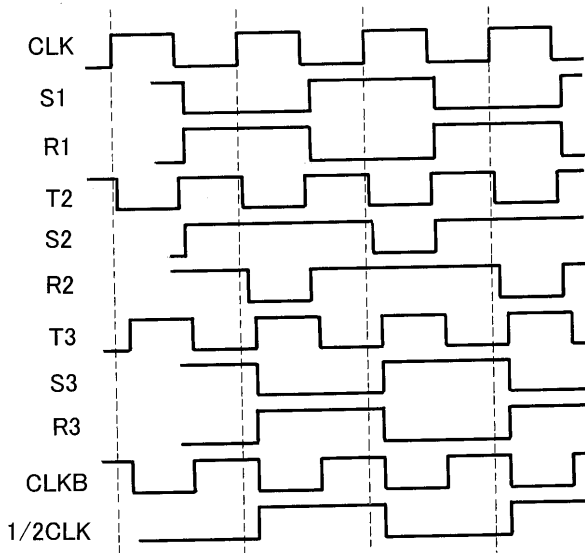
【図 1】



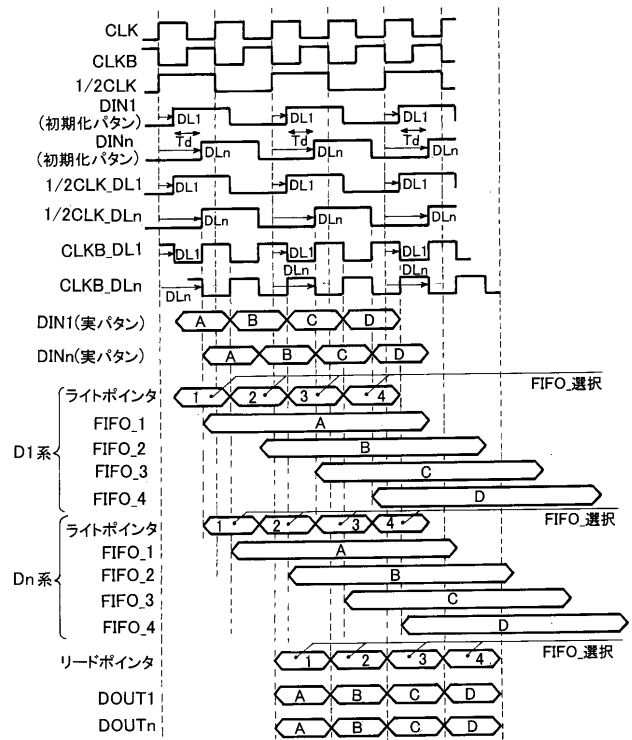
【図 2】



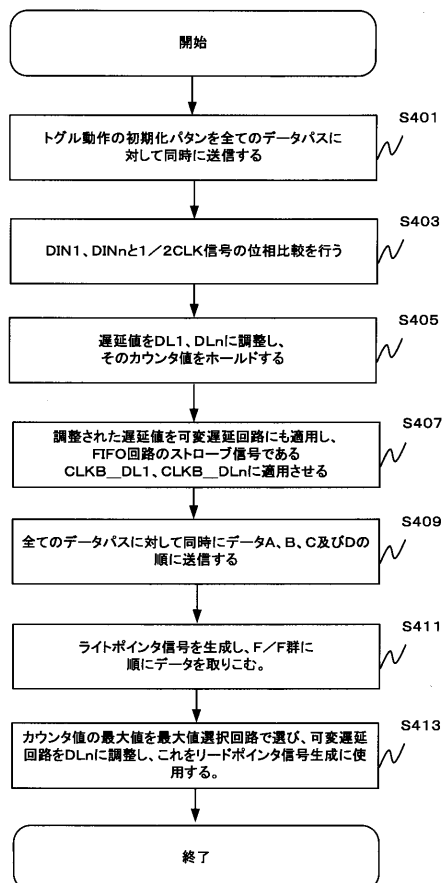
【図 3】



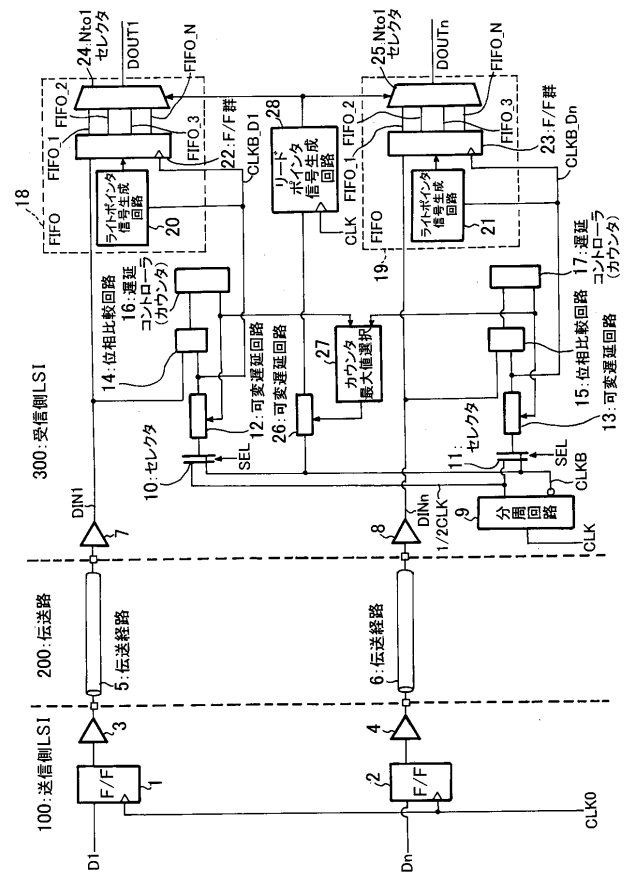
【図 4】



【図 5】



【図 6】



[illegible]