

(12) 发明专利

(10) 授权公告号 CN 101276736 B

(45) 授权公告日 2011.09.07

(21) 申请号 200810086790.4

US 7176528 B2, 2007.02.13, 附图1—3, 说
明书第3栏, 第18栏.

(22) 申请日 2008.03.26

US 6818529 B2, 2004.11.16, 全文.

(30) 优先权数据

2007-079784 2007.03.26 JP

审查员 凌宇飞

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 山崎舜平 川俣郁子 荒井康行

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 岳耀锋

(51) Int. Cl.

H01L 21/00 (2006.01)

H01L 21/20 (2006.01)

H01L 21/762 (2006.01)

H01L 21/84 (2006.01)

H01L 21/336 (2006.01)

(56) 对比文件

US 2005/0048736 A1, 2005.03.03, 全文.

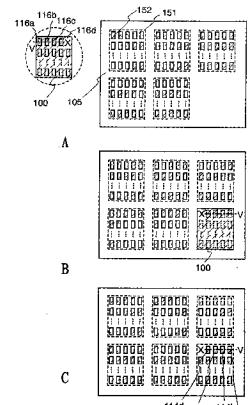
权利要求书 2 页 说明书 22 页 附图 28 页

(54) 发明名称

半导体装置的制造方法

(57) 摘要

本发明的目的在于高生产率且高成品率地在大面积衬底上制造高性能的半导体元件、及集成电路。当从单晶半导体衬底(键合片)转置单晶半导体层时,通过对单晶半导体衬底选择性地进行蚀刻(也称为形成槽的加工)来形成功能成为多个的单晶半导体层,然后将该多个单晶半导体层转置到异种衬底(支撑衬底),该单晶半导体层的尺寸是所制造的半导体元件的尺寸。因此,可以在支撑衬底上形成多个岛状单晶半导体层(SOI层)。



1. 一种半导体装置的制造方法,包括如下步骤:

在单晶半导体衬底上形成氧化硅膜和氮化硅膜;

在照射氢和稀有气体元素中的至少一种的离子之后,形成多个分离层和在所述多个分离层上的多个单晶半导体层,其中,所述多个分离层形成在所述单晶半导体衬底的离其表面有一定深度的位置上;

将具有绝缘表面的衬底及所述单晶半导体衬底彼此接合;以及

将所述单晶半导体衬底和所述多个单晶半导体层彼此分离,来在所述衬底的所述绝缘表面上设置所述多个单晶半导体层。

2. 根据权利要求1所述的半导体装置的制造方法,其中在所述单晶半导体衬底上形成所述多个单晶半导体层之前形成所述分离层。

3. 一种半导体装置的制造方法,包括如下步骤:

在单晶半导体衬底上形成氧化硅膜和氮化硅膜;

用氢和稀有气体元素中的至少一种照射所述单晶半导体衬底,以在所述单晶半导体衬底的离其表面有一定深度的位置上形成分离层,并且在所述分离层上形成单晶半导体膜;

选择性地蚀刻所述分离层及所述单晶半导体膜,以形成多个单晶半导体层;

将具有绝缘表面的衬底及所述单晶半导体衬底彼此接合;以及

将所述单晶半导体衬底和所述多个单晶半导体层彼此分离,来在所述衬底的所述绝缘表面上设置所述多个单晶半导体层。

4. 一种半导体装置的制造方法,包插如下步骤:

在单晶半导体衬底上形成氧化硅膜及氮化硅膜;

选择性地蚀刻所述氧化硅膜及所述氮化硅膜,以形成氧化硅层和氮化硅层;

用氢和稀有气体元素中的至少一种照射所述单晶半导体衬底,以在所述单晶半导体衬底的离其表面有一定深度的位置上形成多个分离层,并且在所述多个分离层上形成多个单晶半导体层;

选择性地蚀刻所述单晶半导体衬底,以在所述单晶半导体衬底中形成槽;

将具有绝缘表面的衬底及所述单晶半导体衬底彼此接合;以及

将所述单晶半导体衬底和所述多个单晶半导体层彼此分离,来在所述衬底的所述绝缘表面上设置所述多个单晶半导体层。

5. 一种半导体装置的制造方法,包括如下步骤:

在单晶半导体衬底上形成氧化硅膜及氮化硅膜;

用氢和稀有气体元素中的至少一种照射所述单晶半导体衬底,以在所述单晶半导体衬底的离其表面有一定深度的位置上形成分离层,并且在所述分离层上形成单晶半导体膜;

选择性地蚀刻所述氧化硅膜及所述氮化硅膜,以形成氧化硅层及氮化硅层;

将所述氮化硅层用作掩模,选择性地蚀刻所述分离层及所述单晶半导体膜,以形成多个单晶半导体层;

将具有绝缘表面的衬底及所述单晶半导体衬底彼此接合;以及

将所述单晶半导体衬底和所述多个单晶半导体层彼此分离,来在所述衬底的所述绝缘表面上设置所述多个单晶半导体层。

6. 一种半导体装置的制造方法,包括如下步骤:

在单晶半导体衬底上形成氧化硅膜及氮化硅膜；

选择性地蚀刻所述氧化硅膜及所述氮化硅膜，以形成氧化硅层及氮化硅层；

将所述氮化硅层用作掩模，选择性地蚀刻所述单晶半导体衬底，以在所述单晶半导体衬底中形成槽；

用氢和稀有气体元素中的至少一种照射所述单晶半导体衬底，以在所述单晶半导体衬底的离其表面有一定深度的位置上形成分离层，并且在所述分离层上形成多个单晶半导体层；

将具有绝缘表面的衬底及所述单晶半导体衬底彼此接合；以及

将所述单晶半导体衬底和所述多个单晶半导体层彼此分离，来在所述衬底的所述绝缘表面上设置所述多个单晶半导体层。

7. 根据权利要求 1 至 6 中任一项所述的半导体装置的制造方法，其中所述多个单晶半导体层具有多种尺寸。

8. 根据权利要求 1 至 6 中任一项所述的半导体装置的制造方法，其中所述多个单晶半导体层从多个所述单晶半导体衬底分离。

9. 根据权利要求 1 至 6 中任一项所述的半导体装置的制造方法，其中使用所述多个单晶半导体层形成多个半导体元件。

10. 根据权利要求 1 至 6 中任一项所述的半导体装置的制造方法，其中使用所述多个单晶半导体层形成多个晶体管及多个存储元件。

11. 根据权利要求 1 至 6 中任一项所述的半导体装置的制造方法，其中通过加热处理进行所述分离步骤。

12. 根据权利要求 1 至 6 中任一项所述的半导体装置的制造方法，其中所述半导体装置为选自芯片、可移动存储器、影像拍摄装置、电话机、数码播放器、以及电子书中的一种。

半导体装置的制造方法

技术领域

[0001] 本发明涉及具有在绝缘表面上设置半导体层的所谓 SOI (Siliconon Insulator : 绝缘体上硅片) 结构的半导体装置的制造方法。

背景技术

[0002] 目前正在开发使用被称为绝缘体上硅片(下面也称为 SOI)的半导体衬底的集成电路,该半导体衬底在绝缘表面上设置有较薄的单晶半导体层而代替将单晶半导体锭切成薄片来制造的硅片。使用 SOI 衬底的集成电路因为使晶体管的漏极和衬底之间的寄生电容降低而提高半导体集成电路的性能而引人注目。

[0003] 虽然 SOI 衬底的制造方法各种各样,但是作为兼容 SOI 层的高质量和高生产率 (throughput) 的制造方法,已知被称为智能切割 (Smart-Cut, 注册商标) 的 SOI 衬底。在该 SOI 衬底中,将氢离子注入到成为硅层的键合片 (Bond Wafer), 并且将该键合片与成为支撑的另外的支撑片贴合在一起。与支撑片接合了的硅层通过以大约 500℃的温度进行加热处理而从键合片分离。

[0004] 作为使用这种 SOI 衬底的半导体装置的一例,已知由本申请人申请的发明(参照专利文件 1)。

[0005] [专利文件 1] 日本专利公开 2000-012864

[0006] 如此,虽然历来存在 SOI 技术,但是根据硅片的尺寸决定 SOI 衬底的面积。因此,不能使用大面积衬底提高生产率。另一方面,虽然有通过激光退火使通过淀积法所形成的非晶硅层晶化,来在衬底上形成晶体硅层的方法,但是不能获得单晶硅层,并且硅层的取向控制等也是困难的。

发明内容

[0007] 本发明的目的在于在大面积衬底上高生产率及高成品率地制造高性能的半导体元件及集成电路。

[0008] 在本发明中,当从单晶半导体衬底(键合片)转置单晶半导体层时,通过对单晶半导体衬底选择性地进行蚀刻(也称为形成槽的加工)来形分成多个单晶半导体层,然后将该单晶半导体层转置到异种衬底(支撑衬底),该单晶半导体层的尺寸是所制造的半导体元件的尺寸。因此,可以在支撑衬底上形成多个岛状单晶半导体层(SOI 层)。由于先加工为元件尺寸的单晶半导体层且转置,所以可以以单晶半导体层为单位转置到支撑衬底,不受单晶半导体衬底的尺寸或形状的限制。因而,可以进一步效率好地进行对大型支撑衬底的单晶半导体层的转置。注意,在本说明书中,将转置到支撑衬底上的单晶半导体层也称为 SOI 层。

[0009] 进而,由于转置之前在键合片上将单晶半导体层加工为所希望的半导体元件的形状及布置,所以不需要在支撑衬底上的单晶半导体膜的蚀刻等的加工处理。因此,可以减少转置到支撑衬底之后的加工处理时发生的加热或蚀刻损坏。另外,因为不需要形成元件分

离区域，所以可以使制造工序简化。

[0010] 因此，通过本发明可以在支撑衬底上高成品率地形成所希望的形状的多个单晶半导体层(SOI层)。因此，可以高生产率及高成品率地制造在大面积衬底上具有高性能的半导体元件及集成电路的半导体装置。

[0011] 此外，在本发明中半导体装置是指可以通过利用半导体特性来工作的装置。利用本发明可以制造具有包括半导体元件(晶体管、存储器元件、二极管等)的电路的装置或具有处理器电路的芯片等半导体装置。

[0012] 本发明的半导体装置的制造方法的一个方式包括：形成单晶半导体层，该单晶半导体层由包含氢及/或稀有气体元素的分离层和形成为深于在单晶半导体衬底中的分离层的纵槽分成为多个，该分离层形成在单晶半导体衬底的离其表面有一定的深度的位置上；将单晶半导体衬底的形成有单晶半导体层的面和具有绝缘表面的衬底的绝缘表面在内侧方向彼此相对，以将单晶半导体层接合到绝缘表面；通过加热处理将单晶半导体衬底和单晶半导体层彼此分离；以及，在具有绝缘表面的衬底的绝缘表面上设置多个单晶半导体层。

[0013] 本发明的半导体装置的制造方法的一个方式包括：将氢及/或稀有气体元素照射到单晶半导体衬底，以在单晶半导体衬底的离其表面有一定的深度的位置上形成包含氢及/或稀有气体元素的分离层，并且在该分离层上形成单晶半导体膜；选择性地蚀刻分离层及单晶半导体膜，以形成单晶半导体层，该单晶半导体层由分离层和形成为深于在单晶半导体衬底中的分离层的纵槽分成为多个；将单晶半导体衬底的形成有单晶半导体层的面和具有绝缘表面的衬底的绝缘表面在内侧方向彼此相对，以将单晶半导体层接合到绝缘表面；通过加热处理将单晶半导体衬底和单晶半导体层彼此分离；以及，在具有绝缘表面的衬底的绝缘表面上设置多个单晶半导体层。

[0014] 本发明的半导体装置的制造方法的一个方式包括：选择性地蚀刻单晶半导体衬底，在单晶半导体衬底中形成纵槽；将氢及/或稀有气体元素照射到单晶半导体衬底，以形成单晶半导体层，该单晶半导体层由包含氢及/或稀有气体元素的分离层和形成为深于在单晶半导体衬底中的分离层的纵槽分成为多个，该分离层形成在单晶半导体衬底的离其表面有一定的深度的位置上；将单晶半导体衬底的形成有单晶半导体层的面和具有绝缘表面的衬底的绝缘表面在内侧方向彼此相对，以将单晶半导体层接合到绝缘表面；通过加热处理将单晶半导体衬底和单晶半导体层彼此分离；以及，在具有绝缘表面的衬底的绝缘表面上设置多个单晶半导体层。

[0015] 本发明的半导体装置的制造方法的一个方式包括：在单晶半导体衬底上形成氧化硅膜及氮化硅膜；中间夹着氧化硅膜及氮化硅膜将氢及/或稀有气体元素照射到单晶半导体衬底，以在单晶半导体衬底的离其表面有一定的深度的位置上形成包含氢及/或稀有气体元素的分离层，并且在该分离层上形成单晶半导体膜；选择性地蚀刻氧化硅膜及氮化硅膜，以形成氧化硅层及氮化硅层；氮化硅层用作掩模且选择性地蚀刻分离层及单晶半导体膜，以形成单晶半导体层，该单晶半导体层由分离层和形成为深于在单晶半导体衬底中的分离层的纵槽分成为多个；去除氮化硅层；将单晶半导体衬底的形成有单晶半导体层和氧化硅层的面和具有绝缘表面的衬底的绝缘表面内侧方向地彼此相对，并且中间夹着氧化硅层将单晶半导体层接合到绝缘表面；通过加热处理从单晶半导体层及氧化硅层分离单晶半

导体衬底；以及，中间夹着氧化硅层在具有绝缘表面的衬底的绝缘表面上设置多个单晶半导体层。

[0016] 本发明的半导体装置的制造方法的一个方式包括：在单晶半导体衬底上形成氧化硅膜及氮化硅膜；选择性地蚀刻氧化硅膜及氮化硅膜，以形成氧化硅层及氮化硅层；氮化硅层用作掩模且选择性地蚀刻单晶半导体衬底，以在单晶半导体衬底中形成纵槽；中间夹着氧化硅层及氮化硅层将氢及/或稀有气体元素照射到单晶半导体衬底，以形成单晶半导体层，该单晶半导体层由包含氢及/或稀有气体元素的分离层和形成为深于在单晶半导体衬底中的分离层的纵槽分成为多个，该分离层形成在单晶半导体衬底的离其表面有一定的深度的位置上；将单晶半导体衬底的形成有单晶半导体层及氧化硅层的面和具有绝缘表面的衬底的绝缘表面在内侧方向彼此相对，并且中间夹着氧化硅层将单晶半导体层接合到绝缘表面；通过加热处理从单晶半导体层及氧化硅层分离单晶半导体衬底；以及，中间夹着氧化硅层在具有绝缘表面的衬底的绝缘表面上设置多个单晶半导体层。

[0017] 在上述结构中，形成在具有绝缘表面的衬底的支撑衬底上的单晶半导体层可以通过与多个单晶半导体衬底接合且从多个单晶半导体衬底分离，来转置并设置在所述支撑衬底上，并且可以对应于所希望的半导体元件形成各种各样的尺寸或形状的单晶半导体层。

[0018] 使用通过转置而设置到支撑衬底的单晶半导体层，可以制造高性能的各种各样的半导体元件、存储元件、集成电路等。

[0019] 因此，通过本发明可以在支撑衬底上高成品率地形成所希望的形状的多个单晶半导体层(SOI层)。因此，可以高生产率地在大面积衬底上制造具有高性能的半导体元件及集成电路的半导体装置。

附图说明

- [0020] 图1A至1C是说明本发明的半导体装置的制造方法的图；
- [0021] 图2A至2E是说明本发明的半导体装置的制造方法的图；
- [0022] 图3A和3B是说明本发明的半导体装置的制造方法的图；
- [0023] 图4A至4D是说明本发明的半导体装置的制造方法的图；
- [0024] 图5A至5C是说明本发明的半导体装置的制造方法的图；
- [0025] 图6A和6B是说明本发明的半导体装置的制造方法的图；
- [0026] 图7A和7B是说明本发明的半导体装置的制造方法的图；
- [0027] 图8A至8C是说明本发明的半导体装置的制造方法的图；
- [0028] 图9A和9B是说明本发明的半导体装置的制造方法的图；
- [0029] 图10A至10C是说明本发明的半导体装置的制造方法的图；
- [0030] 图11A和11B是说明本发明的半导体装置的制造方法的图；
- [0031] 图12A和12B是说明本发明的半导体装置的制造方法的图；
- [0032] 图13是示出本发明的半导体装置的等效电路的一个例子的图；
- [0033] 图14是示出本发明的半导体装置的等效电路的一个例子的图；
- [0034] 图15是说明本发明的半导体装置的平面图；
- [0035] 图16A和16B是说明本发明的半导体装置的截面图；
- [0036] 图17是说明本发明的半导体装置的平面图；

- [0037] 图 18A 和 18B 是说明本发明的半导体装置的截面图；
- [0038] 图 19 是示出本发明的半导体装置的等效电路的一个例子的图；
- [0039] 图 20 是说明本发明的半导体装置的框图；
- [0040] 图 21 是说明本发明的半导体装置的框图；
- [0041] 图 22 是说明本发明的半导体装置的立体图；
- [0042] 图 23A 至 23G 是示出本发明的半导体装置的应用例的图；
- [0043] 图 24A 至 24E 是示出适用本发明的电子设备的图；
- [0044] 图 25 是说明本发明的半导体装置的截面图；
- [0045] 图 26A 和 26B 是说明半导体装置的写入工作的图；
- [0046] 图 27A 和 27B 是说明半导体装置的消除及读出工作的图。

具体实施方式

[0047] 下面，参照附图详细地说明本发明的实施方式。但是，本发明不局限于以下说明，所属技术领域的普通人员可以很容易地理解一个事实就是其方式和详细内容在不脱离本发明的宗旨及其范围下可以被变换为各种各样的形式。因此，本发明不应该被解释为只限定在本实施方式所记载的内容中。另外，在以下说明的本发明的结构中，在不同附图中共同使用相同符号来表示相同的部分或具有相同功能的部分，并且省略其重复说明。

[0048] 实施方式 1

[0049] 在本实施方式中，参照图 1A 至 1C、2A 至 2E、3A 和 3B、5A 至 5C 对一种半导体装置的制造方法进行说明，该半导体装置的制造方法的目的在于在大面积衬底上高生产率及高成品率地制造高性能的半导体元件 (MIS ;Metal Insulator Semiconductor 型电场效应晶体管 (下面也称为 MISFET) 等) 及集成电路。具体而言，对将构成半导体元件的半导体层，从单晶半导体衬底 (下面也称为键合片) 转置到异种衬底 (下面也称为支撑衬底) 的方式进行说明。

[0050] 在采用本发明的本实施方式中，当从单晶半导体衬底 (键合片) 转置单晶半导体层时，通过对单晶半导体衬底选择性地进行蚀刻 (也称为形成槽的加工) 来形成成为多个的单晶半导体层，然后将该单晶半导体层转置到异种衬底 (支撑衬底)，该单晶半导体层的尺寸是所制造的半导体元件的尺寸。因此，可以在支撑衬底上形成多个岛状单晶半导体层 (SOI 层)。由于先加工为元件尺寸的单晶半导体层且转置，所以可以以单晶半导体层为单位转置到支撑衬底，不受单晶半导体衬底的尺寸或形状的限制。因而，可以进一步效率好地进行对大型支撑衬底的单晶半导体层的转置。

[0051] 进而，由于转置之前在键合片上将单晶半导体层加工为所希望的半导体元件的形状及布置，所以不需要在支撑衬底上的单晶半导体膜的蚀刻等的加工处理。因此，可以减少转置到支撑衬底之后的加工处理时发生的加热或蚀刻损坏。另外，因为不需要形成元件分离区域，所以可以使制造工序简化。

[0052] 因此，可以在支撑衬底上高成品率地形成所希望的形状的多个单晶半导体层 (SOI 层)。因此，可以高生产率及高成品率地制造在大面积衬底上具有高性能的半导体元件及集成电路的半导体装置。

[0053] 在图 2A 中示出在键合片 100 上形成有氧化硅膜 101 和氮化硅膜 102 的状态。为

了从键合片 100 取出单晶半导体层，需要以高剂量的条件向键合片 100 照射氢离子。但这样做的结果会带来使键合片 100 的表面变得粗糙而在之后的贴合工序中有可能不能顺利完成接合的问题。为了保护键合片 100 的表面，优选设置氧化硅膜 101。氧化硅膜 101 优选通过热氧化而形成，例如，优选在水蒸气气氛下以 900℃至 1100℃进行加热处理而形成。作为氧化硅膜 101 的其他制造方法，可以通过氧等离子体处理使硅氧化而形成。另外，氧化硅膜 101 还可以通过气相成长法淀积氧化硅膜，并且通过氧等离子体处理使其表面细致化而形成。

[0054] 在氧化硅膜 101 上形成氮化硅膜 102。氮化硅膜 102 通过使用硅烷和氨的气相成长法淀积来形成即可。

[0055] 接着通过照射氢或稀有气体元素、或者氢及稀有气体元素的离子 111，在键合片 100 的整个表面上形成用作离子注入层的分离层 104（参照图 2B）。

[0056] 在本发明中，离子注入层是指对单晶半导体衬底照射离子而形成的借助于离子而具有微小的空洞且脆弱化的区域。下面将“离子注入层”也称为“分离层”。通过之后的加热处理将该分离层分开，来可以将单晶半导体层从单晶半导体衬底分离。

[0057] 通过离子掺杂法或离子注入法照射离子来在单晶半导体衬底上形成分离层即可。

[0058] 离子掺杂法是指将不进行质量分离的离子化气体在电场中加速而照射到单晶半导体衬底的方式。利用离子掺杂装置进行离子掺杂法即可。

[0059] 注意，离子注入法是指将离子化气体通过离子注入装置进行质量分离而照射到单晶半导体衬底的方式。利用离子注入法对离子化氢气进行质量分离，并选择性地对其进行加速而照射。

[0060] 氢离子照射需要顾及转置到支撑衬底的单晶半导体层的厚度而进行。该单晶半导体层的厚度为 10nm 至 200nm，优选为 10nm 至 50nm。照射氢离子时的加速电压需要顾及到这种厚度，以使照射到键合片 100 的深部。通过该处理，在键合片 100 的离其表面有一定的深度的区域中形成分离层 104。该分离层 104 不仅可以使用氢还可以使用稀有气体元素，或者也可以混合两者而使用。

[0061] 氮化硅膜 102 用作当向键合片 100 进行形成槽的加工时的硬质掩模。形成槽的加工需要顾及半导体元件的半导体层的形状而进行。也就是，以可以将半导体元件的半导体层转置到支撑衬底的方式对键合片 100 进行形成槽的加工，使该部位残留成为凸状部，。

[0062] 使用光致抗蚀剂形成掩模 103a、103b、103c、103d。使用掩模 103a、103b、103c、103d 蚀刻氮化硅膜 102 及氧化硅膜 101，来形成氧化硅层 112a、112b、112c、112d、以及氮化硅层 113a、113b、113c、113d（参照图 2C）。

[0063] 接着，氮化硅层 113a、113b、113c、113d 用作硬质掩模且进行蚀刻键合片 100，来形成具有分离层 115a、115b、115c、115d、单晶半导体层 116a、116b、116c、116d 的键合片 100（参照图 2D）。在本发明中，如图 2D 那样将由分离层及形成槽的加工加工为凸状的键合片的一部分的单晶半导体区域称为单晶半导体层 116a、116b、116c、116d。

[0064] 键合片 100 的蚀刻深度根据转置到支撑衬底的单晶半导体层的厚度而适当地设定。该单晶半导体层的厚度可以根据照射氢离子的深度来控制。在键合片 100 中形成的槽的深度优选为比分离层的位置深。在该形成槽的加工中，槽的深度加工为深于分离层 104，这样可以使分离层 104 只残留在被分离的单晶半导体层的区域中。此外，虽然在图 2D 中，

示出在截面图中槽的形状为矩形的例子,但是不局限于该形状,例如,当作为加工方法采用湿蚀刻法时,在截面图中槽的形状也可以为带有圆形(具有曲率)的形状。

[0065] 进行离子照射工序之后,去除表面的氮化硅层 113a、113b、113c、113d(参照图 2E)。然后接合在键合片 100 上的氧化硅层 112a、112b、112c、112d 的表面与支撑衬底 105(参照图 3A)。在此,支撑衬底 105 可以在低温下形成接合,因此可以使用各种各样的材质。作为支撑衬底 105 可以使用的衬底是例如绝缘衬底如玻璃、石英、蓝宝石等;半导体衬底如硅、砷化镓、磷化铟等。

[0066] 在支撑衬底 105 的表面形成有氮化硅膜 106 和氧化硅膜 107。为了防止钠离子等杂质从支撑衬底 105 扩散且污染单晶半导体层而设置氮化硅膜 106。为了实现该目的,可以使用氮氧化硅膜(作为其组成,氮的含量多于氧,当使用卢瑟福背散射光谱法(RBS: Rutherford Backscattering Spectrometry)以及氢前方散射法(HFS: Hydrogen Forward Scattering)测量时,作为浓度范围,其包含 5 至 30 原子%的氧、20 至 55 原子%的氮、25 至 35 原子%的 Si、10 至 30 原子%的氢)、氮化铝膜、氮氧化铝膜等而代替氮化硅膜。在不需要考虑来自支撑衬底 105 的对单晶半导体层有不良影响的杂质扩散时,可以省略氮化硅膜 106。

[0067] 另一方面,设置氧化硅膜 107 是为了与氧化硅膜 101 形成接合。在此情况下,可以使用氧氮化硅膜(作为其组成,氧的含量多于氮,当使用 RBS 以及 HFS 测量时,作为浓度范围,其包含 50 至 70 原子%的氧、0.5 至 15 原子%的氮、25 至 35 原子%的 Si、0.1 至 10 原子%的氢)而代替氧化硅膜。但是,当将构成氧氮化硅或氮氧化硅的原子的总计设为 100 原子%时,氮、氧、Si 及氢的含有比率包含于上述范围内。

[0068] 通过密接其表面被清洁了的键合片 100 一侧的氧化硅层 112a、112b、112c、112d、和支撑衬底 105 一侧的氧化硅膜 107 而形成接合。在室温下可以进行该接合。该接合是原子级的接合,根据范德华力的作用,可以在室温下形成坚固的接合。因为键合片 100 被加工有槽,所以形成单晶半导体层的凸状部与支撑衬底 105 接触。

[0069] 在键合片 100 和支撑衬底 105 之间形成接合之后,通过进行加热处理,如图 3B 所示那样,从键合片 100 分离单晶半导体层 116a、116b、116c、116d,并且将它们固定于支撑衬底 105。单晶半导体层的分离是通过在分离层 104 中形成的微小的空洞的体积变化而使沿分离层 104 产生断裂面来进行的。然后,为了使接合更坚固,优选进行 400°C 至 600°C 的加热处理。通过上述步骤,在绝缘表面上形成单晶半导体层(下面也称为 SOI 层)。在图 3B 中示出在支撑衬底 105 上接合 SOI 层 114a、114b、114c、114d 的状态。

[0070] 图 1A 示出从键合片 100 将单晶半导体层 116a、116b、116c、116d 转置到支撑衬底 105 的工序。在图 1A 中,在断开圆形(图 1A 中的虚线部)的键合片来获得的键合片 100 上形成有单晶半导体层 116a、116b、116c、116d。注意,图 1A 至 1C 的沿 V-X 的截面图对应于图 2A 至 2E、图 3A 和 3B。

[0071] 支撑衬底 105 是大型衬底,在其上设置有从其他多个键合片 151 分别转置的多个 SOI 层 152(参照图 1A)。如图 1B 那样,以单晶半导体层 116a、116b、116c、116d 和支撑衬底接合的方式贴合键合片 100。在键合片 100 和支撑衬底 105 之间形成接合之后,通过进行热处理,如图 1C 那样从键合片 100 分离单晶半导体层 116a、116b、116c、116d 且固定在支撑衬底 105 上,来可以形成 SOI 层 114a、114b、114c、114d。

[0072] 在本发明中,由于先加工为元件尺寸的单晶半导体层且转置,所以可以以单晶半导体层为单位转置到支撑衬底,不受单晶半导体衬底的尺寸或形状的限制。因此可以在键合片上形成各种各样的形状的单晶半导体层。例如,根据蚀刻时使用的曝光装置的掩模、分档器、断开大型衬底来获得的半导体装置的面板尺寸或芯片尺寸,可以自由地形成单晶半导体层。

[0073] 使用图 5A 至 5C 说明在键合片上的多个单晶半导体层的制造例子。在图 5A 中,从圆形的键合片 420 切割出多个键合片,在每个键合片 421 上形成多个单晶半导体层 422。在图 5B 中,从圆形的键合片 430 切割出多个尺寸不同的键合片,在键合片 431a 和键合片 431b 上分别形成多个单晶半导体层 432 和多个单晶半导体层 432b,该多个单晶半导体层 432 和多个单晶半导体层 432b 尺寸不同的。在图 5C 中,从圆形的键合片 440 切割出多个尺寸不同的键合片,在每个键合片 441 上形成多个尺寸不同的单晶半导体层 442a、单晶半导体层 442b。

[0074] 这样,形成在支撑衬底上的单晶半导体层可以从多个单晶半导体衬底转置,对应于所希望的半导体元件,可以形成各种各样的尺寸或形状的单晶半导体层。因而,可以进一步效率好地进行对大型支撑衬底的单晶半导体层的转置。

[0075] 单晶半导体层的晶面取向可以由键合片的晶面取向来控制。根据所形成的半导体元件,适当使用特定的晶面取向的键合片即可。

[0076] 为了使表面平坦化,优选对转置了的 SOI 层 114a、114b、114c、114d 进行化学机械研磨 (Chemical Mechanical Polishing :CMP)。通过 CMP 可以使 SOI 层 114a、114b、114c、114d 的厚度进一步薄膜化,优选将其调制为 5nm 至 25nm 的厚度。

[0077] 在本实施方式中示出在一定的深度中注入氢离子等而从键合片分离单晶半导体层的方法,但是也可以使用其他 SOI 技术来制造相同的支撑衬底。例如,可以在键合片表面通过阳极化反应形成多孔硅质层,并且在其上通过外延生长法形成单晶硅层来用作本实施方式所示的 SOI 层。当使用该结构的键合片时,使用水喷射法来使多孔硅质层和外延生长的单晶硅层分离。因此,可以获得如图 3 所示的支撑衬底。

[0078] 使用转置到支撑衬底的单晶半导体层,可以制造高性能的各种各样的半导体元件、存储元件、集成电路等。

[0079] 通过本实施方式,在形成半导体集成电路的大面积的支撑衬底上高生产率及高成品率地形成多个单晶半导体层 (SOI 层)。通过使用这种支撑衬底,可以高生产率及高成品率地制造高性能的半导体元件、以及集成电路。

[0080] 实施方式 2

[0081] 在本实施方式中,对与图 2A 至 2E 不同的键合片的制造工序,参照图 4A 至 4D 进行说明。在本实施方式中形成槽的加工之后进行对于键合片的离子照射。

[0082] 在图 4A 中,在键合片 100 的表面上形成氧化硅膜 101、氮化硅膜 102。之后,使用掩模 103a、103b、103c、103d 蚀刻氧化硅膜 101 及氮化硅膜 102,来形成氧化硅层 112a、112b、112c、112d、以及氮化硅层 113a、113b、113c、113d(参照图 4B)。

[0083] 使用氮化硅层 113a、113b、113c、113d 作为硬质掩模来对键合片 100 进行形成槽的加工(参照图 4C)。该形成槽的加工以对应于形成在支撑衬底的半导体元件的半导体层的形状的方式进行。键合片 100 的蚀刻深度根据转置到支撑衬底的单晶半导体层的厚度而决

定。该单晶半导体层的厚度可以根据照射氢离子的深度来控制。在键合片 100 上形成的槽的深度优选为比分离层深。

[0084] 然后,通过照射氢或稀有气体元素、或者氢元素及稀有气体元素的离子 111,来在键合片 100 的离其表面有一定的深度的区域形成分离层 115a、115b、115c、115d(参照图 4D)。

[0085] 在本实施方式中,当从键合片转置单晶半导体层时,通过对单晶半导体衬底选择性地进行蚀刻(也称为形成槽的加工)来形成分成为多个的单晶半导体层,然后将该单晶半导体层转置到异种衬底(支撑衬底),该单晶半导体层被加工为其尺寸是所制造的半导体元件的尺寸。因此,可以在支撑衬底上形成多个岛状单晶半导体层(SOI 层)。由于先加工为元件尺寸的单晶半导体层且转置,所以可以以单晶半导体层为单位转置到支撑衬底,不受单晶半导体衬底的尺寸或形状的限制。因而,可以进一步效率好地进行对大型支撑衬底的单晶半导体层的转置。

[0086] 进而,由于转置之前在键合片上将单晶半导体层加工为所希望的半导体元件的形状及布置,所以不需要在支撑衬底上的单晶半导体膜的蚀刻等的加工处理。因此,可以减少转置到支撑衬底之后的加工处理时发生的加热或蚀刻损坏。另外,因为不需要形成元件分离区域,所以可以使制造工序简化。

[0087] 因此,通过根据本发明的本实施方式,可以在支撑衬底上高成品率地形成所希望的形状的多个单晶半导体层(SOI 层)。因此,可以高生产率及高成品率地在大面积衬底上制造具有高性能的半导体元件及集成电路的半导体装置。

[0088] 实施方式 3

[0089] 在本实施方式中,示出使用实施方式 1 及实施方式 2 所制造的支撑衬底制造半导体集成电路的一个例子。在下面说明中,作为 CMOS(Complementary Metal Oxide Semiconductor : 互补金属氧化物半导体) 电路的一个构成例,对反相器电路进行说明。注意,本发明不局限于这种单纯的电路,而可以实现微处理器等各种各样的集成电路。

[0090] 在图 6A 和 6B、7A 和 7B、8A 和 8B、9A 和 9B、10A 和 10B、11A 和 11B、12A 和 12B 中示出使用本发明的半导体装置的一个方式。图 6A、7A、8A、9A、10A、11A、12A 是本实施方式的半导体装置的反相器电路的平面图,且图 6B、7B、8B、9B、10B、11B、12B 分别是沿在图 6A、7A、8A、9A、10A、11A、12A 中的线 A-B 的截面图。注意,在图 6A、7A、8A、9A、10A、11A、12A 中省略几种绝缘层。另外,对具有与实施方式 1 或实施方式 2 相同部分或相同功能的部分,省略其重复说明。

[0091] 如图 6A 和 6B 所示那样,在支撑衬底 200 上设有氮化硅层 201a(相当于实施方式 1 的氮化硅膜 106)、以及氧化硅层 201b(相当于实施方式 1 的氧化硅膜 107),并且中间夹有氧化硅层 202a、氧化硅层 202b(相当于氧化硅层 112a、112b、112c、112d) 形成有单晶半导体层的 SOI 层 203a 和 SOI 层 203b(相当于实施方式 1 的 SOI 层 114a、114b、114c、114d)。

[0092] 注意,在本实施方式中,如上述那样相当于实施方式 1,通过使用与实施方式 1 相同材料及制造方法来形成即可。

[0093] 在本实施方式中,当从键合片转置单晶半导体层时,通过对单晶半导体衬底选择性地进行蚀刻(也称为形成槽的加工)来形成分成为多个的单晶半导体层,然后将该单晶半导体层转置到异种衬底(支撑衬底),该单晶半导体层被加工为其尺寸是所制造的半导

体元件的尺寸。因此,可以在支撑衬底 200 上形成多个岛状 SOI 层 203a、203b。由于先加工为元件尺寸的单晶半导体层且转置,所以可以以单晶半导体层为单位转置到支撑衬底,不受单晶半导体衬底的尺寸或形状的限制。因而,可以进一步效率好地进行对大型支撑衬底的单晶半导体层的转置。

[0094] 进而,由于转置之前在键合片上将单晶半导体层加工为所希望的半导体元件的形状及布置,所以不需要在支撑衬底上的单晶半导体膜的蚀刻等的加工处理。因此,可以减少转置到支撑衬底之后的加工处理时发生的加热或蚀刻损坏。另外,因为不需要形成元件分离区域,所以可以使制造工序简化。

[0095] 因此,通过根据本发明的本实施方式,可以在支撑衬底上高成品率地形成所希望的形状的多个单晶半导体层(SOI 层)。因此,可以高生产率及高成品率地在大面积衬底上制造具有高性能的半导体元件及集成电路的半导体装置。

[0096] 图 6A 和 6B 示出在设置有 SOI 层 203a 及 SOI 层 203b 的支撑衬底 200 上形成栅极绝缘层及栅电极层的工序。在 SOI 层 203a 及 SOI 层 203b 上设置有栅电极层(第一栅电极层 206(206a、206b)、及第二栅电极层 207(207a、207b))。作为栅极绝缘层 205a、205b,使用氧化硅、氧氮化硅、氧化铪(HfO_x)、氧化铝(Al_xO_y, x > y > 0)、氧化钽(Ta_xO_y, x > y > 0)等材料。虽然在图 6B 中示出以将栅极绝缘层 205a、205b 的侧端部与栅电极层(第一栅电极层 206(206a、206b)、及第二栅电极层 207(207a、207b))的侧端部对齐的方式进行加工,但是在栅电极层(第一栅电极层 206(206a、206b)、及第二栅电极层 207(207a、207b))的蚀刻中,也可以使栅极绝缘层 205a、205b 保留的方式加工。

[0097] 另外,形成叠层的导电膜之后,栅电极层(第一栅电极层 206(206a、206b)、以及第二栅电极层 207(207a、207b))通过使用 ICP(Inductively Coupled Plasma:感应耦合等离子体)蚀刻法,对蚀刻条件(施加到线圈型电极层的电力量、施加到衬底侧电极层的电力量和衬底侧的电极温度等)进行适当调整,从而可以将第一栅电极层和第二栅电极层蚀刻为具有所希望的锥形形状。此外,还可以根据掩模的形状对锥形形状的角度等进行控制。此外,作为蚀刻用气体,可适当地使用以 Cl₂、BCl₃、SiCl₄ 或 CCl₄ 等为代表的氯类气体,以 CF₄、SF₆ 或 NF₃ 等为代表的氟类气体或 O₂。

[0098] 在本发明中,形成布线层或电极层的导电层、用来形成预定图案的掩模、绝缘层等也可以通过如液滴喷射法等能够选择性地形成图案的方法来形成。液滴喷射(喷出)法(根据其方式也被称作喷墨法)可以选择性地喷射(喷出)为特定目的而调制的组合物的液滴,以形成预定的图案(导电层或绝缘层等)。此时,也可以对被形成区域进行控制润湿性或密合性的处理。此外,还可以使用能够转移或描绘图案的方法,例如印刷法(诸如丝网印刷或胶版印刷之类的图案形成方法)等。

[0099] 作为适用于本实施方式的掩模,可以使用环氧树脂、丙烯树脂、酚醛树脂、酚醛清漆树脂、三聚氰胺树脂、聚氨酯树脂等的树脂材料。

[0100] 本实施方式虽然示出将第一栅电极层及第二栅电极层形成为具有垂直的侧面的例子,但是本发明不局限于此,第一栅电极层及第二栅电极层双方都可以具有锥形形状,或者可以只有一方栅电极层为锥形,而另一方栅电极层通过各向异性蚀刻具有垂直的侧面。锥形角度可以在层叠的栅电极层之间不同或相同。由于形成为锥形,在其上层叠的膜的覆盖度提高,并且缺陷减少,因此可靠性提高。

[0101] 当作为棚极绝缘层 205a、205b 使用高介电常数材料 (high-k 材料) 时, 由多晶硅、硅化物、金属或金属氮化物形成棚电极 (第一棚电极层 206(206a、206b)、及第二棚电极层 207(207a、207b))。优选由金属或金属氮化物形成棚电极层 (第一棚电极层 206(206a、206b)、及第二棚电极层 207(207a、207b))。例如, 由金属氮化物材料形成与棚极绝缘层 205a、205b 接触的第一棚电极层 206(206a、206b), 其上的第二棚电极层 207(207a、207b) 使用金属材料而形成。通过使用该组合, 即使使棚极绝缘层薄膜化, 也可以防止在棚电极层中扩大耗尽层, 并且即使使晶体管微细化, 也可以防止晶体管的驱动能力欠佳。

[0102] 在 SOI 层 203a、203b、棚电极层 (第一棚电极层 206(206a、206b)、及第二棚电极层 207(207a、207b)) 上形成第一绝缘层 208(参照图 7A 和 7B)。第一绝缘层 208 由氧化硅膜或氧氮化硅膜形成。作为其他方式, 可以通过氧化或氮化处理使棚电极 (第一棚电极层 206(206a、206b)、及第二棚电极层 207(207a、207b)) 绝缘化, 来形成同样的层。在棚电极 (第一棚电极层 206(206a、206b)、及第二棚电极层 207(207a、207b)) 的侧壁上以 1nm 至 10nm 的厚度淀积形成第一绝缘层 208。设置第一绝缘层 208 是为了在下面工序中在 SOI 层 203a 及 SOI 层 203b 中形成以控制价电子为目的的希望地不添加有杂质的偏移区。

[0103] 在 SOI 层 203a 及 SOI 层 203b 中形成超浅接合 (源 - 漏极延长)(参照图 8A)。为了抑制短沟道效应设置该超浅接合部是优选的。形成覆盖 SOI 层 203b 的掩模 209, 之后以掩模 209、第一棚电极层 206a、第二棚电极层 207a 为掩模将第 13 族元素的杂质元素 210 添加到 SOI 层 203a, 来形成第一超浅接合部 211a、211b(参照图 8B)。除去掩模 209 之后形成覆盖 SOI 层 203a 的掩模 212, 接着以掩模 212、第一棚电极层 206b、第二棚电极层 207b 为掩模将第 15 族元素的杂质元素 213 添加到 SOI 层 203b, 来形成第二超浅接合部 214a、214b(参照图 8C)。

[0104] 将该超浅接合部的杂质浓度设为比低浓度漏区高一位数。如, 向第一超浅接合部 211a、211b 将硼以 15keV、 $3 \times 10^{13}/\text{cm}^2$ 的剂量进行离子照射。向第二超浅接合部 214a、214b 将砷以 15keV、 $2 \times 10^{14}/\text{cm}^2$ 的剂量进行离子照射。

[0105] 其次, 在棚电极层 (第一棚电极层 206(206a、206b)、及第二棚电极层 207(207a、207b)) 的侧面上形成第一侧壁 215(215a、215b)、第二侧壁 216(216a、216b) (参照图 9A 和 9B)。例如, 由氮化硅膜形成第一侧壁 215(215a、215b)、第二侧壁 216(216a、216b)。这些侧壁通过各向异性刻蚀以自对准的方式形成。

[0106] 在此情况下, 虽然可以加工为 SOI 层 203a 一侧的第一侧壁 215(215a、215b) 的幅度和 SOI 层 203b 一侧的第二侧壁 216(216a、216b) 的幅度相同, 但是优选将该两个幅度加工为不同。优先用于 p 型 MISFET 的 SOI 层 203a 的第一侧壁 215(215a、215b) 的幅度比用于 n 型 MISFET 的 SOI 层 203b 的第二侧壁 216(216a、216b) 的幅度厚。这是因为在 p 型 MISFET 中, 为了形成源区及漏区被添加的硼容易扩散, 而容易引起短沟道效应。反而是通过采用这种结构, 在 p 型 MISFET 中, 可以对源区及漏区添加高浓度的硼, 并且可以使源区及漏区低电阻化。

[0107] 形成侧壁之后, 在蚀刻第一绝缘层 208 的露出部, 来形成绝缘层 235a、绝缘层 235b、绝缘层 236a、绝缘层 236b。之后, 以自对准的方式形成源区及漏区 (参照图 10A 至 10C)。可以通过在电场加速控制价电子的杂质离子来照射的离子照射法进行该步骤。

[0108] 形成覆盖 SOI 层 203b 的掩模 217, 之后以掩模 217、第一棚电极层 206a、第二棚电

极层 207a、第一侧壁 215(215a、215b) 为掩模将第 13 族元素的杂质元素 218 添加到 SOI 层 203a, 来形成成为源区及漏区的第一杂质区 219a、第一杂质区 219b(参照图 10B)。除去掩模 217 之后形成覆盖 SOI 层 203a 的掩模 220, 接着以掩模 220、第一栅电极层 206b、第二栅电极层 207b、第二侧壁 216(216a、216b) 为掩模将第 15 族元素的杂质元素 221 添加到 SOI 层 203b, 来形成成为源区及漏区的第二杂质区 222a、第二杂质区 222b(参照图 10C)。

[0109] 例如, 对用于 p 型 MISFET 的 SOI 层 203a, 将硼以 $30\text{keV}、3 \times 10^{15}/\text{cm}^2$ 的剂量进行离子照射。对用于 n 型 MISFET 的 SOI 层 203b, 将砷以 $50\text{keV}、5 \times 10^{15}/\text{cm}^2$ 的剂量进行离子照射。适当地设定离子种类、加速电压及剂量的掺杂条件即可。

[0110] 为了使源区及漏区进一步低电阻化, 也可以形成硅化物层。作为硅化物层, 使用钴硅化物或镍硅化物即可。当 SOI 层的厚度薄时, 可以对直到该区域的 SOI 层的底部进行硅化物反应, 来使其全部都硅化物化。在半导体层的露出的源区及漏区上形成导电膜, 而通过加热处理、GRTA 法、LRTA 法等使半导体层中的硅和导电膜反应, 以形成硅化物。作为导电膜的材料, 使用钛 (Ti)、镍 (Ni)、钨 (W)、钼 (Mo)、钴 (Co)、锆 (Zr)、铪 (Hf)、钽 (Ta)、钒 (V)、钕 (Nd)、铬 (Cr)、铂 (Pt)、钯 (Pd) 等。另外, 也可以通过激光照射或利用灯的光照射形成硅化物。根据所使用的导电膜的厚度或加热条件 (温度、时间), 可以控制硅化物的形状或特性。

[0111] 示出形成钝化层 223、第一层间绝缘层 224、接触孔栓 225a、225b、225c、225d、226a、226b、226c、226d 的工序 (参照图 11A 和 11B)。钝化层 223 通过 CVD 法将氮化硅膜、氮氧化硅膜等淀积到整个面上。第一层间绝缘层 224 通过 CVD 法淀积磷硅玻璃 (PSG) 或硼磷硅玻璃 (BPSG), 并且通过回流处理实现平坦化而形成。此外, 也可以通过 CVD 法使用四乙基正硅酸盐 (Tetra-Ethyl-Ortho-Silicate, $\text{Si}(\text{OCH}_2\text{CH}_3)_4$) 形成氧化硅膜, 然后通过 CMP 实现平坦化。使用钨硅化物以嵌入在第一层间绝缘层 224 中形成的接触孔的方式来形成接触孔栓 225a、225b、225c、225d、226a、226b、226c、226d。通过 CVD 法使用六氟化钨 (WF_6) 和硅烷 (SH_4) 形成钨硅化物。

[0112] 根据半导体装置的结构来考虑布线的多层化。在本实施方式中示出在第一层间绝缘层 224 上设置有第二层间绝缘层 227、第一布线层 228、第二布线层 229、第三布线层 230 的结构 (参照图 12A 和 12B)。这些布线层既可以由钨硅化物形成, 又可以通过金属镶嵌方法设置 Cu 布线。

[0113] 通过上述工序, 可以制造 p 型 MISFET 的半导体元件 231、n 型 MISFET 的半导体元件 232。在本实施方式中作为使用本发明的半导体装置制造反相器电路。根据本实施方式, 由于在支撑衬底上形成岛状的 SOI 层, 所以不需要形成用于进行元件分离的结构, 因此可以使制造工序简化。

[0114] 根据利用本发明的本实施方式, 可以高生产率及高成品率地制造高性能的半导体元件及集成电路。

[0115] 实施方式 4

[0116] 在本实施方式中, 参照附图说明作为如下一种半导体装置的非易失性半导体存储装置的一个例子, 该半导体装置的目的在于在大面积衬底上高生产率及高成品率地制造高性能的半导体元件及集成电路。

[0117] 非易失性存储元件在结构上类似于 MOSFET (金属氧化物半导体场效应晶体管), 并在沟道形成区上具有能够以长时间累积电荷的区域。因为这一电荷累积区形成在绝缘层

上并与周围的区域绝缘分离,所以它也可称为浮棚电极层。此外,因为浮棚电极层具有累积电荷的功能,所以它也称为电荷累积层。在本说明书中,主要包括浮棚电极层的该电荷累积区称为电荷累积层。在浮棚电极层上,还隔着绝缘层设置有控制栅电极层。

[0118] 在具有以上结构的所谓的浮棚非易失性半导体存储装置(有时只称为半导体装置)中,电荷通过施加到控制栅电极层的电压累积到电荷累积层中或从中释放。即,通过将电荷注入到电荷累积层/从电荷累积层中释放电荷,存储数据。具体地,电荷向电荷累积层的注入/从电荷累积层的释放通过在其中形成沟道形成区的SOI层和控制栅电极层之间施加高电压来进行。此时,认为Fowler-Nordheim(F-N)隧道电流(NAND型)或热电子(NOR型)流过沟道形成区上的绝缘层。因此,该绝缘层也称为隧道绝缘层。

[0119] 以第二绝缘层为电介质且存储在电荷累积层和控制栅电极层之间的电容、以及以第一绝缘层为电介质且存储在电荷累积层和SOI层之间的电容可以根据SOI层、电荷累积层、控制栅电极层的大小的组合而控制。因此,还可以控制所施加的电压值。

[0120] 作为用于将电子注入到电荷累积层的方法,有利用热电子的方法或利用F-N隧道电流的方法。在利用热电子的情况下,将正电压施加到控制栅电极层并将高电压施加到漏极以生成热电子。因此,可将热电子注入到电荷累积层中。在利用F-N隧道电流的情况下,将正电压施加到控制栅电极层使得电子通过F-N隧道电流从SOI层注入到电荷累积层中。

[0121] 作为利用本发明的半导体装置的一个例子,可给出具有非易失性存储元件的各种非易失性半导体存储装置。图19示出非易失性存储单元阵列的等效电路的一个例子。存储1位信息的存储单元MS01包括选择晶体管S01和非易失性存储元件M01。选择晶体管S01串联连接在位线BL0和非易失性存储元件M01之间,而选择晶体管S01的栅极连接到字线WL1。非易失性存储元件M01的栅极连接到字线WL11。当将数据写入到非易失性存储元件M01时,将字线WL1和位线BL0设定为H电平,将BL1设定为L电平,并将高电压施加到字线WL11,使得电荷如以上所述地累积在电荷累积层中。当擦除数据时,将字线WL1和位线BL0设定为H电平,并将负的高电压施加到字线WL11,即可。

[0122] 在该存储单元MS01中,通过使用SOI层30及32分别形成选择晶体管S01和非易失性存储元件M01,可以防止与其它选择晶体管或非易失性存储元件的相互干扰。此外,因为包含在存储单元MS01中的选择晶体管S01和非易失性存储元件M01都是n沟道型,所以当这双方由一个SOI层构成时,可省略用于连接这两个元件的布线。

[0123] 图13示出将非易失性存储元件直接连接到位线的NOR型存储单元阵列的等效电路。在这种存储单元阵列中,字线WL和位线BL被设置成互相交叉,且非易失性存储元件被设置在每一个交叉部分中。在NOR型存储单元阵列中,各个非易失性存储元件的漏极连接到位线BL,而非易失性存储元件的源极共同连接到源线SL。

[0124] 此外,当将多个非易失性存储元件(例如图13所示的M01到M23)视为一个块,且这些非易失性存储元件由SOI层构成时,擦除工作可以按每一块来进行。

[0125] 例如,NOR型存储单元阵列的工作为如下:当写入数据时,将源线SL设定为0V,将高电压施加到为写入数据而被选择的字线WL,并将对应于数据“0”或“1”的电位施加到位线BL。例如,将对应于“0”的H电平电位或对应于“1”的L电平电位施加到位线BL。在为写入数据“0”而被施加H电平的非易失性存储元件中,热电子在漏极附近生成而被注入到电荷累积层中。在写入数据“1”时,这种电子注入不发生。

[0126] 在接收数据“0”的存储单元中,由于漏极和源极之间的强横向电场而在漏极附近生成的热电子被注入到电荷累积层中。像这样,阈值电压随着电子被注入到电荷累积层中而上升的状态为“0”。当接收数据“1”时,不生成热电子,电子不注入到电荷累积层,因而保持阈值电压低的状态,即擦除状态。

[0127] 当擦除数据时,将约 10V 的正电压施加到源线 SL,并将位线 BL 设定为浮状态。并且,通过将负的高电压施加到字线(将负的高电压施加到控制栅极),从电荷累积层中释放电子。因此,得到数据“1”,即擦除状态。

[0128] 数据读出通过以下步骤进行:将源线 SL 设定为 0V,将位线 BL 设定为约 0.8V,并将设定为数据“0”和“1”的阈值的中间值的读出电压施加到被选择的字线 WL,并利用与位线 BL 连接的读出放大器来判断是否有非易失性存储元件的电流引入。

[0129] 图 14 示出 NAND 型存储单元阵列的等效电路。位线 BL 与将多个非易失性存储元件串联连接的 NAND 单元 NS1 连接。多个 NAND 单元形成一个块 BLK。图 14 所示的块 BLK1 具有 32 条字线(字线 WL0 到 WL31)。在块 BLK1 中,位于同一行的非易失性存储元件共同连接到对应该行的字线上。

[0130] 在此情况下,因为选择晶体管 S1 和 S2 以及非易失性存储元件 M0 到 M31 串联连接,所以它们可通过利用一个 SOI 层 34 来一起形成。因此,可省略用于连接非易失性存储元件的布线,而可提高集成度。此外,邻接的 NAND 单元的隔离可容易地进行。还可以在其上形成 NAND 单元的 SOI 层 38 分离地形成选择晶体管 S1 和 S2 的 SOI 层 36。当进行从非易失性存储元件 M0 到 M31 的电荷累积层中释放电荷的擦除工作时,该擦除工作可以按每 NAND 单元来进行。此外,也可通过使用一个 SOI 层 40 来形成共同连接到一条字线的非易失性存储元件(例如, M30 的一行)。

[0131] 在将 NAND 单元 NS1 设定为擦除状态,即 NAND 单元 NS1 中的每个非易失性存储元件的阈值设定为负电压的状态后进行写入工作。从源线 SL 一侧的存储元件 M0 顺序地进行写入。下面,以对存储元件 M0 的写入为例子进行说明。

[0132] 图 26A 示出写入“0”的情况。通过将例如 Vcc(电源电压)施加到选择栅极线 SG2 来使选择晶体管 S2 导通,并将位线 BL 设定为 0V(接地电压)。通过将选择栅极线 SG1 设定为 0V 来使选择晶体管 S1 截止。接着,将连接到非易失性存储元件 M0 的字线 WL0 设定为高电压 Vpgm(约 20V),并将其它字线设定为中间电压 Vpass(约 10V)。因为位线 BL 的电压是 0V,所以被选择的非易失性存储元件 M0 的沟道形成区的电位也是 0V。字线 WL0 和非易失性存储元件 M0 的沟道形成区之间有大的电位差,因此,由于如上所述的 F-N 隧道电流,电子被注入到非易失性存储元件 M0 的电荷累积层中。由此,非易失性存储元件 M0 的阈值电压具有正值(写入“0”的状态)。

[0133] 另一方面,在写入“1”的情况下,如图 26B 所示将位线 BL 设定为例如 Vcc(电源电压)。因为选择栅极线 SG2 的电压为 Vcc,所以当选择晶体管 S2 的栅电压为 Vth > Vcc 时选择晶体管 S2 截止。因此,非易失性存储元件 M0 的沟道形成区成为浮状态。接着,当将高电压 Vpgm(20V) 施加到字线 WL0 并将中间电压 Vpass(10V) 施加到其它字线时,非易失性存储元件 M0 的沟道形成区的电压通过各字线和沟道形成区的电容耦合而从 Vcc-Vth 上升到例如 8V 左右。虽然沟道形成区的电压上升到高电压,但是与写入“0”的情况不同,字线 WL0 和非易失性存储元件 M0 的沟道形成区之间有小的电位差。因此,电子不通过 F-N 隧道电流

注入到非易失性存储元件 M0 的电荷累积层。因此,非易失性存储元件 M0 的阈值保持为负值(写入“1”的状态)。

[0134] 在进行擦除工作的情况下,如图 27A 所示,将负的高电压 (Vers) 施加到被选择的字线 (WL0);将电压 Von(例如,3V) 施加到不被选择的非易失性存储元件的字线 WL1 至 WL31、选择栅极线 SG1、以及选择栅极线 SG2;将导通电压 Vopen(0V) 施加到位线 BL 及源线 SL。然后如本实施方式中说明那样,可以放出在被选择的非易失性存储元件的电荷累积层的电子。其结果,被选择的非易失性存储元件的阈值电压在负方向上偏移。

[0135] 在图 27B 所示的读出工作中,将连接到被选择读出的非易失性存储元件 M0 的字线 WL0 设定为电压 Vr(例如,0V),并将不被选择的存储元件的字线 WL1 到 WL31 以及选择栅极线 SG1 和 SG2 设定为略高于电源电压的读出用中间电压 Vread。即,如图 13 所示,除选择存储元件外的其它存储元件用作转移晶体管 (transfertransistor)。由此,检测是否有电流流过被选择读出的非易失性存储元件 M0。即,当存储在非易失性存储元件 M0 中的数据是“0”时,非易失性存储元件 M0 截止,因此位线 BL 不放电。另一方面,当存储在非易失性存储元件 M0 中的数据是“1”时,非易失性存储元件 M0 导通,因此位线 BL 放电。

[0136] 在本实施方式中,当从键合片转置单晶半导体层时,通过对单晶半导体衬底选择性地进行蚀刻(也称为形成槽的加工)来形成成为多个的单晶半导体层,然后将该单晶半导体层转置到异种衬底(支撑衬底),该单晶半导体层被加工为其尺寸是所制造的半导体元件的尺寸。因此,可以在支撑衬底上作为构成上述 NOR 型非易失性存储元件、NARD 型非易失性存储元件的 SOI 层形成多个岛状单晶半导体层(SOI 层)。由于先加工为元件尺寸的单晶半导体层且转置,所以可以以单晶半导体层为单位转置到支撑衬底,不受单晶半导体衬底的尺寸或形状的限制。因而,可以进一步效率好地进行对大型支撑衬底的单晶半导体层的转置。

[0137] 进而,由于转置之前在键合片上将单晶半导体层加工为所希望的半导体元件的形状及布置,所以不需要在支撑衬底上的单晶半导体膜的蚀刻等的加工处理。因此,可以减少转置到支撑衬底之后的加工处理时发生的加热或蚀刻损坏。另外,因为不需要形成元件分离区域,所以可以使制造工序简化。

[0138] 因此,通过根据本发明的本实施方式,可以在支撑衬底上高成品率地形成所希望的形状的多个单晶半导体层(SOI 层)。因此,可以高生产率及高成品率地制造在大面积衬底上具有高性能的半导体元件及集成电路的半导体装置。

[0139] 实施方式 5

[0140] 在本实施方式中,对具有存储元件的半导体装置的一个例子作为如下一种半导体装置参照附图进行说明,该半导体装置的目的在于在大面积衬底上高生产率及高成品率地制造高性能的半导体元件及集成电路。图 15 示出本实施方式中的半导体装置的俯视图。图 16A 示出沿图 15 的线 I-J 的截面图,而图 16B 示出沿图 15 的线 K-L 的截面图。

[0141] 图 15 示出具有直接连接到位线 BL(BL0、BL1、BL2) 的非易失性存储元件 M(M01、M02、M03) 的 NOR 型存储单元阵列的等效电路。在该存储单元阵列中,将字线 WL(WL1、WL2、WL3) 和位线 BL(BL0、BL1、BL2) 设置成互相交叉,且非易失性存储元件 M(M01、M02、M03) 被设置在每一个交叉部分处。在 NOR 型存储单元阵列中,各个非易失性存储元件 M(M01、M02、M03) 的漏极连接到位线 BL(BL0、BL1、BL2),而非易失性存储元件的源极共同连接到源线

SL(SL0、SL1、SL2)。

[0142] 在图 15 中,存储元件 M01 到 M03 的漏极连接到位线 BL305(305a 和 305b),而存储元件 M01 到 M03 的源极连接到源线 306。存储元件 M01 包括 SOI 层 302a、电荷累积层 303a 和控制栅电极层 304a。存储元件 M02 包括 SOI 层 302b、电荷累积层 303b 和控制栅电极层 304b。第一绝缘层 312、第二绝缘层 313 以及层间绝缘层 314 连续地形成于存储元件 M01 和 M02 中。注意,SOI 层 302a 和 SOI 层 302b 中的每一个都包括沟道形成区、用作源和漏的高浓度 n 型杂质区以及低浓度 n 型杂质区。

[0143] 构成存储元件 M01 的 SOI 层 302a 和构成存储元件 M02 的 SOI 层 302b 不是由元件分离区电分离,而是通过被分开为岛状电分离。

[0144] 如图 16A 和 16B 所示那样,在支撑衬底 310 上设有由从支撑衬底 310 一侧顺序层叠的氮化硅层、氧化硅层构成的绝缘层 311,并且在绝缘层 311 上中间夹着氧化硅层 301a、301b,设有 SOI 层 302a、302b。利用本发明在键合片上将单晶半导体区形成为 SOI 层 302a、302b 的形状,而将岛状的 SOI 层 302a、302b 转置到支撑衬底 310 来形成 SOI 层 302a、302b。通过对键合片进行形成槽的加工,而将多个 SOI 层加工为所希望的形状,之后转置到支撑衬底,因此减少起因于键合片本身的形状或尺寸的限制,并且可以高生产率地进行向大型衬底的 SOI 层的转置。再者,不需要形成元见分离区使制造工序也简化。因此,可以高生产率地制造高性能的半导体元件及集成电路。

[0145] SOI 层、电荷累积层、控制栅电极层的尺寸的组合不局限于图 15、16A 和 16B。通过元件区域、电荷累积层、以及控制栅电极层的尺寸的组合,可以控制存储在电荷累积层和控制栅电极层之间的第二绝缘层 313 的电容,还可以控制存储在电荷累积层和 SOI 层之间的第一绝缘层 312 的电容。因此,也可控制施加到其上的电压值。

[0146] 第一绝缘层 312 可利用氧化硅或氧化硅及氮化硅的叠层结构来形成。尽管第一绝缘层 312 可通过由等离子体 CVD 法或低压 CVD 法沉积绝缘层来形成,但它优选地通过用等离子体处理的固相氧化或固相氮化形成。这是因为通过等离子体处理氧化或氮化 SOI 层(典型地是硅层)而形成的绝缘层具有致密的膜质量、高的耐受电压和高可靠性。因为第一绝缘层 312 用作用于向电荷累积层 303a、303b 注入电荷的隧道绝缘层,所以它优选地如以上所示的绝缘层一样强。第一绝缘层 312 优选地被形成为 1 至 20nm 的厚度,优选的是 3 至 6nm。例如,假设栅长度是 600nm,则第一绝缘层 312 可被形成为 3 至 6nm 的厚度。

[0147] 通过等离子体处理使作为 SOI 层的典型例子的硅层的表面氧化,可以形成没有变形界面的致密的氧化层。此外,通过等离子体处理使该氧化层氮化,来用氮代替表层部的氧而形成氮化层,可以进一步致密化。因此,可以形成具有绝缘耐压高的绝缘层。

[0148] 在任何情况下,通过利用如上述的等离子体处理的固相氧化处理或固相氮化处理,即使使用具有 700°C 以下的耐热温度的玻璃衬底时,也可获得与在 950 至 1050°C 的温度下形成的热氧化膜同等的绝缘层。即,作为非易失性存储元件的隧道绝缘层可以形成高可靠性的隧道绝缘层。

[0149] 电荷累积层 303a、303b 形成在第一绝缘层 312 上。也可以单层或多层的叠层地设置电荷累积层 303a、303b。

[0150] 电荷累积层 303a、303b 可以是由半导体材料或导电材料的层或颗粒形成的浮棚。作为半导体材料,可以采用硅、硅锗等。在采用硅时,可以采用非晶硅或多晶硅。此外,也可

以采用掺杂有磷的多晶硅。作为导电材料,可以采用从钽(Ta)、钛(Ti)、钼(Mo)和钨(W)中选出的元素;以上述元素作为其主要成分的合金;结合了上述元素的合金膜(典型地为Mo-W合金膜或Mo-Ta合金膜);或者具有导电性的硅膜。在由这些材料构成的导电层下,可以形成有如氮化钽、氮化钨、氮化钛或氮化钼之类的氮化物;或者如硅化钨、硅化钛或硅化钼之类的硅化物。另外,可以采用由上述半导体材料、导电材料、或半导体材料及导电材料构成的叠层结构。例如,也可以采用硅层及锗层的叠层结构。

[0151] 或者,电荷累积层303a、303b可以使用绝缘性且具有能够保持电荷的陷阱的层形成。作为这种材料的典型例子,可以采用硅化合物或锗化合物。作为硅化合物,可以采用氮化硅、氧氮化硅、添加了氢的氧氮化硅等。作为锗化合物,可以采用氮化锗、添加了氧的氮化锗、添加了氮的氧化锗、添加了氧和氢的氮化锗、添加了氮和氢的氧化锗等。

[0152] 通过减压CVD法或等离子体CVD法等形成氧化硅、氧氮化硅、氮化硅、氮氧化硅、氧化铝等的一层或多层,来形成第二绝缘层313。另外,也可以对电荷累积层303a、303b进行等离子体处理,形成使其表面氮化处理了的氮化膜(例如,作为电荷累积层303a、303b使用硅时,为氮化硅)。在任何情况下,与电荷累积层303a、303b接触的第一绝缘层312侧和第二绝缘层313侧的一方或双方为氮化膜或被氮化处理的层,因此可以防止电荷累积层303a、303b的氧化。

[0153] 控制栅电极层304a、304b1、304b2优选由选自钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铬(Cr)、铌(Nb)等的金属或以这些金属为主要成分的合金材料或化合物材料形成。另外,也可以使用添加有磷等杂质元素的多晶硅。此外,也可以由一个层或多层的金属氮化物层和上述金属层的叠层结构形成控制栅电极层304a、304b1、304b2。作为金属氮化物,可以使用氮化钨、氮化钼、氮化钛。通过设置金属氮化物层,可以提高金属层的粘附性,因此可以防止分离。

[0154] 位线BL0305等的布线层可以利用如氧化铟锡(ITO)、在氧化铟中混合氧化锌(ZnO)的IZO(indium zinc oxide:氧化铟锌);在氧化铟中混合氧化硅(SiO₂)的导电材料;有机铟;有机锡;含有氧化钨的氧化铟;含有氧化钨的氧化铟锌;含有氧化钛的氧化铟;含有氧化钛的氧化铟锡;如钨(W)、钼(Mo)、锆(Zr)、铪(Hf)、钒(V)、铌(Nb)、钽(Ta)、铬(Cr)、钴(Co)、镍(Ni)、钛(Ti)、铂(Pt)、铝(Al)、铜(Cu)或银(Ag)等金属;上述金属的合金;或上述金属的氮化物等来形成。

[0155] 本实施方式可以与本说明书所示的其他实施方式自由地组合。

[0156] 在本实施方式中,当从键合片转置单晶半导体层时,通过对单晶半导体衬底选择性地进行蚀刻(也称为形成槽的加工)来形成成为多个的单晶半导体层,然后将该单晶半导体层转置到异种衬底(支撑衬底),该单晶半导体层的尺寸是所制造的半导体元件的尺寸。因此,可以在支撑衬底上形成多个岛状单晶半导体层(SOI层)。由于先加工为元件尺寸的单晶半导体层且转置,所以可以以单晶半导体层为单位转置到支撑衬底,不受单晶半导体衬底的尺寸或形状的限制。因而,可以进一步效率好地进行对大型支撑衬底的单晶半导体层的转置。

[0157] 进而,由于转置之前在键合片上将单晶半导体层加工为所希望的半导体元件的形状及布置,所以不需要在支撑衬底上的单晶半导体膜的蚀刻等的加工处理。因此,可以减少转置到支撑衬底之后的加工处理时发生的加热或蚀刻损坏。另外,因为不需要形成元件分

离区域,所以可以使制造工序简化。

[0158] 因此,通过根据本发明的本实施方式可以在支撑衬底上高成品率地形成所希望的形状的多个单晶半导体层(SOI层)。因此,可以高生产率及高成品率地在大面积衬底上制造具有高性能的半导体元件及集成电路的半导体装置。

[0159] 实施方式 6

[0160] 在本实施方式中,作为如下一种半导体装置对具有存储元件的半导体装置的一个例子参照附图进行说明,该半导体装置的目的在于在大面积衬底上高生产率及高成品率地制造高性能的半导体元件及集成电路。图17示出本实施方式中的半导体装置的俯视图。图18A示出沿图17的线M-N的截面图,而图18B示出沿图17的线O-P的截面图。

[0161] 在本实施方式中,对在一个SOI层上设置多个非易失性存储元件的情况,参照附图进行说明。注意,关于与上述实施方式相同部分,省略其重复说明。

[0162] 在本实施方式中示出的半导体装置中设有分别电连接到位线BL0、BL1的SOI层322a、322b,并且在SOI层322a、322b上分别设有多个非易失性存储元件(参照图17、18A和18B)。具体地,在SOI层322a上,在选择晶体管S1、S2之间设有具有多个非易失性存储元件M0、M30、M31的NAND型单元350a。另外,在SOI层322b上,在选择晶体管之间也设有具有多个非易失性存储元件的NAND型单元350b。此外,通过作为岛状的SOI层分离SOI层322a、322b,可以绝缘分离邻接的NAND型单元350a和NAND型单元350b。

[0163] 此外,通过在一个SOI层上设置多个非易失性存储元件,可以进一步使非易失性存储元件集成化,并且可以形成大电容的非易失性半导体存储装置。

[0164] 在图17、18A和18B中,在设有绝缘层331的支撑衬底330上设有选择晶体管S1、S2、存储元件M0、M30、M31,其中,选择晶体管S1、S2、存储元件M0、M30、M31含有栅电极层(SG2、SG1)327a、327b、电荷累积层323a、323b、323c、控制栅电极层(WL31、WL30、WL0)324a、324b、324c、第一绝缘层332、第二绝缘层333、层间绝缘层334。选择晶体管S1连接到位线BL0325、选择晶体管S2连接到源线SL0326。

[0165] 电荷累积层、第一绝缘层、第二绝缘层、层间绝缘层、控制栅电极层等可以通过与实施方式5相同的材料和相同的方法而形成。

[0166] 构成NAND型单元350a的SOI层322a和构成NAND型单元350b的SOI层322b不是由元件分离区电分离,而是通过被分开为岛状电分离。

[0167] 如图18A和18B所示那样,在支撑衬底330上设有由从支撑衬底330一侧顺序层叠的氮化硅层、氧化硅层构成的绝缘层331,并且在绝缘层331上中间夹着氧化硅层321,设有SOI层322a、322b。利用本发明在键合片上将单晶半导体区形成为SOI层322a、322b的形状,而将岛状的SOI层322a、322b转置到支撑衬底330来形成SOI层322a、322b。通过对键合片进行形成槽的加工,而将多个SOI层加工为所希望的形状,之后转置到支撑衬底,因此减少起因于键合片本身的形状或尺寸的限制,并且可以高生产率地进行向大型衬底的SOI层的转置。再者,不需要形成元件分离区使制造工序也简化。因此,可以高生产率地制造高性能的半导体元件及集成电路。

[0168] 本实施方式可以与本说明书所示的其他实施方式自由地组合。

[0169] 在本实施方式中,当从键合片转置单晶半导体层时,通过对单晶半导体衬底选择性地进行蚀刻(也称为形成槽的加工)来形成成为多个的单晶半导体层,然后将该单晶

半导体层转置到异种衬底（支撑衬底），该单晶半导体层的尺寸是所制造的半导体元件的尺寸。因此，可以在支撑衬底上形成多个岛状单晶半导体层（SOI 层）。由于先加工为元件尺寸的单晶半导体层且转置，所以可以以单晶半导体层为单位转置到支撑衬底，不受单晶半导体衬底的尺寸或形状的限制。因而，可以进一步效率好地进行对大型支撑衬底的单晶半导体层的转置。

[0170] 进而，由于转置之前在键合片上将单晶半导体层加工为所希望的半导体元件的形状及布置，所以不需要在支撑衬底上的单晶半导体膜的蚀刻等的加工处理。因此，可以减少转置到支撑衬底之后的加工处理时发生的加热或蚀刻损坏。另外，因为不需要形成元件分离区域，所以可以使制造工序简化。

[0171] 因此，通过根据本发明的本实施方式可以在支撑衬底上高成品率地形成所希望的形状的多个单晶半导体层（SOI 层）。因此，可以高生产率及高成品率地在大面积衬底上制造具有高性能的半导体元件及集成电路的半导体装置。

[0172] 实施方式 7

[0173] 在本实施方式中，作为实施方式 3 所制造的半导体装置的一个例子，对微处理器的方式参照图 20 进行说明。

[0174] 图 20 示出微处理器 521 的一个例子。

[0175] 该微处理器 521 包括计算电路（ALU：算术逻辑单元）522、计算电路控制部（ALU 控制器）523、指令译码部（Instruction Decoder）524、中断控制部（Interrupt Controller）525、时序控制部（Timing Controller）526、寄存器（Register）527、寄存器控制部（Register Controller）528、总线接口（总线 I/F）529、读出专用存储器 530、以及 ROM 接口（ROM I/F）531。

[0176] 通过总线接口 529 输入到微处理器 521 的指令输入到指令译码部 524 并且在被译码后，输入到计算电路控制部 523、中断控制部 525、寄存器控制部 528、时序控制部 526。计算电路控制部 523、中断控制部 525、寄存器控制部 528、时序控制部 526 根据被译码的指令进行多种控制。具体地说，计算电路控制部 523 产生用于控制计算电路 522 的工作的信号。此外，中断控制部 525 当微处理器 521 执行程序时，根据其优先度或掩模状态来判断并处理来自外部输入 / 输出装置或外围电路的中断要求。寄存器控制部 528 产生寄存器 527 的地址，并且根据微处理器的状态进行寄存器 527 的读取或写入。

[0177] 此外，时序控制部 526 产生用于控制计算电路 522、计算电路控制部 523、指令译码部 524、中断控制部 525、寄存器控制部 528 的工作时序的信号。例如，时序控制部 526 具备根据参考时钟信号 CLK1 产生内部时钟信号 CLK2 的内部时钟产生部，并将该内部时钟信号 CLK2 提供给上述各种电路。注意，在图 20 中示出的微处理器 521 只不过是将该结构简化而示出的一例，实际的微处理器根据其用途具有各种各样的结构。

[0178] 本实施方式可以与本说明书示出的其他实施方式组合而进行。

[0179] 在本实施方式中，当从键合片转置单晶半导体层时，通过对单晶半导体衬底选择性地进行蚀刻（也称为形成槽的加工）来形成成为多个的单晶半导体层，然后将该单晶半导体层转置到异种衬底（支撑衬底），该单晶半导体层的尺寸是所制造的半导体元件的尺寸。因此，可以在支撑衬底上作为构成上述多个电路的 SOI 层形成多个岛状单晶半导体层（SOI 层）。由于先加工为元件尺寸的单晶半导体层且转置，所以可以以单晶半导体层为

单位转置到支撑衬底，不受单晶半导体衬底的尺寸或形状的限制。因而，可以进一步效率好地进行对大型支撑衬底的单晶半导体层的转置。

[0180] 进而，由于转置之前在键合片上将单晶半导体层加工为所希望的半导体元件的形状及布置，所以不需要在支撑衬底上的单晶半导体膜的蚀刻等的加工处理。因此，可以减少转置到支撑衬底之后的加工处理时发生的加热或蚀刻损坏。另外，因为不需要形成元件分离区域，所以可以使制造工序简化。

[0181] 因此，通过根据本发明的本实施方式可以在支撑衬底上高成品率地形成所希望的形状的多个单晶半导体层(SOI层)。因此，可以高生产率及高成品率地在大面积衬底上制造具有高性能的半导体元件及集成电路的半导体装置的本实施方式的微处理器。

[0182] 实施方式 8

[0183] 在本实施方式中，作为第三实施方式所制造的半导体装置的一个例子，对具有通信电路且以非接触的方式可以进行数据的输入/输出的微型计算机的方式，将参照图21进行说明。

[0184] 图21示出根据本实施方式的微型计算机532的框图。该微型计算机532具有天线电路533、模拟电路部534及数字电路部535。模拟电路部534包括：具有共振电容的共振电路536、恒压电路537、整流电路538、解调电路539、调制电路540、复位电路541、振荡电路542、电源管理电路543。数字电路部535具有RF接口544、控制寄存器545、时钟控制器546、接口547、中央处理单元548、随机存取存储器549、读出专用存储器550。此外，作为微型计算机532的工作所需要的电力，将天线电路533所接收的无线信号经过整流电路538整流得到的电力充电给蓄电部551。蓄电部551由陶瓷电容或双电层电容器等电容器构成。蓄电部551不需要与微型机算机532形成为一体，而是作为另外的部件，安装在具有构成微型计算机532的具有绝缘表面的衬底即可。

[0185] 这种结构的微型计算机532的工作是如下。天线电路533所接收的信号由共振电路536产生感应电动势。被输入的信号在解调电路539中被解调，且控制指令或数据信号被输出到数字电路部535。复位电路541生成使数字电路部535复位和初始化的信号。例如，生成用作复位信号的晚于电源电压的上升而启动的信号。振荡电路542根据恒压电路537生成的控制信号，改变时钟信号的频率和占空比。由低通滤波器形成的解调电路539使例如振幅偏移键控(ASK:AmplitudeShift Keying)方式的发送信号的振幅变动两值化。调制电路540将发送数据在通过振幅偏移键控方式改变发送信号的振幅之后而发送。调制电路540通过改变共振电路536的共振点改变通信信号的振幅。时钟控制器546生成用于根据在电源电压或中央处理单元548中消耗的电流而改变时钟信号的频率和占空比的控制信号。电源管理电路543对电源电压进行监视。

[0186] 从天线电路533输入到微型计算机532的信号在解调电路539中被解调之后，在RF接口544中被分解为控制指令和数据等。控制指令存储到控制寄存器545。控制指令包括读出在读出专用存储器550中存储的数据；将数据写入到随机存取存储器549；向中央处理单元548发出计算指令等。中央处理单元548通过接口547访问读出专用存储器550、随机存取存储器549、控制寄存器545。接口547具有根据中央处理单元548所要求的地址，生成读出专用存储器550、随机存取存储器549、控制寄存器545中任一个的访问信号的功能。

[0187] 中央处理单元 548 的计算方式可以采用使读出专用存储器 550 存储 OS (operating system : 操作系统) , 并且在启动的同时读出且执行程序的方式。此外, 也可以采用以专用电路构成计算电路, 且通过硬件进行计算的处理方式。在同时使用硬件和软件的方式中, 可以使用在专用的计算电路中进行一部分的处理, 并且使用程序由中央处理单元 548 进行其他的计算的方式。

[0188] 图 22 示出根据具有如上述结构的本实施方式的微型计算机的外观。支撑衬底 200 中设有多个 SOI 层, 因此具有形成 n 型 MISFET 及 p 型 MISFET 的元件形成层 252。元件形成层 252 形成图 21 中的模拟电路部 534 及数字电路部 535。天线 253 设置在支撑衬底 200 上。此外, 可以设置天线连接端子来代替该天线 253。在图 22 中所示的天线 253 为磁场型的螺旋天线, 但是也可以与电场型的偶极天线等组合。

[0189] 图 25 示出图 22 所示的微型计算机的重要部分, 模式地示出其截面结构。由在支撑衬底 200 上的 SOI 层 203a 及 SOI 层 203b 形成 n 型 MISFET 及 p 型 MISFET。第二层间绝缘层 227 以下的下层结构与图 12 同样, 因此省略说明。

[0190] 在第三布线层 230 上形成有第三层间绝缘层 254、第四层间绝缘层 255。第三层间绝缘层 254 由氧化硅膜形成、第四层间绝缘层 255 由氮化硅膜形成, 并且利用双嵌入法在第三层间绝缘层和第四层间绝缘层中形成幅度不同的开口。在该开口部中形成氮化钽等的金属阻挡层 257, 并由铜镀法形成铜布线 256。再者形成第五层间绝缘层 258、第六层间绝缘层 259, 而形成金属阻挡层 260 及由铜镀法形成的铜布线 261。在第七层间绝缘层 262 上设置天线 253。在由铜镀法形成天线 253 时设置该保护层 263。可以通过溅射法淀积铝等导电膜, 然后通过光刻法加工为天线形状, 来形成天线 253。

[0191] 这种微型计算机可以通过使用大面积的玻璃衬底作为支撑衬底 200, 来可以提高生产率。如市场上流通的第四代液晶面板采用 $730\text{mm} \times 920\text{mm}$, 其面积为 671600mm^2 。因此, 即使不考虑芯片的切割边, 当切割成 2mm 见方的芯片时, 大约可以获取 34 万个芯片。此外, 当切割成 1mm 见方的芯片时, 大约可以获取 67 万个芯片; 当切割成 0.4mm 见方的芯片时, 大约可以获取 400 万个芯片。玻璃衬底的厚度为 0.4mm 至 0.7mm , 当在与固定 SOI 层的面相反的面上贴合保护膜时, 可以使玻璃衬底薄到大约 0.1mm 至 0.3mm 。

[0192] 在本实施方式中, 当从键合片转置单晶半导体层时, 通过对单晶半导体衬底选择性地进行蚀刻 (也称为形成槽的加工) 来形成成为多个的单晶半导体层, 然后将该单晶半导体层转置到异种衬底 (支撑衬底), 该单晶半导体层的尺寸是所制造的半导体元件的尺寸。因此, 可以在支撑衬底 200 上作为构成上述微型计算机的 SOI 层形成多个岛状单晶半导体层 (SOI 层)。由于先加工为元件尺寸的单晶半导体层且转置, 所以可以以单晶半导体层为单位转置到支撑衬底, 不受单晶半导体衬底的尺寸或形状的限制。因而, 可以进一步效率好地进行对大型支撑衬底的单晶半导体层的转置。

[0193] 进而, 由于转置之前在键合片上将单晶半导体层加工为所希望的半导体元件的形状及布置, 所以不需要在支撑衬底上的单晶半导体膜的蚀刻等的加工处理。因此, 可以减少转置到支撑衬底之后的加工处理时发生的加热或蚀刻损坏。另外, 因为不需要形成元件分离区域, 所以可以使制造工序简化。

[0194] 因此, 通过根据本发明的本实施方式可以在支撑衬底上高成品率地形成所希望的形状的多个单晶半导体层 (SOI 层)。因此, 可以高生产率及高成品率地在大面积衬底上制

造具有高性能的半导体元件及集成电路的半导体装置的本实施方式的微型计算机。

[0195] 实施方式 9

[0196] 本发明的半导体装置的应用范围十分广泛，使得可将该半导体装置应用于各种领域的电子设备。

[0197] 可将作为根据本发明而形成的半导体装置的存储装置等应用于具有存储器的各种领域的电子设备。例如，可将实施方式 3 至实施方式 5 等的非易失性半导体存储装置应用于诸如摄像机或数码照相机之类的影像拍摄装置、护目镜显示器（安装在头部的显示器）、导航系统、音频再现装置（汽车音响或音频组件等）、计算机、游戏机、便携式信息终端（移动计算机、移动电话、便携式游戏机或电子书等）以及设置有存储介质的图像再现装置（具体地，用于再现诸如 DVD（数字通用盘）之类的存储介质的内容并具有用于显示所再现的图像的显示器的装置）等电子设备。图 24A 至 24E 示出这些电子设备的具体例子。

[0198] 图 24A 和 24B 示出数码照相机。图 24B 示出图 24A 的后侧。该数码照相机包括外壳 2511、显示部 2512、镜头 2513、操作键 2514、快门按钮 2515 等。此外，该数码照相机还包括可移动存储器 2516，且由数码照相机摄取的数据被存储在存储器 2516 中。可以将作为根据本发明而形成的半导体装置的非易失性半导体存储装置等应用于该存储器 2516。

[0199] 图 24C 示出作为便携式终端的一个典型例子的移动电话。该移动电话包括外壳 2521、显示部 2522、操作键 2523 等。此外，移动电话还包括可移动存储器 2525，且可将诸如移动电话的电话号码、图像数据、音频数据等数据存储在存储器 2525 中并再现。可以将作为根据本发明而形成的半导体装置的非易失性半导体存储装置等应用于存储器 2525。

[0200] 图 24D 示出作为音频装置的一个典型例子的数码播放器。图 24D 中所示的数码播放器包括主体 2530、显示部 2531、存储器 2532、操作部 2533、耳机 2534 等。另外，可以使用头戴式耳机或无线耳机代替该耳机 2534。可以将作为根据本发明而形成的半导体装置的非易失性半导体存储装置等应用于存储器 2532。例如，通过利用具有 20 至 200 千兆字节 (GB) 的存储容量的 NAND 型非易失性存储器并操作操作部 2533，可记录和再现图像或音频（音乐）。通过在显示部 2531 的黑色背景上显示白色文字，可抑制耗电量。这对于便携式音频装置特别有效。另外，设置于存储器 2532 的非易失性半导体存储装置可以是可移动的。

[0201] 图 24E 示出电子书（也称为电子纸）。该电子书包括主体 2541、显示部 2542、操作键 2543 和存储器 2544。此外，可将调制解调器内置于主体 2541 中，或可采用能够进行无线数据收发的结构。可以将作为根据本发明而形成的半导体装置的非易失性半导体存储装置等应用于存储器 2544。例如，通过利用具有 20 至 200 千兆字节 (GB) 的存储容量的 NAND 型非易失性存储器并操作操作键 2543，可记录和再现图像或音频（音乐）。另外，设置于存储器 2544 的非易失性半导体存储装置可以是可移动的。

[0202] 如上所述，本发明可以应用于各种领域的电子设备。

[0203] 实施方式 10

[0204] 根据本发明，可形成用作包括处理器电路的芯片（下文中也称为处理器芯片、无线芯片、无线处理器、无线存储器或无线标签）的半导体装置。本发明的半导体装置的用途广泛，可以应用于通过非接触地确认对象物的历史等的信息而有助于生产及管理等的任何商品。例如，可以将本发明的半导体装置设于纸币、硬币、有价证券、证书、无记名债券、包装容器、书籍、记录介质、身边带的东西、交通工具、食品、衣物、保健用品、生活用品、药品、以

及电子设备等而使用。对这些例子参照图 23A 至 23G 进行说明。

[0205] 纸币和硬币是市场中流通的货币，并包括在特定区域中作为真实金钱来流通的票据（现金优惠券）、纪念硬币等。有价证券是指支票、证券、期票等，且可设有包括处理器电路的芯片 190（参照图 23A）。证书是指驾驶执照、居民卡等，且可设有包括处理器电路的芯片 191（参照图 23B）。身边带的东西是指鞋、眼镜等，且可设有包括处理器电路的芯片 197（参照图 23C）。无记名债券是指邮票、米票、各种礼品票等。包装容器是指用于包装盒饭等的纸、塑料瓶等，且可设有包括处理器电路的芯片 193（参照图 23D）。书籍是指书本等，且可设有包括处理器电路的芯片 194（参照图 23E）。记录介质是指 DVD 软件、录像带等，且可设有包括处理器电路的芯片 195（参照图 23F）。交通工具是指自行车等的车辆、船舶等，且可设有包括处理器电路的芯片 196（参照图 23G）。食品是指食物、饮料等。衣物是指衣服、鞋等。保健用品是指医疗设备、保健设备等。生活用品是指家具、照明装置等。药品是指医药、农药等。电子设备是指液晶显示装置、EL 显示装置、电视机（电视接收机或薄式电视接收机）、移动电话等。

[0206] 这种半导体装置被贴在产品的表面上或者嵌入在产品中。如果是书，可被埋在纸中，而如果是由有机树脂构成的包装，可被埋在该有机树脂中。

[0207] 像这样，通过将半导体装置设置到包装容器、记录介质、身边带的东西、食品、衣物、生活用品、电子设备等，可以实现检查系统或租赁店的系统等的效率化。通过将半导体装置设置到交通工具，可以防止对其的伪造或偷窃。另外，通过将半导体装置嵌入到动物等生物中，可以容易识别各个生物。例如，通过将具有传感器的半导体装置安装或嵌入到家畜等生物中，不仅可以识别生年、性别或种类等，而且可以容易管理体温等健康状态。

[0208] 本实施方式可以与上述实施方式 1 至 9 自由地组合。

[0209] 本申请基于 2007 年 3 月 26 日在日本专利局提交的日本专利申请序列号 2007-079784，在此引用其全部内容作为参考。

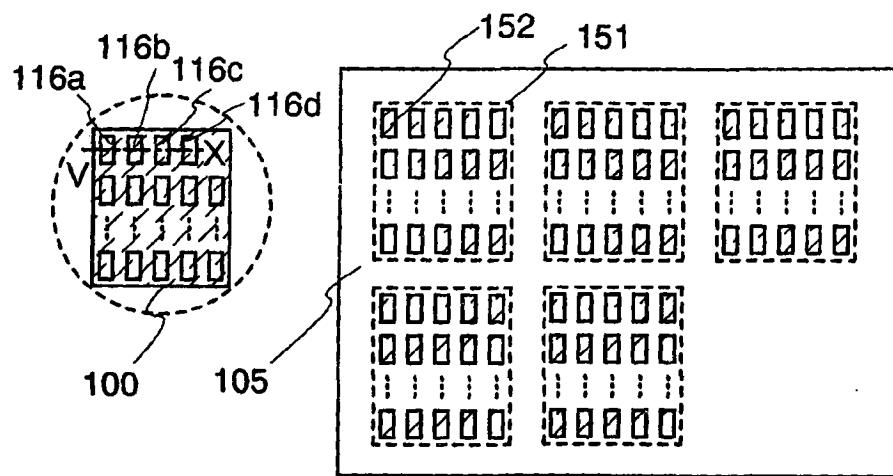


图 1A

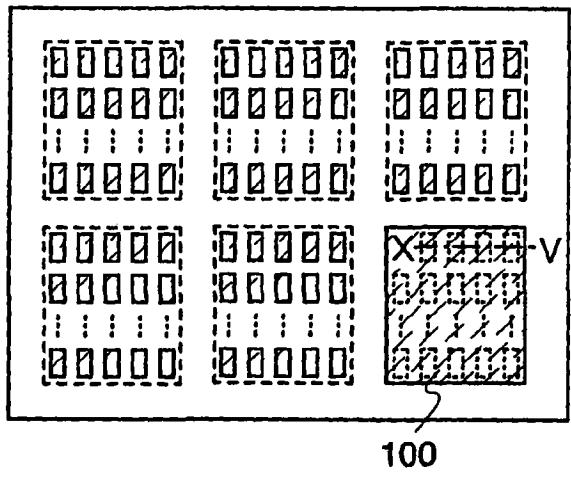


图 1B

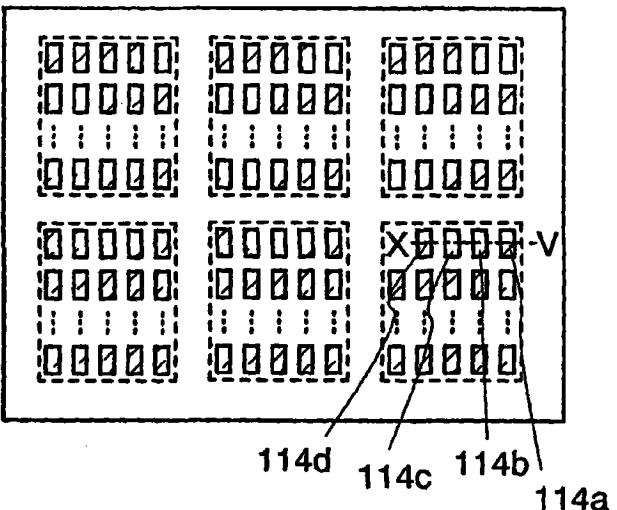
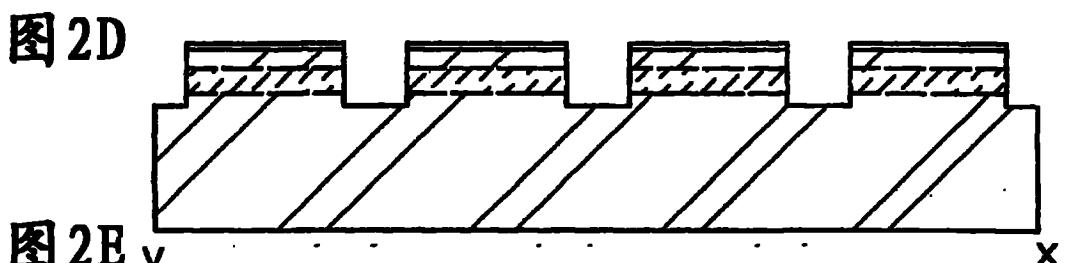
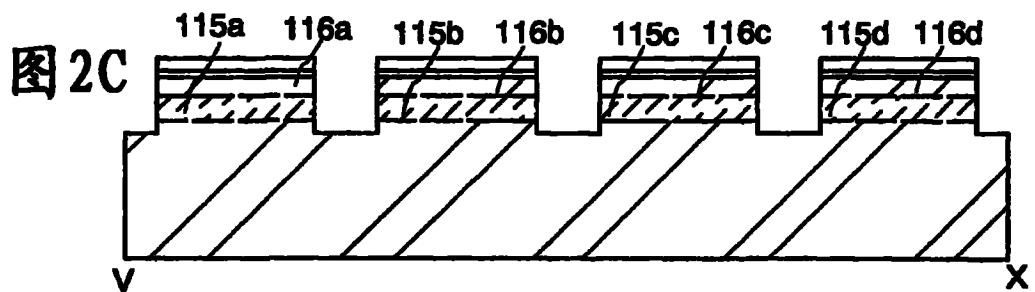
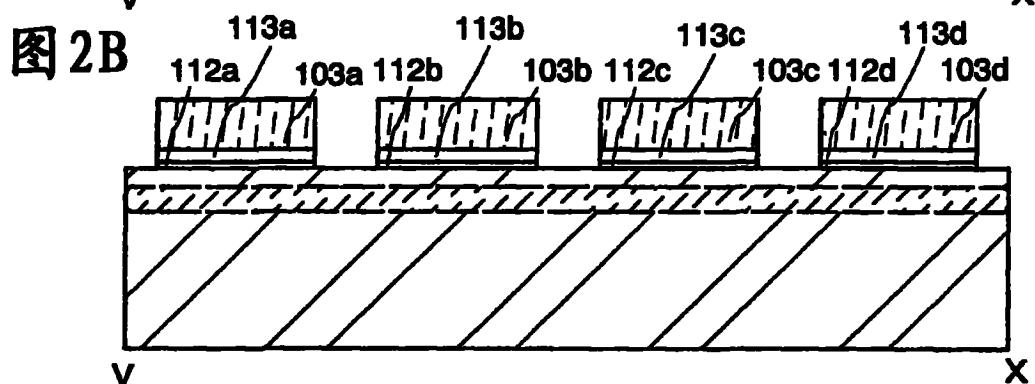
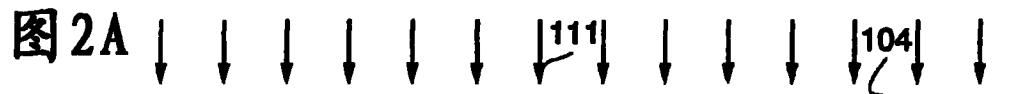
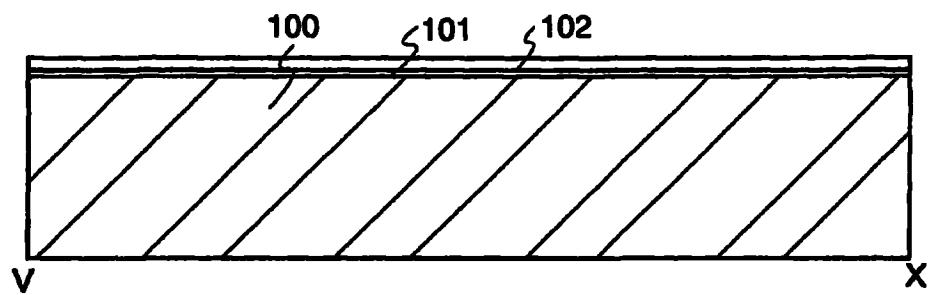


图 1C



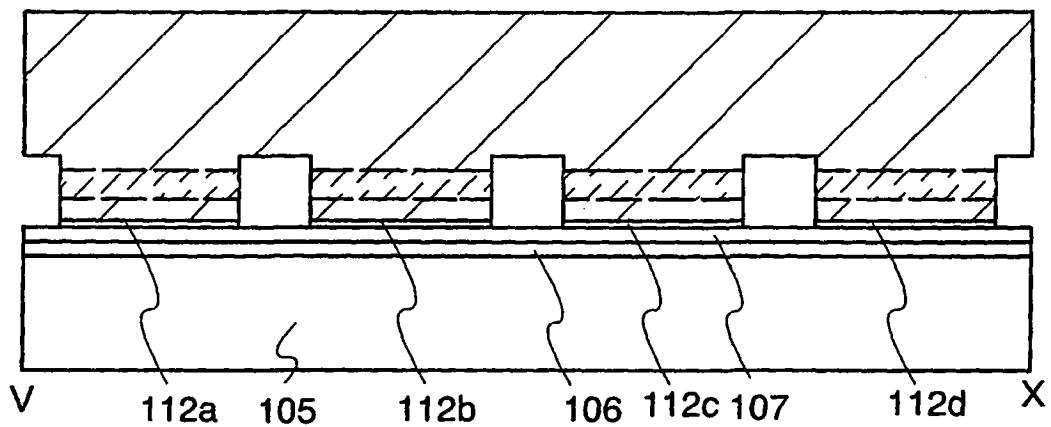


图 3A

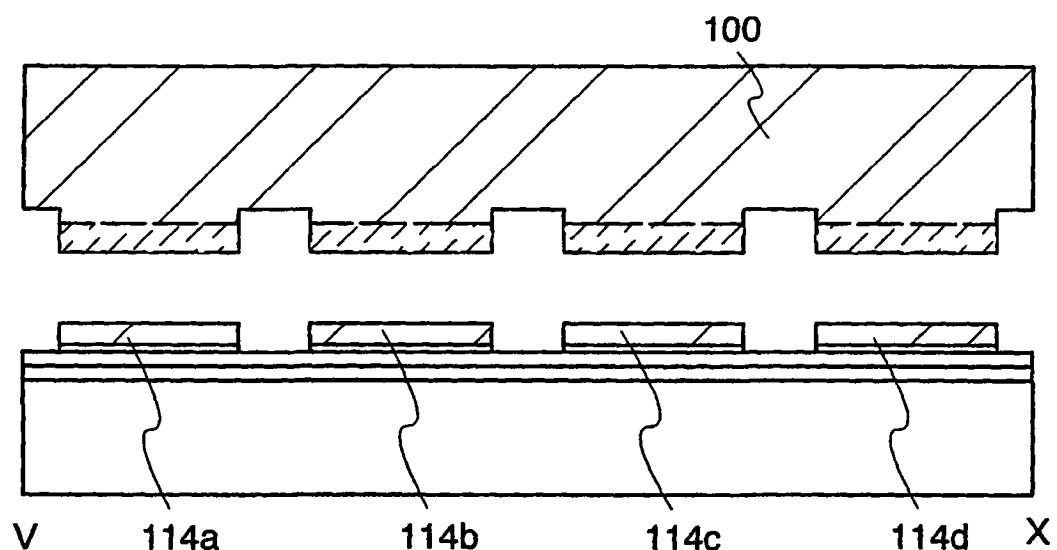


图 3B

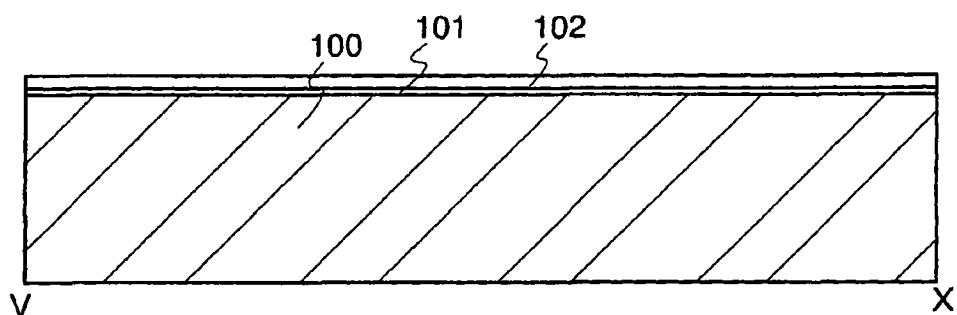


图 4A

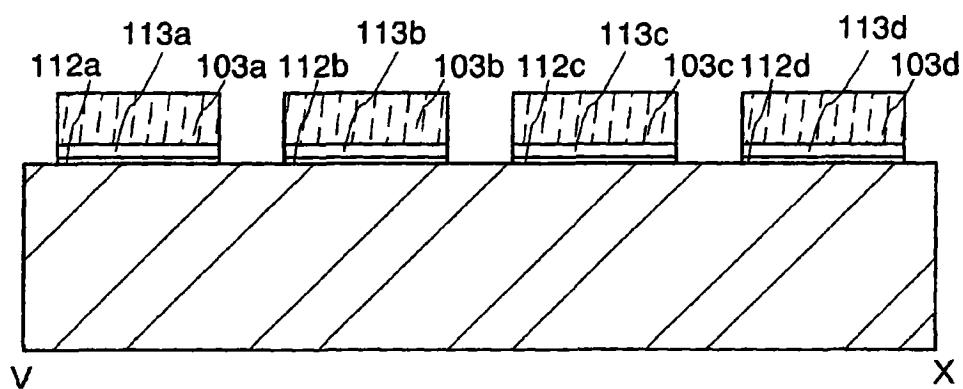


图 4B

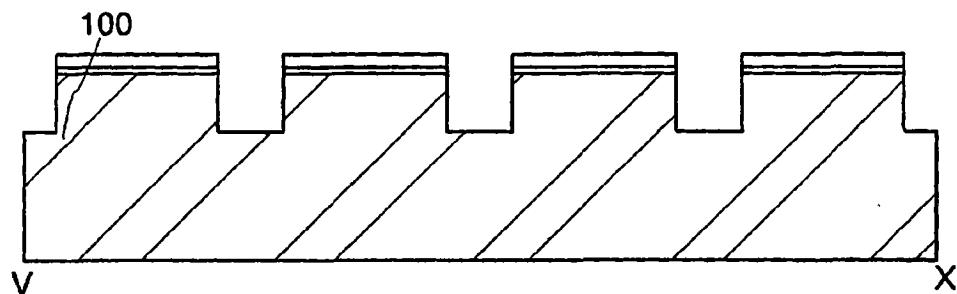


图 4C

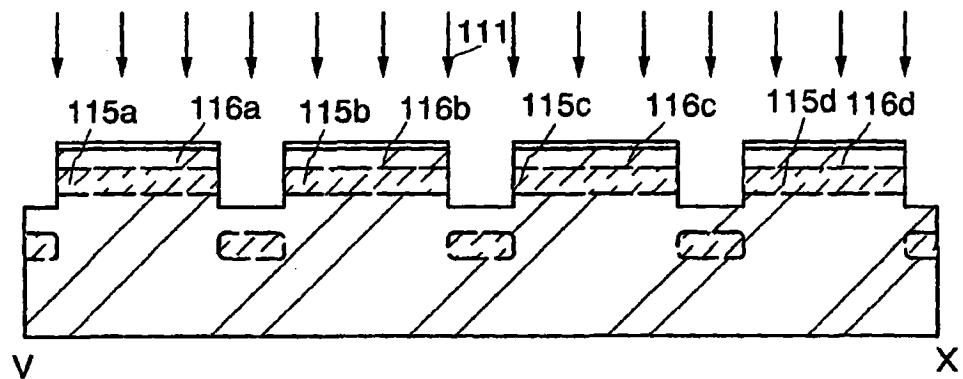


图 4D

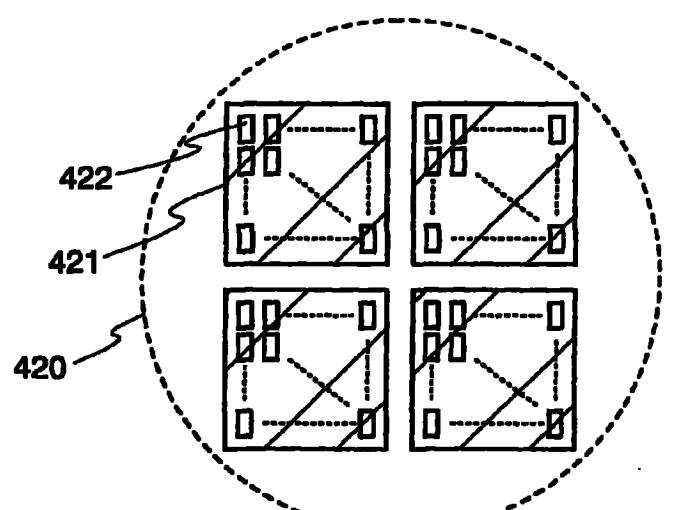


图 5A

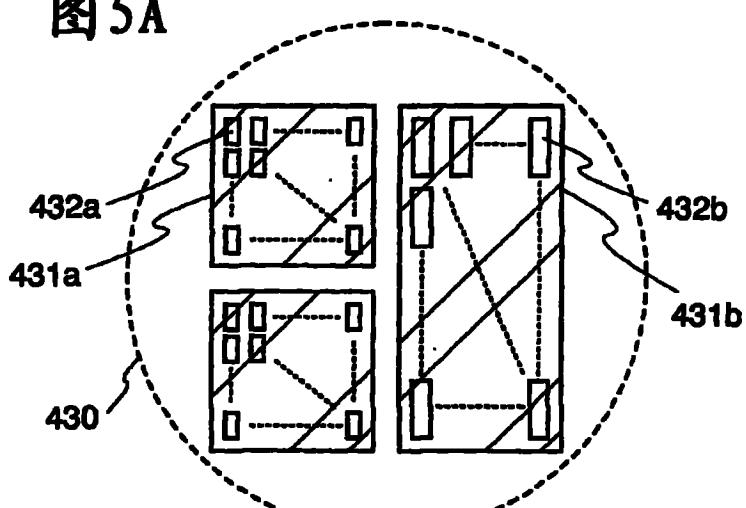


图 5B

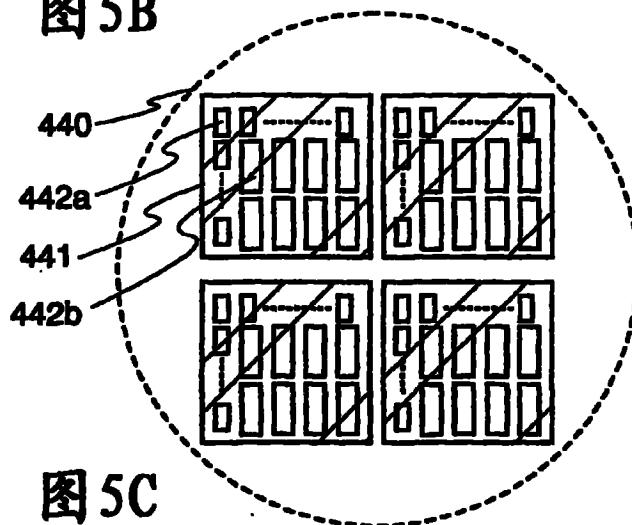


图 5C

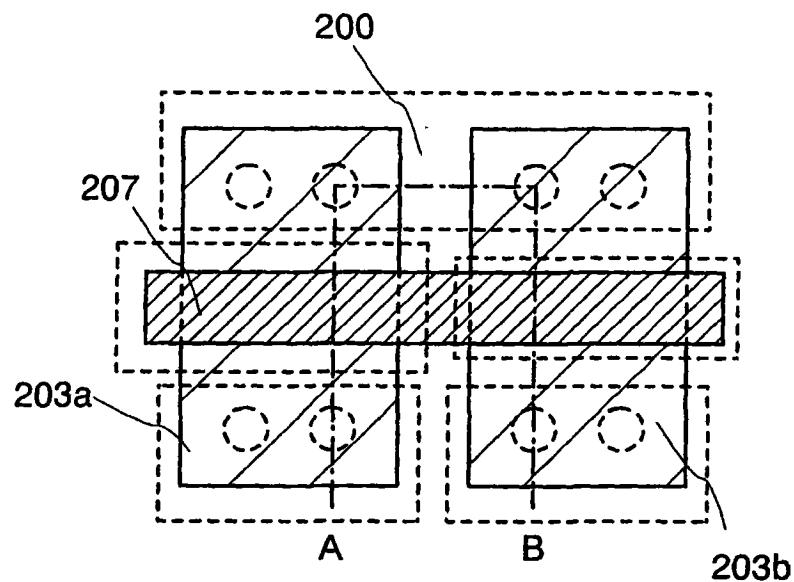


图 6A

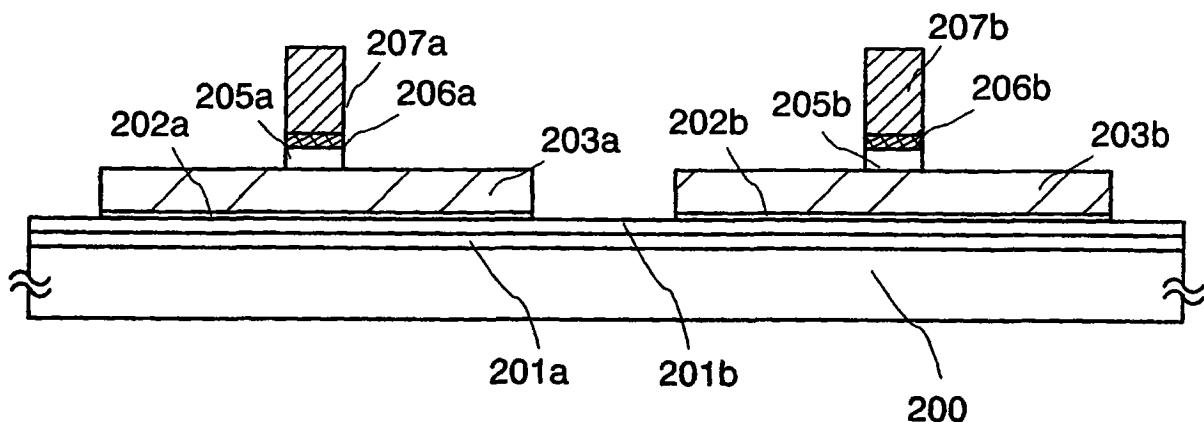


图 6B

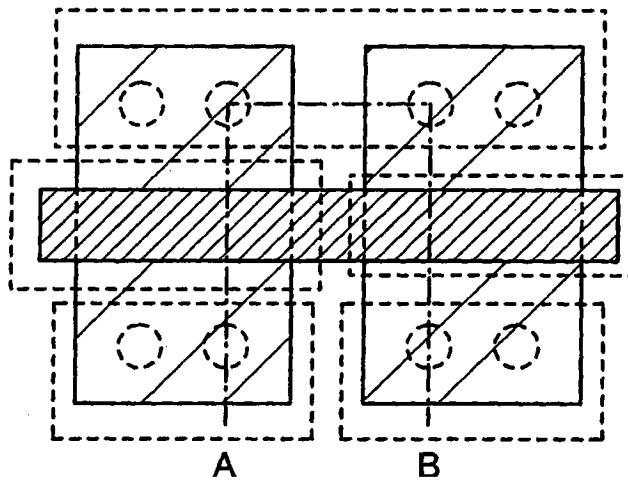


图 7A

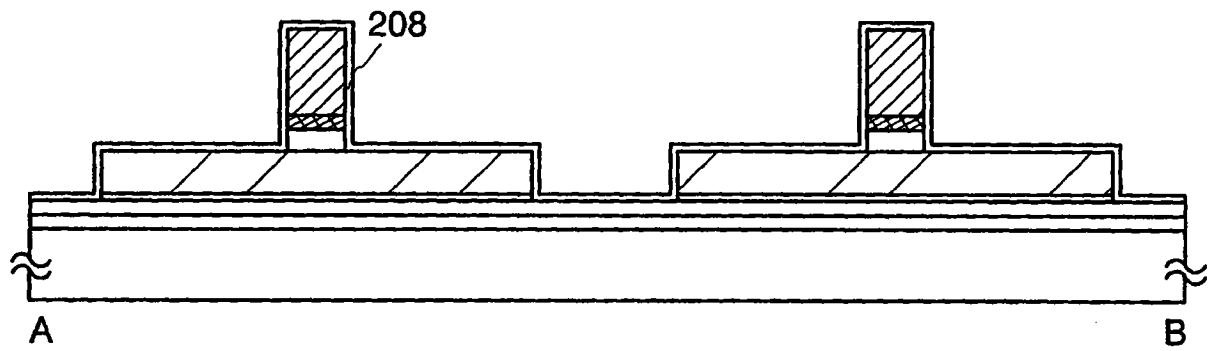


图 7B

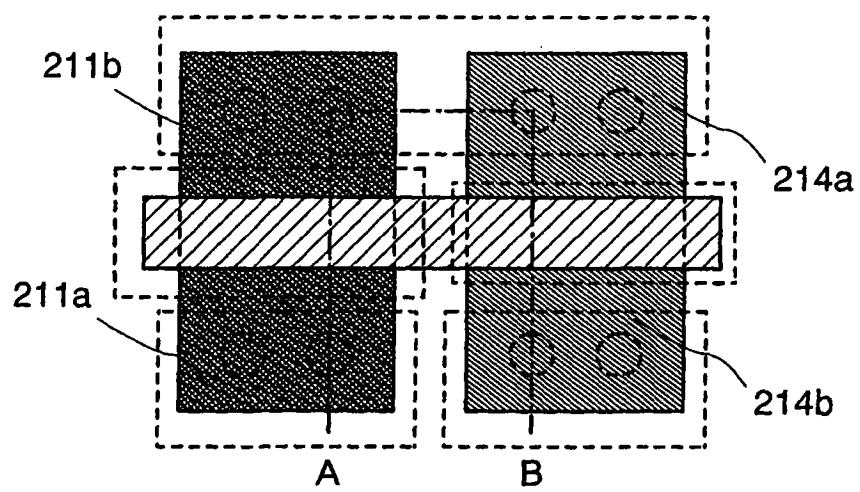


图 8A

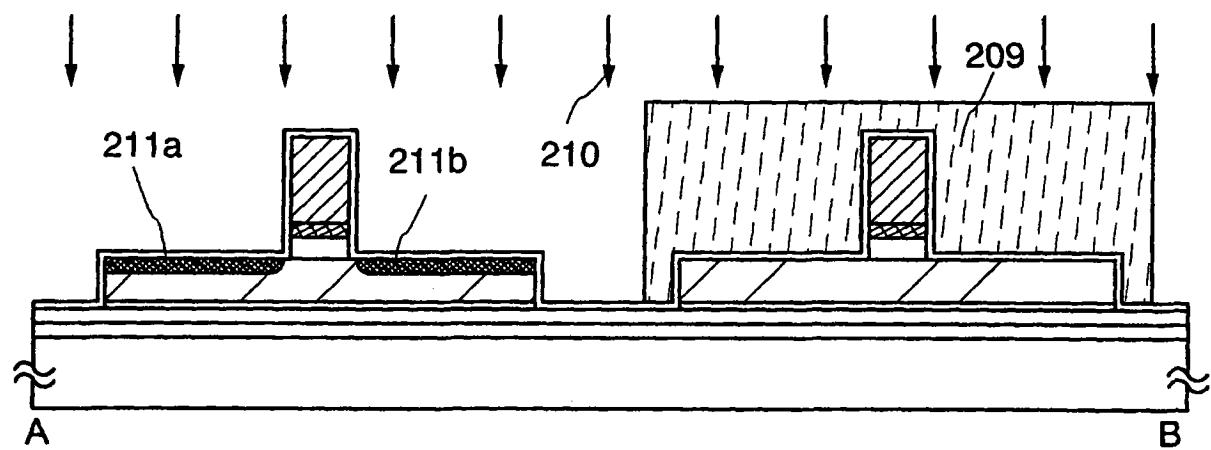


图 8B

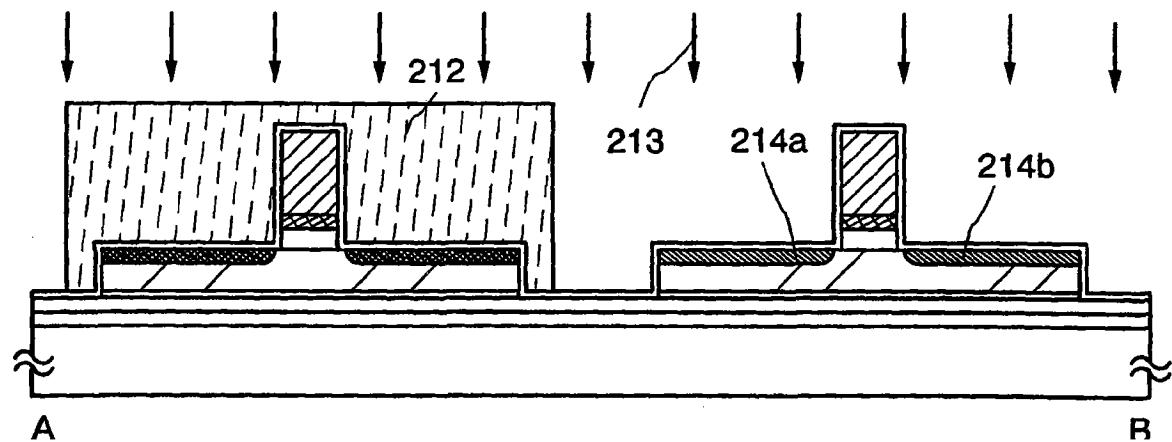


图 8C

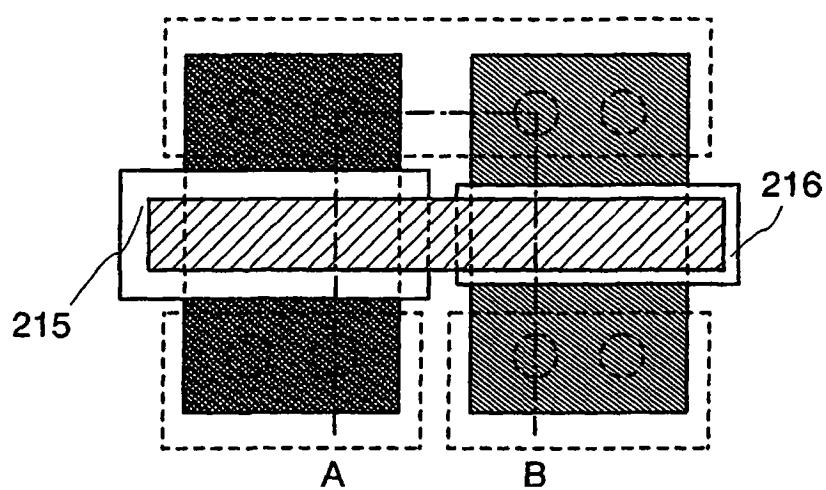


图 9A

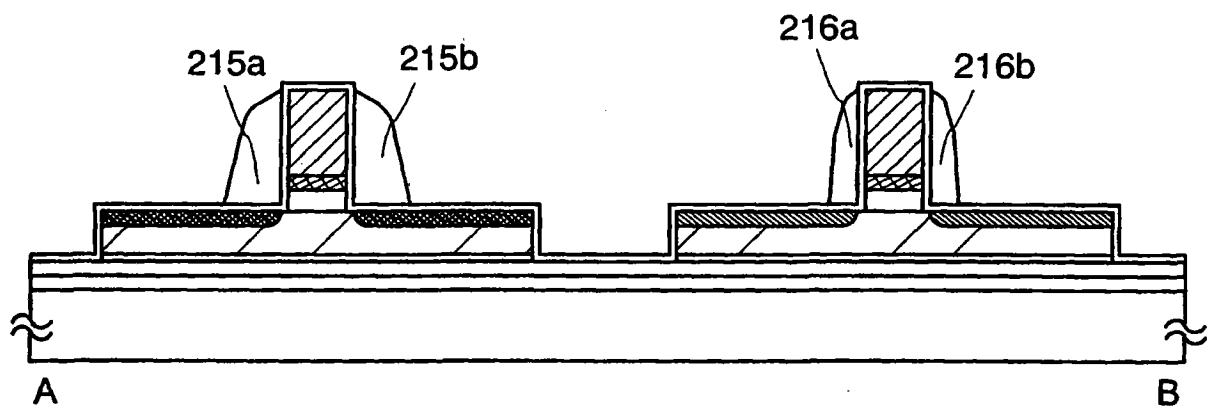


图 9B

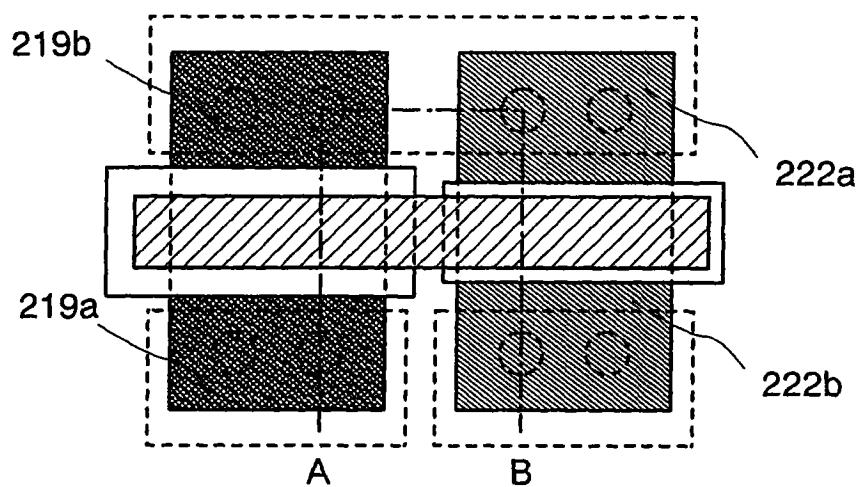


图 10A

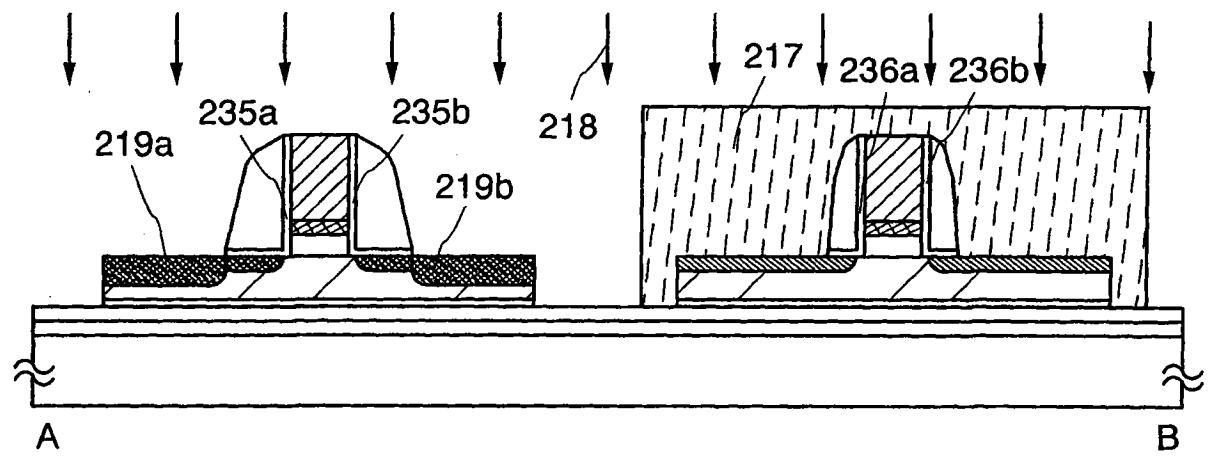


图 10B

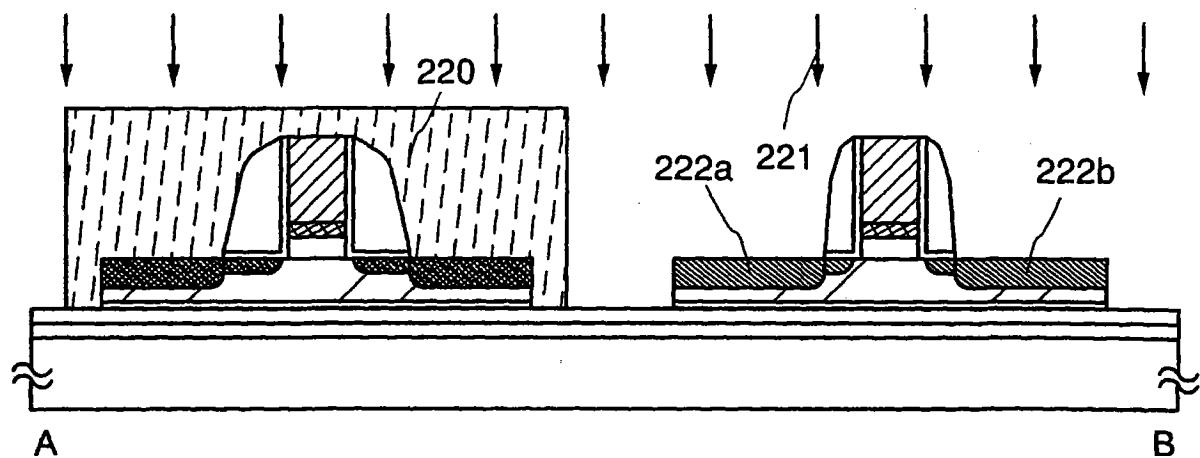


图 10C

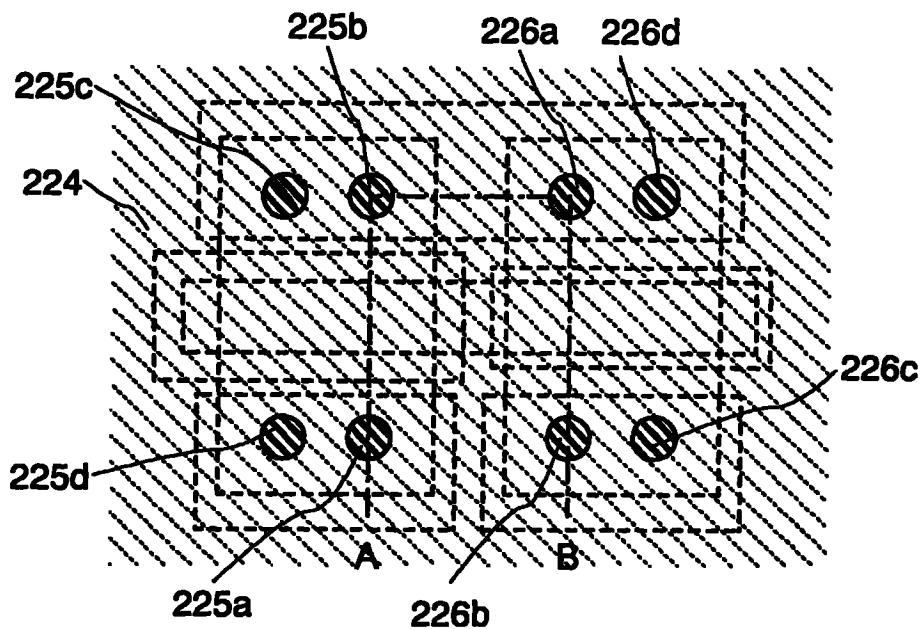


图 11A

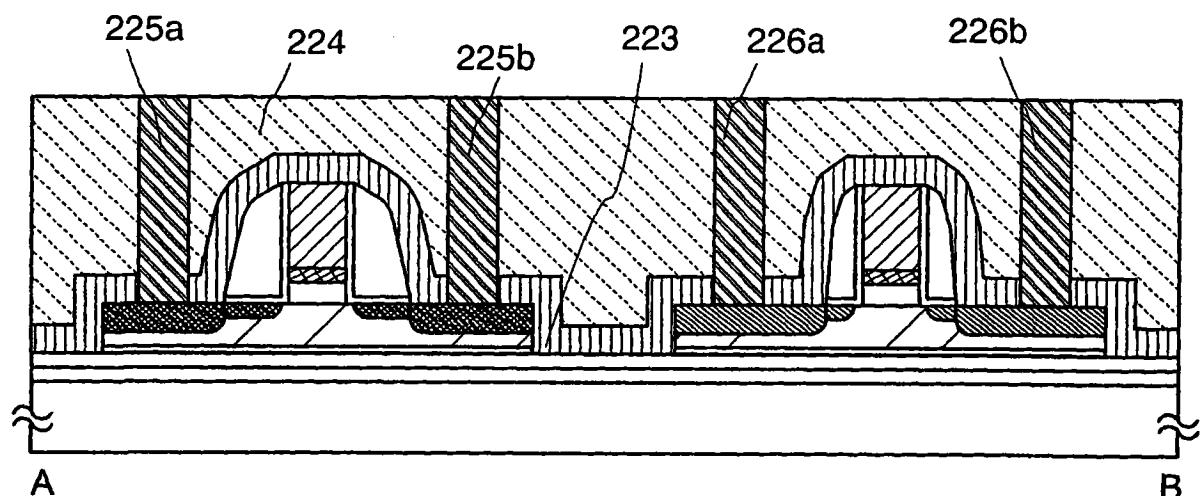


图 11B

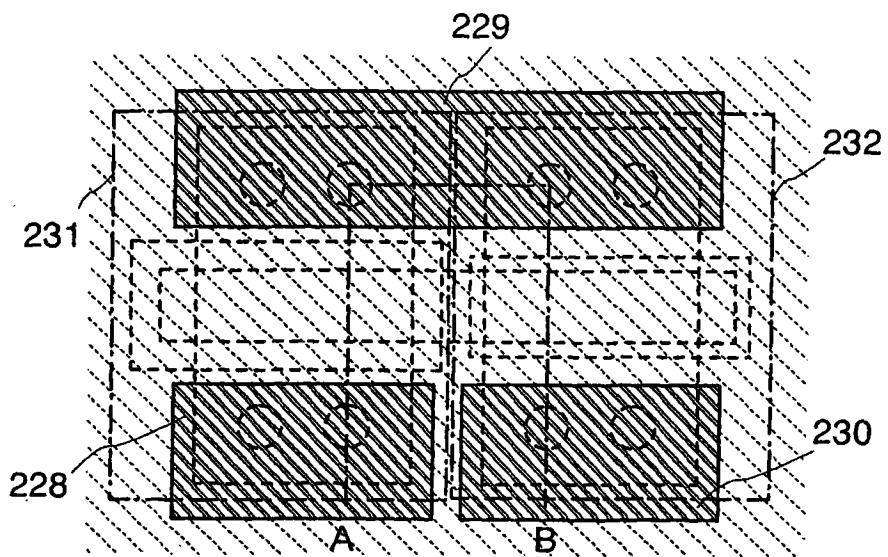


图 12A

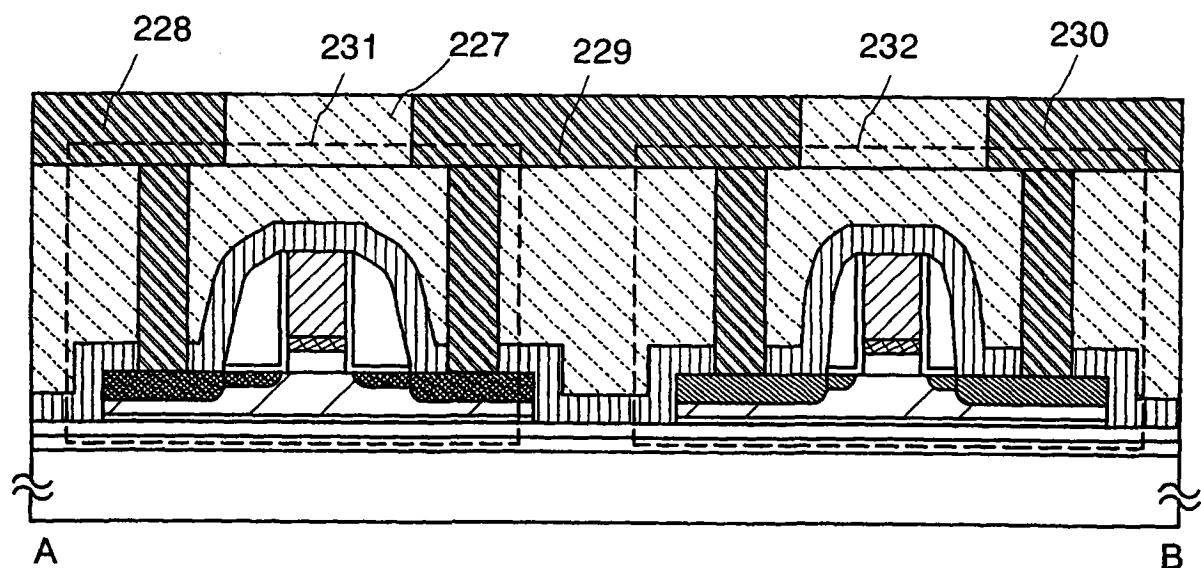


图 12B

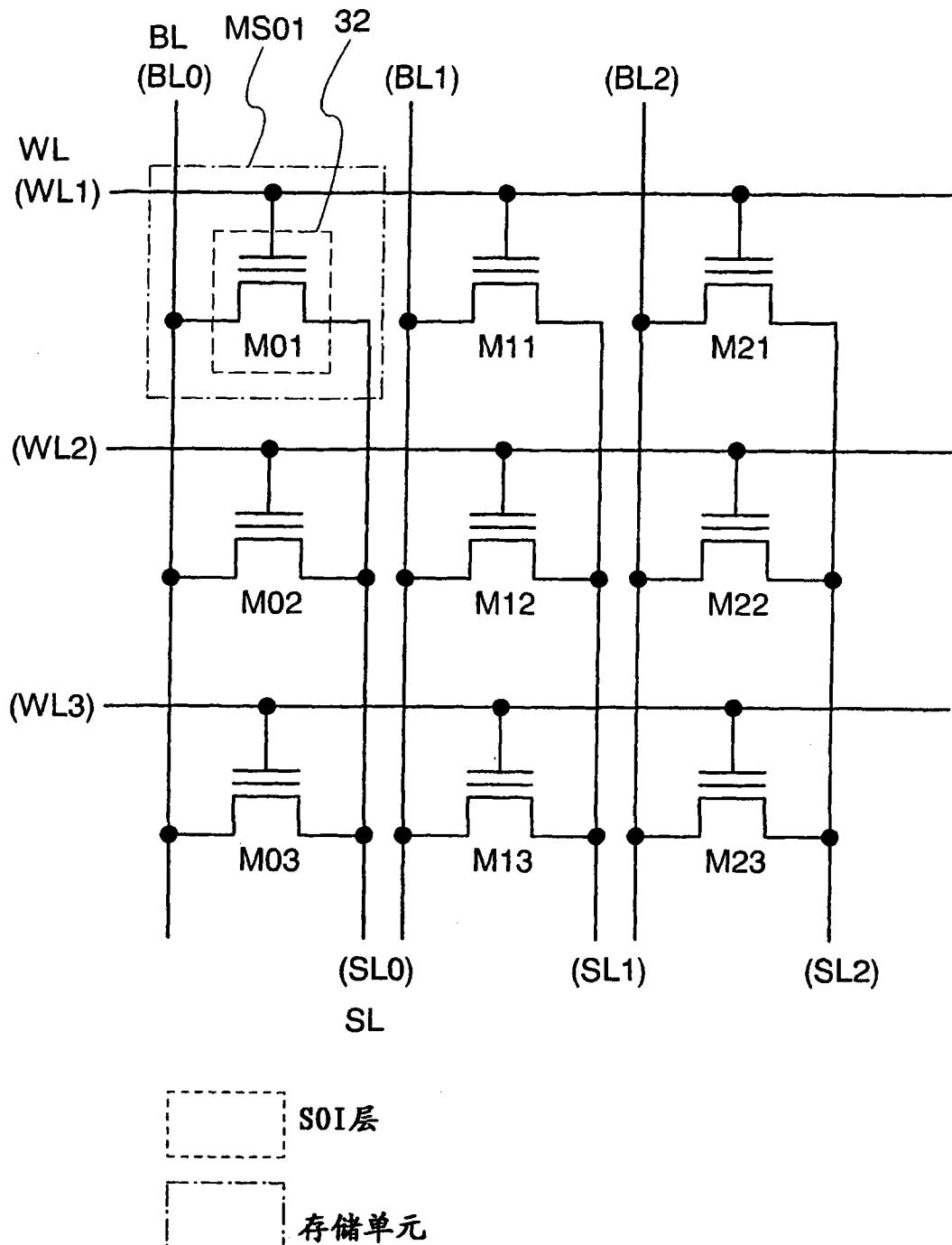


图 13

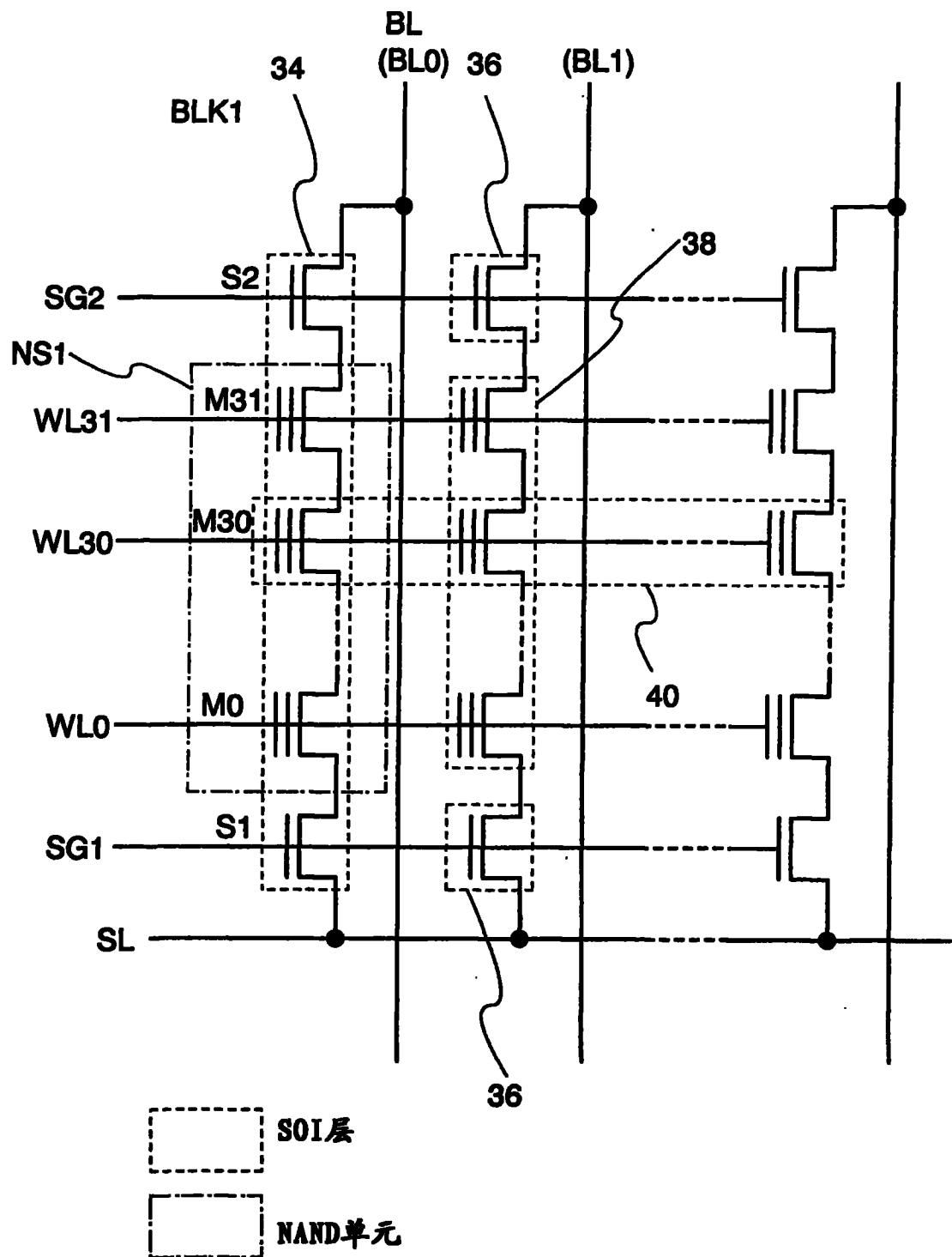


图 14

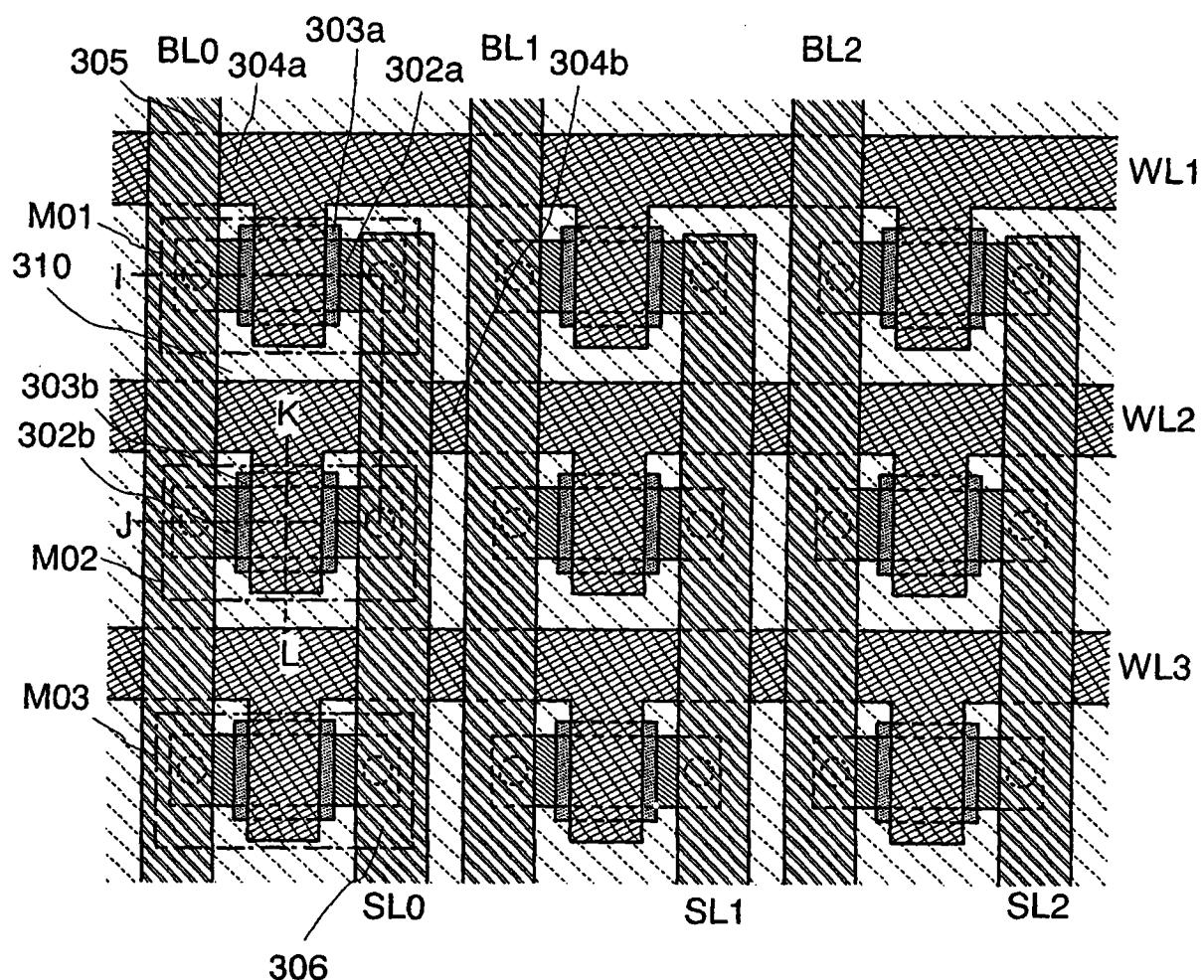


图 15

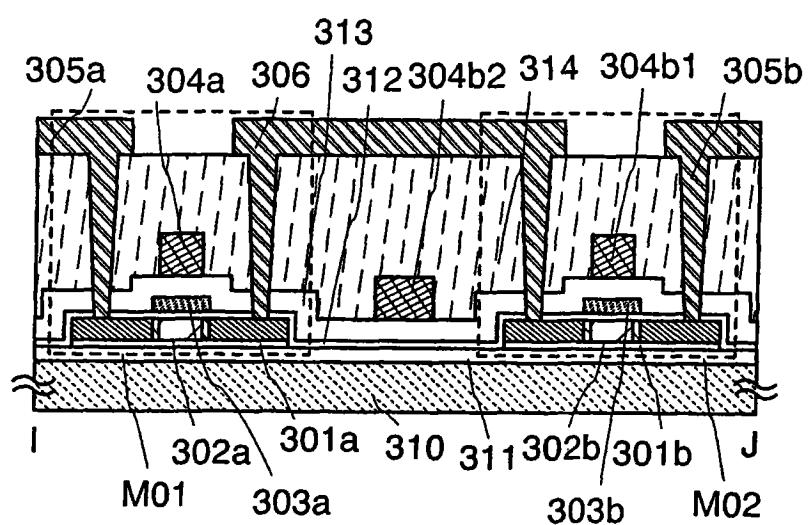


图 16A

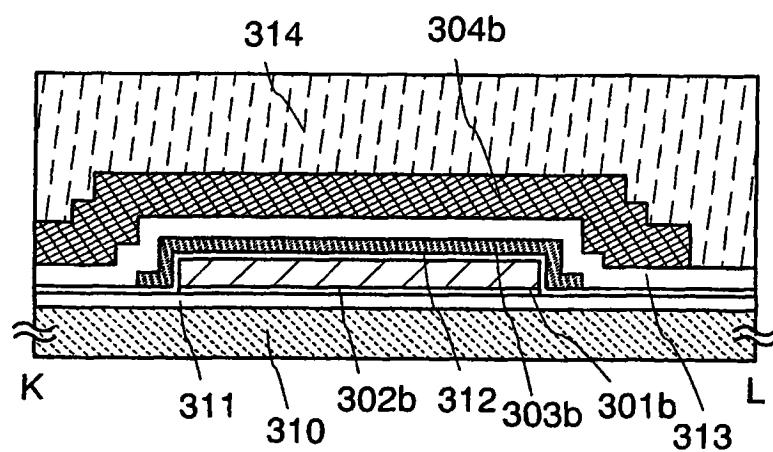


图 16B

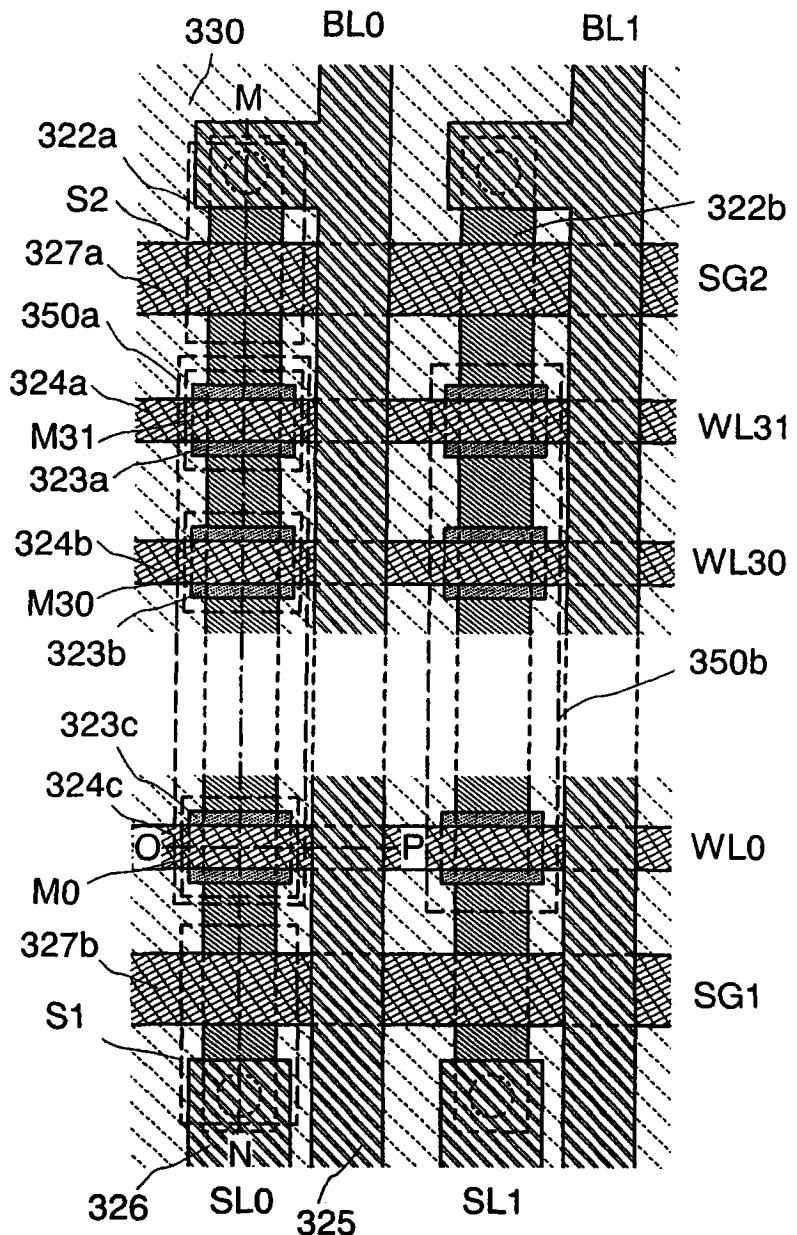


图 17

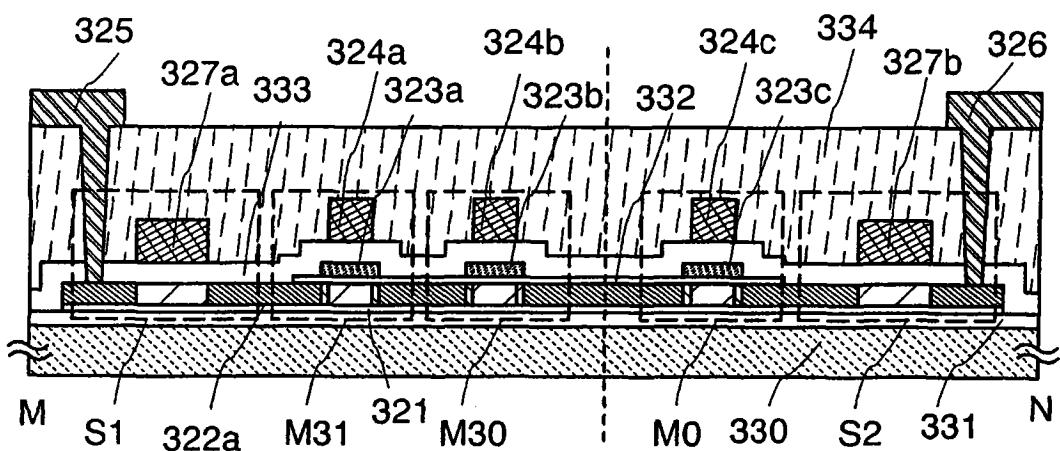


图 18A

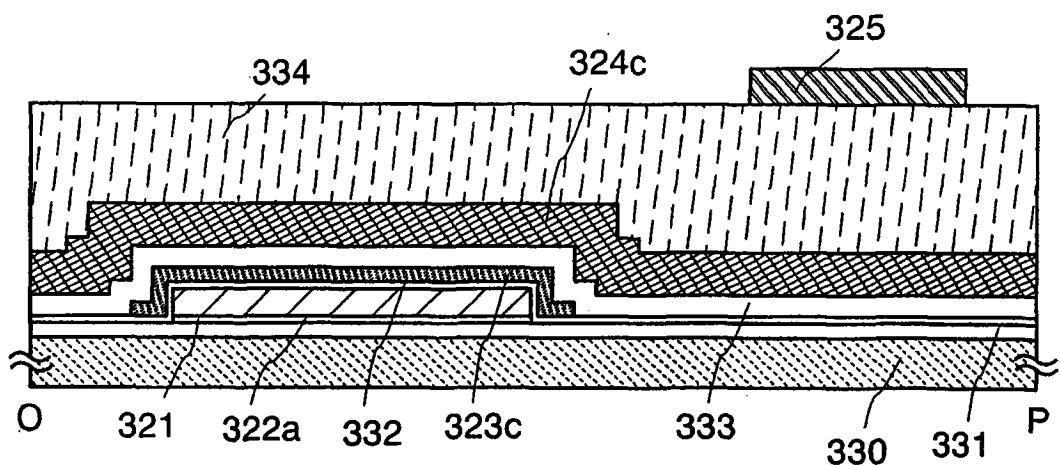
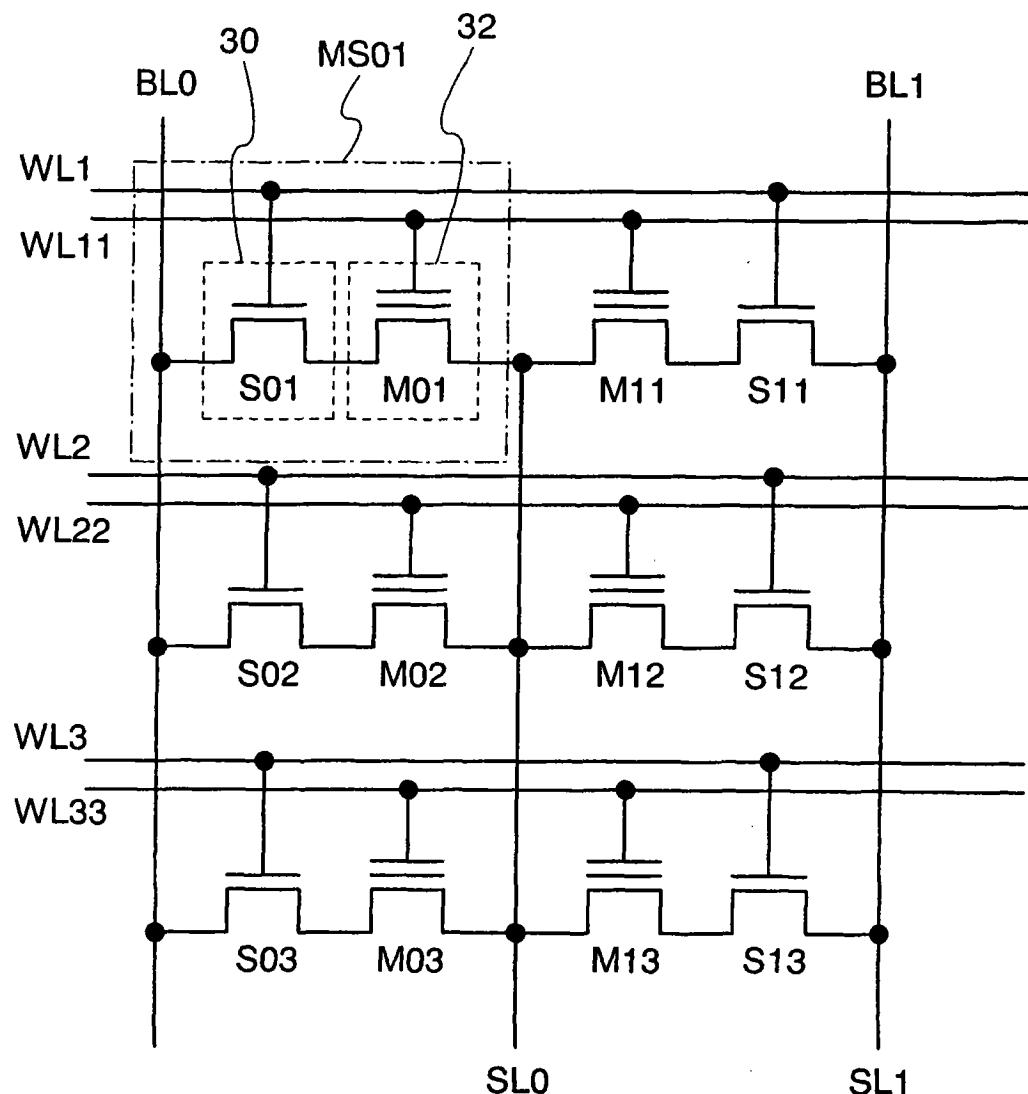


图 18B



SOI层

存储单元

图 19

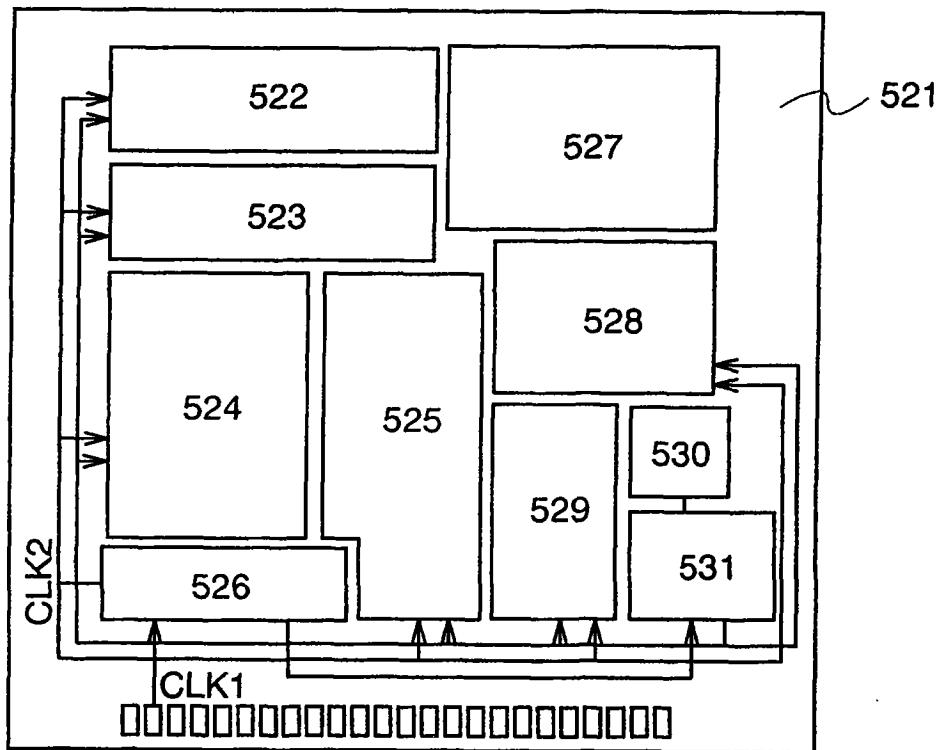


图 20

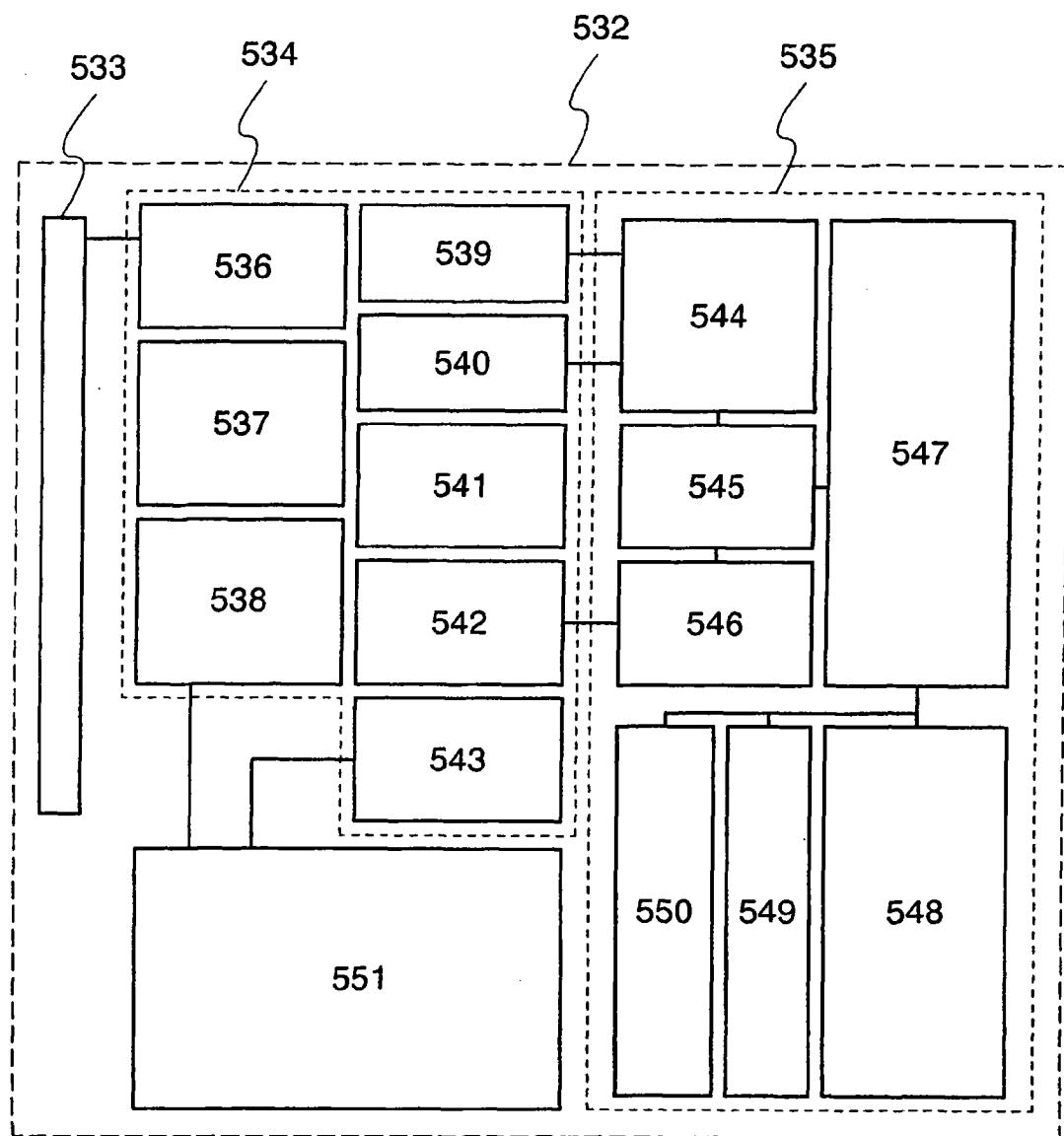


图 21

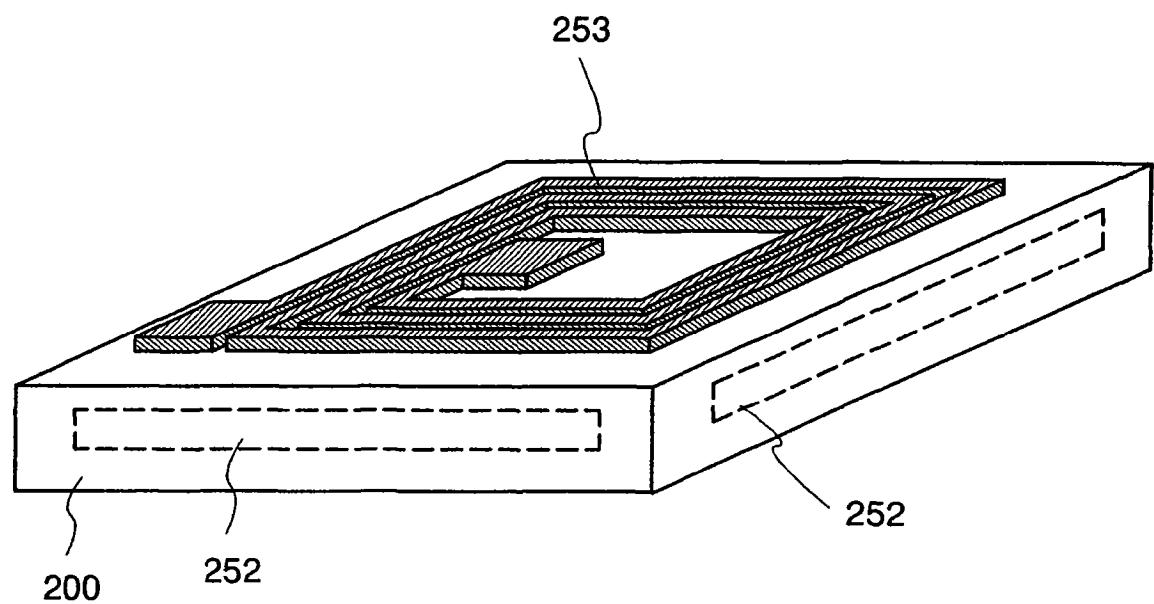


图 22

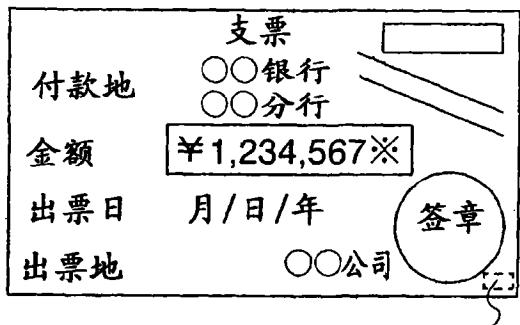


图 23A

190

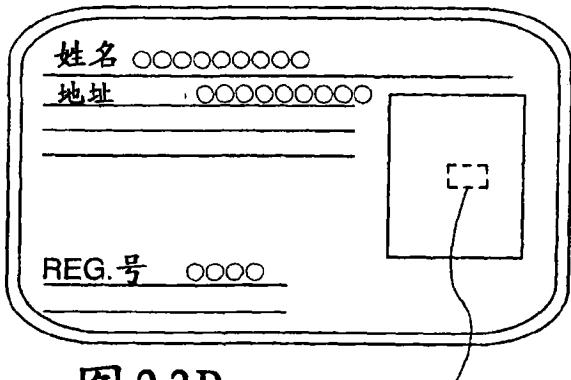


图 23B

191

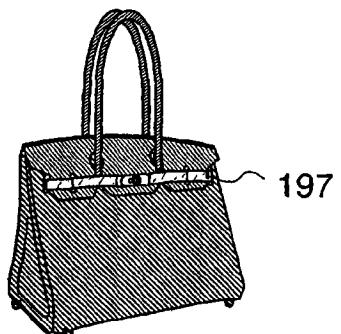


图 23C

194

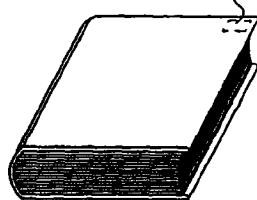


图 23D

193

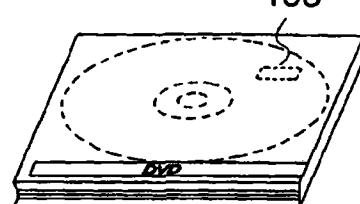


图 23E

195

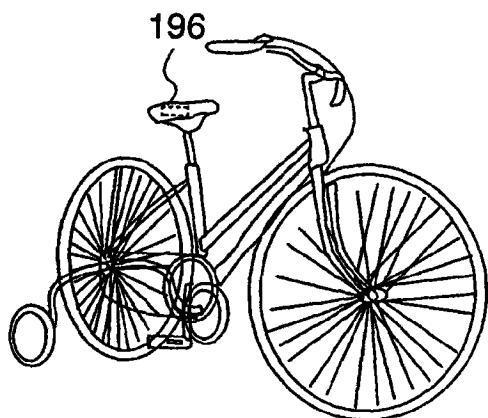


图 23F

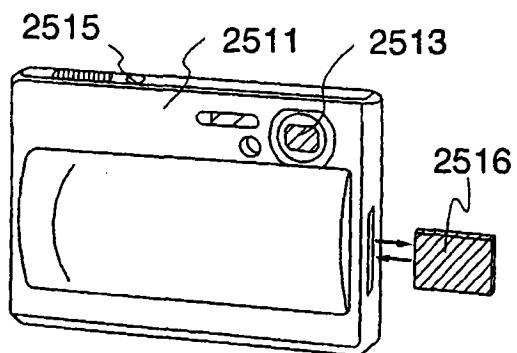


图 24A

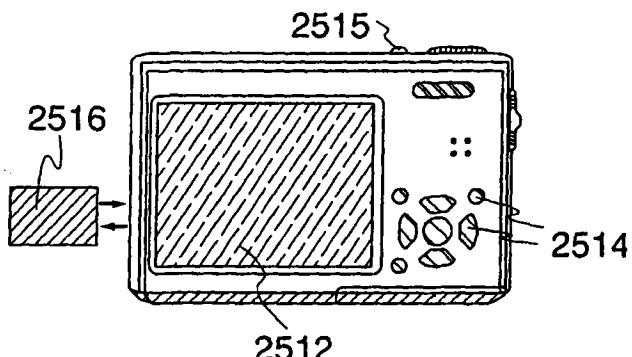


图 24B

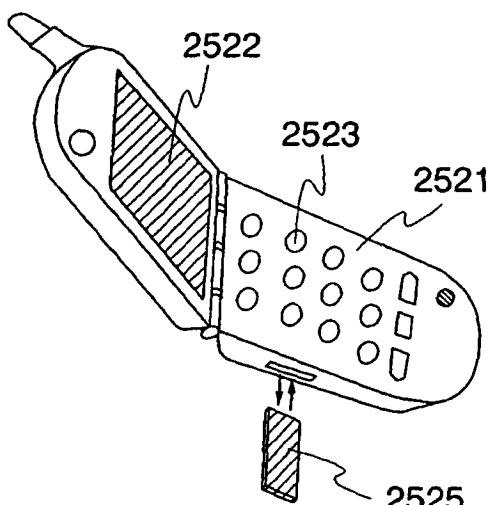


图 24C

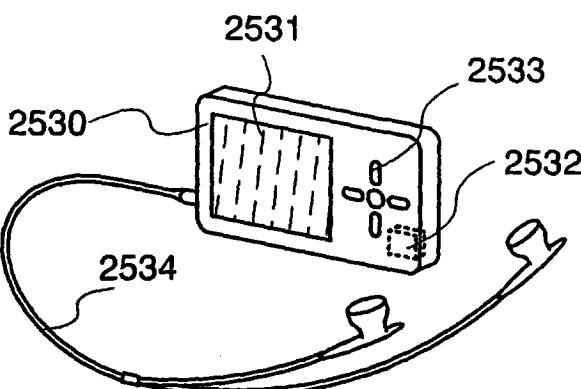


图 24D

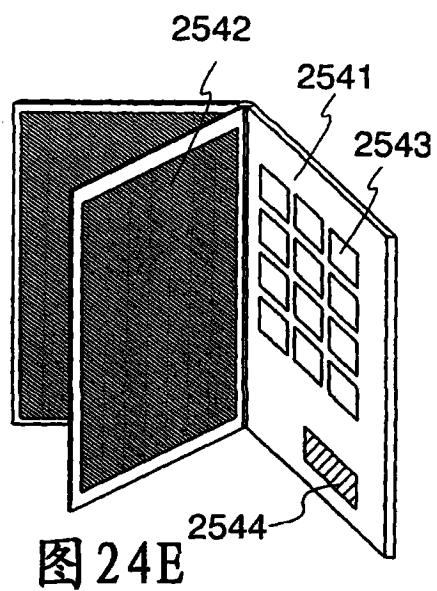


图 24E

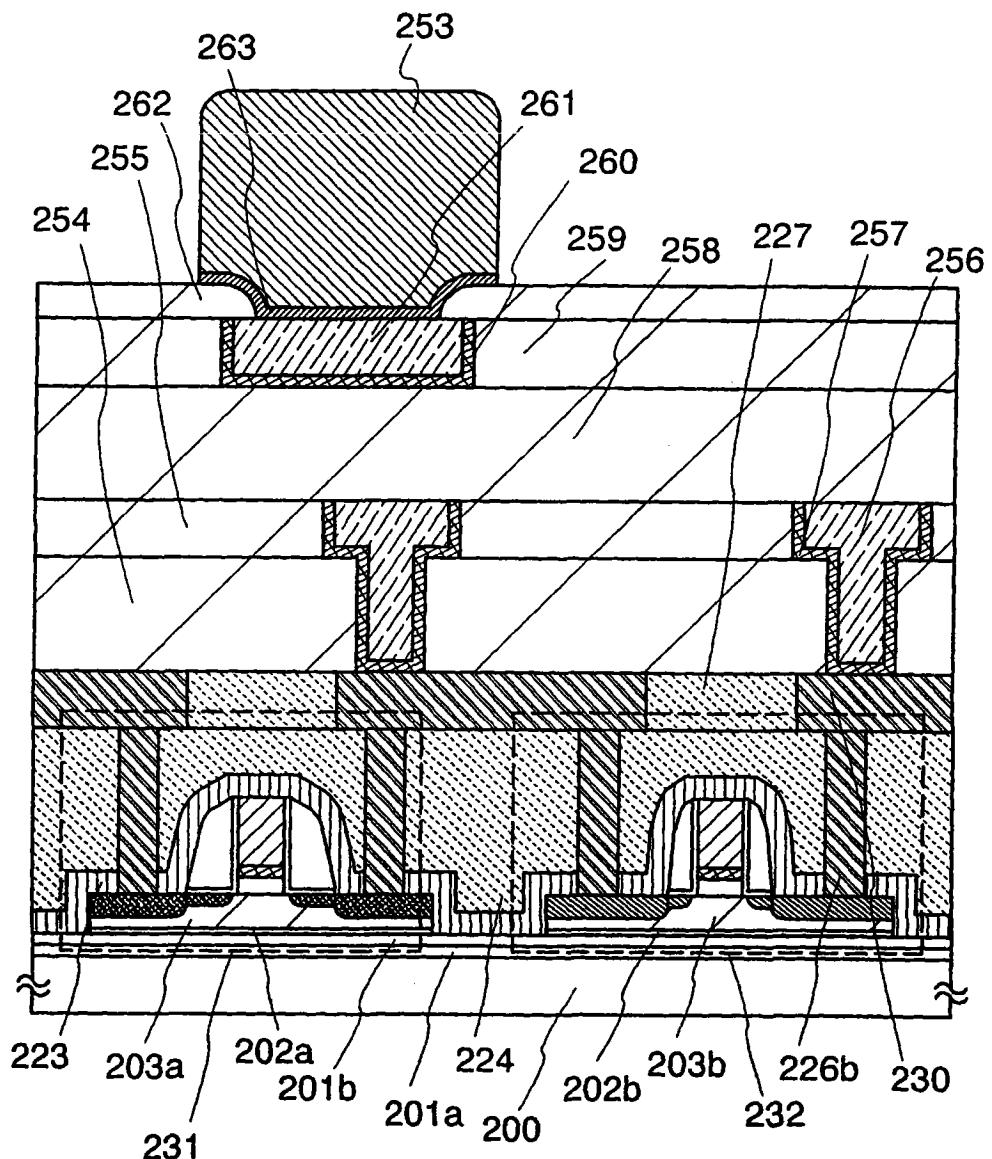


图 25

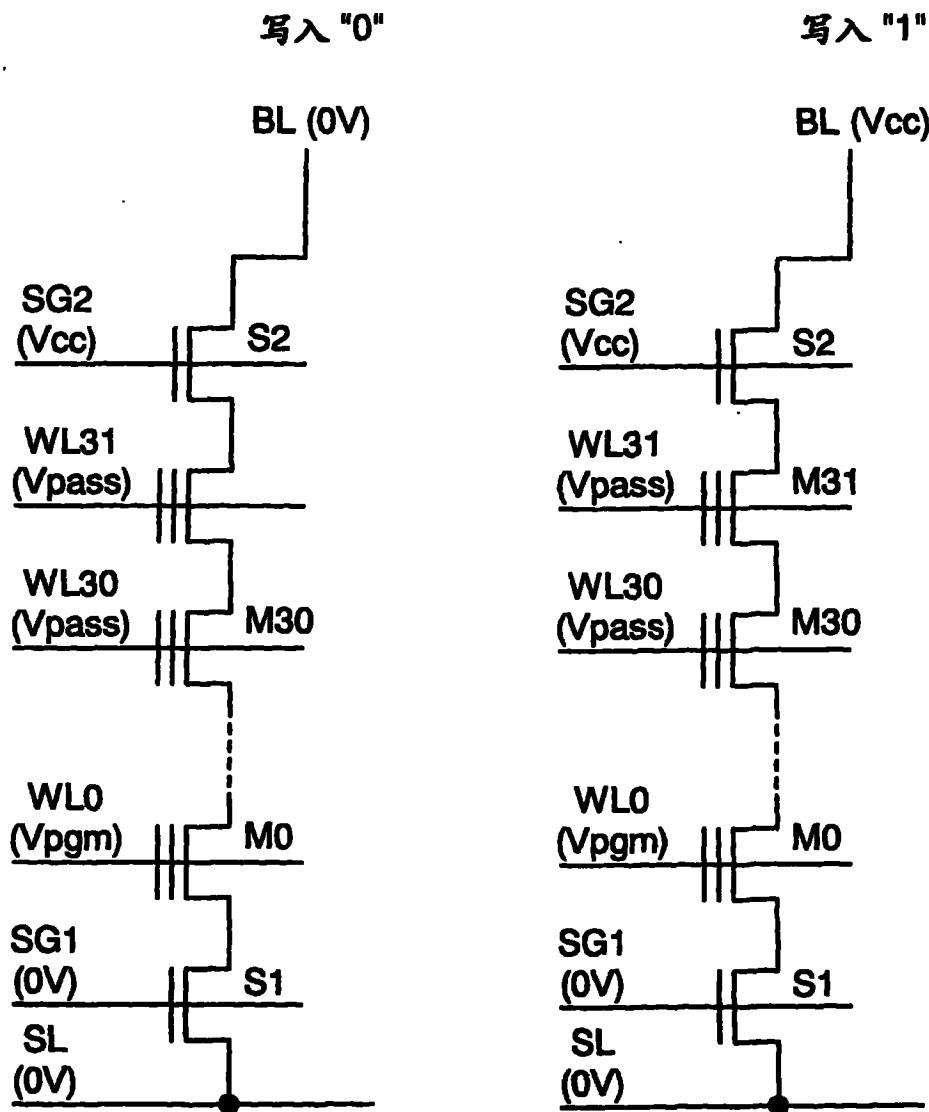


图 26A

图 26B

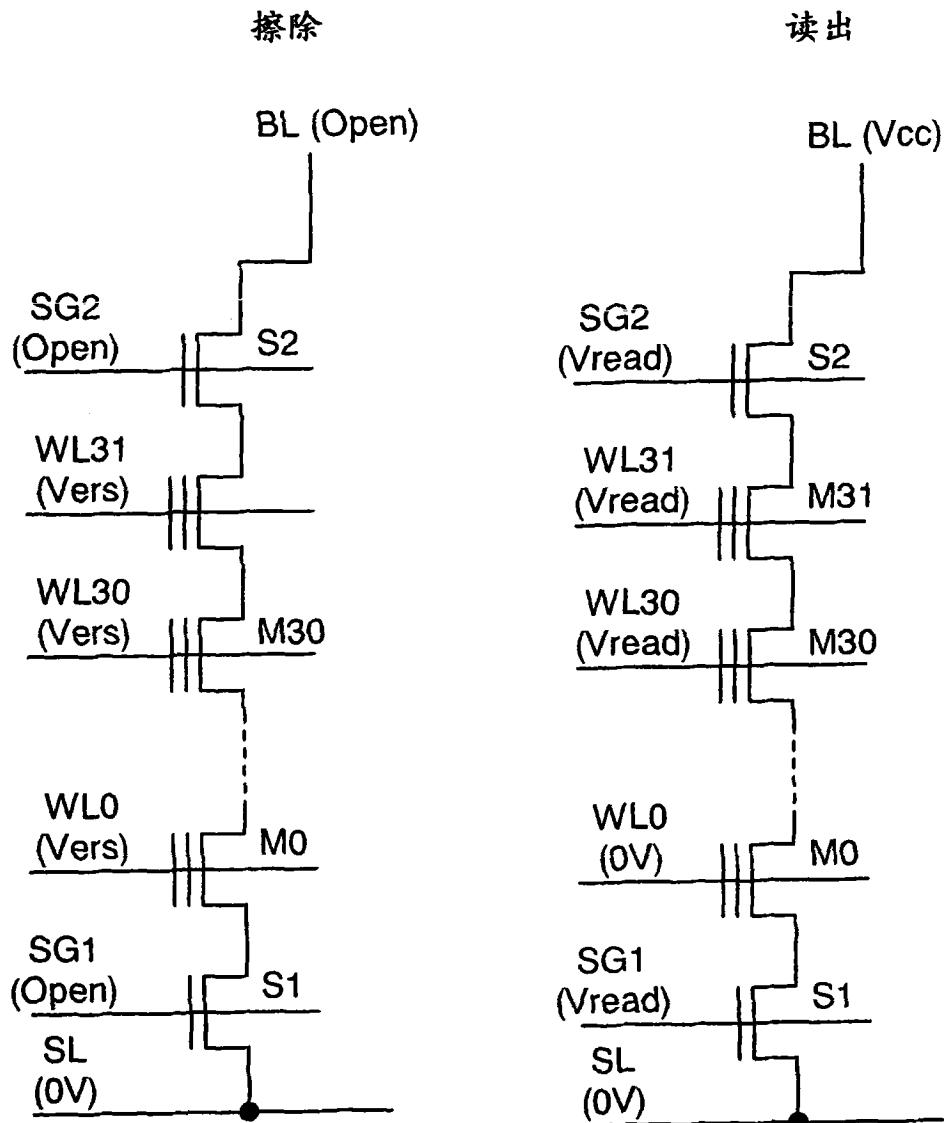


图 27A

图 27B