



(45) 授权公告日 2014. 10. 22

权利要求书3页 说明书11页 附图5页

1. 一种存储器电路,包含:

分压器,包括:

第一相变存储器器件;和

耦合到所述第一相变存储器器件的第二相变存储器器件;

耦合到所述分压器的半锁存器;和

耦合到所述半锁存器和所述分压器的级联晶体管,

其中所述半锁存器耦合到过驱动电压端子,进一步地所述级联晶体管的第一端子耦合到所述半锁存器的输出节点,所述级联晶体管的第二端子耦合到所述半锁存器的输入节点,所述级联晶体管的第三端子直接耦合到所述过驱动电压端子,其中所述第一端子是所述级联晶体管的栅极端。

2. 根据权利要求1所述的存储器电路,其中所述第一相变存储器器件处于设置电阻态,并且所述第二相变存储器器件处于复位电阻态。

3. 根据权利要求1所述的存储器电路,其中:

所述分压器进一步包括:

耦合到所述第一相变存储器器件的第一开关;和

耦合到所述第一开关和所述第二相变存储器器件的第二开关。

4. 根据权利要求3所述的存储器电路,其中:

所述半锁存器包括互补金属氧化物半导体 CMOS 反相器,所述互补金属氧化物半导体 CMOS 反相器包括串联耦合到 p 沟道金属氧化物半导体 PMOS 晶体管的 n 沟道金属氧化物半导体 NMOS 晶体管,其中所述半锁存器的所述输入节点被耦合到所述 n 沟道金属氧化物半导体 NMOS 晶体管的栅极和所述 p 沟道金属氧化物半导体 PMOS 晶体管的栅极;

所述级联晶体管是 PMOS 晶体管,其中所述级联晶体管的所述第二端子是所述级联晶体管的漏极端,所述级联晶体管的所述第三端子是所述级联晶体管的源极端;

所述第一开关是 n 沟道金属氧化物半导体 NMOS 晶体管;以及

所述第二开关是 n 沟道金属氧化物半导体 NMOS 晶体管。

5. 根据权利要求4所述的存储器电路,进一步包含:

耦合到所述分压器的地址线开关;以及

耦合在所述分压器和所述半锁存器之间的读取线开关。

6. 根据权利要求5所述的存储器电路,进一步包含:

耦合到所述半锁存器的所述输出节点的传输门晶体管。

7. 根据权利要求1所述的存储器电路,其中所述第一相变存储器器件和所述第二相变存储器器件是柱形单元存储器器件。

8. 一种包括根据权利要求1所述的存储器电路的分布式存储器。

9. 一种包括根据权利要求1所述的存储器电路的可编程逻辑器件。

10. 一种包含可编程逻辑器件的数字系统,所述可编程逻辑器件包括根据权利要求1所述的存储器电路。

11. 一种操作存储器电路的方法,所述方法包括:

设置第一相变存储器器件在第一电阻态;

设置第二相变存储器器件在第二电阻态;其中所述第一和第二相变存储器器件耦合在

分压器配置中；

使用耦合到所述分压器的半锁存器；和

使用耦合到所述半锁存器和所述分压器的级联晶体管，

其中所述半锁存器耦合到过驱动电压端子，进一步地所述级联晶体管的第一端子耦合到所述半锁存器的输出节点，所述级联晶体管的第二端子耦合到所述半锁存器的输入节点，所述级联晶体管的第三端子直接耦合到所述过驱动电压端子，其中所述级联晶体管的所述第一端子是所述级联晶体管的栅极端。

12. 根据权利要求 11 所述的方法，其中设置所述第一相变存储器器件和设置所述第二相变存储器器件发生在耦合到所述存储器电路的地址线开关的一个时钟周期中。

13. 根据权利要求 11 所述的方法，其中所述第一电阻态是设置电阻态，并且所述第二电阻态是复位电阻态。

14. 根据权利要求 13 所述的方法，进一步包含：

接通耦合到所述第一相变存储器器件的第一开关；并且

接通耦合到所述第一开关和所述第二相变存储器器件的第二开关；

其中传输门被耦合到使所述第一开关耦合到所述第二开关的节点。

15. 根据权利要求 14 所述的方法，进一步包含：

接通地址线开关，从而允许设置所述第一和第二相变存储器器件。

16. 根据权利要求 15 所述的方法，其中：

设置所述第一相变存储器器件包括将第一脉冲施加到所述第一相变存储器器件；并且

设置所述第二相变存储器器件包括将第二脉冲施加到所述第二相变存储器器件；

其中所述第一脉冲的持续时间长于所述第二脉冲的持续时间。

17. 根据权利要求 14 所述的方法，进一步包含：

接通在第一端子处耦合到节点并在第二端子处耦合到所述半锁存器的读取线开关，所述半锁存器耦合到所述传输门；

将所述读取线开关的所述第二端子上的信号施加到所述半锁存器的所述输入节点；以及

将所述半锁存器的输出施加到所述传输门。

18. 根据权利要求 17 所述的方法，其中所述级联晶体管的第二端子耦合到所述读取线开关的第二端子。

19. 一种存储器电路，包含：

分压器，包括：

第一相变存储器器件，其中所述第一相变存储器器件处于设置电阻态；

耦合到所述第一相变存储器器件的第一开关；

耦合到所述第一开关的第二开关；和

耦合到所述第二开关的第二相变存储器器件，其中所述第二相变存储器器件处于复位电阻态；

耦合到所述分压器的半锁存器；和

耦合到所述半锁存器和所述分压器的级联晶体管，

其中所述半锁存器耦合到过驱动电压端子，进一步地所述级联晶体管的第一端子耦

合到所述半锁存器的输出节点,所述级联晶体管的第二端子耦合到所述半锁存器的输入节点,所述级联晶体管的第三端子直接耦合到所述过驱动电压端子,其中所述第一端子是所述级联晶体管的栅极端。

20. 根据权利要求 19 所述的存储器电路,其中:

所述半锁存器包括互补金属氧化物半导体 CMOS 反相器,该 CMOS 反相器包括串联耦合到 p 沟道金属氧化物半导体 PMOS 晶体管的 n 沟道金属氧化物半导体 NMOS 晶体管,其中所述半锁存器的所述输入节点被耦合到所述 NMOS 晶体管的栅极和所述 PMOS 晶体管的栅极;

所述级联晶体管是 PMOS 晶体管,其中所述级联晶体管的所述第二端子是所述级联晶体管的漏极端,所述级联晶体管的所述第三端子是所述级联晶体管的源极端;

所述第一开关是 NMOS 晶体管;以及

所述第二开关是 NMOS 晶体管。

21. 根据权利要求 20 所述的存储器电路,进一步包含:

耦合到所述分压器的地址线开关;以及

耦合在所述分压器和所述半锁存器之间的读取线开关;

其中所述地址线开关是 NMOS 晶体管,并且所述读取线开关是 NMOS 晶体管。

22. 根据权利要求 19 所述的存储器电路,进一步包含:

耦合到所述半锁存器的所述输出节点的传输门晶体管。

23. 一种包括权利要求 19 所述的存储器电路的分布式存储器。

24. 一种包括权利要求 19 所述的存储器电路的可编程逻辑器件。

25. 一种包含可编程逻辑器件的数字系统,该可编程逻辑器件包括权利要求 19 所述的存储器电路。

包括具有相变存储器件的分压器的非易失存储器电路

技术领域

[0001] 本发明涉及存储器电路。

背景技术

[0002] 可编程逻辑器件 (PLD) (有时也称为复杂 PLD (CPLD)、可编程阵列逻辑 (PAL)、可编程逻辑阵列 (PLA)、现场 PLA (FPLA)、可擦写 PLD (EPLD)、电可擦写 PLD (EEPLD)、逻辑单元阵列 (LCA)、现场可编程门阵列 (FPGA), 或其它名字) 是提供具有定制 IC 灵活性的固定 IC 优点的公知的集成电路 (IC)。这样的器件通常提供具有可编程从而符合用户特定需要的至少一部分的“现货供应”器件。专用集成电路 (ASIC) 传统为固定 IC。然而, 提供具有可编程的部分或多个部分的 ASIC 是可能的。所以, IC 器件可能具有 ASIC 和 PLD 的性质。本文使用的术语 PLD 应视为足够广泛, 从而包括这样的器件。

[0003] PLD 具有可编程或重编程的配置元件。放置新数据到配置元件编程或重编程 PLD 的逻辑功能和相关路由路径。现场可编程的配置元件经常实施为随机存取存储器 (RAM) 单元, 其在 PLD 中有时称为“配置 RAM”(CRAM)。CRAM 通常实施为 6 晶体管静态 RAM (6T-SRAM)。所以, CRAM 通常指代 SRAM。同样, 术语 CRAM 在此用来指代实施为 SRAM 的配置存储器。

[0004] CRAM 承受许多缺点。第一, 它们易受软错误影响 (有时称为“一次 (one-off) 错误”。在组成元件尺寸减小或在施加到组成元件的电压 (例如, V_{cc}) 减小时软错误率 (SER) 增加。结果, 软错误限制 CRAM 中使用的组成元件的尺寸的减小或施加到它的组成元件的电压。因此, 使用更大组成元件和更高的施加电压。此外, 有时, 使用向器件添加更大电容的版图, 这使 CRAM 更不易受软错误影响。这使版图处理复杂。第二, 由于 CRAM 是易失性存储器, 因此每当 PLD 通电, 配置数据必然被加载并且被存储在 CRAM 中。这导致在配置 PLD 时的不希望延迟。

[0005] 一种纠正在 CRAM 中软错误的方式是重加载配置数据。然而, 这需要中断 PLD 的操作。纠正软错误的另一技术是使用多重冗余 (例如, 三重冗余)。这又需要使用更大的 CRAM 块。另外, 这些方法都需要使用错误检测方法。

发明内容

[0006] 在一个方面中, 本发明的实施例提供存储器电路, 其包含具有第一相变存储器 (PCM) 器件和耦合到所述第一 PCM 器件的第二 PCM 器件的分压器。在一个实施例中, 所述第一 PCM 器件在设置电阻态, 并且所述第二 PCM 器件在复位电阻态。同样, 在一个实施例中, 所述分压器进一步包括耦合到所述第一 PCM 器件的第一开关和耦合到所述第一开关和所述第二 PCM 器件的第二开关。在一个实施例中, 所述存储器电路进一步包括耦合到所述分压器的半锁存器以及耦合到所述半锁存器和所述分压器的级联晶体管。

[0007] 由于本发明的存储器电路的实施例使用 PCM 器件存储数据, 因此它比 CRAM 更不易受软错误影响。此外, 本发明的存储器电路的实施例为非易失性的, 并减小配置时间。与提出的分布式配置 PCM (CPCM) 存储器单元相比, 外部闪存存储器和内部块存储器都具有缓慢

的配置时间。

附图说明

[0008] 本发明的新颖特征在随附的权利要求中阐述。然而,为了解释目的,本发明具体实施例的若干方面参考下面附图进行描述。

[0009] 图 1 是本发明的存储器电路的一个实施例的框图。

[0010] 图 2 是本发明的存储器电路的另一实施例的详图。

[0011] 图 3A 和 3B 是用于对图 1 和 2 的存储器电路中相变存储器件进行编程的示例性时序图。

[0012] 图 4 图示包括其中可实施根据本发明实施例的存储器电路的示例性 PLD 的示例性数据处理系统。

具体实施方式

[0013] 提供下面的描述从而使本领域技术人员能够实现和使用本发明,并且在特别应用和它们的需求的背景下提供。对示例性实施例的各种修改对于本领域技术人员容易明显,并且本文定义的一般原理可以应用于其它实施例和应用而不脱离本发明的精神和范围。所以,不希望将本发明限于示出的实施例,而是符合与本文公开的原理和特征一致的最广泛范围。

[0014] 图 1 是本发明的存储器电路的一个实施例的框图。在图 1 中,存储器电路 100 包括地址线开关 110、分压器 120、读取线开关 130、半锁存器 140、级联晶体管 150(半锁存器 140 加级联晶体管 150 的结合在此可称为感测放大器)和传输门(pass gate)160。例如,传输门 160 可以用来配置查询表(LUT),或连接用于全局路由的两条金属互连线。注意存储器电路 100 可以被定义为不含传输门 160。可替换地,存储器电路 100 可以被定义为不含地址线开关 110 和传输门 160。同样注意存储器电路例如存储器电路 100 有时称为非易失性存储器单元。

[0015] 分压器 120 包括串联耦合的 PCM 器件 121、开关 122 和 128 和 PCM 器件 127,如图 1 中所示。PCM 器件 121 和开关 122 可以在此分别称为顶 PCM 器件 121 和顶开关 122。相似地,PCM 器件 127 和开关 128 可在此分别称为底 PCM 器件 127 和底开关 128。

[0016] 在一个实施例中,半锁存器 140 是互补金属氧化物半导体(CMOS)反相器,其包括 p 沟道金属氧化物半导体(PMOS)晶体管 141 和 n 沟道金属氧化物半导体(NMOS)晶体管 142。

[0017] 在一个实施例中,地址线开关 110、读取线开关 130、开关 122 和 128,以及传输门 160 全部是 NMOS 晶体管,而级联晶体管 150 是 PMOS 晶体管。在一个实施例中,开关 122 和 128 是相同尺寸的 NMOS 晶体管。

[0018] 在一个实施例中,地址线(AL)信号和读取线(RL)信号分别控制地址线开关 110 和读取线开关 130 的状态。数据线(DL)信号是输入到地址线开关 110 的信号。注意 DL 电压和 DL 电流都输入到地址线开关 110。顶选择线(TSL)信号和底选择线(BSL)信号分别控制顶开关 122 和底开关 128 的状态。感测电压(SV)信号被施加到顶 PCM 器件 121 的一个端子,如在图 1 中示出。过驱动电压(OV)信号被施加到半锁存器 140 和级联晶体管 150,如在图 1 中示出。OV 定义为施加到给定技术的栅极氧化物两端的最大可靠电压。OV 是 V_{cc}

加 V_{od} 的和,其中 V_{od} 取决于晶体管 160 的氧化物厚度,并表示除 V_{cc} 之外允许晶体管 160 使全部电压信号 V_{cc} 从漏极经过到源极而没有 V_t 压降(其中 V_t 表示晶体管的阈值电压)所需要的电压。即, $0V = V_{cc} + V_{od}$ 。

[0019] 在一个实施例中,PCM 器件 121 和 PCM 器件 127 中每个都是具有柱形 (pillar) 单元结构的 PCM 器件。同样在一个实施例中,PCM 器件 121 和 PCM 器件 127 中每个都是包括第一层和连接到第一层的第二层的 PCM 器件。在一个实施例中,第一层包括氮化钛 (TiN) 层。这样的第一层可以在此被称为 TiN 层。第二层包括共同称为 GST 的锗 (Ge)、锑 (Sb) 和碲 (Te) 与氮 (N) 的硫属合金 (chalcogenide alloy) 层。这样的第二层在此可以被称为 GST:N 层。在一个实施例中,PCM 器件 121 的 TiN 层被耦合到金属触点,该金属触点被耦合到 SV,并且 PCM 器件 121 的 GST:N 层被耦合到可在此称为 W 塞的钨 (W) 制作的触点。该 W 塞又被耦合到顶开关 122 的漏极。同样,在一个实施例中,PCM 器件 127 的 TiN 层被耦合到金属触点,该金属触点被耦合到地,并且 PCM 器件 127 的 GST:N 层被耦合到 W 塞。该 W 塞又耦合到底开关 128 的漏极。

[0020] 注意柱形单元结构需要比一些其它单元结构更小的面积。在另一实施例中,PCM 器件可以具有也可称为线性单元结构的水平单元结构。

[0021] 在一个实施例中,容易用 CMOS 工艺为存储器电路的 CMOS 器件集成 PCM 器件。

[0022] 在一个实施例中,PCM 器件 121 和 127 由相同材料构造,并具有相同特性和版图。在另一实施例中,PCM 器件 121 和 127 可由不同材料构造,可具有不同特性并可具有不同版图。

[0023] 在一个实施例中,PCM 器件 121 和 127 可以实现在 125 摄氏度 ($^{\circ}\text{C}$) 的温度数据保存 10 年。这符合或超过一些 IC 要求的在 85 到 125 $^{\circ}\text{C}$ 的温度数据保存 10 年。同样,在一个实施例中,PCM 器件 121 和 127 可以实现高于 10^7 次循环的循环耐久性。这大大高于在一些 IC 中要求的 10^2 到 10^3 次循环。

[0024] PCM 器件可以在 SET 态 (即,低电阻态) 或 RESET 态 (即,高电阻态)。PCM 器件的一些关键参数包括保持电压 V_h 、阈值电压 V_{th} 、SET 态电阻、和 RESET 态电阻。在一个实施例中,PCM 器件的初始或原始状态是 RESET 态。这可以通过 PCM 器件材料的低温沉积实现,并允许在配置 IC 例如 PLD 时避免大的急剧短路 (crow bar) 电流。除了其他因素之外,PCM 器件的 V_{th} 取决于 PCM 器件的材料成分、材料厚度和 PCM 器件的单元结构。

[0025] 在一个实施例中,SET 态电阻约小于 RESET 态电阻 3 个量级。在另一实施例中,SET 态电阻约小于 RESET 态电阻 6 个量级。注意本发明的实施例不限于 SET 态和 RESET 态电阻比率的上面对例子。

[0026] 在一个实施例中,向 PCM 器件施加高于其 V_{th} 的器件电压而限制施加到器件的电流到约 0.2 到 0.7 毫安 (mA) 导致 PCM 器件从 RESET 态转变为 SET 态。同样,在一个实施例中,向 PCM 器件施加大于 V_h 并小于 V_{th} 的器件电压而施加高于 0.7mA 的电流导致 PCM 器件从 SET 态转变为 RESET 态。注意,在一个实施例中,在从 SET 态转变为 RESET 态时,施加到 PCM 器件的电流迅速切断。这允许使 PCM 器件材料维持在无定形态。迅速切断电流失败可导致 PCM 器件材料的一些结晶,这会减小 PCM 器件的电阻。在一个实施例中,施加到 PCM 器件从而设置或复位 PCM 器件的电流脉冲是大约 10 纳秒 (ns) 的短脉冲。所以,在一个实施例中,PCM 器件的编程速度约为 10ns。在一个实施例中,电流脉冲周期为使器件置于 SET 态

约为 50ns, 并且使器件置于 RESET 态约为 20ns。同样, 在一个实施例中, AL 信号的周期约为 100ns。

[0027] 在存储器电路 100 的一个实施例中, 对于给定技术节点, RESET 态电阻在 1 兆欧 ($M\Omega$) 到 1 吉欧 ($G\Omega$) 的范围中, 并且 V_{th} 大大低于 0V。在一个实施例中, V_{cc} 约为 1.2 伏 (V), 0V 约为 1.55V, V_h 约为 0.5V 并且 V_{th} 约为 1.2V。如从上面可见, 在一个实施例中, V_{th} 与 V_{cc} 在同一量级。

[0028] 在一个实施例中, 由 SV 和 PCM 器件 (更特殊地, 通过 RESET 态中的 PCM 器件) 限制读电流 (I_{read}), 即, 通过分压器 120 的电流。同样, 在一个实施例中, 可通过使用顶开关 122 和底开关 128 的低栅极偏置 (V_t 或高于 V_t) 限制 I_{read} 。注意, 在一个实施例中, 具有更低 I_{read} 的存储器电路可更适合与更大 IC 一起使用。

[0029] 在 V_{th} 大大低于 0V 的一个实施例中, 对于约 $10M\Omega$ 的 RESET 态电阻、约 0.5V 的 SV 和约 50 微安 (μA) 的 I_{ser} , I_{read} 约为每存储器电路 50 纳安 (nA), 其中 I_{ser} 表示如果发生软错误, 存储器电路 100 (更具体地, 存储器电路 100 的 PCM 127 和晶体管 128) 可以克服软错误的电流。在此情况下, 1×10^6 个存储器单元的总静态单元电流约为 50mA ($50nA \times 1 \times 10^6$)。在其中 V_{th} 大大低于 0V 的另一实施例中, 对于约 $100M\Omega$ 的 RESET 态电阻、约 0.5V 的 SV 和约 $5\mu A$ 的 I_{ser} , I_{read} 约为每存储器电路 5nA。在一个实施例中, 存储器电路 100 不需要快速读取例如闪存存储器需要的快速读取。

[0030] 图 3A 和 3B 是用于对图 1 和 2 的存储器电路中 PCM 器件编程的示例性时序图。图 3A 是用于将 (图 1 和 2 中) 顶 PCM 器件编程到 SET 态, 并将 (图 1 和 2 中) 底 PCM 器件编程到 RESET 态的示例性时序图。另一方面, 图 3B 是用于将 (图 1 和 2 中) 顶 PCM 器件编程到 RESET 态, 并将 (图 1 和 2 中) 底 PCM 器件编程到 SET 态的示例性时序图。存储器电路 100 的操作连同图 3A 和 3B 与下面的表 1 在此描述, 表 1 示出在 PCM 器件 121 和 127 编程期间与在睡眠、读取和正常操作模式期间图 1 中各种信号的示例值。

[0031]

	DL	AL	TSL	BSL	RL	SV	OV
设置 顶部	$\geq V_{th}$ I_{source}	$\geq V_{th}+V_t$	$\geq V_{th}+V_t$	GND	GND	GND	GND
复位 底部	V1	$\geq V_1+V_t$	GND	$\geq V_1+V_t$	GND	GND	GND
复位 顶部	V1	$\geq V_1+V_t$	$\geq V_1+V_t$	GND	GND	GND	GND
设置 底部	$\geq V_{th}$ I_{source}	$\geq V_{th}+V_t$	GND	$\geq V_{th}+V_t$	GND	GND	GND

[0032]

睡眠	X	GND	Vcc	GND	<Vh+Vt	<Vh	<Vh
读取	X	GND	Vcc	Vcc	<Vh+Vt	<Vh	<Vh
正常 操作	X	GND	Vcc	Vcc	<Vh+Vt	<Vh	Vcc+Vod

[0033] 注意,在上面的表 1 中, $V_h < V_1 < V_{th}$ 。同样注意在表 1 中,在正常操作模式期间, $0V = V_{cc} + V_{od}$ 。此外,在一个实施例中, V_{th} 是 DL 电压的最小需求 (即,在一个实施例中,为设置 PCM, DL 电压必须大于 V_{th})。另外, GND 表明接地, V_1 表明输入到地址线开关 110 的 DL 电压, V_t 表明 MOS 器件 (例如,地址线开关 110 与开关 122、128 和 130) 的阈值电压, V_{cc} 表明施加到 MOS 器件的电源电压, X 表明与其状态无关,并且 I_{source} 表明施加到地址线开关的电流 (即,它表明也可称为编程电流的 DL 电流)。注意,例如关于表 1 中 DL, X 表示 DL 电压可以是 GND 到 V_{th} 。

[0034] 在表 1 中,列 DL、AL、TSL、BSL、RL、SV 和 0V 分别表示 DL、AL、TSL、BSL、RL、SV 和 0V 信号的值。同样,在表 1 中,设置顶部、复位底部、复位顶部和设置底部行分别表示设置顶 PCM 器件 121、复位底 PCM 器件 127、复位顶 PCM 器件 121 和设置底 PCM 器件 127 的各种信号的值。在一个实施例中,设置顶 PCM 器件 121 和复位底 PCM 器件 127 都在 AL 信号的一个时钟周期中发生。相似地,在一个实施例中,复位顶 PCM 器件 121 和设置底 PCM 器件 127 都在 AL 信号的一个时钟周期中发生。在另一实施例中,顶部和底部器件可在 AL 信号的多个时钟周期中编程。此外,在表 1 中,睡眠、读取和正常操作行分别表示在睡眠模式、读取模式和正常操作模式期间各种信号的值。

[0035] 如从表 1 中可见,在顶 PCM 器件 121 和底 PCM 器件 127 设置和复位期间,RL、SV 和 0V 信号全部被接地。换言之,在 PCM 器件编程期间,RL、SV 和 0V 信号全部被接地。由于 RL 信号在 PCM 器件编程期间被接地,因此读取线开关 130 断开。结果,在一个实施例中,半锁存器 140、级联晶体管 150 和传输门 160 在 PCM 器件编程期间从分压器 120 电耦。相似地,由于 SV 信号在 PCM 器件编程期间被接地,因此耦合到 SV 信号的 PCM 器件 121 的端子被接地。同样在图 1 中可见,PCM 器件 127 的一个端子同样被接地。相似地,由于 0V 信号在 PCM 器件编程期间被接地,因此耦合到 0V 信号的半锁存器 140 的端子和级联晶体管 150 的端子同样被接地。这有效使半锁存器 140 和级联晶体管 150 置于关态。

[0036] 在一个实施例中,在将 PCM 器件 121 编程为 SET 态期间,AL 信号大于或等于 $V_{th} + V_t$,而在将 PCM 器件 127 编程为 RESET 态期间,AL 信号大于或等于 $V_1 + V_t$,其中 V_1 大于 V_h 并小于 V_{th} 。在另一实施例中,在将 PCM 器件 121 编程为 SET 态和将 PCM 器件 127 编程为 RESET 态期间,AL 信号为 $V_{th} + V_t$ 。这样的实施例顾及如在图 3A 和 3B 中示出的更简单 AL 信号。同样,在一个实施例中,在将 PCM 器件 121 编程为 SET 态期间,TSL 信号大于或等于 $V_{th} + V_t$,DL 电压信号大于或等于 V_{th} ,DL 电流信号被限于设置电流 (设置 I),并且 BSL 信号被接地。在一个实施例中,通过电流源 (未示出) 控制设置电流,该电流源供应 DL 电流信号并限制用来使 PCM 器件 121 置于 SET 态的最大 DL 电流信号。在将 PCM 器件 127 编程为 RESET 态期间,TSL 信号被接地,DL 电压信号等于 V_1 ,DL 电流信号在复位电流水平 (复位 I),并且 BSL 信号大于或等于 $V_1 + V_t$ 。在一个实施例中,用晶体管 128 上的栅极偏置为

PCM 器件 127 控制复位电流水平。在一个实施例中,编程电流设置 I 和复位 I 小于约 1mA ,这允许维持存储器电路小的尺寸。在另一实施例中,在将 PCM 器件 127 编程为 RESET 态期间,BSL 信号等于 $V_{th}+V_t$ 。在此情况下,TSL 和 BSL 信号的高二进制值电压为 $V_{th}+V_t$ 。

[0037] 在一个实施例中,在将 PCM 器件 121 编程为 RESET 态期间,AL 信号大于或等于 V_1+V_t ,而在将 PCM 器件 127 编程为 SET 态期间,AL 信号大于或等于 $V_{th}+V_t$ 。在另一实施例中,在将 PCM 器件 121 编程为 RESET 态和将 PCM 器件 127 编程为 SET 态期间,AL 信号为 $V_{th}+V_t$ 。同样,在一个实施例中,在将 PCM 器件 121 编程为 RESET 态期间,TSL 信号大于或等于 V_1+V_t ,DL 电压信号等于 V_1 ,DL 电流信号在复位电流水平(复位 I),并且 BSL 信号被接地。在一个实施例中,用 PCM 器件 121 上的栅极偏置控制复位电流水平。在另一实施例中,在将 PCM 器件 121 编程为 RESET 态期间,TSL 信号等于 $V_{th}+V_t$ 。相似地,在一个实施例中,在将 PCM 器件 127 编程为 SET 态期间,TSL 信号被接地,DL 电压信号大于或等于 V_{th} ,DL 电流信号被限于设置电流(设置 I),并且 BSL 信号大于或等于 $V_{th}+V_t$ 。在一个实施例中,通过电流源(未示出)控制设置电流,该电流源供应 DL 电流信号并限制用来使 PCM 器件 127 置于 SET 态的最大 DL 电流信号。

[0038] 在一个实施例中,在睡眠模式期间,DL 信号为 X,AL 信号被接地,TSL 信号等于 V_{cc} ,BSL 信号被接地,RL 信号小于 V_h+V_t ,SV 信号小于 V_h ,并且 OV 信号小于 V_h 。注意睡眠模式允许关闭不使用的位。同样注意睡眠模式可以用来关闭不使用的逻辑元件(LE),所以在不使用的 LE 中避免存储器电路的存储器读电流 I_{read} ,并降低全部电流 I_{cc} ,其中 I_{cc} 表示芯片消耗的总静态电流。在一个实施例中,在睡眠模式期间,顶 PCM 器件 121 在 SET 态,而底 PCM 器件 127 在 RESET 态。

[0039] 在一个实施例中,在读取模式期间,DL 信号为 X,AL 信号被接地,TSL 信号等于 V_{cc} ,BSL 信号等于 V_{cc} ,RL 信号小于 V_h+V_t ,SV 信号小于 V_h ,并且 OV 信号小于 V_h 。在一个实施例中,在读取模式期间,为使半锁存器 140 解扣(trip),SV 信号等于 OV 信号。注意在读取操作期间,OV 信号降到 SV 信号的水平。

[0040] 在一个实施例中,在正常操作模式期间,DL 信号为 X,AL 信号被接地,TSL 信号等于 V_{cc} ,BSL 信号等于 V_{cc} ,RL 信号小于 V_h+V_t ,SV 信号小于 V_h ,并且 OV 信号等于 $V_{cc}+V_{od}$ 。在正常操作模式中,在读取 PCM 器件的状态之后,由于在读取操作期间 OV 信号降到 SV 信号的水平,因此耦合到 OV 信号的半锁存器 140 和级联晶体管 150 的端子的电压从 SV 升高到 OV。在正常操作期间,数据经过传输门 160。

[0041] 如在表 1 中可见,在睡眠、读取和正常操作模式期间,AL 信号被接地。结果,地址线开关 110 断开,并且分压器 120 从 DL 电压信号和 DL 电流信号电解耦。

[0042] 在读取操作期间,如果 PCM 器件 121 在 SET 态并且 PCM 器件 127 在 RESET 态,那么端子 125 的电压约等于 SV。注意在 SET 态的 PCM 器件 121 主动保持分压器 120 的电压,即将端子 125 的电压保持在大约 SV。由于在端子 125 的电压约等于 SV,因此高二进制值电压经读取线开关 130 输入到半锁存器 140。即,高二进制值电压被施加到端子 135。半锁存器 140 使端子 135 上的电压逆变,并在耦合到传输门 160 的栅极的端子 155 上提供低二进制值电压。如在上面提到,在一个实施例中,传输门 160 是 NMOS 晶体管。因此,当端子 155 的电压具有低二进制值时传输门 160 不接通。由于端子 155 也耦合到在一个实施例中是 PMOS 晶体管的级联晶体管 150 的栅极,因此级联晶体管 150 接通,所以使 OV 信号耦合到端子 135。

这增强端子 135 上的高二进制值电压。

[0043] 另一方面,如果 PCM 器件 121 在 RESET 态并且 PCM 器件 127 在 SET 态,那么端子 125 的电压约等于接地。注意在 SET 态的 PCM 器件 127 主动拉低分压器 120 的电压,即端子 125 的电压。由于端子 125 的电压约等于接地,因此低二进制值电压经读取线开关 130 输入到半锁存器 140。换言之,低二进制值电压被施加到端子 135。半锁存器 140 将端子 135 的电压逆变,并在端子 155 提供高二进制值电压。如在上面提到,在一个实施例中,传输门 160 是 NMOS 晶体管。因此,当端子 155 的电压具有高二进制值时传输门 160 接通。由于端子 155 也耦合到级联晶体管 150 的栅极,因此级联晶体管 150 不接通,所以保持端子 135 从 0V 信号电解耦。所以,在此情况下,级联晶体管 150 不增加端子 135 上的电压。

[0044] 在一个实施例中,在睡眠、读取和正常操作模式期间,最大 SV 信号被限制在低于复位电压,并最小 SV 信号由感测放大器噪声容限限制。当 PCM 器件在 RESET 态时复位电压为 V_{th} ,并且当 PCM 器件在 SET 态时复位电压为 V_h 。感测放大器噪声容限是感测放大器可承受而不失去其状态的噪声电平。换言之,它是感测放大器可锁存的最小输入电压。在一个实施例中,感测放大器噪声容限被估计并减小,从而使得 SV 信号水平可以被最小化到可能的限度。由于 SV 信号影响 I_{read} ,因此减小 SV 信号水平会减小 I_{read} 。

[0045] 注意由于存储器电路 100 将会从软错误事件恢复,因此存储器电路 100 抗软错误。在半锁存器 140 中数据错误的情况下,可通过降低 0V 信号到 SV 信号(如在上面提到为正常读取处理的部分),并从分压器 120 重加载数据回到半锁存器 140 来改正软错误。在一个实施例中,这样的纠正可以基于存储器块的列或存储器块的行完成。在另一实施例中,它可基于位完成。同样注意存储器电路 100 耐受 V_{min} (其中 V_{min} 是在 RAM 中避免数据丢失所需要的最小电源电压)。结果,存储器电路 100 免疫数据干扰。另外,存储器电路 100 不遭受在 CDRAM 和 RAM 存储器电路中存在的读/写容限问题。

[0046] 图 2 是本发明的存储器电路的另一实施例的详图。在图 2 中,存储器电路 200 包括地址线开关 210、分压器 220 和传输门 260。注意存储器电路 200 可以定义为不含传输门 260。可替换地,存储器电路 200 可定义为不含地址线开关 210 和传输门 260,在该情况下,存储器电路 200 与分压器 220 相同。同样注意存储器电路例如存储器电路 200 有时称为存储器单元。

[0047] 分压器 220 如在图 2 中示出包括串联耦合的 PCM 器件 221、开关 222 和 228,以及 PCM 器件 227。PCM 器件 221 和开关 222 可以在此分别称为顶 PCM 器件 221 和顶开关 222。相似地,PCM 器件 227 和开关 228 可以在此分别称为底 PCM 器件 227 和底开关 228。

[0048] 在一个实施例中,地址线开关 210、开关 222 和 228,以及传输门 260 全部是 NMOS 晶体管。

[0049] 在存储器电路 200 中,AL 信号控制地址线开关 210 的状态。DL 信号是输入到地址线开关 210 的信号。注意 DL 电压信号和 DL 电流信号都输入到地址线开关 210。TSL 信号和 BSL 信号分别控制顶开关 222 和底开关 228 的状态。SV 被施加到顶 PCM 器件 221 的一个端子。

[0050] 除在下面提到之外,存储器电路 200 相似于存储器电路 100,并以相似方式操作。和存储器电路 100 中它们的对应部分一样用于相似功能的存储器电路 200 中的部件和信号用与它们对应部分的参考号相差 100 的参考号表示。例如,存储器电路 200 中的地址线开

关 210 和分压器 220 分别对应于存储器电路 100 中的地址线开关 110 和分压器 120。由于存储器电路 200 相似于存储器电路 100 并以相似方式操作,因此除提到相对于存储器电路 100 的一些不同之处外在此不更详细描述。

[0051] 在分压器 220 中的 PCM 器件类似于分压器 120 的 PCM 器件,并以相似方式被编程。如在图 2 中可见,存储器电路 200 不包括在 PCM 器件 221 和 227 编程期间使分压器 220 从传输门 260 电解耦的读取线开关。作为替代,在存储器电路 200 中,在 PCM 器件 221 和 227 编程期间,传输门 260 的端子 261 和 262(分别为漏极和源极端子)被接地。结果,在 PCM 器件 221 和 227 编程期间传输门 260 不开启。

[0052] 如在上面提到,图 3A 和 3B 是用于对图 1 和 2 的存储器电路中 PCM 器件编程的示例性时序图。图 3A 是用于将顶 PCM 器件 221 编程到 SET 态并将底 PCM 器件 227 编程到 RESET 态的示例性时序图。另一方面,图 3B 是用于将顶 PCM 器件 221 编程到 RESET 态并将底 PCM 器件 227 编程到 SET 态的示例性时序图。表 2 在下面示出在 PCM 器件编程、睡眠模式和正常操作模式期间图 2 中相关信号的值。

[0053]

	DL	AL	TSL	BSL	SV
设置顶部	$\geq V_{th}$ I _{source}	$\geq V_{th}+V_t$	$\geq V_{th}+V_t$	GND	GND
复位底部	V ₁	$\geq V_1+V_t$	GND	$\geq V_1+V_t$	GND
复位顶部	V ₁	$\geq V_1+V_t$	$\geq V_1+V_t$	GND	GND
设置底部	$\geq V_{th}$ I _{source}	$\geq V_{th}+V_t$	GND	$\geq V_{th}+V_t$	GND
睡眠	X	GND	V _{cc}	GND	<V _{th}
正常 OP	X	GND	V _{cc}	V _{cc}	V _{cc} +V _{od}

[0054] 表 2

[0055] 如从表 1 和 2 可见,在这些表中相关信号的值在编程期间相同。同样除 SV 信号的值之外,在表 1 和 2 中相关信号的值在睡眠和正常操作模式期间相同。由于存储器电路 200 不包括读取线开关,因此 RL 信号在存储器电路 200 中不可用并且没有在表 2 中示出。相似地,由于存储器电路 200 中没有从分压器 220 读取数据到其的半锁存器或锁存器,因此存储器电路 200 不包括分离读取模式。此外,由于存储器单元 200 不包括级联晶体管 and 半锁存器,因此 0V 信号在存储器电路 200 中不可用并且没有在表 2 中示出。最终,在睡眠模式期间,在表 1 和 2 中 SV 信号具有相同的值。然而,在正常操作模式期间,在表 2 中 SV 信号为 V_{cc}+V_{od},不同于在表 1 中它具有的值。注意在表 2 中,SV 信号具有的值与在表 1 中 0V 信号具有的值相同。

[0056] 如在上面提到,在睡眠模式期间,在表 2 中相关信号具有与在表 1 中它们对应部分相同的值。由于这些值已经关于表 1 描述,因此它们在此不关于表 2 描述。在正常操作模式期间,除 SV 信号之外,在表 2 中全部信号具有与表 1 中相同的值。在正常操作模式中,在读取 PCM 器件的状态之后,它们经过传输门 260。

[0057] 如从上面可见,在睡眠和正常操作模式期间,AL 信号被接地。结果,地址线开关 210 断开,并且分压器 220 从 DL 电压信号和 DL 电流信号电耦合。

[0058] 在正常操作模式期间,如果 PCM 器件 221 在 SET 态并且 PCM 器件 227 在 RESET 态,那么端子 225 的电压约等于 SV。由于端子 225 直接耦合到传输门 260 的栅极,因此高二进制值电压被施加到传输门 260 的栅极。如在上面提到,在一个实施例中,传输门 260 是 NMOS 晶体管。同样在正常操作模式期间,端子 261 和 262 (分别为传输门 260 的漏极和源极端子) 不接地。因此,当端子 225 的电压具有高二进制值时,传输门 260 接通。这使端子 261 和 262 电耦合。

[0059] 另一方面,如果 PCM 器件 221 在 RESET 态并且 PCM 器件 227 在 SET 态,那么端子 225 的电压约等于接地。结果,低二进制值电压被施加到传输门 260 的栅极。如在上面提到,在一个实施例中,传输门 260 是 NMOS 晶体管。因此,当端子 225 的电压具有低二进制值时,传输门 260 不接通。结果端子 261 和 262 没有电耦合。

[0060] 在存储器电路 200 的一个实施例中,对于给定技术节点,RESET 态电阻在 1 兆欧 ($M\Omega$) 到 1 千兆欧 ($G\Omega$) 的范围中,并且 V_{th} 大于 0V。在一个实施例中, V_{cc} 约为 1.2V,0V 约为 1.55V,并且 V_{th} 约为 1.7 到 2V。在另一实施例中, V_{cc} 约为 0.9V,0V 约为 1.2V,并且 V_{th} 约为 1.35 到 1.7V。

[0061] 对于 65 纳米 (nm) 工艺节点,在 V_{th} 大于 0V 并且 SV 等于工艺节点的 0V 的一个实施例中,对于约 $1G\Omega$ 的 RESET 态电阻、约 1.55V 的 SV 和约 $1.5\mu A$ 的 I_{ser} , I_{read} 约为每存储器电路 1.5nA。在此情况下, 1×10^6 个存储器单元的总静态电流约为 1.5mA。在一个实施例中,存储器电路 200 不需要快速读取,例如闪存存储器需要的快速读取。

[0062] 在 SV 等于 0V 的一个实施例中,更高电压晶体管用于地址线开关 210、顶开关 222 和底开关 228。这样的更高电压晶体管能够使更高电压信号传递到 PCM 器件 221 和 227 并传递到传输门 260。

[0063] 注意存储器电路 100 和 200 面积小于标准 CRAM 存储器单元。进一步注意由于存储器电路 200 不包括半锁存器电路、读取线开关或级联晶体管,因此它比存储器电路 100 少四个晶体管。另外,存储器电路 200 不包括存储器电路 100 中存在的信号例如 RL 信号和 0V 信号。结果,存储器电路 200 涉及比存储器电路 100 更低的信号复杂性。此外,存储器电路 200 甚至比存储器电路 100 更不易受软错误影响。事实上,由于分压器 220 主动保持耦合到传输门 260 栅极的端子 225 的电压,因此存储器电路 200 免受软错误。

[0064] 注意 PCM 器件免受软错误,并且是非易失性的。相似地,存储器电路 100 和 200 是非易失性的。另外,存储器电路 100 和 200 的分压器限制漏电流。结果,在存储器电路 100 和 200 中使用更低备用电源。此外,由于存储器电路 100 和 200 分别抗软错误和免受软错误,因此它们可缩放。同样,存储器电路 100 和 200 可以与使用更小工艺节点制造的更小器件一起使用。

[0065] 图 4 图示包括其中可实施根据本发明实施例的存储器电路的示例性 PLD 的示例性数据处理系统。例如,图 4 图示在数据处理系统 400 中的 PLD 410。作为一个示例,本发明的存储器电路可以在 PLD 410 的逻辑块内以分布式存储器实现。这样的分布式存储器可以用来配置 LUT,并且连接全局和本地金属信号线。在一个实施例中,该分布式实现方式替代传统 CRAM。在一个实施例中,PLD 410 可以包括多个分布式存储器 (但仅示出一个分布式

存储器,从而避免使附图过于复杂)。分布式存储器 411 包括多个存储器电路,例如存储器电路 100 或 200(但仅示出一个存储器电路,存储器电路 412,从而避免使附图过于复杂)。在一个实施例中,存储器电路 412 和分布式存储器 411 在与 PLD 410 相同的管芯/芯片上。在一个实施例中,PLD 410 的存储器块例如存储器块 413 可以包括基于 PCM 的存储器单元。在一个实施例中,PLD 410 可以包括多个存储器块例如存储器块 413(但仅示出一个这样的存储器块,从而避免使附图过于复杂)。在一个实施例中,存储器块 413 在与 PLD 410 相同的管芯/芯片上。在一个实施例中,存储器块 413 可以是小型嵌入式阵列块(SEAB)或中型嵌入式阵列块(MEAB)。在另一实施例中,由于具有充分快速的设置和复位时间,存储器块可以是大型 RAM(MRAM)块。在一个实施例中,存储器块 413 是非易失性存储器块。数据处理系统 400 可以包括下面部件中的一个或多个:处理器 440、存储器 450、输入/输出(I/O)电路 420 和外围器件 430。这些部件通过系统总线 465 耦合在一起,并且被组装在终端用户系统 470 中包含的电路板 460 上。数据处理系统例如系统 400 可以包括单终端用户系统例如终端用户系统 470,或可以包括作为数据处理系统一起工作的多个系统。

[0066] 系统 400 可以用于广泛种类的应用中,例如计算机连网、数据连网、仪器、视频处理、数字信号处理(“DSP”)或希望使用可编程或可重编程逻辑的优点的任何其它应用。PLD 410 可以用来执行各种不同逻辑功能。例如,PLD 410 可以被配置为与处理器 440 协作工作的处理器或控制器(或在可替换实施例中,PLD 可以自身充当单系统处理器)。PLD 410 也可以用作仲裁对系统 400 中共享资源的访问的仲裁器。在另一示例中,PLD 410 可以被配置为处理器 440 和系统 400 中其它部件中一个部件之间的接口。注意系统 400 仅是示例性的。

[0067] 在一个实施例中,系统 400 是数字系统。在此使用的数字系统不希望限于纯数字系统,但也包含包括数字和模拟子系统的混合系统。

[0068] 在图 4 中,本发明的存储器电路的实施例在 PLD 的背景下讨论。然而,注意本发明的存储器电路的实施例不限于仅在 PLD 中使用。换言之,本发明的存储器电路的实施例可以用在其它类型 IC 中。

[0069] 尽管已经关于图示的实施例具体描述本发明,但将会认识到各种变更、修改和适应可以基于本公开做出,并理解为本发明的范围内。尽管已经连同目前考虑为最实用和优选的实施例对本发明进行描述,但理解本发明不限于公开的实施例,但相反的,希望覆盖包括在权利要求的范围内的各种修改和等效布置。

[0070] 其他实施例

[0071] 实施例 1、一种操作存储器电路的方法,该方法包含:设置第一相变存储器(PCM)器件在第一电阻态;并设置第二 PCM 器件在第二电阻态;其中所述第一和第二 PCM 器件在分压器配置中耦合。

[0072] 实施例 2、实施例 1 的方法,其中设置所述第一 PCM 器件和设置所述第二 PCM 器件发生在耦合到所述存储器电路的地址线开关的一个时钟周期中。

[0073] 实施例 3、实施例 1 的方法,其中所述第一电阻态是设置电阻态,并且所述第二电阻态是复位电阻态。

[0074] 实施例 4、实施例 3 的方法进一步包含:接通耦合到所述第一 PCM 器件的第一开关;并接通耦合到所述第一开关和所述第二 PCM 器件的第二开关;其中传输门被耦合到使

所述第一开关耦合到所述第二开关的节点。

[0075] 实施例 5、实施例 4 的方法进一步包含：接通地址线开关，从而允许设置所述第一和第二 PCM 器件。

[0076] 实施例 6、实施例 5 的方法，其中设置所述第一 PCM 器件包括将第一脉冲施加到所述第一 PCM 器件；并且设置所述第二 PCM 器件包括将第二脉冲施加到所述第二 PCM 器件；其中所述第一脉冲持续时间长于所述第二脉冲。

[0077] 实施例 7、实施例 4 的方法进一步包含：接通在第一端子耦合到节点并在第二端子耦合到半锁存器的读取线开关，该半锁存器耦合到所述传输门；将所述第二端子上的信号施加到半锁存器的输入；以及将所述半锁存器的输出施加到所述传输门。

[0078] 实施例 8、实施例 7 的方法进一步包含：使用耦合到所述传输门和所述第二端子的级联晶体管。

[0079] 实施例 9、一种存储器电路，包含：(a) 分压器，包括：(i) 第一相变存储器 (PCM) 器件，其中所述第一 PCM 器件在设置电阻态；

[0080] (ii) 耦合到所述第一 PCM 器件的第一开关；(iii) 耦合到所述第一开关的第二开关；以及 (iv) 耦合到所述第二开关的第二 PCM 器件，其中所述第二 PCM 器件在复位电阻态；(b) 耦合到所述分压器的半锁存器；以及 (c) 耦合到所述半锁存器和所述分压器的级联晶体管。

[0081] 实施例 10、实施例 9 的存储器电路，其中：半锁存器包括互补金属氧化物半导体 (CMOS) 反相器，该 CMOS 反相器包括串联耦合到 p 沟道金属氧化物半导体 (PMOS) 晶体管的 n 沟道金属氧化物半导体 (NMOS) 晶体管，其中所述半锁存器的输入节点被耦合到所述 NMOS 晶体管的栅极和所述 PMOS 晶体管的栅极；所述级联晶体管是其栅极耦合到所述半锁存器的输出节点并且其漏极耦合到所述半锁存器的输入节点的 PMOS 晶体管；所述第一开关是 NMOS 晶体管；以及所述第二开关是 NMOS 晶体管。

[0082] 实施例 11、实施例 10 的存储器电路进一步包含：耦合到所述分压器的地址线开关；以及在所述分压器和所述半锁存器之间耦合的读取线开关；其中所述地址线开关是 NMOS 晶体管，并且所述读取线开关是 NMOS 晶体管。

[0083] 实施例 12、实施例 9 的存储器电路进一步包含：耦合到所述半锁存器的所述输出节点的传输门晶体管。

[0084] 实施例 13、一种包括实施例 9 的存储器电路的分布式存储器。

[0085] 实施例 14、一种包括实施例 9 的存储器电路的可编程逻辑器件。

[0086] 实施例 15、一种包含可编程逻辑器件的数字系统，该可编程逻辑器件包括实施例 9 的存储器电路。

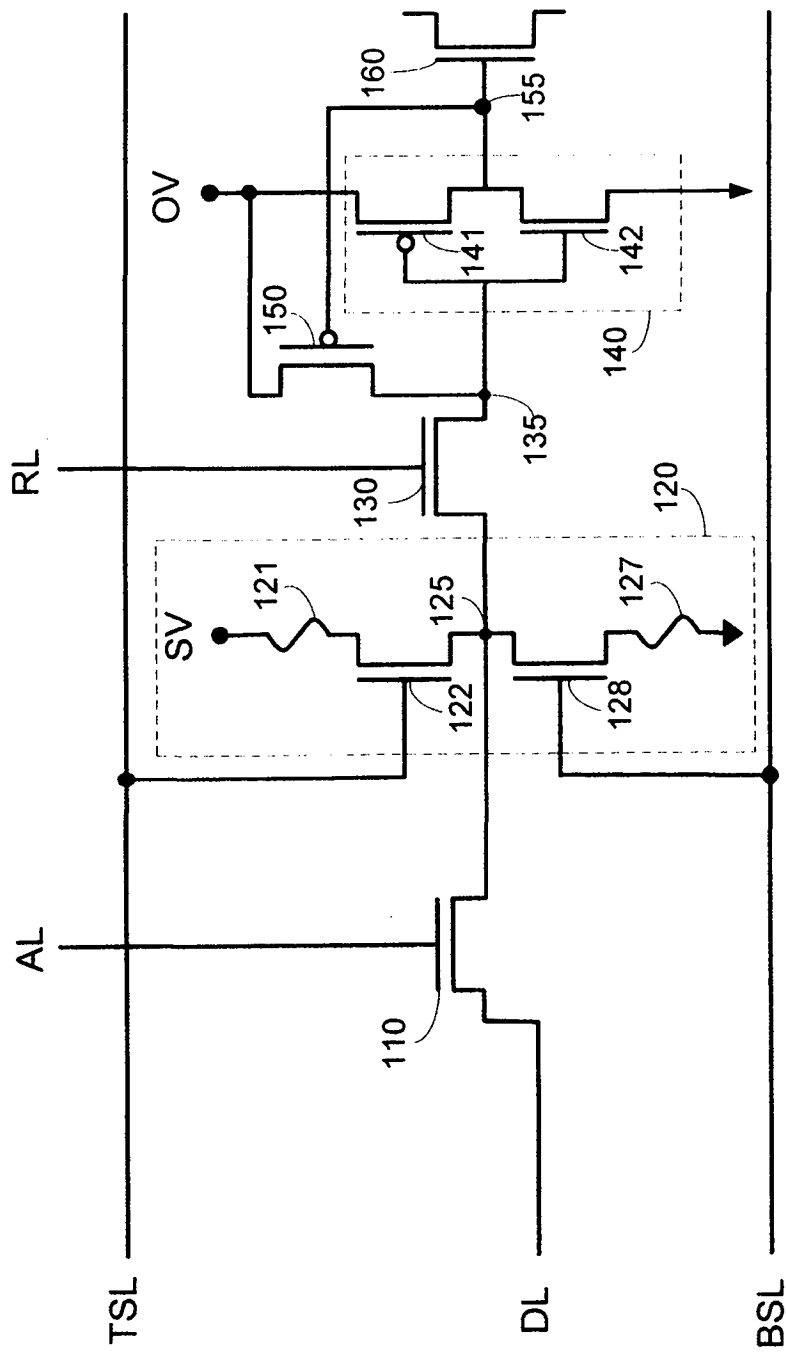


图 1

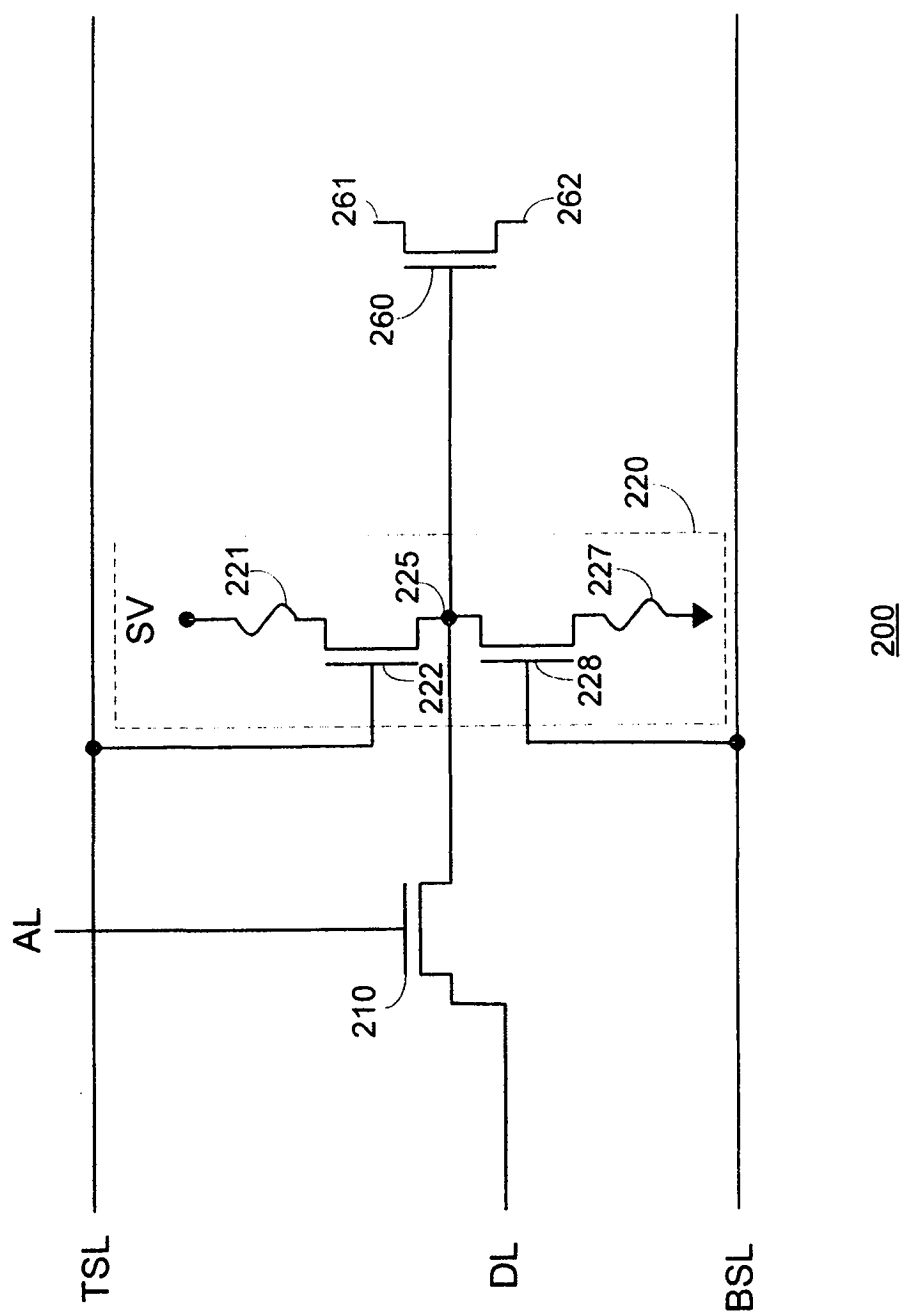


图 2

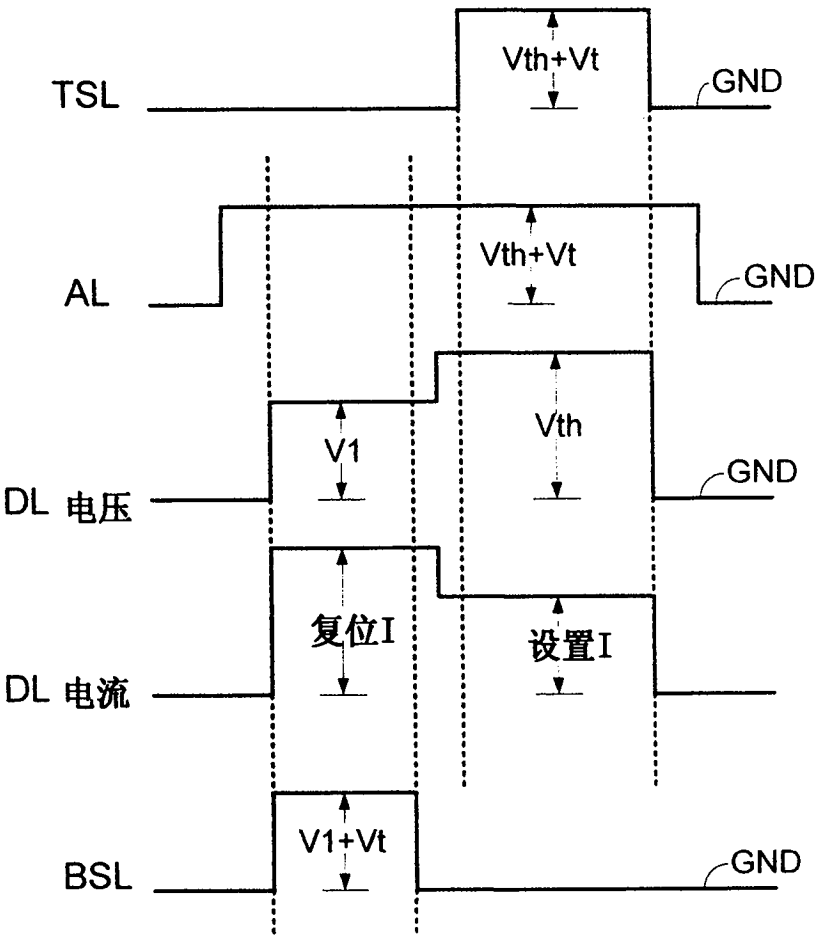


图 3A

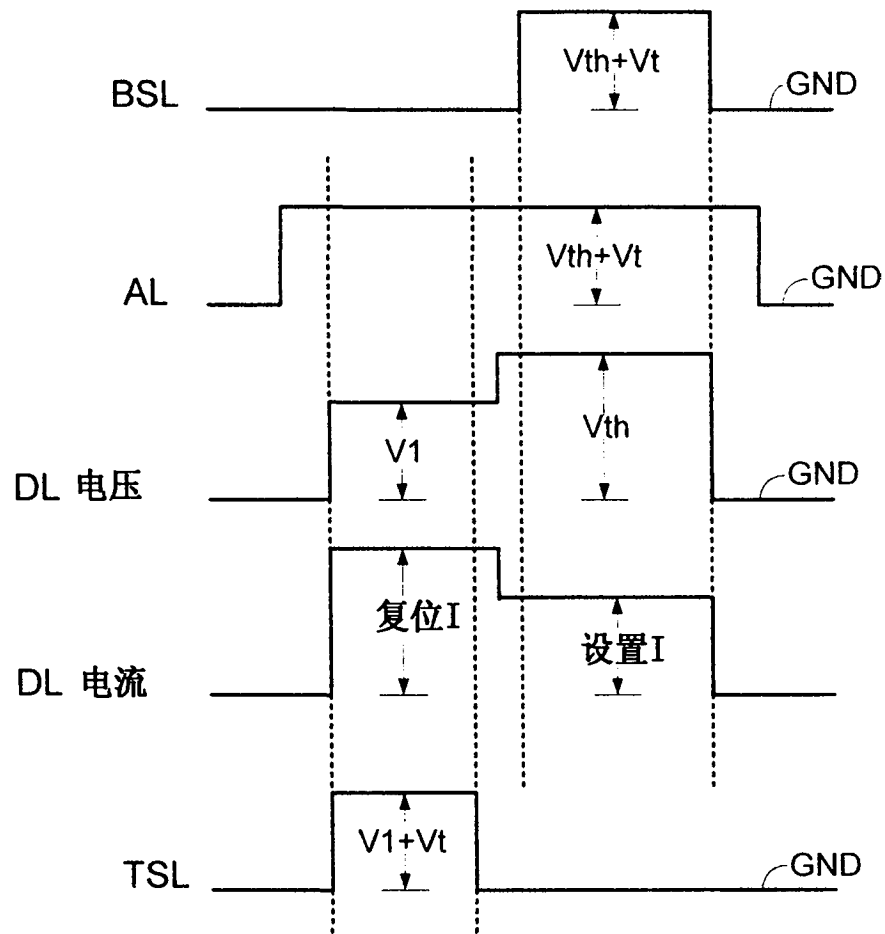


图 3B

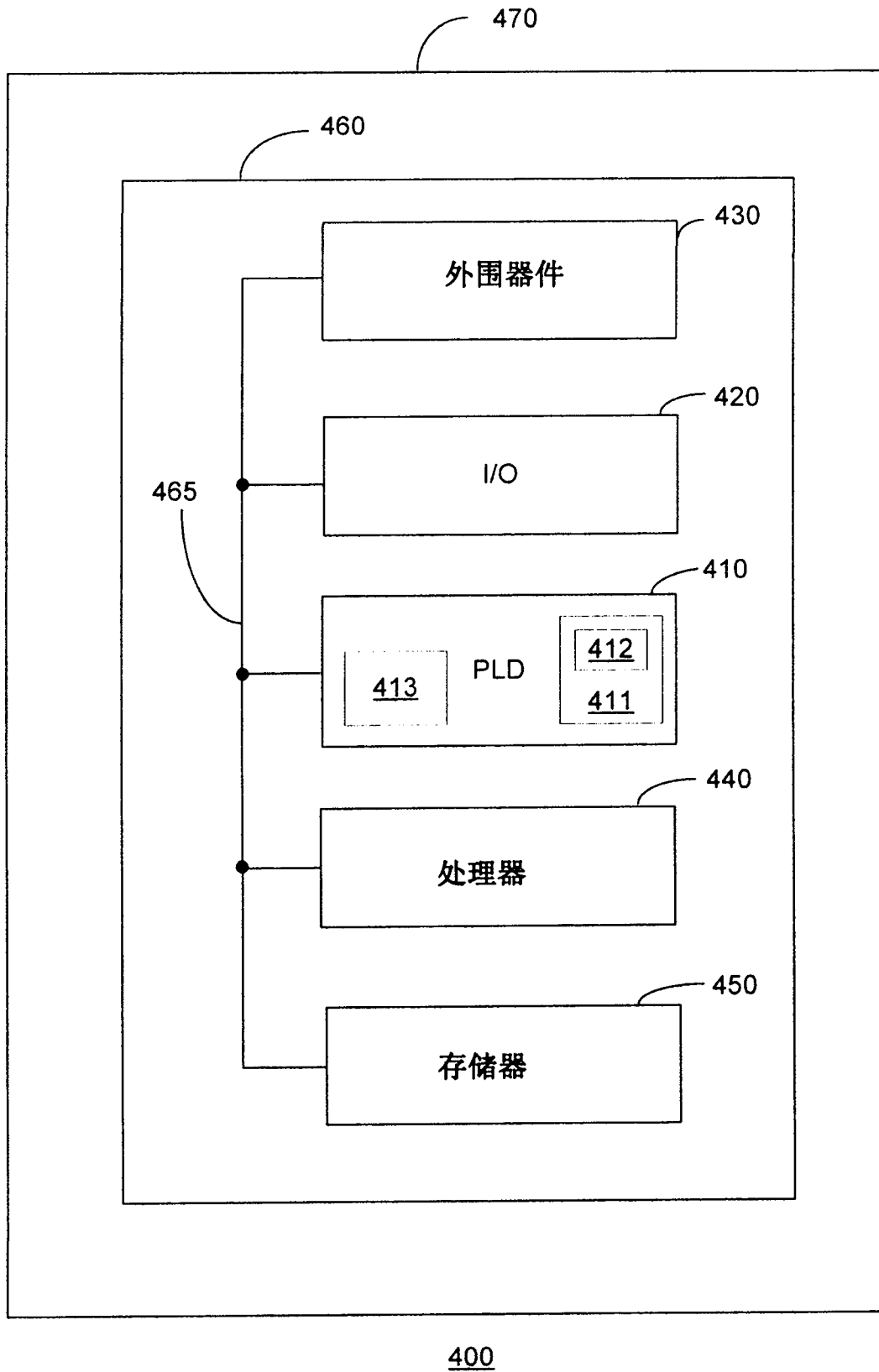


图 4