

I317063

(此處由本局於收
文時黏貼條碼)

附件 2 : 第 94133998 號專利申請案
中文說明書替換頁 民國 98 年 7 月 14 日修正

公告本

848771

發明專利說明書

98 年 7 月 14 日修正替換頁

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94133998

※申請日期：94 年 09 月 29 日

※IPC 分類：G06F11/14, 9/38 (2006.01)

一、發明名稱：

(中) 備援多緒環境中執行檢查指令的方法與系統

(英) Executing checker instructions in redundant multithreading environments

二、申請人：(共 1 人)

1. 姓 名：(中) 英特爾股份有限公司

(英) INTEL CORPORATION

代表人：(中) 1. 大衛 賽門

(英) 1. SIMON, DAVID

地 址：(中) 美國加州聖大克拉瑞密遜學院路 2 2 0 0 號

(英) 2200 Mission College Blvd., Santa Clara, CA 95052, USA

國籍：(中英) 美國 U.S.A.

三、發明人：(共 4 人)

1. 姓 名：(中) 夏河杜 穆可吉

(英) MUKHERJEE, SHUBHENDU

國 籍：(中) 美國

(英) U.S.A.

2. 姓 名：(中) 喬爾 艾莫

(英) EMER, JOEL

國 籍：(中) 美國

(英) U.S.A.

3. 姓 名：(中) 史帝芬 雷哈特

(英) REINHARDT, STEVEN

國 籍：(中) 美國

(英) U.S.A.

4. 姓 名：(中) 克利斯多佛 威佛

I317063

96.11.12
年 月 日修正本

848771

國 籍：(英) WEAVER, CHRISTOPHER
(中) 美國
(英) U.S.A.

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國

； 2004/09/29 ； 10/953,887 ☒ 有主張優先權

I317063

96.11.12
年 月 日修正本

848771

國 籍：(英) WEAVER, CHRISTOPHER
(中) 美國
(英) U.S.A.

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國

； 2004/09/29 ； 10/953,887 ☒ 有主張優先權

九、發明說明

【發明所屬之技術領域】

本發明係關於備援多緒環境中執行檢查指令的方法與系統。

【先前技術】

現有備援執行系統一般使用會自我檢查並在硬體中實施的一檢查電路。與檢查電路類似的是比較指令，其係比較來自兩緒的結果（例如，儲存位址與資料）。將兩緒中之比較指令複製以經由複製得到自動檢查效果是可能的。

不幸的是，藉由複製比較結果，該架構將失去備援多緒（RMT）的性能優點。RMT的性能優點來自使前導與尾隨緒充分地分開，以致於前導緒能夠預取用於尾隨緒之快速获取失敗以及分支不當預測。假如將比較指令複製的話，並非只需要引起較高過熱的額外佇列，該架構亦無法因為在兩方向上必要的同步化而使兩緒充分地隔開。因此，需要的是一種在不犧牲 RMT 之性能優點下，得到較低失敗率的指令。

【發明內容】與【實施方式】

在以下的說明中，特定細節之陳述乃為了解釋，而非限制，譬如特別結構、架構、介面、技術等等，以提供對本發明種種態樣的完整理解。不過，那些熟諳該技藝而得到本發明好處的人將會明瞭，本發明的不同態樣可以背離

這些特定詳情的其他實施例來實施。在某些例子中，著名裝置、電路與方法的說明會被省略，以致於能夠不混淆具有不必要細節的本發明說明。

本發明描述備援多緒環境中執行檢查指令的方法與系統。在以下的說明中，為了解釋起見，將種種特定細節陳述以提供對本發明的完整理解。不過，熟諳該技藝者將明瞭本發明可在不具備這些特定細節的情況下實施。

圖 1 係為備援多緒架構之一實施例的方塊圖。在備援多緒架構中，可藉由將兩複製程式執行作為不同緒，以來檢查出缺點。

每一緒係提供有相同的輸入，且該些輸出會被比較，以決定是否有錯誤發生。備援多緒可關於在此稱為“複製球體”的概念來說明。該複製球體係為邏輯或實質備援操作的範圍。

在複製球體 100 內的元件（例如，執行前導緒 105 的處理器與執行尾隨緒 110 的處理器）會受到備援執行。反之，在複製球體 100 外的元件（例如，記憶體 115）並不會受到備援執行。缺點保護係藉由其他技術所提供，例如記憶體 115 的錯誤校正碼。其他裝置係在複製球體 100 外面，以及/或者其他技術則可使用來提供在複製球體 100 外面之裝置的缺點保護。

進入複製球體 100 的資料會進入經過輸入複製代理 120，該輸入複製代理會複製該資料並將該資料的複製本發送到前導緒 105 與尾隨緒 110。同樣地，離開複製球體

100 的資料會離開經過輸出比較代理 125，該輸出比較代理會比較該資料並決定是否發生錯誤。複製球體 100 之邊界的改變會造成效能與硬體數量之交換。例如，複製記憶體 115 會藉由避免儲存指令的輸出比較而允許更快速存取記憶體，但卻由於使系統中之記憶體數量加倍而增加系統成本。

本發明的一實施例提出一機制，來檢查以 RMT 軟體實施法的檢查電路。因為 RMT 比較確定指令的輸出（需要一指令一指令地比較），所以他亦可以軟體來實施。假如 RMT 的軟體實施法比較每一指令的話，將會帶來明顯的耗用。不過，反之，RMT 會允許只有儲存指令的比較以及只有下載指令的複製，其係可明顯降低 RMT 實施法的軟體耗用。

在部份實施例中，可以以下方式實施檢查指令。最初地，誠如在大部分的電腦中，一編譯器會產生指令。從該編譯器，電腦現在會具有一二進位程式，該二進位程式可以是但不限於一儲存指令序列。接著，二進位翻譯器會在每次將指令儲存二進位程式之前，插入一檢查指令。該二進位翻譯器係為在該技藝中眾所皆知的任何二進位翻譯器。於翻譯該二進位程式的同時，該系統則會產生用於前導緒與尾隨緒兩者之二進位程式。前導緒的二進位程式則會將檢查指令添加到儲存指令。尾隨緒的二進位程式則以前導緒的同級檢查指令來替代儲存指令。

圖 2 說明檢查指令的一種實施法。在步驟 300 中，當

RMT 需要比較時，處理器就會發出一檢查指令於前導緒與尾隨緒。每一檢查指令可從每一緒攜帶 64 位元的量。於步驟 305 中，檢查指令可獨立地行進於每一緒的個別管緒，直到他在每一管緒結束處的緩衝器為止。在步驟 310 中，檢查指令等待他在緩衝器中的同級檢查指令。在步驟 315 中，這兩檢查指令隨後可比較他們所攜帶的 64 位元量。在不匹配的時候，兩者皆會報告出錯誤。在步驟 320 中，當匹配的時候，他們會使處理器確定檢查指令。管緒可以是來自 CMP 中之不同處理器，或者是在 SMT 處理器中之相同多緒處理器。

在此實施法中，檢查指令並不會阻止前導指令，不處理從指令佇列來之指令。相反地，他僅僅阻止撤回指標，直到來自尾隨緒之相應檢查指令出現為止。同樣地，假如環境並非備援多緒環境的話，那麼該檢查指令就可以 NOP 來處理。

圖 3 係為流經兩管緒之一檢查指令實例的方塊圖。假定儲存指令： $R1 \rightarrow [R2]$ ，儲存暫存器 R1 中的值到由暫存器 R2 中之位址所指出的記憶體位置。此儲存指令可被複製於具有檢查指令的前導緒與尾隨緒。在前導緒中的儲存指令包括如下所示的檢查指令與儲存指令：

檢查指令 R1

檢查指令 R2

儲存： $R1 \rightarrow [R2]$ 。於是，當行經其管緒 400 時，前導指令包含檢查指令連同儲存指令。

在尾隨緒中的儲存指令僅僅包括以下所示的檢查指令：

檢查指令 R1

檢查指令 R2。於是，尾隨緒不具有行經其管緒 405 的儲存指令。

來自管緒 400 中之前導緒的檢查指令 R1 會等待在緩衝器 410 中的同級檢查指令。來自管緒 405 中之尾隨緒的檢查指令 R1 會等待在緩衝器 415 中的同級檢查指令。檢查指令總是尋找或等待其配對物或同級物。假如有一鏡緒的話，檢查指令將尋找或等待在緩衝器 410、405 中的緒，以確定鏡緒在那裡，隨後並比較該些檢查指令。

來自前導緒之檢查指令 R1 與來自尾隨緒的檢查指令 R1 會由於確定命令而配對，其係並且比較暫存器說明碼與 R1 值，以保證暫存器在他們之中並不具有任何錯誤。假如沒有任何錯誤被發現的話，則於 420 檢查指令則會確定。一旦檢查指令確定的話，R1 值會被儲存。R1 值會被攜帶經過而到確定點，然後儲存。因此，該系統能夠同時地檢查所有儲存，而不是如同先前所進行地一個儲存一個儲存地檢查。

圖 4 係為可提供多緒處理器環境之系統的方塊圖。圖 4 所示的系統打算用來代表系統範圍。替代性的系統包括更多、更少與/或不同元件。

系統 500 包括：匯流排 510 或其他傳遞資訊的通訊裝置，以及耦合到匯流排 510 的處理器 520，以處理資訊。

系統 500 進一步包括隨機存取記憶體（RAM）或其他動態記憶體以及靜態記憶體，例如硬碟或其他儲存裝置 535（稱為記憶體），以經由記憶體控制器 530 而耦合到匯流排 510，以儲存資訊及予以為處理器 520 所執行的指令。在處理器 520 執行指令的期間內，記憶體 535 亦可同樣地被使用來儲存暫時變數或其他中間資訊。記憶體控制器 530 包括一或更多元件，以控制一或更多種記憶體與/或相關記憶體裝置。系統 500 亦同樣地包括耦合到匯流排 510 的唯讀記憶體（ROM）與/或其他靜態儲存裝置，以儲存靜態資訊與用於處理器 520 的指令。

系統 500 亦可經由匯流排 510 耦合到輸入/輸出（I/O）介面 550。I/O 介面 550 提供一介面到 I/O 裝置，其係例如包括：將資訊顯示給電腦使用者的一陰極射緒管（CRT）或液晶顯示器（LCD）；包括數字符號與其他鍵的一數字符號輸入裝置；與/或一游標控制裝置，譬如滑鼠、軌跡球或游標方向鍵。系統 500 進一步包括網路介面 560，以接取到一網路，譬如區域網路，不管是有緒或是無緒方式。

經由有緒或無緒等等方式的遙控連接（例如，經由網路介面 860 的網路），指令可從譬如磁碟、唯讀記憶體（ROM）積體電路、光碟機、DVD 的儲存裝置，被提供到記憶體 535。

現在參考圖 5，系統 600 一般顯示出一系統，在此處理器、記憶體與輸入/輸出裝置係由許多點對點介面所互

連。系統 600 亦包括許多處理器，其中爲了清楚，只有兩處理器 605、610 被顯示。處理器 605、610 每一個均包括局部記憶體控制中心（MCH）615、620 以與記憶體 625、630 連接。處理器 605、610 可經由使用點對點介面電路 640、645 的點對點介面 635 來交換資料。處理器 605、610 可經由使用點對點介面電路 640、645 之點對點介面 635 交換資料。處理器 605、610 可經由使用點對點介面電路 665、670、675、680 之個別點對點介面 655、660，以晶片組 650 來個別交換資料。晶片組 650 亦可經由高性能圖形介面 690 以高性能圖形電路 685 來交換資料。

晶片組 650 可經由匯流排介面 695，以匯流排 616 來交換資料。在任一系統中，在匯流排 616 上，有種種輸入/輸出 I/O 裝置 614，包括在一些實施例中的低性能圖形控制器、影像控制器與網路控制器。另一匯流排橋接器 618 在一些實施例中會被使用來允許匯流排 616 與匯流排 620 之間的資料交換。匯流排 620 在一些實施例中係爲小電腦系統介面（SCSI）匯流排、積體驅動電子（IDE）匯流排、或者萬用串列匯流排（USB）匯流排。另外的 I/O 裝置則可與匯流排 620 連接。這些包括鍵盤與包括滑鼠的游標控制裝置 622、聲音 I/O 624、包括數據機與網路介面的溝通裝置 626 以及資料儲存裝置 628。軟體碼 638 則可儲存在資料儲存裝置 628 上。在一些實施例中，資料儲存裝置 628 係爲一固定磁碟、軟磁碟驅動器、光學磁碟驅動器、磁光碟驅動器、磁帶、或者包括快閃記憶體的非揮發性記

憶體。

在整個說明書中，“指令”一詞一般被使用來談論指令、巨指令、指令集或者將處理器操作編碼所使用之許多其他機制的任一者。

在接著的說明中，為了解釋但非限制，具體詳情會被陳述，譬如特定結構、架構、介面、技術等等，以便提供本發明種種態樣的完整理解。不過，那些熟諳該技藝受惠於本發明的人將明瞭，本發明種種態樣可以背離這些具體細節的其他實施例來實施。在一些實例中，知名裝置、電路與方法的說明會被省略，以致於不會以非必要的細節來混淆本發明的說明。

【圖式簡單說明】

本發明的種種特徵將從如附圖中所顯示的以下較佳實施例說明來瞭解，其中相同的參考數字一般指的是所有圖式的相同部件。該些圖式不一定按比率繪製，相反地重點係放在本發明原理之說明。

圖 1 係為一種多緒架構實施例的方塊圖。

圖 2 係為說明在任一緒中一檢查指令實施過程的流程圖。

圖 3 係為一檢查指令實施例的方塊圖。

圖 4 係為可提供多緒處理器環境之系統的方塊圖。

圖 5 係為可提供一環境給多緒處理器之替代系統的方塊圖。

【主要元件符號說明】

R：暫存器

R2：檢查指令

100：複製球體

105：處理器執行前導緒

110：處理器執行尾隨緒

115：記憶體

120：輸入複製代理

125：輸出比較代理

400：管緒

405：管緒

410：緩衝器

415：緩衝器

500：系統

510：匯流排

520：處理器

530：記憶體控制器

535：記憶體

540：靜態儲存裝置

550：輸入/輸出介面

555：輸入/輸出裝置

560：網路介面

600：系統

605：處理器

610：處理器

614：輸入/輸出裝置

615：局部記憶體控制器中心

616：匯流排

618：匯流排橋接器

620：匯流排

622：鍵盤與游標控制裝置

624：聲音輸入/輸出

625：記憶體

626：溝通裝置

628：資料儲存裝置

630：記憶體

635：點對點介面

638：軟體碼

640：點對點介面電路

645：點對點介面電路

650：晶片組

655：點對點介面

660：點對點介面

665：點對點介面電路

670：點對點介面電路

675：點對點介面電路

680：點對點介面電路

685：高性能圖形電路

690：高性能圖形介面

695：匯流排介面

五、中文發明摘要

發明之名稱：備援多緒環境中執行檢查指令的方法與系統

本發明說明在備援多緒環境中用於檢查指令的方法與設備。在一實施例中，當備援多緒需要時，處理器會發出一檢查指令於前導緒與尾隨緒兩者中。檢查指令會獨立地在每一緒的個別管緒行進，直到他到達在每一管緒末端的緩衝器為止。然後，在確定檢查指令以前，檢查指令會尋找其配對，並將該些指令進行比較。假如檢查指令匹配的話，該檢查指令會確定並退出，否則會宣佈錯誤。

六、英文發明摘要

發明之名稱：

EXECUTING CHECKER INSTRUCTIONS IN

REDUNDANT MULTITHREADING ENVIRONMENTS

A method and apparatus for a checker instruction in a redundant multithreading environment is described. In one embodiment, when RMT requires, a processor may issue a checker instruction in both a leading thread and a trailing thread. The checker instruction may travel down individual pipelines for each thread independently until it reaches a buffer at the end of each pipeline. Then, prior to committing the checker instruction, the checker instruction looks for its counterpart and does a comparison of the instructions. If the checker instructions match, the checker instructions commit and retires otherwise an error is declared.

十、申請專利範圍

附件 4:

第 94133998 號專利申請案

中文申請專利範圍替換本

民國 98 年 7 月 14 日修正

- 1.一種備援多緒環境中執行檢查指令之方法，包含：
產生檢查指令於前導緒與尾隨緒中；
等待來自前導緒與尾隨緒的同級檢查指令；以及
比較來自前導緒與尾隨緒的同級檢查指令，其中該前導緒包括檢查指令與選定指令，且尾隨緒包括檢查指令。
- 2.如申請專利範圍第 1 項之方法，其中在前導緒中的產生檢查指令進一步包括在選定指令以前插入該檢查指令。
- 3.如申請專利範圍第 1 項之方法，其中檢查指令行經前導緒與尾隨緒的對應管緒。
- 4.如申請專利範圍第 1 項之方法，進一步包含確定該檢查指令。
- 5.如申請專利範圍第 4 項之方法，進一步包含在假如比較來自前導緒與尾隨緒之對應檢查指令匹配時，則儲存用於該前導緒的該選定指令。
- 6.如申請專利範圍第 1 項之方法，其中該前導緒與該尾隨緒係由單一處理器所執行。
- 7.如申請專利範圍第 1 項之方法，其中該前導緒與該

尾隨緒是由多處理器所執行。

8.一種備援多緒環境中執行檢查指令的設備，包含：

前導緒電路，用以執行指令的一前導緒；

尾隨緒電路，用以執行指令的一尾隨緒；以及

一確定單元，用以確定來自該前導緒與該尾隨緒的對應的檢查指令，其中指令的該前導緒包含檢查指令與選定指令。

9.如申請專利範圍第 8 項之設備，其中該指令的尾隨緒包含檢查指令。

10.如申請專利範圍第 8 項之設備，其中該前導緒電路與尾隨緒電路包括一管緒。

11.如申請專利範圍第 10 項之設備，其中該前導緒與該尾隨緒是由單一處理器所執行。

12.如申請專利範圍第 10 項之設備，其中該前導緒與該尾隨緒是由多處理器所執行。

13.如申請專利範圍第 9 項之設備，進一步包含耦合到該前導緒電路與該尾隨緒電路的緩衝器。

14.如申請專利範圍第 13 項之設備，其中該前導緒的該檢查指令與該尾隨緒的該檢查指令等待在該緩衝器中的對應檢查指令。

15.如申請專利範圍第 8 項之設備，其中假如對應檢查指令匹配時，則該選定指令會被儲存。

16.如申請專利範圍第 15 項之設備，其中假如對應檢查指令不匹配時，該確定單元產生錯誤。

17.如申請專利範圍第 8 項之設備，其中該檢查指令由二進位翻譯器放置在該選定指令之前。

18.如申請專利範圍第 8 項之設備，其中該選定指令係為一儲存指令。

19.一種備援多緒環境中執行檢查指令之系統，包含

:

第一處理器，包含：

前導緒電路，用以執行檢查指令的一前導緒；

尾隨緒電路，用以執行檢查指令的一尾隨緒；以及

一撤回單元，用以自該前導緒與該尾隨緒將對應檢查指令撤回，

到第二處理器的第一介面；

到輸入/輸出裝置的第二介面；以及

耦合到該第二介面的一聲音輸入-輸出裝置，其中指令之該前導緒包含檢查指令與選定指令。

20.如申請專利範圍第 19 項之系統，其中指令之該尾隨緒包含檢查指令。

21.如申請專利範圍第 19 項之系統，其中該前導緒電路與尾隨緒電路包括一管緒。

22.如申請專利範圍第 20 項之系統，其中假如來自該前導緒與該尾隨緒的該對應檢查指令匹配時，則選定指令會被儲存。

23.如申請專利範圍第 22 項之系統，進一步包含將該前導緒電路與該尾隨緒電路耦合的緩衝器。

24.如申請專利範圍第 22 項之系統，其中假如該對應檢查指令不匹配時，撤回單元會產生錯誤。

25.如申請專利範圍第 19 項之系統，其中該檢查指令由二進位翻譯器放置在該選定指令之前。

26.如申請專利範圍第 19 項之系統，其中該選定指令係為一儲存指令。

27.如申請專利範圍第 19 項之系統，其中該第一與第二介面係為點對點介面。

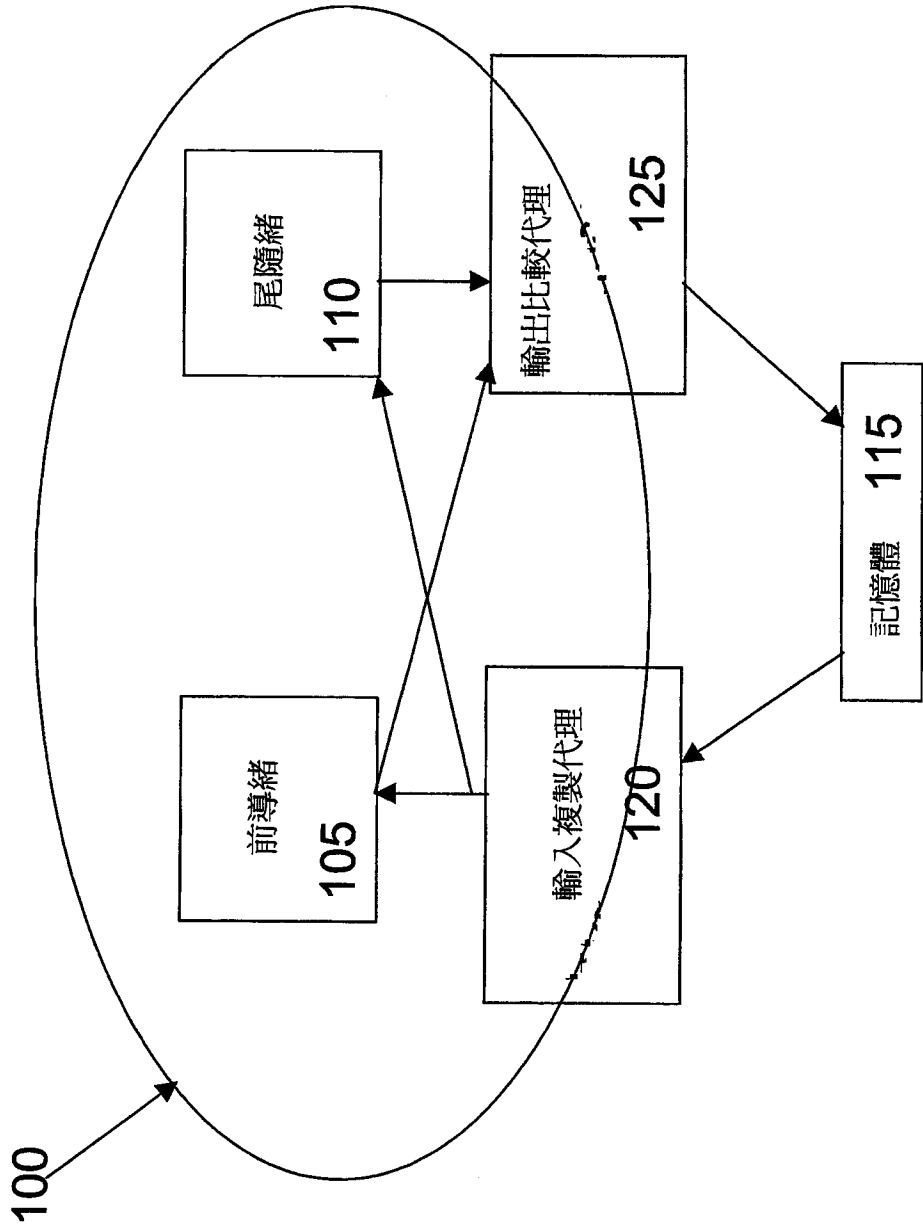
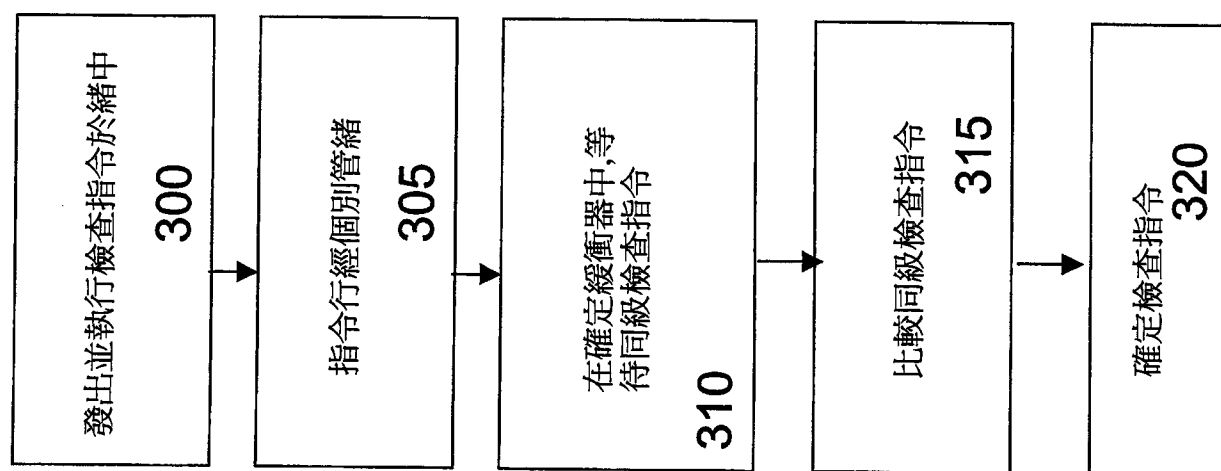


圖1

圖2



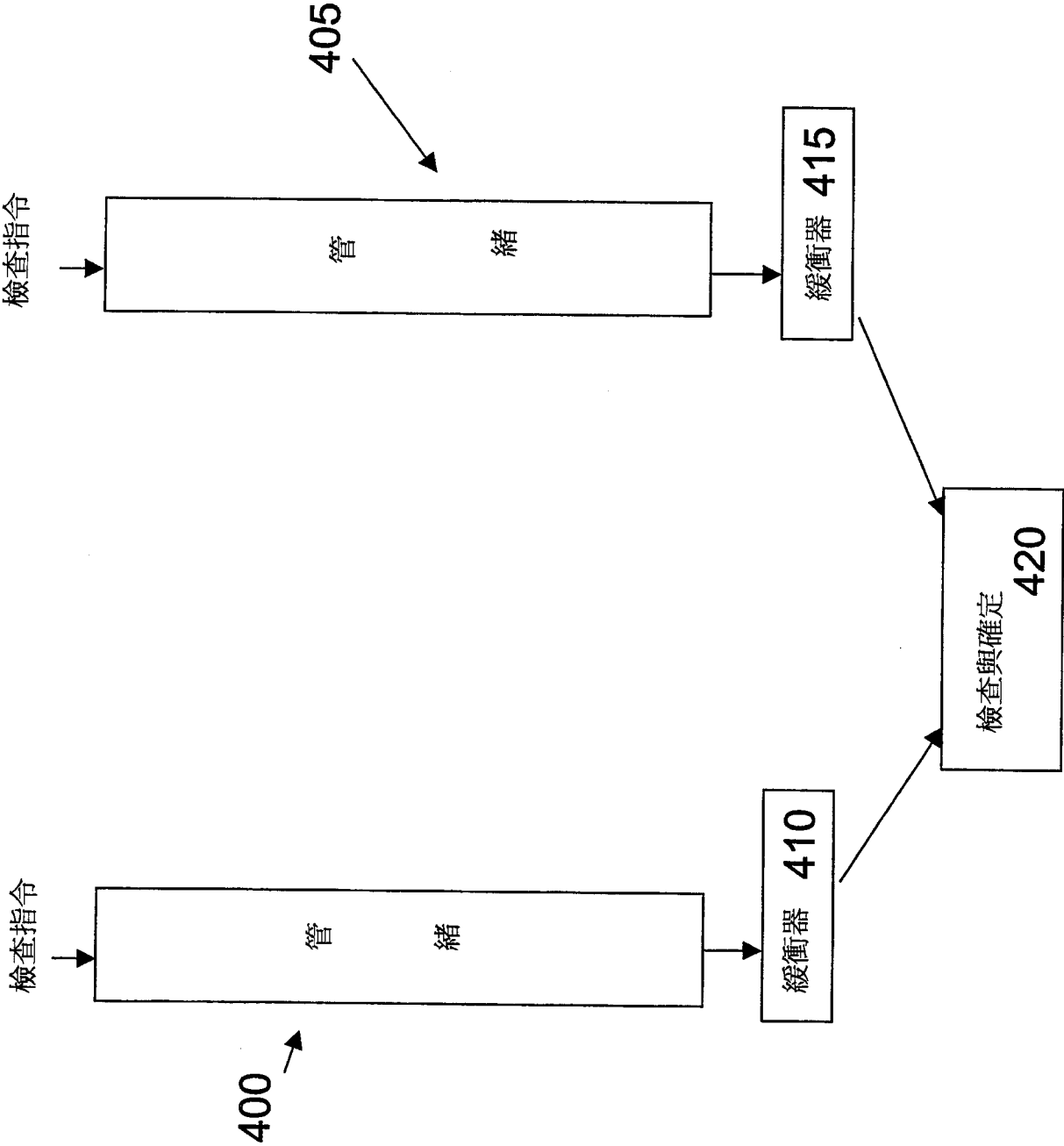


圖3

圖4

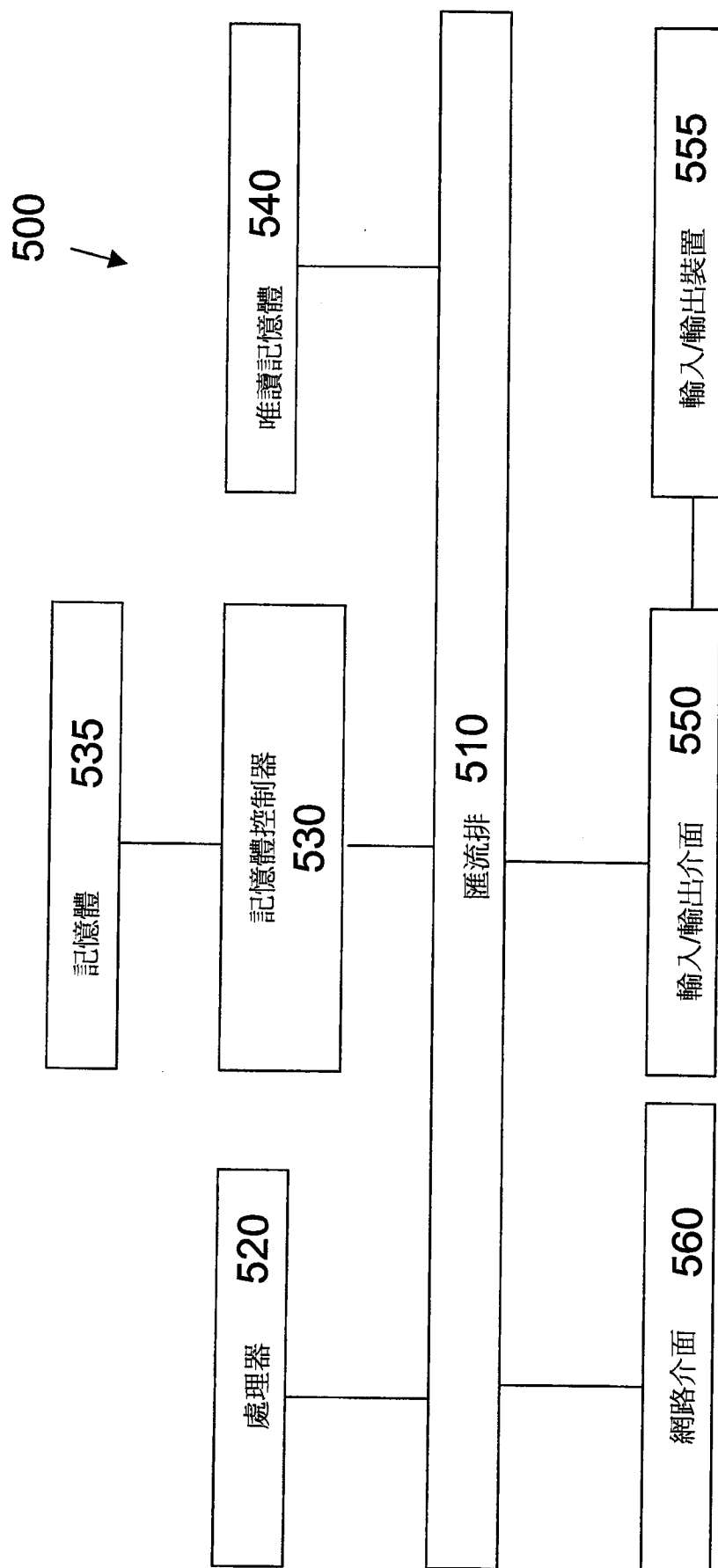
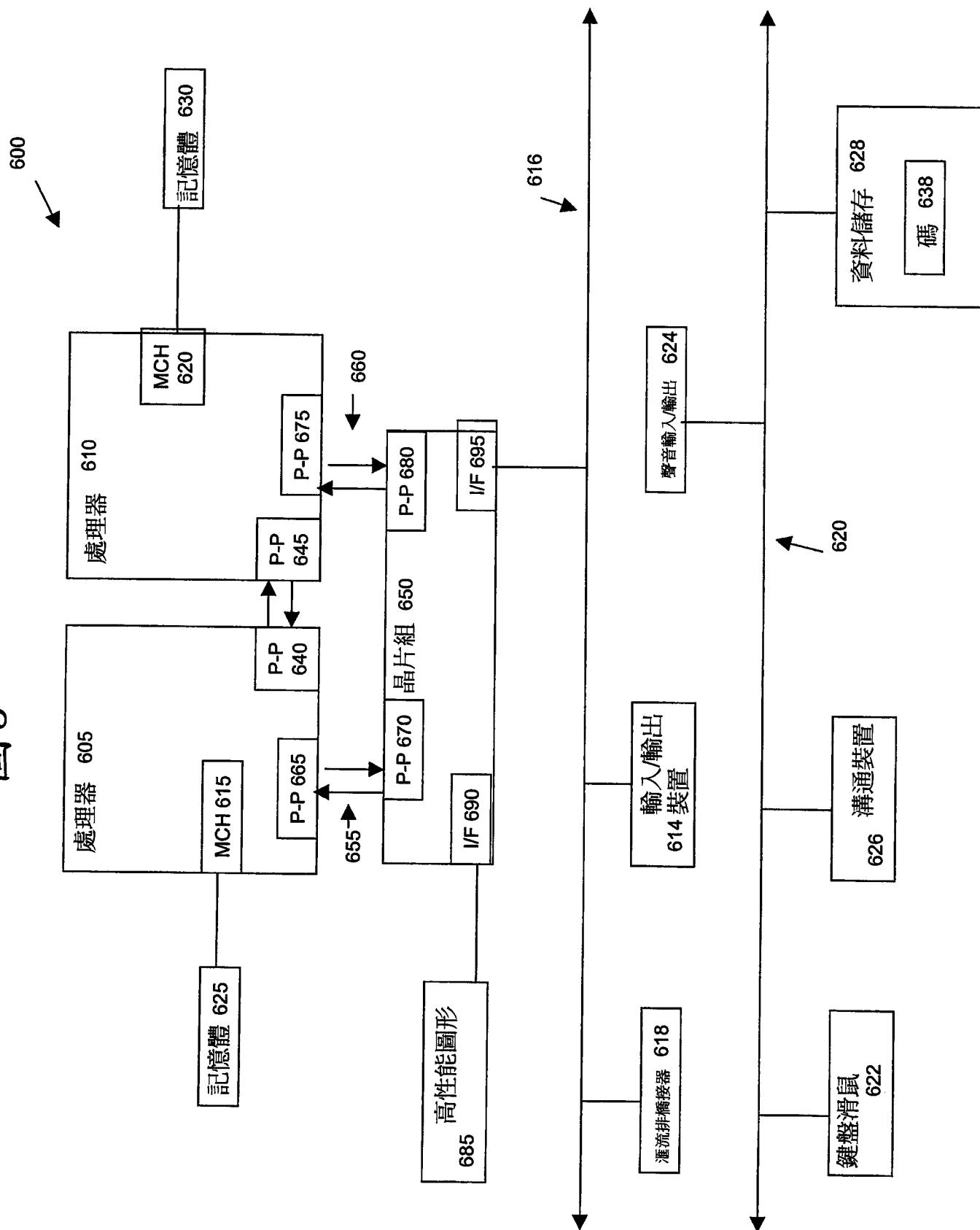


圖5



七、指定代表圖：

(一)、本案指定代表圖為：第 (2) 圖

(二)、本代表圖之元件代表符號簡單說明：無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無