

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成26年9月4日(2014.9.4)

【公表番号】特表2013-532922(P2013-532922A)

【公表日】平成25年8月19日(2013.8.19)

【年通号数】公開・登録公報2013-044

【出願番号】特願2013-520763(P2013-520763)

【国際特許分類】

H 04 B 3/04 (2006.01)

H 04 L 25/03 (2006.01)

【F I】

H 04 B 3/04 A

H 04 L 25/03 C

【手続補正書】

【提出日】平成26年7月14日(2014.7.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

粗い制御と微細な制御とを有する適応型信号等化のための回路を含む装置であって、可変の信号ゲインに従い、差動出力信号を提供することにより、少なくとも1つの制御された供給電流と差動入力信号とに応答する、差動増幅器回路と、

前記差動増幅器回路に結合され、かつ前記少なくとも1つの制御された供給電流を提供することにより少なくとも第1の制御信号に応答する、電流源回路と、

前記差動増幅器回路に結合され、かつ前記可変の信号ゲインを確立することにより少なくとも第2の制御信号に応答する、可変のインピーダンスと、
を含み、

前記可変のインピーダンスが、相互に結合された、調整可能なインピーダンスと固定のインピーダンスとを含み、

前記調整可能なインピーダンスと固定のインピーダンスとが相互に並列に結合され、

前記調整可能なインピーダンスが、相互に結合された、キャパシタンスと少なくとも1つのトランジスタとを含み、

前記キャパシタンスと前記少なくとも1つのトランジスタとが相互に直列に接続され、前記固定のインピーダンスが抵抗を含む、装置。

【請求項2】

請求項1に記載の装置であって、

前記差動増幅器回路が、前記差動入力信号のそれぞれの位相を受け取りかつ前記差動出力信号のそれぞれの位相を提供するように結合された第1及び第2のトランジスタを含む、装置。

【請求項3】

請求項1に記載の装置であって、

前記電流源回路が、前記少なくとも第1の制御信号に従い前記少なくとも1つの制御された供給電流のそれぞれの部分を提供するように結合された第1及び第2の電流源回路を含む、装置。

【請求項4】

粗い制御と微細な制御とを有する適応型信号等化のための回路を含む装置であって、差動出力信号の第1の部分を提供することにより、少なくとも第1の制御された供給電流と差動入力信号とに応答する第1の差動増幅器回路と、

前記第1の差動増幅器回路に結合され、かつ前記少なくとも第1の制御された供給電流を提供することにより少なくとも第1の制御信号に応答する、第1の電流源回路と、

前記第1の差動増幅器回路に結合され、かつ可変の信号ゲインに従い、前記差動出力信号の第2の部分を提供することにより、少なくとも第2の制御された供給電流と前記差動入力信号とに応答する、第2の差動増幅器回路と、

前記第2の差動増幅器回路に結合され、かつ前記少なくとも第2の制御された供給電流を提供することにより少なくとも第2の制御信号に応答する、第2の電流源回路と、

前記第2の差動増幅器回路に結合され、かつ前記可変の信号ゲインを確立することにより少なくとも第3の制御信号に応答する、可変インピーダンスと、

を含み、

前記可変のインピーダンスが、相互に結合された、調整可能なインピーダンスと固定のインピーダンスとを含み、

前記調整可能なインピーダンスと固定のインピーダンスとが相互に並列に結合され、

前記調整可能なインピーダンスが、相互に結合された、キャパシタンスと少なくとも1つのトランジスタとを含み、

前記キャパシタンスと少なくとも1つのトランジスタとが相互に直列に結合され、

前記固定のインピーダンスが抵抗を含む、装置。

【請求項5】

請求項4に記載の装置であって、

前記第1及び第2の制御信号が実質的に相互に排他的な信号アサート状態を含む、装置。

【請求項6】

請求項4に記載の装置であって、

前記第1の差動増幅器回路が、

前記差動入力信号のそれぞれの位相を受け取りかつ前記差動出力信号の前記第1の部分のそれぞれの位相を提供するように結合された第1及び第2のトランジスタと、

前記第1及び第2のトランジスタの間に結合された固定のインピーダンスと、

を含む、装置。

【請求項7】

請求項6に記載の装置であって、

前記固定のインピーダンスが抵抗を含む、装置。

【請求項8】

請求項4に記載の装置であって、

前記第1の電流源回路が、前記少なくとも第1の制御信号に従って前記少なくとも第1の制御された供給電流のそれぞれの部分を提供するように結合された第1及び第2の電流源回路を含む、装置。

【請求項9】

請求項4に記載の装置であって、

前記第2の差動増幅器回路が、前記差動入力信号のそれぞれの位相を受け取りかつ前記差動出力信号の前記第2の部分のそれぞれの位相を提供するように結合された第1及び第2のトランジスタを含む、装置。

【請求項10】

請求項4に記載の装置であって、

前記第2の電流源回路が、前記少なくとも第2の制御信号に従って前記少なくとも第2の制御された供給電流のそれぞれの部分を提供するように結合された第1及び第2の電流源回路を含む、装置。

【請求項11】

適応的に等化されたデータ信号に交互に調整されたデータ信号ブーストとスライスされたデータ信号振幅とを提供する方法であって、

制御されたデータ信号ブーストと等化されたデータ信号エネルギーとを有する等化されたデータ信号を提供するために入力データ信号を等化することと、

制御されたスライスされたデータ信号振幅とスライスされたデータ信号エネルギーとを有するスライスされたデータ信号を提供するために前記等化されたデータ信号をスライスすることと、

前記等化されたデータ信号エネルギーと前記スライスされたデータ信号エネルギーとの間の差を測定することと、

前記測定した差に従って前記制御されたデータ信号ブーストを増加及び減少させることにより前記制御されたデータ信号ブーストを調整することであって、前記制御されたスライスされたデータ信号振幅を制御することと前記制御されたデータ信号ブーストを制御することとが交互に後に続く、前記調整することと、

を含み、

前記制御されたスライスされたデータ信号振幅を制御することが、

前記等化されたデータ信号エネルギーと前記スライスされたデータ信号エネルギーとの間の前記差を再測定することと、

前記再測定された差に従って前記制御されたスライスされたデータ信号振幅を調整することと、

を含み、

前記制御されたデータ信号ブーストを制御することが、

前記等化されたデータ信号エネルギーと前記スライスされたデータ信号エネルギーとの間の前記差を再測定することと、

前記再測定した差に従って前記制御されたデータ信号ブーストを再調整することと、

を含み、

前記制御されたデータ信号ブーストを調整することが、電流レベルと前記制御されたデータ信号ブーストの最大レベル及び最小レベルとに基づいてバイナリサーチを行うことを含む、方法。

【請求項 1 2】

請求項 1 1 に記載の方法であって、

前記制御されたスライスされたデータ信号振幅を制御することが、

複数の所定の周波数の下位の 1 つの辺りに配置された所定のバンド幅内で前記等化されたデータ信号エネルギーと前記スライスされたデータ信号エネルギーとの間の前記差を再測定することと、

前記再測定された差に従って前記制御されたスライスされたデータ信号振幅を調整することと、

を含む、方法。

【請求項 1 3】

請求項 1 1 に記載の方法であって、

前記制御されたデータ信号ブーストを制御することが、

複数の所定の周波数の上位の 1 つの辺りに配置された所定のバンド幅内の前記等化されたデータ信号エネルギーと前記スライスされたデータ信号エネルギーとの間の前記差を再測定することと、

前記再測定された差に従って前記制御されたデータ信号ブーストを再調整することと、

を含む、方法。

【請求項 1 4】

請求項 1 1 に記載の方法であって、

前記交互の前記制御されたスライスされたデータ信号振幅の制御と前記制御されたデータ信号ブーストの制御とが、

前記制御されたスライスされたデータ信号振幅を制御することから前記制御されたデー

タ信号ブーストを制御することに切り替わることが、前記制御されたスライスされたデータ信号振幅の増加と減少との間の変化とタイムアウトとの内の1つに続くことと、

前記制御されたデータ信号ブーストを制御することから前記制御されたスライスされたデータ信号振幅を制御することに切り替わることが、前記制御されたデータ信号ブーストの増加と減少との間の変化とタイムアウトとの内の1つに続くことと、

を含む、方法。

【請求項15】

適応的に等化されたデータ信号に交互に調整されたデータ信号ブーストとスライスされたデータ信号振幅とを提供する回路を含む装置であって、有限状態マシンを含み、前記有限状態マシンが、

制御されたデータ信号ブーストと等化されたデータ信号エネルギーとを有する等化されたデータ信号を提供するために入力データ信号の等化を制御する少なくとも第1の制御信号を提供し、

制御されたスライスされたデータ信号振幅とスライスされたデータ信号エネルギーとを有するスライスされたデータ信号を提供するために前記等化されたデータ信号のスライスを制御する少なくとも第2の制御信号を提供し、

前記等化されたデータ信号エネルギーと前記スライスされたデータ信号エネルギーとの間の差の測定を制御する少なくとも第3の制御信号を提供し、そして、

前記測定された差に従って前記制御されたデータ信号ブーストを増加させること及び減少させることにより前記制御されたデータ信号ブーストを調整する前記少なくとも第1の制御信号を修正し、前記制御されたスライスされたデータ信号振幅を制御することと前記制御されたデータ信号ブーストを制御することが交互に後に続き、

前記制御されたスライスされたデータ信号振幅を制御することが、

前記等化されたデータ信号エネルギーと前記スライスされたデータ信号エネルギーとの間の前記差を再測定する前記少なくとも第3の制御信号を修正することと、

前記再測定された差に従って前記制御されたスライスされたデータ信号振幅を調整する前記少なくとも第2の制御信号を修正することと、

を含み、

前記制御されたデータ信号ブーストを制御することが、

前記等化されたデータ信号エネルギーと前記スライスされたデータ信号エネルギーとの間の前記差を再測定する少なくとも前記第3の制御信号を修正することと、

前記再測定された差に従って前記制御されたデータ信号ブーストを再調整する前記少なくとも第1の制御信号を修正することと、

を含み、

電流レベルと前記制御されたデータ信号ブーストの最大レベル及び最小レベルとに基づいて少なくともバイナリサーチを行なうことにより前記制御されたデータ信号ブーストが調整される、装置。

【請求項16】

適応的に等化されたデータ信号に交互に調整されたデータ信号ブーストとスライスされたデータ信号振幅とを提供する回路を含む装置であって、

制御されたデータ信号ブーストと等化されたデータ信号エネルギーとを有する等化されたデータ信号を提供するために入力データ信号を等化することにより少なくとも第1の制御信号に応答する等化回路と、

制御されたスライスされたデータ信号振幅とスライスされたデータ信号エネルギーとを有するスライスされたデータ信号を提供するために前記等化されたデータ信号をスライスすることにより少なくとも第2の制御信号に応答するスライス回路と、

前記等化回路と前記スライス回路とに結合され、前記等化データ信号エネルギーと前記スライスされたデータ信号エネルギーとの差を示す少なくとも1つの測定信号を提供するために前記差を測定することにより少なくとも第3の制御信号に応答する、適応回路と、

前記適応回路と前記等化回路と前記スライス回路とに結合され、前記測定された差に従

って前記制御されたデータ信号ブーストを増加させ、減少させることにより前記制御されたデータ信号ブーストが調整されるように、前記少なくとも第1の制御信号と前記少なくとも第2の制御信号と前記少なくとも第3の制御信号とを提供することにより少なくとも前記少なくとも1つの測定信号に応答し、それに続いて、前記スライスされたデータ信号振幅と前記データ信号ブーストとが交互に制御される、制御回路と、

を含み、

前記スライスされたデータ信号振幅が、少なくとも、

前記等化されたデータ信号エネルギーと前記スライスされたデータ信号エネルギーとの間の前記差を再測定することと、

前記再測定された差に従って前記制御されたスライスされたデータ信号振幅を調整することと、

により制御され、

前記データ信号ブーストが、少なくとも、

前記等化されたデータ信号エネルギーと前記スライスされたデータ信号エネルギーとの間の前記差を再測定することと、

前記再測定された差に従って前記制御されたデータ信号ブーストを再調整することと、により制御され、

前記制御されたデータ信号ブーストが、電流レベルと前記調整されたデータ信号ブーストの最大レベル及び最小レベルとに基づくバイナリサーチを少なくとも行うことにより調整される、装置。

【請求項17】

請求項16に記載の装置であって、

前記スライスされたデータ信号振幅が、少なくとも、

複数の所定の周波数の下位の1つの辺りに配置された所定のバンド幅内の前記等化されたデータ信号エネルギーと前記スライスされたデータ信号エネルギーとの間の前記差を再測定することと、

前記再測定された差に従って前記制御されたスライスされたデータ信号振幅を調整することと、

により制御される、装置。

【請求項18】

請求項16に記載の装置であって、

前記データ信号ブーストが、少なくとも、

複数の所定の周波数の上位の1つの辺りに配置された所定のバンド幅内の前記等化されたデータ信号エネルギーと前記スライスされたデータ信号エネルギーとの間の前記差を再測定することと、

前記再測定された差に従って前記制御されたデータ信号ブーストを再調整することと、により制御される、装置。

【請求項19】

請求項16に記載の装置であって、

前記スライスされたデータ信号振幅と前記データ信号ブーストとが、少なくとも、

前記制御されたスライスされたデータ信号振幅を制御することから前記制御されたデータ信号ブーストを制御することに切り替わることが、前記制御されたスライスされたデータ信号振幅の増加と減少との間の変化とタイムアウトの内の1つに続くことと、

前記制御されたデータ信号ブーストを制御することから前記制御されたスライスされたデータ信号振幅を制御することに切り替わることが、前記制御されたデータ信号ブーストの増加と減少との間の変化とタイムアウトとの内の1つに続くことと、

により交互に制御される、装置。

【請求項20】

請求項16に記載の装置であって、

前記少なくとも第1の制御信号が第1及び第2の等化制御信号を含み、

前記等化回路が、

前記等化されたデータ信号を供給するために前記入力データ信号を継続的にフィルタリングすることにより前記入力データ信号と前記第1の等化制御信号と変換された等化制御信号とに応答する複数の等化回路と、

前記複数の等化回路に結合され、前記変換された等化制御信号を提供することにより前記第2の等化制御信号に応答する、デジタル・アナログ変換回路と、

を含む、装置。

【請求項21】

請求項16に記載の装置であって、

前記スライス回路が、

前記スライスされたデータ信号を提供するために前記等化されたデータ信号をスライスすることにより少なくとも1つの制御された電流に応答するスライサ回路と、

前記スライス回路に結合され、前記少なくとも1つの制御された電流を提供することにより前記少なくとも第2の制御信号に応答する、電流源回路と、

を含む、装置。

【請求項22】

請求項16に記載の装置であって、

前記適応回路が、

第1及び第2のフィルタされた信号を提供するように前記等化されたデータ信号と前記スライスされたデータ信号とをフィルタすることにより前記少なくとも第3の制御信号に応答するフィルタ回路と、

前記フィルタ回路に結合され、対応する第1及び第2の整流された信号を提供することにより前記第1及び第2のフィルタされた信号に応答する、整流回路と、

前記整流回路に結合され、前記少なくとも1つの測定信号を提供することにより前記第1及び第2の整流された信号に応答する、結合・統合回路と、

を含む、装置

【請求項23】

請求項16に記載の装置であって、

前記制御回路が有限状態マシンを含む、装置。

【請求項24】

高及び低データレートを有するデータ信号のためのアダプティブ信号イコライザを含む装置であって、

第1の等化されたデータ信号に第1の等化を提供するために入力データ信号を選択的にフィルタリングすることにより少なくとも入力データ信号と第1の等化制御信号とに応答する第1の信号等化回路と、

前記第1の信号等化回路に結合され、第2の等化されたデータ信号に第2の等化を提供するために前記第1の等化されたデータ信号を選択的にフィルタリングすることにより少なくとも前記第1の等化されたデータ信号と第2の等化制御信号とに応答する、第2の信号等化回路と、

前記第1及び第2の信号等化回路に結合され、第1及び第2のスライスされたデータ信号を提供するために前記第1及び第2の等化されたデータ信号をスライスすることにより少なくとも前記第1及び第2の等化されたデータ信号に応答する、信号スライス回路と、

前記第1及び第2の等化回路と前記信号スライス回路とに結合され、前記少なくとも第1及び第2の等化制御信号を提供して前記第1及び第2のスライスされたデータ信号の1つを出力データ信号として選択することにより少なくとも前記第1及び第2の等化されたデータ信号と前記第1及び第2のスライスされたデータ信号とに応答する、制御回路と、

を含み、

前記入力データ信号が所定のデータレートより大きいデータレートを有するときに前記第1のスライスされたデータ信号が前記出力データ信号として選択され、

前記入力データ信号が前記所定のデータレートよりも低いデータレートを有するときに

前記第2のスライスされたデータ信号が前記出力データ信号として選択され、

前記第1の等化が第1の複数の利用可能なDCベースの信号ブーストと第1の複数の利用可能なACベースの信号ブーストとを含み、

前記第2の等化が第2の複数の利用可能なDCベースの信号ブーストと第2の複数の利用可能なACベースの信号ブーストとを含み、

前記第1の複数の利用可能なDCベースの信号ブーストが前記第2の複数の利用可能なDCベースの信号ブーストよりも大きく、

前記第1の複数の利用可能なACベースの信号ブーストが前記第2の複数の利用可能なACベースの信号ブーストよりも大きい、装置。

【請求項25】

請求項24に記載の装置であって、

所定のケーブル長さよりも小さい長さを有する信号ケーブルを介して前記入力データ信号が受信されるときに前記第2の等化が低く、所定のケーブル長さよりも大きい長さを有する信号ケーブルを介して前記入力データ信号が受信されるときに前記第2の等化が高い、装置。

【請求項26】

請求項24に記載の装置であって、

前記第1の信号等化回路が、

前記第1の等化されたデータ信号を提供するために前記入力データ信号を連続的にフィルタリングすることにより前記入力データ信号と前記第1の等化制御信号と変換された等化制御信号とに応答する複数の等化回路と、

前記複数の等化回路に結合され、前記変換された等化制御信号を提供することにより別の等化制御信号に応答する、デジタル・アナログ変換回路と、

を含む、装置。

【請求項27】

請求項24に記載の装置であって、

前記第2の信号等化回路が、

前記第2の等化されたデータ信号を提供するために前記第1の等化されたデータ信号をフィルタリングすることにより前記第1の等化されたデータ信号と前記第2の等化制御信号と変換された等化制御信号とに応答する等化回路と、

前記等化回路に結合され、前記変換された等化制御信号を提供することにより別の等化制御信号に応答する、デジタル・アナログ変換回路と、

を含む、装置。

【請求項28】

請求項24に記載の装置であって、

前記信号スライス回路が、

第1のスライスされたデータ信号を提供するために前記第1の等化されたデータ信号をスライスすることにより少なくとも前記第1の等化されたデータ信号に応答する第1の信号スライス回路と、

第2のスライスされたデータ信号を提供するために前記第2の等化されたデータ信号をスライスすることにより少なくとも前記第2の等化されたデータ信号に応答する第2の信号スライス回路と、

を含む、装置。

【請求項29】

請求項24に記載の装置であって、

前記制御回路が、

少なくとも第1及び第2のフィードバック信号を提供することにより少なくとも前記第1及び第2の等化されたデータ信号に応答する適応回路と、

前記適応回路に結合され、前記少なくとも第1及び第2の等化制御信号を提供することにより少なくとも前記少なくとも第1及び第2のフィードバック信号に応答する、コント

コントローラ回路と、
を含む、装置。

【請求項 3 0】

請求項 2 4 に記載の装置であって、
前記制御回路が、
前記入力データ信号の前記データレートを示すデータレート検出信号を提供することにより前記第 1 の等化されたデータ信号に応答するデータレート検出回路と、
少なくとも第 1 及び第 2 のフィードバック信号を提供することにより少なくとも前記第 1 及び第 2 の等化されたデータ信号に応答する適応回路と、
データレート検出回路と前記適応回路とに結合され、少なくとも第 1 及び第 2 の等化制御信号を提供することにより少なくとも前記データレート検出信号と前記少なくとも第 1 及び第 2 のフィードバック信号とに応答する、コントローラ回路と、
を含む、装置。

【請求項 3 1】

請求項 2 4 に記載の装置であって、
前記制御回路が、
前記入力データ信号の前記データレートを示すデータレート検出信号を提供することにより前記第 1 の等化されたデータ信号に応答するデータレート検出回路と、
前記第 1 及び第 2 のスライスされたデータ信号の 1 つを出力データ信号として選択することにより前記第 1 及び第 2 のスライスされたデータ信号と前記データレート検出信号とに応答する信号選択回路と、
少なくとも第 1 及び第 2 のフィードバック信号を提供することにより少なくとも前記第 1 及び第 2 の等化されたデータ信号に応答する適応回路と、
データレート検出回路と前記適応回路とに結合され、前記少なくとも第 1 及び第 2 の等化制御信号を提供することにより少なくとも前記データレート検出信号と前記少なくとも第 1 及び第 2 のフィードバック信号とに応答する、コントローラ回路と、
を含む、装置。

【請求項 3 2】

請求項 2 4 に記載の装置であって、
前記第 1 の等化が第 1 の複数の利用可能な信号ブーストを含み、
前記第 2 の等化が第 2 の複数の利用可能な信号ブーストを含み、
前記第 1 の複数の利用可能な信号ブーストが前記第 2 の複数の利用可能な信号ブーストよりも大きい、装置。

【請求項 3 3】

高及び低データレートを有するデータ信号を適応的に等化する方法であって、
第 1 の等化されたデータ信号に第 1 の等化を提供するために入力データ信号を選択的にフィルタリングすることにより少なくとも第 1 の等化制御信号に応答することと、
第 2 の等化されたデータ信号に第 2 の等化を提供するために前記第 1 の等化されたデータ信号を選択的にフィルタリングすることにより少なくとも第 2 の等化制御信号に応答することと、
第 1 及び第 2 のスライスされたデータ信号を提供するために前記第 1 及び第 2 の等化制御信号をスライスすることと、
前記少なくとも第 1 及び第 2 の等化制御信号を提供して前記第 1 及び第 2 のスライスされたデータ信号の 1 つを出力データ信号として選択することにより少なくとも前記第 1 及び第 2 の等化されたデータ信号と前記第 1 及び第 2 のスライスされたデータ信号とに応答することと、
を含み、
前記入力データ信号が所定のデータレートよりも大きいデータレートを有するときに前記第 1 のスライスされたデータ信号が前記出力データ信号として選択され、
前記入力データ信号が前記所定のデータレートよりも小さいデータレートを有するとき

に前記第2のスライスされたデータ信号が前記出力データ信号として選択され、

前記第1の等化が第1の複数の利用可能なDCベースの信号ブーストと第1の複数の利用可能なACベースの信号ブーストとを含み、

前記第2の等化が第2の複数の利用可能なDCベースの信号ブーストと第2の複数の利用可能なACベースの信号ブーストとを含み、

前記第1の複数の利用可能なDCベースの信号ブーストが前記第2の複数の利用可能なDCベースの信号ブーストよりも大きく、

前記第1の複数の利用可能なACベースの信号ブーストが前記第2の複数の利用可能なACベースの信号ブーストよりも大きい、方法。

【請求項34】

請求項33に記載の方法であって、

所定のケーブル長さよりも小さい長さを有する信号ケーブルを介して前記入力データ信号が受信されるときに前記第2の等化が低く、所定のケーブル長さよりも大きい長さを有する信号ケーブルを介して前記入力データ信号が受信されるときに前記第2の等化が高い、方法。

【請求項35】

請求項33に記載の方法であって、

第1の等化されたデータ信号に第1の等化を提供するために入力データ信号を選択的にフィルタリングすることにより少なくとも第1の等化制御信号に応答することが、

前記第1の等化されたデータ信号を提供するために前記入力データ信号を継続的にフィルタリングすることにより前記第1の等化制御信号とアナログ等化制御信号とに応答すること、

前記アナログ等化制御信号を提供することによりデジタル等化制御信号に応答すること、

を含む、方法。

【請求項36】

請求項33に記載の方法であって、

第2の等化されたデータ信号に第2の等化を提供するために前記第1の等化されたデータ信号を選択的にフィルタリングすることにより少なくとも第2の等化制御信号に応答することが、

前記第2の等化されたデータ信号を提供するために前記第1の等化されたデータ信号をフィルタリングすることにより前記第2の等化制御信号とアナログ等化制御信号とに応答すること、

前記アナログ等化制御信号を提供することによりデジタル等化制御信号に応答すること、

を含む、方法。

【請求項37】

請求項33に記載の方法であって、

第1及び第2のスライスされたデータ信号を提供するために前記第1及び第2の等化されたデータ信号をスライスすることが、

前記第1のスライスされたデータ信号を提供するために前記第1の等化されたデータ信号をスライスすること、

前記第2のスライスされたデータ信号を提供するために前記第2の等化されたデータ信号をスライスすること、

を含む、方法。

【請求項38】

請求項33に記載の方法であって、

前記少なくとも第1及び第2の等化制御信号を提供して前記第1及び第2のスライスされたデータ信号の1つを出力データ信号として選択することにより、少なくとも前記第1及び第2の等化されたデータ信号と前記第1及び第2のスライスされたデータ信号とに応

答することが、

少なくとも第1及び第2のフィードバック信号を提供することにより少なくとも第1及び第2の等化されたデータ信号に適応的に応答することと、

前記少なくとも第1及び第2の等化制御信号を提供することにより少なくとも前記少なくとも第1及び第2のフィードバック信号に応答することと、
を含む、方法。

【請求項39】

請求項33に記載の方法であって、

前記少なくとも第1及び第2の等化制御信号を提供して前記第1及び第2のスライスされたデータ信号の1つを出力データ信号として選択することにより、少なくとも前記第1及び第2の等化されたデータ信号と前記第1及び第2のスライスされたデータ信号とに応答することが、

前記入力データ信号の前記データレートを示すデータレート検出信号を提供することにより前記第1の等化されたデータ信号に応答することと、

少なくとも第1及び第2のフィードバック信号を提供することにより少なくとも前記第1及び第2の等化されたデータ信号に適応的に応答することと、

前記少なくとも第1及び第2の等化制御信号を提供することにより少なくとも前記データレート検出信号と前記少なくとも第1及び第2のフィードバック信号とに応答することと、

を含む、方法。

【請求項40】

請求項33に記載の方法であって、

前記少なくとも第1及び第2の等化制御信号を提供して前記第1及び第2のスライスされたデータ信号の1つを出力データ信号として選択することにより、少なくとも前記第1及び第2の等化されたデータ信号と前記第1及び第2のスライスされたデータ信号に応答することが、

前記入力データ信号の前記データレートを示すデータレート検出信号を提供することにより前記第1の等化されたデータ信号に応答することと、

前記第1及び第2のスライスされたデータ信号の1つを前記出力データ信号として選択することにより前記データレート検出信号に応答することと、

少なくとも第1及び第2のフィードバック信号を提供することにより少なくとも前記第1及び第2の等化されたデータ信号に適応的に応答することと、

前記少なくとも第1及び第2の等化制御信号を提供することにより少なくとも前記データレート検出信号と前記少なくとも第1及び第2のフィードバック信号とに応答することと、

を含む、方法。

【請求項41】

請求項33に記載の方法であって、

前記第1の等化が第1の複数の利用可能な信号ブーストを含み、

前記第2の等化が第2の複数の利用可能な信号ブーストを含み、

前記第1の複数の利用可能な信号ブーストが前記第2の複数の利用可能な信号ブーストよりも大きい、方法。