

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-258691
(P2007-258691A)

(43) 公開日 平成19年10月4日(2007.10.4)

(51) Int.CI.		F 1	テーマコード (参考)	
H01L	21/027	(2006.01)	H 01 L	21/30 529 2H097
G03F	7/20	(2006.01)	G 03 F	7/20 505 5B035
H01L	21/20	(2006.01)	H 01 L	21/20 5F046
H01L	21/02	(2006.01)	H 01 L	27/12 B 5F083
H01L	27/12	(2006.01)	H 01 L	29/78 616K 5F110
審査請求 未請求 請求項の数		12	O L (全 34 頁)	最終頁に続く

(21) 出願番号	特願2007-38802 (P2007-38802)	(71) 出願人	000153878
(22) 出願日	平成19年2月20日 (2007.2.20)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2006-44201 (P2006-44201)		神奈川県厚木市長谷398番地
(32) 優先日	平成18年2月21日 (2006.2.21)	(72) 発明者	田中 幸一郎
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	大石 洋正
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
F ターム (参考) 2H097 AA03 AB05 BA10 CA06 CA17			
GB01 LA09 LA10			
5B035 BA00 BB09 CA23 CA29			
5F046 AA06 AA07 BA07 CB01 DA02			

最終頁に続く

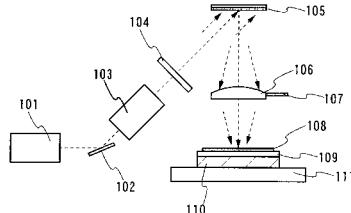
(54) 【発明の名称】 レーザ照射装置、レーザ照射方法、及び半導体装置の作製方法

(57) 【要約】

【課題】 レーザビームの利用効率を向上させると共に、DMDにおける迷光の影響を排除し、均一なビームスポットで照射パターンを形成することのできるレーザ照射装置及びレーザ照射方法を提供する。

【解決手段】 レーザ照射装置は少なくともレーザ発振器と回折光学素子と微少なミラーが二次元的に多数並べられた光学素子とを有し、該レーザ発振器から射出したレーザビームは回折光学素子によって複数のレーザビームに分割され、該レーザビームは複数のマイクロミラーにおいて偏向される。また、該前記複数に分割されたレーザビームのそれぞれは互いに等しいエネルギーを有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

レーザビームを射出するレーザ発振器と、
前記レーザ発振器から射出されたレーザビームを複数のレーザビームに分割する回折光学素子と、
前記回折光学素子により分割されたレーザビームを、偏向する複数のマイクロミラーと
、
前記複数のマイクロミラーによって偏向されたそれぞれのレーザビームが照射される被照射体を載置する搬送ステージと、を有することを特徴とするレーザ照射装置。

【請求項 2】

請求項 1において、
前記回折光学素子は透過型回折光学素子又は反射型回折光学素子であることを特徴とするレーザ照射装置。

【請求項 3】

請求項 1または請求項 2において、
前記複数に分割されたレーザビームは、互いに等しいエネルギーを有することを特徴とするレーザ照射装置。

【請求項 4】

請求項 1乃至請求項 3のいずれか一項において、
前記回折光学素子と、前記搬送ステージとの間に配置された投影レンズを有することを特徴とするレーザ照射装置。

【請求項 5】

請求項 1乃至請求項 4のいずれか一項において、
前記複数に分割されたレーザビームのスポットサイズは、前記マイクロミラーの表面積の大きさよりも小さいことを特徴とするレーザ照射装置。

【請求項 6】

レーザ発振器から射出したレーザビームを回折光学素子に入射して複数に分割し、
前記複数に分割されたレーザビームを複数のマイクロミラーにおいて偏向して搬送ステージに載置された被照射体に照射することを特徴とするレーザ照射方法。

【請求項 7】

レーザ発振器から射出したレーザビームを回折光学素子に入射して複数に分割し、
前記複数に分割されたレーザビームのうちの 1 つのレーザビームを第 1 のマイクロミラーに入射させ、他の 1 つのレーザビームを第 2 のマイクロミラーに入射させ、前記第 1 のマイクロミラー及び前記第 2 のマイクロミラーにおいて偏向された前記レーザビームを被照射面上に照射することを特徴とするレーザ照射方法。

【請求項 8】

請求項 6または請求項 7において、
前記回折光学素子は透過型回折光学素子又は反射型回折光学素子であることを特徴とするレーザ照射方法。

【請求項 9】

請求項 6乃至請求項 8のいずれか一項において、
前記複数に分割されたレーザビームは互いに等しいエネルギーを有することを特徴とするレーザ照射方法。

【請求項 10】

請求項 6乃至請求項 9のいずれか一項において、
前記複数に分割されたレーザビームは、前記回折光学素子と、前記搬送ステージとの間に配置された投影レンズを通過した後、前記被照射面上に照射されることを特徴とするレーザ照射方法。

【請求項 11】

請求項 6乃至請求項 10のいずれか一項において、

10

20

30

40

50

前記複数に分割されたレーザビームは、前記マイクロミラーの中央部または中央部と隅の間に集光されることを特徴とするレーザ照射方法。

【請求項 1 2】

基板上にソース電極又はドレイン電極を有する複数の島状半導体層を形成し、
前記複数の島状半導体層上に第1の層間絶縁膜を形成し、
前記第1の層間絶縁膜を介して前記複数の島状半導体層上に、それぞれゲート電極を形成し、
前記ゲート電極上に第2の層間絶縁膜を形成し、
前記第2の層間絶縁膜上にレジストを設け、
回折光学素子を通過して複数に分岐したレーザビームを、複数のマイクロミラーによって偏航し、
前記複数のマイクロミラーによって偏航されたそれぞれのレーザビームを前記レジストに照射し、
前記レーザビームが照射された前記レジストを現像し、
前記レジストをマスクとして、前記第1の層間絶縁膜及び前記第2の層間絶縁膜をエッチングし、選択的にコンタクトホールを形成することを特徴とする半導体装置の作製方法。
。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、レーザ直接描画法などで行われるレーザ照射を効率よく行うためのレーザ照射装置およびレーザ照射方法に関するものである。また、前記のレーザ照射の工程を含んで作製された半導体装置の作製方法に関するものである。

【背景技術】

【0002】

半導体装置製造工程やプリント基板製造工程などにおいて、回路の集積化に伴い、微細加工が必須となっている。一般にそのような微細加工は、回路パターンを書き込んだフォトマスクを事前に作製し、そのパターンを基板に転写するレーザ露光技術によって行われている。しかし、フォトマスクを使用する方法ではマスクの作製に費用、時間がかかる。そのため、近年ではフォトマスクを使用しないプロセス（以下、マスクレスプロセスという）が注目されている。マスクレスプロセスとして代表的なものとしてレーザ直接描画法がある。レーザ直接描画法では、スパッタリングなどにより成膜された導電膜上に感光性材料を吐出または塗布し、その上にレーザビーム直接描画装置を用いてレーザビームを照射する。その際に、レーザビームの照射を選択的に行い、さらに現像を行うことによりレーザビームが照射された領域にマスクを形成する。次に、このマスクを用いて導電膜をエッチングすることにより、導電膜を所望のパターンに形成することができる。これにより、TFT（薄膜トランジスタ）やICの回路パターンを作製することができる。

【0003】

レーザ直接描画法で所望の照射パターンを形成するため、デジタル・マイクロミラー・デバイス（DMD）を用いてレーザビームを複数のビームスポットに分割する方法が知られている。DMDは、微小なマイクロミラーを2次元的に配列したものであり、それぞれのミラーが個別に動作することにより、所望の照射パターンを照射面に作りだすことができる。また、DMDを構成する複数のマイクロミラーの応答時間はμsec程度と極めて小さいため、複数のパターンを高速に切り替えることができる。そのような利点から、DMDを利用したレーザ露光装置が提案されている（例えば特許文献1）。

【0004】

DMDは、複数の微小なマイクロミラーを2次元的に複数配列した反射型光学変調素子である。DMDは、マイクロミラー、マイクロミラーを固定するヒンジ、ヨーク、CMOSメモリ半導体などから構成されており、マイクロミラー下部に生じさせた静電気力により個々のマイクロミラーの傾きを制御するものである。マイクロミラーは一辺が数十μm

程度で作製することができ、それぞれのマイクロミラーは、アドレス電極に加わる信号”1”と”0”に対応して、角度が $\pm 10^\circ$ 程度可変となる。

【0005】

DMDを用いてレーザ照射を行う場合、個々のマイクロミラーにより形成されるビームスポットは、それぞれ等しいビーム特性を有することが必要である。特に、半導体膜の露光プロセスなどでは、数 μm サイズの微細加工が要求されている。そのため、そのような微細加工を正確に行うため、ビームスポットのスポットサイズ、エネルギーなどを高い水準で均質化させる必要がある。そこで、DMDにレーザビームを入射させ、照射パターンを形成する際に、あらかじめレーザビームのエネルギー分布を均一化させている。レーザビームを均一化する方法としては、拡散板、カレイドスコープや、アレイレンズなどを用いる方法がある。10

【特許文献1】特開2005-275325号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記の方法により均一化されたレーザビームを用いたとしても、DMDにより反射されたそれぞれのレーザビームが異なるビーム特性を有することがあった。DMDを構成する複数のマイクロミラーは、それぞれ独立して動作するため、ミラー間には隙間がある構成となっている。ミラー間の隙間は各マイクロミラーを独立に動作させるためのマージン領域となっており、無くすることは不可能である。この隙間とミラー外縁部で反射されたレーザビームなどが迷光となり、所望のビームパターン以外の場所にビームスポットが形成されてしまう問題があった。また、マイクロミラーは、完全な平面ではなく、製造過程でその形状に歪みが生じることがある。この歪みは、マイクロミラーの外縁部で特に大きく、この部分で反射されたレーザビームが迷光となることがあった。そこで、レーザビームを集光するマイクロレンズの前または後ろにスリットを設け、迷光を遮蔽する方法が提案されている。しかしこの方法の場合、迷光がスリットの開口部を通過してしまうことがあります。得るため、たとえスリットを複数枚使用したとしても、迷光の影響を完全に排除することは不可能である。20

【0007】

また、従来のDMDを使用した露光機では、DMDを構成するマイクロミラーで反射されたそれぞれのレーザビームを集光させるマイクロレンズアレイが不可欠となっていた。マイクロレンズアレイは、それぞれのレーザビームに対応する複数のレンズを配列したものである。しかし、マイクロレンズアレイを使用する場合、例えば、紫外光領域のレーザビームに対してはマイクロレンズアレイの母材として石英などを使用しなくてはならず非常に高価な装置構成となっていた。また、マイクロレンズアレイを使用しない方法としては、マイクロミラーで反射されたレーザビームをピンホールに通すことで成形し、ピンホール開口部の像を縮小光学系により照射面に投影する方法などが考えられている。しかし、この方法の場合、ピンホールにより大部分のレーザビームが遮光されてしまうため、エネルギーの利用効率の点で問題がある。また、ピンホールが熱により変形し、ビームスポットの形状や照射位置がずれるという問題を完全に回避することは困難であった。30

【0008】

本発明は、上記の問題を解決し、レーザビームの利用効率を向上させると同時に、DMDにおける迷光の影響を排除し、均一なビームスポットで照射パターンを形成することのできるレーザ照射装置及びレーザ照射方法を提供することを目的とする。40

【課題を解決するための手段】

【0009】

本発明のレーザ照射装置は、少なくともレーザ発振器と回折光学素子と微少なミラー（以下、マイクロミラーという）が二次元的に複数並べられた光学素子（デジタルマイクロミラーデバイス（DMD）などとよばれる。以下、DMDという）とを有する。なお、レーザ発振器から射出したレーザビームは回折光学素子によって複数のレーザビームに分割50

され、前記レーザビームはマイクロミラーにおいて偏向される。ここで、複数のマイクロミラーはそれぞれ個別に調整することができる。それぞれのマイクロミラーの角度を個別に設定することにより、それぞれのマイクロミラーで偏向されるレーザビームは基板上の所望の位置に照射される。

【0010】

本発明のレーザ照射装置は、レーザビームを射出するレーザ発振器と、レーザ発振器から射出されたレーザビームを複数のレーザビームに分割する回折光学素子と、回折光学素子により複数に分割されたレーザビームのそれを、偏向する複数のマイクロミラーと、複数のマイクロミラーによって偏向されたそれらのレーザビームが照射される被照射体（以下、物体ともいう）を載置する搬送ステージと、を有することを特徴とする。複数のレーザビームのそれは複数のマイクロミラーのそれぞれの中央部または中央部と隅の間に集光される。複数のレーザビームのそれぞれのスポットサイズは複数のマイクロミラーのそれぞれの表面積の大きさよりも小さいことが好ましい。

【0011】

本発明のレーザ照射装置において、回折光学素子は透過型回折光学素子又は反射型回折光学素子であることを特徴とする。

【0012】

本発明のレーザ照射装置において、複数に分割されたレーザビームのそれは互いに等しいエネルギーを有することを特徴とする。

【0013】

本発明のレーザ照射装置において、回折光学素子と、前記搬送ステージとの間に配置された投影レンズを有することを特徴とする。

【0014】

本発明のレーザ照射方法は、レーザ発振器から射出したレーザビームを回折光学素子に入射して複数に分割し、複数に分割されたレーザビームを複数のマイクロミラーにおいて偏向して搬送ステージに載置された被照射体に照射することを特徴とする。複数のレーザビームのそれは複数のマイクロミラーのそれぞれの中央部または中央部と隅の間に集光される。複数のレーザビームのそれぞれのスポットサイズは複数のマイクロミラーのそれぞれの表面積の大きさよりも小さいことが好ましい。

【0015】

本発明のレーザ照射方法は、レーザ発振器から射出したレーザビームを回折光学素子に入射して少なくとも第1のレーザビームと第2のレーザビームに分割し、第1のレーザビームを第1のマイクロミラーに入射させ、第2のレーザビームを第2のマイクロミラーに入射させ、第1のマイクロミラー及び第2のマイクロミラーにおいて偏向された第1のレーザビーム及び第2のレーザビームを被照射面上に照射することを特徴とする。第1のレーザビームは第1のマイクロミラーの中央部または中央部と隅の間に集光され、第2のレーザビームは第2のマイクロミラーの中央部または中央部と隅の間に集光される。第1のレーザビームのスポットサイズは第1のマイクロミラーの表面積の大きさよりも小さく、第2のレーザビームのスポットサイズは第2のマイクロミラーの表面積の大きさよりも小さいことが好ましい。

【0016】

本発明のレーザ照射方法において、回折光学素子は透過型回折光学素子又は反射型回折光学素子であることを特徴とする。

【0017】

本発明のレーザ照射方法において、複数に分割されたレーザビームのそれは互いに等しいエネルギーを有することを特徴とする。

【0018】

本発明のレーザ照射方法において、複数に分割されたレーザビームは投影レンズを通過した後、前記被照射面上に照射されることを特徴とする。

【0019】

10

20

30

40

50

本発明の半導体装置の作製方法は、基板上にソース電極又はドレイン電極を有する複数の島状半導体層を形成し、複数の島状半導体層上に第1の層間絶縁膜を形成し、第1の層間絶縁膜を介して複数の島状半導体層上に、それぞれゲート電極を形成し、ゲート電極上に第2の層間絶縁膜を形成し、第2の層間絶縁膜上にレジストを設け、レジストに、回折光学素子を通して複数に分岐された後、それぞれマイクロミラーによって偏向されたレーザビームを照射し、レーザビームが照射されたレジストを現像して第1の層間絶縁膜及び第2の層間絶縁膜をエッチングし、選択的にコンタクトホールを形成することを特徴とする。複数のレーザビームのそれぞれは複数のマイクロミラーのそれぞれの中央部または中央部と隅の間に集光される。複数のレーザビームのそれぞれのスポットサイズは複数のマイクロミラーのそれぞれの表面積の大きさよりも小さいことが好ましい。

10

【発明の効果】

【0020】

本発明により、レーザビームのビームスポットをマイクロミラーよりも小さなスポットサイズとすることができますため、DMDを構成するマイクロミラー間の隙間、または、マイクロミラー外縁部により生じる迷光の影響を排除することができる。また、レーザビームの利用効率を向上させることができることが出来る。さらに、マイクロミラーの隙間へのレーザビームの侵入を防止することができるため、デバイスの損傷や、誤作動を防止することが可能となる。また、回折光学素子としてレーザビームのエネルギーを均一化させる機能を備えたものを用いる場合、光学系内に新たにビームホモジナイザを設置する必要がないため、光学系内の素子数を低減することが可能である。また、回折光学素子によりビームスポットを集光することが可能であるため、マイクロレンズアレイを用いてレーザビームを集光する必要がなく光学系内の素子数を低減することが可能である。以上の構成により、光学系内の素子数を少なくすることができ、安価にレーザ照射装置を構成することができる。また、光学系内の素子数を少なくすることができるために、レーザ照射装置の小型化が可能である。

20

【0021】

また、本発明により、レーザビームの偏向方向を短時間で切り替えることができるため、種々の照射パターンを切り替えながらレーザ照射を行うことができる。また、複数のビームスポットを一度に形成することができる。そのため、複雑な照射パターンを形成する場合においても効率良くレーザ照射を行うことができる。本装置を半導体膜上のレーザ直接描画プロセスに適用すると、IDチップのROM作製などの量産性を容易に向上させることができる。

30

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施の態様について、図面を参照して説明する。但し、本発明は多くの異なる態様で実施することができる、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

40

【0023】

(実施の形態1)

本実施の形態では、透過型回折光学素子によりレーザビームを複数に分割してDMDに入射して、基板表面に選択的にレーザビームを照射する例について示す。

【0024】

図1に、本実施の形態のレーザ照射装置の模式図を示す。なお、図1において、破線矢印で示す方向はレーザビームの進行方向である。ここで、レーザ発振器101から射出したレーザビームは、ミラー102で偏向され、エキスパンダ103に入射する。エキスパンダ103は、例えば凸レンズを2枚配置することにより、レーザビームのビーム径を拡大する機能を有するものである。

50

【0025】

次に、エキスパンダ103を通過したレーザビームは回折光学素子104に入射する。なお、ここでエキスパンダ103は、ビーム径を拡大することにより、回折光学素子104の切削間隔などの、設計上の制約を緩和するために使用するものである。したがって、レーザ発振器から射出されるレーザビームのビーム径が十分大きい場合にはエキスパンダ103は使用しなくともかまわない。また、回折光学素子104はレーザビームを分割し、複数のビームスポットを形成するために使用する。なお、ここでは回折光学素子104として透過型の回折光学素子を使用した例について示すが、本発明のレーザ照射装置はこの構成に限定されない。例えば反射型の回折光学素子を光学系内に配置する構成としてもよい。

10

【0026】

回折光学素子104は、分割された複数のレーザビームそれが等しいビームパラメータを持つように設計することが可能なため、例えばガウシアン状のエネルギー分布を持つレーザビームを使用したとしても、回折光学素子を使用することにより、等しいエネルギーを持つ複数のレーザビームを形成することができる。これにより複数のレーザビームによるそれぞれの露光時間を揃えることが出来るため、処理時間を最小にすることができます。なお、ここで用いる回折光学素子は、その面構造の回折現象によりレーザビームの挙動をコントロールするものである。回折光学素子の設計は、ORA(Optimal Rotation Angle)法などにより、位相分布を最適化することにより行うことができる。また、波動光学的解析を行うことのできる光学設計ソフトで回折光学素子を自動設計することも可能である。回折光学素子の物理形状としては、2値位相格子、あるいは、多値位相格子または連続位相格子などを適用することができる。

20

【0027】

次に、回折光学素子104により分割されたレーザビームがDMD105にそれぞれ集光される。DMDを構成するマイクロミラーの数は、回折光学素子により分割されたレーザビームの数と等しいかそれ以上であることが好ましく、それぞれのレーザビームは異なるマイクロミラー面上に集光される。そして、マイクロミラーで反射されて投影レンズ106方向へ偏向される。ここで、マイクロミラーにおけるレーザビームの入射位置について説明するために、図2にDMD表面の一部を示す。図2の201はDMDを構成するマイクロミラーである。なお、図2では6枚のマイクロミラー201を有するDMDについて説明するが、マイクロミラーの枚数はこれに限定されない。また、202で示された領域はマイクロミラー間にある隙間を示しており、マイクロミラー間の隙間202にレーザビームが入射すると迷光の原因になる。また、上記のマイクロミラー201間の隙間202から、デバイス内部にレーザビームが入り込むことで温度上昇やデバイスの損傷が起こり、チャタリングなどの動作不良を引き起こす問題もある。そこで、本発明のレーザ照射装置では、回折光学素子により、ビームスポットを分割し、マイクロミラー201の表面積よりも小さいスポットサイズにレーザビームを集光する。例えば図中の点線で示すスポット203のように、マイクロミラー201中央部にレーザビームを集光するとよい。ここで、マイクロミラー201に形状的な歪みがある場合、歪みはマイクロミラーの四隅において特に大きくなる。したがって、マイクロミラー201の中央部にレーザビームを集光することで、歪みに起因するビームスポット形状の変動を防止できる。なお、マイクロミラー201中央部の領域205は、マイクロミラーの角度調整機構であるヨークに接続するヒンジが形成されている領域である。したがって、該ヒンジがビームスポットの形状の変動の原因となる場合には、領域205を避けるようにビームスポットを、マイクロミラー中心部とマイクロミラーの隅の間である204の位置などに集光させる構成としてもよい。なおこのような位置にビームスポットを形成したい場合、ビームスポットの径を数 μm 程度まで集光する必要がある。この場合、図示しないが、回折光学素子104により形成されるビームスポットを投影光学系によりDMD105上に縮小投影する構成としてもよい。以上の構成により、DMD105において、迷光等によるレーザビームの損失を防止し、レーザビームの利用効率を向上させることが可能である。

30

40

50

【 0 0 2 8 】

次に、DMD105で反射して照射面方向に偏向されたレーザビームは、投影レンズ106に入射する(図1)。投影レンズ106はDMD105上に形成されたビームスポットを照射面である基板108に投影するために配置するものである。そのため、投影レンズ106は、DMD105と基板108が互いに共役となる位置に配置されている。ここで、DMD105を構成する複数のマイクロミラーは、デジタル的にその設置角度が制御される。例えば、基板上にレーザ照射を行う場合、マイクロミラーの傾斜角度を+10度とし、基板上にレーザ照射を行わない場合、マイクロミラーの傾斜角度を-10度とする。ここで、マイクロミラーの傾斜角度が-10度のときは、マイクロミラーにより反射されたレーザビームは遮光板107上に到達し遮光されるため、基板108表面に照射されない。上記の構成によりレーザビームの基板108へ照射する場合(オン)と照射しない場合(オフ)を制御することができるため、基板108上に所望の照射パターンを形成することができる。

【 0 0 2 9 】

本実施の形態において、基板108は吸着ステージ109に吸着されている。さらに吸着ステージ109はX方向に動作する搬送ステージ110とY方向に動作する搬送ステージ111上に設置されている。これにより、ある露光領域の照射が終わったところで、搬送ステージ110または111を動作させ、新たな露光領域に対して所望の照射パターンでレーザ照射を行う。このサイクルを繰り返すことにより、基板全面にレーザ照射を行うことが可能になる。本実施の形態では、基板108を吸着ステージ109に固定したが、固定方法はこれに限定せず、単純な固定具により基板を上からステージに押さえつけて固定するなどその他の方法でも構わない。

【 0 0 3 0 】

本実施の形態に示した方法でレーザ照射を行うことにより、レーザ照射パターンを高速に切り替え、基板上に効率よくレーザ照射することが可能になる。本発明のレーザ照射装置は複数のレーザビームを照射して露光プロセスを行うことができるので、ROMのように露光するパターンを頻繁に変更する製品の作製工程に適用することで生産性を高めることができる。例えば、IDチップのROM作製工程などに応用すれば、複数のパターンを持つIDチップを安価に量産することができる。

【 0 0 3 1 】**(実施の形態2)**

本実施の形態では、反射型回折光学素子によりレーザビームを複数に分割してDMDに入射させレーザ照射する例について示す。

【 0 0 3 2 】

図3に本実施の形態のレーザ照射装置の模式図を示す。図3において、レーザ発振器301から射出したレーザビームは、エキスパンダ302に入射する。なお、図3中の破線矢印はレーザビームの進行方向を示している。エキスパンダ302は、例えば凸レンズを2枚配置することにより、レーザビームのビーム径を拡大する機能を有するものである。エキスパンダ302を通過したレーザビームは反射型の回折光学素子303に入射する。なお、ここでエキスパンダ302は、ビーム径を拡大することにより、回折光学素子303の切削間隔などの、設計上の制約を緩和するために使用するものである。したがって、レーザ発振器から射出されるレーザビームのビーム径が十分大きい場合にはエキスパンダ302は使用しなくともかまわない。また、回折光学素子303はレーザビームを分割し、複数のビームスポットを形成するために使用する。また、回折光学素子303は分割された複数のビームスポットそれが等しいビームパラメータを持つように設計することができるため、例えばガウシアン状のエネルギー分布を持つレーザビームを使用したとしても、回折光学素子を使用することにより、等しいエネルギーを持つ複数のビームスポットを形成することができる。これにより複数のレーザビームによるそれぞれの露光時間を揃えることが出来るため、処理時間を最小にすることができます。なおここで用いる回折光学素子は、その面構造の回折現象によりレーザビームの挙動をコントロールするものであ

る。回折光学素子の設計は、O R A (Optimal Rotation Angle) 法などにより、位相分布を最適化することにより行うことができる。また、波動光学的解析を行うことのできる光学設計ソフトで回折光学素子を自動設計することも可能である。回折光学素子の形状としては、2 値位相格子、あるいは、多値位相格子または連続位相格子などを適用することができる。

【0033】

次に、回折光学素子 303 により分割されたレーザビームが DMD 304 にそれぞれ集光される。DMD を構成するマイクロミラーの数は、回折光学素子により分割されたレーザビームの数と等しいかそれ以上であることが好ましく、それぞれのレーザビームは異なるマイクロミラー面上に集光される。

10

【0034】

次に、DMD 304 で反射して、照射面方向に偏向されたレーザビームは、投影レンズ 305 に入射する(図3)。投影レンズ 305 は DMD 304 上に形成されたビームスポットを照射面である基板 307 に投影するために配置するものである。そのため、投影レンズ 305 は、DMD 304 と基板 307 が互いに共役となる位置に配置されている。ここで、DMD 304 を構成する複数のマイクロミラーは、デジタル的にその設置角度が制御される。例えば、基板上にレーザ照射を行う場合、マイクロミラーの傾斜角度を +10 度とし、基板上にレーザ照射を行わない場合、マイクロミラーの傾斜角度を -10 度とする。ここで、マイクロミラーの傾斜角度が -10 度のときは、マイクロミラーにより反射されたレーザビームは遮光板 306 上に到達し遮光されるため、基板 307 表面に照射されない。上記の構成によりレーザビームの基板 307 表面へ照射する場合(オン)と照射しない場合(オフ)を制御することができるため、基板上に所望の照射パターンを形成することができる。本実施の形態では、回折光学素子 303 の像を DMD 304 上に形成したため、DMD 304 と照射面と共に役の関係としたが、回折光学素子の像は、必ずしも DMD 上に形成しなくてもよく、回折光学素子の像と照射面を共役の関係として回折光学素子の像を照射面上に形成してもよい。

20

【0035】

本実施の形態において、基板 307 は、吸着ステージ 308 に吸着されている。さらに吸着ステージ 308 は X 方向に動作する搬送ステージ 309 と Y 方向に動作する搬送ステージ 310 上に設置されている。これにより、ある露光領域の照射が終わったところで、搬送ステージ 309 または 310 を動作させ、新たな露光領域に対して所望の照射パターンでレーザ照射を行う。このサイクルを繰り返すことにより、基板全面にレーザ照射を行うことが可能になる。本実施の形態では、基板を吸着ステージ 308 に固定したが、固定方法はこれに限定せず、単純な固定具により基板を上からステージに押さえつけて固定するなどの他の方法でも構わない。

30

【0036】

本実施の形態に示した方法でレーザ照射を行うことにより、レーザ照射パターンを高速に切り替え、基板上に効率よくレーザ照射することが可能になる。本発明のレーザ照射装置は複数のレーザビームを照射して露光プロセスを行うことができるので、ROM のように露光するパターンを頻繁に変更する製品の作製工程に適用することで生産性を高めることができる。例えば、ID チップの ROM 作製工程などに応用すれば、複数のパターンを持つ ID チップを安価に量産することができる。

40

【0037】

(実施の形態 3)

本実施の形態では、DMD により 2 方向に反射されたレーザビームを照射面の異なる領域に転送し、スループットを向上させてレーザ照射する例について示す。

【0038】

図4に本実施の形態のレーザ照射装置の斜視図を示す。レーザ発振器 401 から射出されたレーザビームは、ミラー 402 で偏向される。偏向されたレーザビームは回折光学素子 403 を通過する。回折光学素子 403 はレーザビームを分割し、複数のビームスポット

50

トを形成するために使用する。また、分割された複数のビームスポットそれが等しいビームパラメータを持つように回折光学素子を設計することが可能なため、例えばガウシアン状のエネルギー分布を持つビームを使用したとしても、回折光学素子を使用することにより、等しいエネルギーを持つ複数のビームスポットを形成することができる。これにより複数のレーザビームの露光時間を揃えることが出来るため、処理時間を最小にすることができる。なおここで用いる回折光学素子は、その面構造の回折現象によりレーザビームの挙動をコントロールするものである。回折光学素子の設計は、O R A (O p t i m a l R o t a t i o n A n g l e) 法などにより、位相分布を最適化することにより行うことができる。また、波動光学的解析を行うことのできる光学設計ソフトで自動設計することも可能である。回折光学素子の形状としては、2値位相格子、あるいは、多値位相格子または連続位相格子などを適用することができる。

10

【 0 0 3 9 】

次に、回折光学素子 4 0 3 により分割されたレーザビームが D M D 4 0 4 にそれぞれ集光される。D M D 4 0 4 を構成するマイクロミラーの数は、回折光学素子により分割されたレーザビームの数と等しいかそれ以上であることが好ましく、それぞれのレーザビームは異なるマイクロミラー面上に集光される。以上の構成により、D M D 4 0 4 において、迷光等によるレーザビームの損失を防止し、レーザビームの利用効率を向上させることができる。

【 0 0 4 0 】

D M D 4 0 4 を構成する複数のマイクロミラーは、反射面の角度をデジタル的に制御することができる。本実施の形態では、D M D を構成する複数のマイクロミラーの傾斜角度を + 1 2 度または - 1 2 度とすることができる D M D について説明する。本実施の形態において、マイクロミラーの傾斜角度を + 1 2 度とした場合、D M D 4 0 4 で反射されたレーザビームは投影レンズ 4 0 5 を通過する。なお、投影レンズ 4 0 5 は、D M D 4 0 4 上の像を照射面に転送する機能を有しており、+ 1 2 度の傾斜角度を有するマイクロミラー上に形成されたビームスポットを基板 4 0 8 上に投影してレーザ照射することができる。一方、マイクロミラーの傾斜角度を - 1 2 度とした場合、D M D で反射されたレーザビームはミラー 4 0 6 により再度反射される。ミラー 4 0 6 により反射されたレーザビームは投影レンズ 4 0 7 を通過する。投影レンズ 4 0 7 は、D M D 上の像を照射面に転送する機能を有しており、- 1 2 度の傾斜角度を有するマイクロミラー上に形成されたビームスポットを基板 4 0 8 上に投影してレーザ照射することができる。上記のように、D M D 4 0 4 を用いて、基板上の所望の位置にレーザ照射することにより、固有のパターンを持つ I D チップなどを形成することができる。

20

【 0 0 4 1 】

ここで、D M D 4 0 4 に入射してから基板 4 0 8 へ照射されるまでのレーザビームの光路について図 5 を用いて説明する。図 5 は、D M D 4 0 4 と基板 4 0 8 との間の断面の模式図である。なお、点線矢印で示す方向はレーザビームの進行方向である。図 5 (a) は、マイクロミラーの傾斜角度が + 1 2 度のとき、つまり D M D 4 0 4 、投影レンズ 4 0 5 を経て基板 4 0 8 へ照射されるまでのレーザビームの光路図である。なお、図 5 (a) では説明を簡単にするために、D M D 4 0 4 の中心部である点 5 0 8 に照射されるレーザビームについて説明する。D M D 4 0 4 で反射されたレーザビームは紙面垂直方向 (Y 軸方向) に + 2 4 度の角度に偏向される。また、紙面内におけるレーザビームの入射角度をとると、レーザビームは X 軸方向においての反射角度で偏向され、光路 5 0 1 を進行する。さらにレーザビームは投影レンズ 4 0 5 に入射する。投影レンズ 4 0 5 は、その中心を通る軸 5 0 3 が、D M D 4 0 4 の中心位置を通過するように設置されている。また、投影レンズ 4 0 5 は、D M D 4 0 4 と基板 4 0 8 とを互いに共役の関係とする位置に配置される。上記の構成により、基板 4 0 8 において、D M D 4 0 4 の直下の点 5 0 4 にレーザビームが転送される。

30

【 0 0 4 2 】

図 5 (b) は、マイクロミラーの傾斜角度が - 1 2 度のとき、つまり D M D 4 0 4 、ミ

40

50

ラーレーザー406、投影レンズ407を経て基板408へ照射されるまでのレーザビームの光路図である。なお、図5(b)では説明を簡単にするために、DMD404の中心部である点508に照射されるレーザビームについて説明する。DMD404で反射されたレーザビームは紙面垂直方向(Y軸方向)に-24度の角度に偏向される。また、紙面内におけるレーザビームの入射角度をθとするとき、レーザビームはX軸方向においてθの反射角度で偏向され、光路502を進行する。光路502の途中にはミラー406が設置されており、ミラー406により反射されたレーザビームは投影レンズ407に入射する。投影レンズ407は、DMD404と基板408とを互いに共役の関係とする位置に配置される。ここで、ミラー406は、その反射面がレーザビームの照射面に対して垂直となるように設置する。これにより、光路501と光路502とを互いに等しい距離とすることができる。したがって、投影レンズ405と407とは、同一の焦点距離を有するレンズを使用することができる。また、図5(a)と図5(b)の構成は互いに等しい投影倍率とすることができる。

【0043】

また、図5(b)の構成では、光路途中のミラー406によりレーザビームが偏向されるため、基板408上に照射されるレーザビームの位置を調整することが可能である。例えば、ミラー406で反射されたレーザビームを、レーザビームの進行方向と逆側に延長すると、DMD404の位置を紙面水平方向に延長した直線と点505において交差する。ここで、ミラー406から点505までの線分と、光路502のうちの点508からミラー406までの線分とは、ミラー406を軸として線対称となっている。したがって、仮想的には、点505の位置にDMD404の中心部である点508があるとみなすことができる。ここで、DMD404の中心部と点505までの距離をdとすると、投影レンズの中心軸506を、DMD404の中心部を通過する軸503から距離d離れた位置に設置する。これにより、点505のほぼ直下の点507にレーザビームを転送することができる。以上的方法で図5(a)と図5(b)の光学系を構成することにより、2つの領域にそれぞれ異なる照射パターンを同時に形成することができる。

【0044】

照射パターンが形成される基板408は吸着ステージ409に吸着されている。さらに吸着ステージ409はX軸方向に動作する搬送ステージ410とY軸方向に動作する搬送ステージ411上に設置されている。これにより、ある露光領域の照射が終わったところで、搬送ステージ410または411を動作させ、新たな露光領域に対して所望の照射パターンでレーザ照射を行う。このサイクルを繰り返すことにより、基板全面にレーザ照射を行うことが可能になる。本実施の形態では、基板を吸着ステージ409に固定したが、固定方法はこれに限定せず、単純な固定具により基板を上からステージに押さえつけて固定するなどその他の方法でも構わない。

【0045】

ここで、照射面に形成される照射パターンについて図6を例にして説明する。図6は3行×3列の描画パターンを形成する例である。パターンA(601、603、605、607)は、図5(a)の構成により形成される照射パターンである。また、パターンB(602、604、606、608)は、図5(b)の構成により形成される照射パターンである。パターンAおよびBにおいて、斜線で示した領域はレーザビームが照射される領域であり、パターンAとパターンBは互いに反転した照射パターンとなっている。例えば、照射パターン602は照射パターン601の未照射領域に相当する部分にのみレーザ照射が行われるパターンとなっている。また、パターンAの中心とパターンBの中心は、X軸方向に距離d離れた領域に形成されている。これにより、異なるパターンを持つ照射パターンを同時に形成することができる。したがって、図中Y軸方向に基板を搬送しながらレーザ照射を行う場合、パターンAとパターンBを同時に形成しながらレーザ照射することができるため、スループットが向上する。

【0046】

上記の方法でレーザ照射を行うことにより、レーザ照射パターンを高速に切り替え、基

板上に効率よくレーザ照射することが可能になる。なお、このような照射パターンを作る方法は、ランダムな照射パターンを形成することが必要となるＩＤチップの作製などに特に適している。そのため、本発明のレーザ照射装置をＩＤチップのＲＯＭ作製工程などに応用すれば、複数のパターンを持つＩＤチップを安価に量産することができる。

【実施例 1】

【0047】

本実施例では、絶縁基板上に不揮発性メモリ回路、変調回路、復調回路、論理回路などに用いるＴＦＴを作製する方法について図7を用いて説明する。なお、本実施例では半導体素子としてnチャネル型の薄膜トランジスタ（以下ＴＦＴと記す）、pチャネル型ＴＦＴを例に挙げて示すが、本発明においてメモリ部および論理回路部に含まれる半導体素子はこれに限定されない。また、本実施例で示す作製方法は一例であって、絶縁基板上での半導体素子の作製方法を限定するものではない。なお、本実施例で作製するＴＦＴは、メモリ部においてデータを記憶する際、トランジスタをビット線に接続するか否かにより”0”か”1”のバイナリ情報を決定するコントラクト書き込みと呼ばれる方法で記憶する。

【0048】

まず、ガラス基板である絶縁基板3000上に酸化シリコン膜、窒化シリコン膜等の絶縁膜、または、酸化窒化シリコン膜、窒化酸化シリコン膜などの絶縁膜から成る下地膜3001、3002を形成する。例えば、下地膜3001として酸化窒化シリコン膜を10nm以上200nm以下、下地膜3002として酸化窒化水素化シリコン膜を50nm以上200nm以下の厚さに順に積層形成する。

【0049】

次に、下地膜3002上に、非結晶構造を有する半導体膜を形成し、当該半導体膜をレーザ結晶化法や熱結晶化法によって結晶化し、結晶質半導体膜を形成する。次いで、結晶質半導体膜を加工して島状半導体層3003、3004、3005を形成する。この島状半導体層3003、3004、3005は、25nm以上80nm以下程度の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコン・ゲルマニウム(SiGe)合金などで形成すると良い。

【0050】

次いで、島状半導体層3003、3004、3005を覆うゲート絶縁膜3006を形成する。ゲート絶縁膜3006はプラズマCVD法またはスパッタ法を用い、厚さを10nm以上80nm以下程度としてシリコンを含む絶縁材料で形成する。

【0051】

そして、ゲート絶縁膜3006上に第1の導電層を形成する。続いて第1の導電層上に、第2の導電層を形成し、積層された第1の導電層と第2の導電層を一括でエッチングして、ＴＦＴのゲート電極3011、3012、3013を形成する。

【0052】

本実施例では、第1の導電層をTaNで50～100nmの厚さに形成し、第2の導電層をWで100～300nmの厚さに形成する。ただし、導電層の材料は特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。

【0053】

次に論理回路部で用いるpチャネル型TFTにp型を付与する元素のドーピングを行い、第1の不純物領域3016、3017を形成する。続いてメモリ部、論理回路部で用いるnチャネル型TFTのLDD領域を形成するために、n型を付与する元素のドーピングを行い、第2の不純物領域3018、3019を形成する。その後、サイドウォール3020、3021を形成して、メモリ部、論理回路部で用いるnチャネル型TFTにn型を付与するドーピングを行い第3の不純物領域3022、3023を形成する。これらのドーピング方法はイオンドープ法もしくはイオン注入法で行えばよい。以上までの工程で島状半導体層3003、3004、3005のそれぞれに不純物領域が形成される。

【0054】

10

20

30

40

50

次に、島状半導体層 3003、3004、3005のそれぞれに添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。または、3%以上の水素を含む雰囲気中で、300~450で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行ってもよい。

【0055】

次いで、第1の層間絶縁膜3024を酸化窒化シリコン膜で形成する。第1の層間絶縁膜3024の膜厚は、ゲート絶縁膜と同程度の10~80nmとする。続いてアクリルなどの有機絶縁物材料から成る第2の層間絶縁膜3025を形成する。または、第2の層間絶縁膜3025として有機絶縁物材料の代わりに無機材料を用いることもできる。無機材料としては無機SiO₂やプラズマCVD法で作製したSiO₂（PCVD SiO₂）、SOG（Spin on Glass；塗布珪素酸化膜）等が用いられる。10

【0056】

続いて、第2の層間絶縁膜3025上の全面にレジストをスピンドルコート法で設け、ゲート絶縁膜3006、第1の層間絶縁膜3024、第2の層間絶縁膜3025にコンタクトホール3031、3032を作製する（図7）。本実施例において、不揮発性メモリ回路のメモリ部以外の箇所のエッチング工程は第1の露光手段（たとえばミラープロジェクション露光、ステップ・アンド・リピート露光（スピッパー露光）、ステップ・アンド・スキヤン露光など）によって行っている。上記の第1の露光手段によって、第2の層間絶縁膜3025上に設けたレジストを感光させ、パターンを形成し、そのレジストをマスクとしてエッチングをおこなう。この工程は、図8（A）に示すように、まず第2の層間絶縁膜3025上にレジストを塗布し、ベークをおこなう。つぎに不揮発性メモリ回路のメモリ部以外の箇所を前述した第1の露光手段、すなわちミラープロジェクション露光、ステップ・アンド・リピート露光、ステップ・アンド・スキヤン露光などによってレジストを露光して感光させ、パターンを形成している（図8（B））。このような露光手段は、同じパターンをいくつも露光する際には非常に有効である。20

【0057】

次に、実施の形態1~3に示したレーザ照射装置を用いた第2の露光手段によってレジストを露光することで、不揮発性メモリ回路のメモリ部のコンタクトホールのパターン、またはメモリ部のコンタクトホールおよびチップの一部のコンタクトホールのパターンを形成する（図8（C））。図7において、メモリ部のコンタクトホール3033は第2の露光手段で形成する。30

【0058】

次に、現像等の処理（図8（D））をおこなったあと、層間膜のエッチングをおこない、第1の露光手段及び第2の露光手段によってパターンを形成したコンタクトホール3031、3032、3033を形成する（図8（E））。

【0059】

そして、メモリ部において島状半導体層のソース領域、ドレイン領域とコンタクトをとる電極3026、3027を形成する。また、論理回路部においても同様に、電極3028、3029、3030を形成する。40

【0060】

以上の説明において、コンタクトホール形成工程において、第1の露光手段（ミラープロジェクション露光、ステップ・アンド・リピート露光、またはステップ・アンド・スキヤン露光）と第2の露光手段（実施の形態1~3に示したレーザ照射方法を用いた露光方法）とを組み合わせることで、同一基板上に複数のコンタクトホールを形成する工程を述べたが、上記方法はコンタクトホール形成工程に限らず、ソース配線又はドレイン配線の形成工程やドーピング工程などその他の工程で用いてもよい。また、必ずしも第1の露光手段と第2の露光手段とを組み合わせる必要はなく、全ての露光工程において第2の露光手段を用いてもよい。第2の露光手段を用いることで、レーザ照射パターンを高速で切り50

替えながら、所望の位置に高速にレーザ照射することが可能となり、半導体装置の作製時間を短縮し、かつ精度よく作製することができる。

【0061】

また、以上においては、第1の露光手段の次に第2の露光手段を用いているが、まず第2の露光手段で、メモリ部を形成し、その後に第1の露光手段で他の回路部分を形成してもよい。

【0062】

以上のようにして、記憶素子3034を有するメモリ部と、LDD構造のnチャネル型TFT3035およびシングルドレイン構造のpチャネル型TFT3036を有する論理回路部と、を同一の基板上に形成することができる（図7参照）。

10

【0063】

また、図9のフロー図に示すように、一度メモリ部以外領域を形成し、その後で不揮発性メモリ回路のメモリ部を形成してもよい。図9に示す工程は、まず、第2の層間絶縁膜3025上にレジストを塗布し、ベークをおこなう（図9（A））。次に、第1の露光手段（ミラープロジェクション露光、ステップ・アンド・リピート露光、ステップ・アンド・スキャン露光など）でメモリ部以外の領域のパターンを形成するために、レジストの露光をおこなう。（図9（B））。次に、第1の露光手段で感光したレジストの現像、ベークなどをおこなう。（図9（C））。次に、エッチングを行いメモリ部以外の領域のパターンを形成する（図9（D））。次に、再度、層間絶縁膜3025上にレジストを塗布し、ベークをおこなう（図9（E））。次に、実施の形態1～3に示した露光装置を用いた第2の露光手段にて、不揮発性メモリ回路のメモリ部のパターンを形成するため、レジストを露光する（図9（F））。次に、第2の露光手段で感光したレジストの現像、ベークをおこなう（図9（G））。最後に、エッチングをおこない不揮発性メモリ回路のメモリ部を形成する（図9（H））。このようにして、個々のチップごとに異なるデータの記憶が可能であり、且つ、スループットを落とさずに半導体装置の製造が可能になる。実施の形態1～3に示したレーザ照射装置は、複雑または複数の照射ポイントを一度に精度良くレーザ照射できるため、ROMの作製工程のように複数の照射ポイントに対してレーザ照射を必要とする装置の作製工程において効率よくレーザ照射を行うことができる。よって、IDチップのROM作製などの量産性を容易に向上させることができる。

20

【実施例2】

30

【0064】

本実施例では、メモリ部および論理回路部を形成し、フレキシブル基板へ転写するまでの作製方法について図10、図11を用いて説明する。なお、本実施例では半導体素子として、不揮発性メモリ素子、nチャネル型TFT、およびpチャネル型TFTを例に挙げて示すが、本発明においてメモリ部および論理回路部に含まれる半導体素子はこれに限定されない。また、この作製方法は一例であって、絶縁基板上での作製方法を限定するものではない。

【0065】

40

まず、図10に示すように、絶縁基板3000上に剥離層4000を形成する。剥離層4000は、非晶質シリコン、多結晶シリコン、単結晶シリコン、微結晶シリコン（セミアモルファスシリコンを含む）等、シリコンを主成分とする層を用いることができる。剥離層4000は、スパッタ法、プラズマCVD法等を用いて形成することができる。本実施例では、膜厚500nm程度の非晶質シリコンをスパッタ法で形成し、剥離層4000として用いる。続いて剥離層4000上に下地膜3001を形成し、その後、実施例1に示した作業工程と同様に、記憶素子3034を有するメモリ部、nチャネル型TFT3035及びpチャネル型TFT3036を有する論理回路部を形成する。

【0066】

50

次に、第2の層間絶縁膜3025上に第3の層間絶縁膜4001を形成し、パッド4002～4005を形成する。パッド4002～4005としては、Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W、Alなどの金属、または、金属化合物を、1つまたは

複数有する導電材料を用いることができる。

【0067】

そしてパッド4002～4005を覆うように、第3の層間絶縁膜4001上に保護層4006を形成する。保護層4006は、後に剥離層4000をエッティングにより除去する際に、パッド4002～4005を保護することができる材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコーン系の樹脂を全面に塗布することで保護層4006を形成することができる(図10(A))。

【0068】

次に、剥離層4000を分離するための溝4007を形成する(図10(B)参照)。溝4007は、剥離層4000が露出する程度であれば良い。溝4007の形成は、エッティング、ダイシング、スクライビングなどの方法を用いることができる。

【0069】

次に、剥離層4000をエッティングにより除去する(図11(A)参照)。本実施例では、エッティングガスとしてフッ化ハロゲンを用い、該ガスを溝4007から導入する。本実施の形態では、例えばC₁F₃(三フッ化塩素)を用い、温度:350、流量:300 sccm、気圧:800 Pa、時間:3 hの条件で行う。また、C₁F₃ガスに窒素を混ぜたガスを用いても良い。C₁F₃等のフッ化ハロゲンを用いることで、剥離層4000が選択的にエッティングされ、絶縁基板3000を剥離することができる。なおフッ化ハロゲンは、気体であっても液体であってもどちらでも良い。

【0070】

次に、剥離されたメモリ部および論理回路部を、接着剤4008を用いて支持体4009に貼り合わせる(図11(B)参照)。接着剤4008は、支持体4009と下地膜3001とを貼り合わせることができる材料を用いる。接着剤4008は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

【0071】

支持体4009として、フレキシブルな紙またはフレキシブルなプラスチックなどの有機材料を用いることができる。または支持体4009として、フレキシブルな無機材料を用いていても良い。支持体4009は集積回路において発生した熱を拡散させるために、2 W / m K 以上 30 W / m K 以下程度の高い熱伝導率を有するのが望ましい。

【0072】

なおメモリ部および論理回路部の集積回路を絶縁基板3000から剥離する方法は、本実施の形態で示したようにシリコンを主成分とする層のエッティングを用いる方法に限定されず、他の様々な方法を用いることができる。例えば、耐熱性の高い基板と集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して集積回路を剥離することができる。また例えば、剥離層をレーザー光の照射により破壊し、集積回路を基板から剥離することもできる。また例えば、集積回路が形成された基板を機械的に削除または溶液やガスによるエッティングで除去することで、集積回路を基板から剥離することもできる。

【0073】

また対象物の表面が曲面を有しており、それにより該曲面に貼り合わされたIDチップの支持体が、錐面、柱面など母線の移動によって描かれる曲面を有するように曲がってしまう場合、該母線の方向とTFTのキャリアが移動する方向とを揃えておくことが望ましい。上記構成により、支持体が曲がっても、それによってTFTの特性に影響が出るのを抑えることができる。また、島状の半導体膜が集積回路内において占める面積の割合を、1%以上30%以下程度とすることで、支持体が曲がっても、それによってTFTの特性に影響が出るのをより抑えることができる。

【0074】

本実施例において、メモリ部は、実施の形態1～3に示したレーザ照射装置を用いて作製している。よって、レーザ照射パターンを高速に切り替えることができ、ROMのようにランダムな照射パターンを形成する必要がある装置の作成工程において効率よくレーザ

10

20

30

40

50

照射を行うことができる。そのため、I DチップのROM作製などの量産性を容易に向上去ることが可能となる。

【実施例3】

【0075】

次に、マスクROMを用いた不揮発性メモリ回路の実施例を図12に示す。図12に示す不揮発性メモリ回路は本発明のレーザ照射装置を用いて作製され、TFTのドレイン端子のコンタクトホールを開口するかどうかで、記憶状態を表すものである。

【0076】

以下、マスクROMを用いた不揮発性メモリ回路の動作について、図12を用いて説明する。図12の不揮発性メモリ回路は説明簡略化のため、4ビットのメモリ回路としているが、本発明の実施は、4ビットに限定されるものではない。図12に示す不揮発性メモリ回路は列デコーダ701、行デコーダ702、アンプ715、nチャネル型TFT703～706、ビット線（データ線）709、710、ワード線707、708、電源線713、列スイッチ711、712、出力配線717、負荷抵抗714、出力端子716、電源1、電源2によって構成されている。負荷抵抗714の代わりに定電流源を用いても良い。

【0077】

電源1はハイ電位を設定する電位であり、電源2はロウ電位を設定する電位である。ただしTFT703～706をpチャネル型TFTとする場合においては、電源1はロウ電位を設定し、電源2はハイ電位を設定する。以下の説明ではTFT703～706はnチャネル型TFTとし、電源1は+3V、電源2は0Vを供給する構成とするが適宜変えてよい。また、メモリセル718～721は、TFT703～706によって構成される。

【0078】

以下、読み出しをおこなう場合について説明をおこなう。メモリセル718のデータを読み出す場合は、行デコーダ702を動作させ、ワード線707をアクティブ状態とする。それによってTFT703、704はオンとなる。次に、列デコーダ701を動作させ、列スイッチ711をオンさせる。それによってビット線（データ線）709、出力配線717、負荷抵抗714、アンプ715が接続される。TFT703がオンしているので、電流は電源1から、負荷抵抗714、出力配線717、列スイッチ711、ビット線709、TFT703、電源線713を介して電源2へ流れる。これによってメモリセル718の出力はロウになる。

【0079】

メモリセル719のデータを読み出す場合は、行デコーダ702を動作させ、ワード線707をアクティブとする。それによってTFT703、704はオンとなる。次に、列デコーダ701を動作させ、列スイッチ712をオンさせる。それによってビット線（データ線）710、出力配線717、負荷抵抗714、アンプ715が接続される。TFT703がオンしているが、TFT704のドレイン端子はどこにも接続されていないため、電流は流れない。電源1の電位が負荷抵抗714、出力配線717、列スイッチ712、ビット線710に供給されるが、電流が流れないのでメモリセル719の出力はハイになる。

【0080】

メモリセル720のデータを読み出す場合は、行デコーダ702を動作させ、ワード線708をアクティブとする。それによってTFT705、706はオンとなる。次に、列デコーダ701を動作させ、列スイッチ711をオンさせる。それによってビット線709、出力配線717、負荷抵抗714、アンプ715が接続される。TFT705がオンしているが、TFT705のドレイン端子はどこにも接続されていないため、電流は流れない。電源1の電位が負荷抵抗714、出力配線717、列スイッチ711、ビット線709に供給されるが、電流が流れないのでメモリセル720の出力はハイになる。

【0081】

10

20

30

40

50

メモリセル 721 のデータを読み出す場合は、行デコーダ 702 を動作させ、ワード線 708 をアクティプとする。それによって TFT705、706 はオンとなる。次に、列デコーダ 701 を動作させ、列スイッチ 712 をオンさせる。それによってビット線 710、出力配線 717、負荷抵抗 714、アンプ 715 が接続される。TFT706 がオンしているので、電流は電源 1 から、負荷抵抗 714、出力配線 717、列スイッチ 712、ビット線 710、TFT706、電源線 713 を介して電源 2 へ流れる。これによってメモリセル 721 の出力はロウになる。このようにして、メモリに記憶されたデータを出力端子 716 に読み出すことができる。

【実施例 4】

【0082】

本実施例では本発明を用いて形成した不揮発性メモリ回路に外付けのアンテナをつけた例について図 13、図 14 を用いて説明する。

【0083】

図 13 (A) は不揮発性メモリ回路の周りを一面のアンテナで覆ったものである。基板 1000 上にアンテナ 1001 を構成し、本発明を用いて形成した不揮発性メモリ回路 1002 を接続する。図面では不揮発性メモリ回路 1002 の周りをアンテナ 1001 で覆う構成になっているが、基板全面をアンテナ 1001 で覆い、その上に電極を構成した不揮発性メモリ回路 1002 を貼り付けるような構造を取っても良い。

【0084】

図 13 (B) は細いアンテナを不揮発性メモリ回路の周りを回るように配置したものである。基板 1003 上にアンテナ 1004 を構成し、本発明を用いて形成した不揮発性メモリ回路 1005 を接続する。なお、アンテナの配線の配置は一例であってこれに限定するものではない。

【0085】

図 13 (C) は高周波数のアンテナである。基板 1006 上にアンテナ 1007 を構成し、本発明を用いて形成した不揮発性メモリ回路 1008 を接続する。

【0086】

図 13 (D) は 180 度無指向性（どの方向からでも同じく受信可能）なアンテナである。基板 1009 上にアンテナ 1010 を構成し、本発明を用いて形成した不揮発性メモリ回路 1011 を接続する。

【0087】

図 13 (E) は棒状に長く伸ばしたアンテナである。基板 1012 上にアンテナ 1013 を構成し、本発明を用いて形成した不揮発性メモリ回路 1014 を接続する。

【0088】

本発明を用いて形成した不揮発性メモリ回路とこれらのアンテナへの接続は公知の方法で行うことができる。例えばアンテナと不揮発性メモリ回路をワイヤボンディング接続やバンプ接続を用いて接続する、あるいはチップ化した不揮発性メモリ回路の一面を電極にしてアンテナに貼り付けるという方法を取ってもよい。この方式では ACF (anisotropic conductive film ; 異方性導電性フィルム) を用いて貼り付けることができる。

【0089】

アンテナに必要な長さは受信に用いる周波数によって適正な長さが異なる。一般には波長の整数分の 1 の長さにすると良いとされる。例えば周波数が 2.45 GHz の場合は約 60 mm (1 / 2 波長) または、約 30 mm (1 / 4 波長) とすれば良い。

【0090】

また、本発明の不揮発性メモリ回路上に基板を取りつけ、さらにその上にアンテナを構成してもよい。図 14 (A) ~ (C) にその一例として不揮発性メモリ回路上に基板 1100 を取りつけ、らせん状のアンテナ 1101 を配置したものの上面図および断面図を示す。図 14 (B)、(C) は、図 14 (A) に示した上面図をそれぞれ鎖線 A - B、鎖線 C - D で切断した断面図を示す。

【0091】

なお、本実施例に示した例はごく一例であり、アンテナの形状を限定するものではない。本発明はあらゆる形状のアンテナについて実施することが可能である。

【実施例5】

【0092】

本実施例では、図15～17を参照して、TFTを含む薄膜集積回路装置の具体的な作製方法について説明する。ここでは、簡単のため、nチャネル型TFTとpチャネル型TFTを用いたCPU(論理回路部)とメモリ部の断面構造を示すことによって、その作製方法について説明する。

【0093】

まず、基板60上に、剥離層61を形成する(図15(A))。ここでは、ガラス基板(例えば、コーニング社製1737基板)上に、50nmの膜厚のa-Si膜(非晶質シリコン膜)を減圧CVD法により形成した。なお、基板60としては、ガラス基板の他にも、石英基板、アルミナなど絶縁物質で形成される基板、シリコンウエハ基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いることができる。

【0094】

また、剥離層61としては、非晶質シリコンの他に、多結晶シリコン、単結晶シリコン、SAS(セミアモルファスシリコン(微結晶シリコン、マイクロクリスタルシリコンともいう。))等、シリコンを主成分とする膜を用いることが望ましいが、これらに限定されるものではない。剥離層61は、減圧CVD法の他にも、プラズマCVD法、スパッタ法等によって形成しても良い。また、リンなどの不純物をドープした膜を用いてもよい。また、剥離層61の膜厚は、50nm以上60nm以下程度とするのが望ましい。SASに関しては、30nm以上50nm以下程度の膜厚としてもよい。

【0095】

次に、剥離層61上に、保護膜55(下地膜、下地絶縁膜と呼ぶこともある。)を形成する(図15(A))。ここでは、保護膜55を剥離層61側から順に、膜厚100nmのSiON(窒素を含む酸化珪素)膜、膜厚50nmのSiNO(酸素を含む窒化珪素)膜、膜厚100nmのSiON膜の3層構造としたが、材質、膜厚、積層数は、これに限定されるものではない。例えば、下層のSiON膜に代えて、膜厚0.5μm以上3μm以下程度のシロキサン等の耐熱性樹脂をスピンドルコート法、スリットコーティング法、液滴吐出法などによって形成しても良い。また、窒化珪素膜(SiN、Si₃N₄等)を用いてもよい。また、上層のSiON膜に代えて、酸化珪素膜を用いてもよい。また、それぞれの膜厚は、0.05μm以上3μm以下程度とするのが望ましく、その範囲から自由に選択することができる。

【0096】

ここで、酸化珪素膜は、SiH₄とO₂の混合ガス、TEOS(テトラエトキシシラン)とO₂の混合ガス等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECR-CVD等の方法によって形成することができる。また、窒化珪素膜は、例えば、SiH₄とNH₃の混合ガスを用い、プラズマCVDによって形成することができる。また、SiON膜又はSiNO膜は、例えば、SiH₄とN₂Oの混合ガスを用い、プラズマCVDによって形成することができる。

【0097】

なお、剥離層61及び島状半導体膜57として、a-Si等の珪素を主成分とする材料を用いる場合には、それらに接する保護膜55としては、密着性確保の点から、SiO_xN_y(x>y>0)を用いてもよい。

【0098】

次に、保護膜55上に、薄膜集積回路装置のCPU(論理回路部)やメモリ部を構成する薄膜トランジスタ(TFT)を形成する。なお、TFT以外にも、有機TFT、薄膜ダイオード等の薄膜能動素子を形成することもできる。

【0099】

10

20

30

40

50

TFTの作製方法として、まず、保護膜55上に、島状半導体膜57を形成する(図15(B))。島状半導体膜57は、非晶質半導体、結晶性半導体、又はセミアモルファス半導体で形成する。いずれも、シリコン、シリコン・ゲルマニウム(SiGe)等を主成分とする半導体膜を用いることができる。

【0100】

ここでは、70nmの膜厚の非晶質珪素膜を形成し、さらにその表面を、ニッケルを含む溶液で処理した。さらに、500~750の熱結晶化工程によって結晶質シリコン半導体膜を形成した後、レーザ結晶化を行って結晶性を改善した。また、半導体膜の成膜方法としては、プラズマCVD法、スパッタ法、LPCVD法などを用いてもよい。半導体膜の結晶化方法としては、レーザ結晶化法、熱結晶化法、他の触媒(Fe, Ru, Rh, Pd, Os, Ir, Pt, Cu, Au等)を用いた熱結晶化、あるいはそれらを交互に複数回行ってもよい。10

【0101】

また、非晶質半導体膜の結晶化処理としては、連続発振のレーザを用いてもよい。結晶化に際し大粒径の結晶を得るためにには、連続発振が可能な固体レーザを用い、基本波の第2高調波~第4高調波を適用するのが好ましい(この場合の結晶化をCWLICという)。例えば、Nd:YVO₄レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を適用すればよい。連続発振のレーザを用いる場合には、出力10Wの連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶又はGdVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて、ビームスポットの形状が矩形状または橜円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)が必要である。そして、10~2000cm/s程度の速度で、レーザ光に対して相対的に半導体膜を移動させて照射すればよい。20

【0102】

また、パルス発振のレーザを用いる場合、通常、数十Hz~数百Hzの周波数帯を用いるが、それよりも著しく高い10MHz以上の発振周波数を有するパルス発振レーザを用いてもよい(この場合の結晶化をMHLICという)。パルス発振でレーザ光を半導体膜に照射してから半導体膜が完全に固化するまでの時間は数十nsec~数百nsecと言われているため、上記高周波数帯を用いることで、半導体膜がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射できる。よって、従来のパルス発振のレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が10~30μm、走査方向に対して垂直な方向における幅が1~5μm程度の結晶粒の集合を形成することができる。該走査方向に沿って長く伸びた単結晶の結晶粒を形成することで、少なくともTFTのチャネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。30

【0103】

なお、保護膜55の一部に耐熱性有機樹脂であるシロキサンを用いた場合には、上記結晶化の際に、半導体膜中から熱が漏れることを防止することができ、効率よく結晶化を行うことができる。40

【0104】

上記の方法によって結晶性半導体膜を得る。なお、結晶の成長方向は、ソース領域、チャネル形成領域、ドレイン領域方向においてそろっていることが望ましい。また、結晶層の厚さは、20~200nm(好ましくは40~170nm、さらに好ましくは、50~150nm)となるようにするのがよい。その後、半導体膜上に酸化膜を介して、金属触媒をゲッタリングするための非晶質珪素膜を成膜し、500~750の熱処理によってゲッタリング処理を行う。さらに、TFT素子のしきい値電圧を制御するために、結晶性半導体膜に対し、10¹³/cm²程度のドーズ量のホウ素イオンを注入する。その後、50

レジストをマスクとしてエッチングを行うことにより、島状半導体膜 5 7 を形成する。

【 0 1 0 5 】

なお、結晶性半導体膜を形成するにあたっては、ジシラン (Si_2H_6) とフッ化ゲルマニウム (GeF_4) を原料ガスとして、LPCVD (減圧CVD) 法によって、多結晶半導体膜を直接形成しても良い。ガス流量比は、 $\text{Si}_2\text{H}_6 / \text{GeF}_4 = 20 / 0.9$ 、成膜温度は 400 ~ 500 ℃、キャリアガスとして He 又は Ar を用いることができるが、これに限定されるものではない。

【 0 1 0 6 】

なお、TFT 内の特にチャネル領域には、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下、好みには $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下の水素又はハロゲンが添加されているのがよい。¹⁰ SAS に関しては、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $2 \times 10^{21} \text{ cm}^{-3}$ 以下とするのが望ましい。いずれにしても、IC チップに用いられる単結晶に含まれる水素又はハロゲンの含有量よりも多く含有させておくことが望ましい。これにより、TFT 部に局部クラックが生じても、水素又はハロゲンによってターミネート (終端) されうる。

【 0 1 0 7 】

次に、島状半導体膜 5 7 上にゲート絶縁膜 5 8 を形成する (図 15 (B))。ゲート絶縁膜 5 8 はプラズマ CVD 法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成することが好ましい。積層する場合には、例えば、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の 3 層構造とするのがよい。²⁰

【 0 1 0 8 】

次に、ゲート電極 5 6 を形成する (図 15 (C))。ここでは、 Si と W (タンゲステン) をスパッタ法により積層形成した後に、レジスト 6 2 をマスクとしてエッチングを行うことにより、ゲート電極 5 6 を形成した。勿論、ゲート電極 5 6 の材料、構造、作製方法は、これに限定されるものではなく、適宜選択することができる。例えば、n 型を付与する不純物がドーピングされた Si と NiSi (ニッケルシリサイド) との積層構造や、 TaN (窒化タンタル) と W (タンゲステン) の積層構造としてもよい。また、種々の導電材料を用いて単層で、ゲート電極を形成しても良い。

【 0 1 0 9 】

また、レジストマスクの代わりに、 SiO_x 等のマスクを用いてもよい。この場合、 SiO_x 、 SiON 等のマスク (ハードマスクと呼ばれる) のパターン形成工程が加わるが、エッチング時におけるマスクの膜減りがレジストを用いたときよりも少ないため、所望の幅のゲート電極を形成することができる。また、レジスト 6 2 を用いずに、液滴吐出法を用いて選択的にゲート電極 5 6 を形成しても良い。

【 0 1 1 0 】

導電材料としては、導電膜の機能に応じて種々の材料を選択することができる。また、ゲート電極 5 6 とアンテナとを同時に形成する場合には、それらの機能を考慮して材料を選択すればよい。

【 0 1 1 1 】

なお、ゲート電極 5 6 をエッチング形成する際のエッチングガスとしては、 CF_4 、 Cl_2 、 O_2 の混合ガスや Cl_2 ガスを用いたが、これに限定されるものではない。⁴⁰

【 0 1 1 2 】

次に、p チャネル型 TFT 7 0、7 2 となる部分をレジスト 6 3 で覆い、ゲート電極をマスクとして、n チャネル型 TFT 6 9、7 1 の島状半導体膜中に、n 型を付与する不純物元素 6 4 (例えば、P (リン) 又は As (砒素)) を低濃度にドープする (第 1 のドーピング工程、図 15 (D))。第 1 のドーピング工程の条件は、ドーズ量： $1 \times 10^{13} / \text{cm}^2$ 以上 $6 \times 10^{13} / \text{cm}^2$ 以下、加速電圧：50 kV 以上 70 kV 以下としたが、これに限定されるものではない。この第 1 のドーピング工程によって、ゲート絶縁膜 5 8 を介してドープがなされ、一対の低濃度不純物領域 6 5 が形成される。なお、第 1 のド

10

20

30

40

50

ーピング工程は、pチャネル型TFT領域をレジストで覆わずに、全面に行っても良い。

【0113】

次に、レジスト63をアッシング等により除去した後、nチャネル型TFT領域を覆うレジスト66を新たに形成し、ゲート電極をマスクとして、pチャネル型TFT70、72の島状半導体膜中に、p型を付与する不純物元素67（例えば、B（ホウ素））を高濃度にドープする（第2のドーピング工程、図15（E））。第2のドーピング工程の条件は、ドーズ量： $1 \times 10^{16} / \text{cm}^2$ 以上 $3 \times 10^{16} / \text{cm}^2$ 以下、加速電圧：20kV以上40kV以下として行う。この第2のドーピング工程によって、ゲート絶縁膜58を介してp型を付与する不純物元素67がドープされ、一対のp型の高濃度不純物領域68が形成される。

10

【0114】

次に、レジスト66をアッシング等により除去した後、基板表面に、絶縁膜75を形成した（図16（A））。ここでは、膜厚100nmのSiO₂膜をプラズマCVD法によって形成した。その後、エッチバック法により、絶縁膜75、ゲート絶縁膜58をエッチング除去し、サイドウォール（側壁）76を自己整合的（セルフアライン）に形成した（図16（B））。エッチングガスとしては、CHF₃とHeの混合ガスを用いた。なお、サイドウォールを形成する工程は、これらに限定されるものではない。

20

【0115】

なお、サイドウォール76の形成方法は上記に限定されるものではない。例えば、図17に示した方法を用いることができる。図17（A）は、絶縁膜75を二層又はそれ以上の積層構造とした例を示している。絶縁膜75としては、例えば、膜厚100nmのSiON（酸窒化珪素）膜と、膜厚200nmのLTO膜（Low Temperature Oxide、低温酸化膜）の2層構造とした。ここでは、SiON膜は、プラズマCVD法で形成し、LTO膜としては、SiO₂膜を減圧CVD法で形成した。その後、エッチバックを行うことにより、L字状と円弧状からなるサイドウォール76が形成される。

30

【0116】

また、図17（B）は、エッチバック時に、ゲート絶縁膜58を残すようにエッチングを行った例を示している。この場合の絶縁膜75は、単層構造でも積層構造でも良い。

40

【0117】

上記サイドウォールは、後に高濃度のn型を付与する不純物をドーピングし、サイドウォール76の下部に低濃度不純物領域又はノンドープのオフセット領域を形成する際のマスクとして機能するものである。上述したサイドウォールのいずれの形成方法においても、形成したい低濃度不純物領域又はオフセット領域の幅によって、エッチバックの条件を適宜変更すればよい。

50

【0118】

次に、pチャネル型TFT領域を覆うレジスト77を新たに形成し、ゲート電極56及びサイドウォール76をマスクとして、n型を付与する不純物元素78（例えば、P（リン）又はAs（砒素））を高濃度にドープする（第3のドーピング工程、図16（C））。第3のドーピング工程の条件は、ドーズ量： $1 \times 10^{13} / \text{cm}^2$ 以上 $5 \times 10^{15} / \text{cm}^2$ 以下、加速電圧：60kV以上100kV以下として行う。この第3のドーピング工程によってn型を付与する不純物元素78のドープがなされ、一対のn型の高濃度不純物領域79が形成される。

50

【0119】

なお、レジスト77をアッシング等により除去した後、不純物領域の熱活性化を行っても良い。例えば、50nmのSiON膜を成膜した後、550、4時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含むSiNx膜を、100nmの膜厚に形成した後、410、1時間、窒素雰囲気下において、加熱処理を行うことにより、結晶性半導体膜の欠陥を改善することができる。これは、例えば、結晶性シリコン中に存在するダンギングボンドを終端させるものであり、水素化処理工程などと呼ばれる。さらに、この後、TFTを保護するキャップ絶縁膜として、膜厚600nmのSiON膜を形

50

成する。なお、水素化処理工程は、該 SiON 膜形成後に行っても良い。この場合、SiN_xとSiNx 上に形成された SiON 膜は連続成膜することができる。このように、TFT 上には、基板側から SiON、SiNx、SiON の順に 3 層の絶縁膜が形成されることになるが、その構造や材料はこれらに限定されるものではない。また、これらの絶縁膜は、TFT を保護する機能をも有しているため、できるだけ形成しておくのが望ましい。

【0120】

次に、TFT 上に、層間膜 53 を形成する(図 16(D))。層間膜 53 としては、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性有機樹脂を用いることができる。形成方法としては、その材料に応じて、スピンドルコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーラー、カーテンコーラー、ナイフコーラー等を採用することができる。また、層間膜 53 として無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、PSG(リンガラス)、BPSG(リンボロンガラス)、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、層間膜 53 を形成しても良い。

【0121】

さらに、層間膜 53 上に、保護膜 54 を形成しても良い。保護膜 54 としては、DLC(ダイヤモンドライクカーボン)或いは窒化炭素(CN)等の炭素を有する膜、又は、酸化珪素膜、窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。形成方法としては、プラズマCVD 法や、大気圧プラズマ等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン等の耐熱性有機樹脂を用いてもよい。

【0122】

なお、層間膜 53 又は保護膜 54 と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、これらの膜の膜剥がれや割れが生じるのを防ぐために、層間膜 53 又は保護膜 54 中にフィラーを混入させておいても良い。

【0123】

次に、層間膜 53 上に、レジストを形成した後、エッチングによりコンタクトホールを形成し、TFT 同士を接続する配線 51 及び外部アンテナと接続するための接続配線 21 を形成する(図 16(D))。上記の工程において、メモリ部 74 におけるコンタクトホールは、実施の形態 1~3 に示したレーザ照射装置を用いた第 2 の露光手段によって、形成する。また、コンタクトホール開口時のエッチングに用いられるガスは、CHF₃ と He の混合ガスを用いたが、これに限定されるものではない。また、配線 51 と接続配線 21 は同一材料を用いて同時に形成しても良いし、別々に形成しても良い。ここでは、TFT と接続される配線 51 は、Ti、TiN、Al-Si、Ti、TiN の順に形成した 5 層構造とし、スパッタ法によって形成した後、エッチングして形成する。

【0124】

なお、Al 層において、Si を混入させることにより、配線形成時のレジストベークにおけるヒロックの発生を防止することができる。また、Si の代わりに、0.5% 程度のCu を混入させても良い。また、Ti や TiN で Al-Si 層を挟むことにより、耐ヒロック性がさらに向上する。なお、配線形成時には、SiON 等からなる上記ハーダマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれらに限定されるものではなく、前述したゲート電極 56 に用いられる材料を採用しても良い。

【0125】

なお、本実施例では、CPU73、メモリ部 74 等を構成する TFT 領域とアンテナと接続する端子部 80 のみを同一基板上に形成する場合について示したが、TFT 領域とアンテナとを同一基板上に形成する場合にも、本実施例を適用できる。この場合には、層間膜 53 又は保護膜 54 上にアンテナを形成し、さらに、別の保護膜で覆うと良い。アンテナの導電材料としては、Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co 若しくは Ti、又はそれらを含む合金を用いることができるが、これらに限定されるもの

10

20

30

40

50

ではない。また、配線とアンテナで材料が異なっていても良い。なお、配線及びアンテナは、展性、延性に富む金属材料を有するように形成し、更に好ましくは膜厚を厚くして変形による応力に耐えるようにするのが望ましい。

【0126】

また、アンテナの形成方法としては、スパッタ法によって全面成膜した後、レジストマスクを用いてエッチングして形成してもよいし、液滴吐出法によってノズルを用いて選択的に形成しても良い。なお、ここでいう液滴吐出法には、インクジェット法のみならず、オフセット印刷法やスクリーン印刷等も含まれる。配線とアンテナは、同時に形成しても良いし、一方を先に形成した後に、他方が乗り上げるように形成しても良い。

【0127】

以上の工程を経て、TFTからなる薄膜集積回路装置が完成する。なお、本実施例では、トップゲート構造としたが、ボトムゲート構造（逆スタガ構造）としてもよい。なお、TFTのような薄膜能動素子（アクティブエレメント）の存在しない領域には、下地絶縁膜材料、層間絶縁膜材料、配線材料が主として設けられているが、該領域は、薄膜集積回路装置全体の50%以上、好ましくは70%以上95%以下程度の割合を占めていることが望ましい。これにより、IDチップを曲げやすくし、IDラベル等の完成品の取り扱いが容易となる。この場合、TFT部を含むアクティブエレメントの島状半導体領域（アイランド）は、薄膜集積回路装置全体の1%以上30%以下、好ましくは、5%以上15%以下程度の割合を占めているのがよい。

【0128】

また、図16(D)に示すように、薄膜集積回路装置におけるTFTの半導体層から下部の保護膜までの距離(t_{under})と、半導体層から上部の層間膜(保護膜が形成されている場合には該保護膜)までの距離(t_{over})が、等しく又はほぼ等しくなるように、上下の保護膜又は層間膜の厚さを調整するのが望ましい。このようにして、半導体層を薄膜集積回路装置の中央に配置することで、半導体層への応力を緩和することができ、クラックの発生を防止することができる。

【0129】

本実施例において、メモリ部は、実施の形態1～3に示したレーザ照射装置を用いて作製している。よって、レーザ照射パターンを高速に切り替えることができ、ROMのようにランダムな照射パターンを形成する必要がある装置の作成工程において効率よくレーザ照射を行うことができる。そのため、IDチップのROM作製などの量産性を容易に向上させることが可能となる。

【実施例6】

【0130】

本発明を利用して作製した半導体装置を、ICカード、ICタグ、RFIDタグ、トランスポンダ、紙幣、有価証券、パスポート、電子機器、バッグ及び衣類に用いることができる。本実施例では、ICカード、IDタグおよびIDチップなどの例について図18を用いて説明する。

【0131】

図18(A)はICカードであり、個人の識別用のほかに内蔵されたメモリ回路が書き換え可能であることを利用して現金を使わずに代金の決済が可能なクレジットカード、あるいは電子マネーといったような使い方もできる。ICカード1600の中に本発明を用いたメモリ回路1601を組み込んでいる。

【0132】

図18(B)はIDタグであり、個人の識別用のほかに、小型化可能であることから特定の場所での入場管理などに用いることができる。IDタグ1610の中に本発明を用いたメモリ回路1611を組み込んでいる。

【0133】

図18(C)はスーパーマーケットなどの小売店で商品を扱う際の商品管理を行うためのIDチップ1622を商品1620に貼付した例である。本発明はIDチップ1622

10

20

30

40

50

内のメモリ回路に適用される。このようにＩＤチップ1622を商品1620に貼付することにより、在庫管理が容易になるだけではなく、万引きなどの被害を防ぐことも可能である。図面ではＩＤチップ1622が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜1621を用いているが、ＩＤチップ1622を接着剤によって直接商品1620に貼付するような構造を取っていてもよい。また、商品1620に貼付する構造上、ＩＤチップ1622は、実施例2で挙げたフレキシブル基板を用いて作製すると好ましい。

【0134】

図18（D）は商品製造時に識別用のＩＤチップを組み込んだ例である。図面では例としてディスプレイの筐体1630にＩＤチップ1631を組み込まれている。本発明はＩＤチップ1631内のメモリ回路に適用される。このような構造を取ることにより製造メーカーにおいて、商品の識別、または流通管理などを容易に行うことができる。なお、図面ではディスプレイの筐体を例として取り上げているが、本発明はこれに限定されることはなく、さまざまな電子機器、物品に対して適用することが可能である。10

【0135】

図18（E）は物品搬送用の荷札である。図面では荷札1640内にＩＤチップ1641が組み込まれている。本発明はＩＤチップ1641内のメモリ回路に適用される。このような構造を取ることにより搬送先の選別や商品の流通管理などを容易に行うことができる。なお、図面では、紐で物品に荷札をくくりつけるような構造を取っているが、本発明はこれに限定されることではなく、シール材のようなものを用いて物品に直接荷札を貼付するような構造を取ってもよい。20

【0136】

図18（F）は本1650にＩＤチップ1652が組み込まれたものである。本発明はＩＤチップ1652内のメモリ回路に適用される。このような構造を取ることにより書店における流通管理や図書館などでの貸し出し処理などを容易に行うことができる。なお、図面ではＩＤチップ1652が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜1651を用いているが、ＩＤチップ1652を接着剤によって直接本1650に貼付するような構造を取る、または本1650の表紙にＩＤチップ1652を埋め込む構造を取ってもよい。20

【0137】

図18（G）は紙幣1660にＩＤチップ1661が組み込まれたものである。本発明はＩＤチップ1661内のメモリ回路に適用される。このような構造を取ることにより偽札の流通を阻止することが容易に行える。なお、紙幣の性質上ＩＤチップ1661が剥がれ落ちるのを防ぐために紙幣1660に埋め込むような構造を取るとより好ましい。本発明は紙幣に限らず、有価証券、パスポートなど紙を材質にしたものに適用可能である。30

【0138】

図18（H）は靴1670にＩＤチップ1672が組み込まれたものである。本発明はＩＤチップ1672内のメモリ回路に適用される。このような構造を取ることにより製造メーカーの識別、または商品の流通管理などを容易に行うことができる。図面ではＩＤチップ1672が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜1671を用いているが、ＩＤチップ1672を接着剤を用いて直接貼付するような構造を取る、または靴1670に埋め込む構造を取ってもよい。本発明は靴に限らず、バッグ、衣類など身に付けるものに適用可能である。40

【0139】

次にセキュリティ確保のため、例えば、盗難防止又は偽造防止を目的として、多様な物品へＩＤチップを実装する場合を説明する。

【0140】

盗難防止を目的としてＩＤチップを使用する例として、バッグにＩＤチップを実装する場合を説明する。本発明はＩＤチップ2202内のメモリ回路に適応される。図19に示すように、バッグ2201にＩＤチップ2202を実装する。例えば、バッグ2201の底又は側面の一部等にＩＤチップ2202を実装することができる。ＩＤチップ220250

は非常に薄型で小さいため、バッグ2201のデザイン性を低下させずに実装することができる。加えてIDチップ2202は透光性を有するため、IDチップ2202が実装されているか否かの判断が困難である。そのため、盗難者によってIDチップ2202が取り外される可能性が低い。

【0141】

このようなIDチップ2202を実装したバッグ2201が盗難された場合、例えばGPS(Global Positioning System)を用いてバッグ2201の現在位置に関する情報を得ることができる。なおGPSとは、GPS用の衛星から信号が送られた時間と、それが受け取られた時間との時間差を求め、これをもとに測位するシステムである。10

【0142】

また盗難された物品以外に、バッグ2201を忘れた場合や落とした場合などにも、GPSを用いて現在位置に関する情報を得ることができる。

【0143】

またバッグ2201以外にも、自動車、自転車等の乗物、時計やアクセサリーにIDチップを実装することができる。

【0144】

次に偽造防止を目的としてIDチップを使用する例として、パスポートや免許証等にIDチップを実装する場合を説明する。

【0145】

図20(A)に、IDチップを実装したパスポート2301を示す。図20(A)ではIDチップ2302がパスポート2301の表紙に実装されているが、その他のページに実装してもよい。また、IDチップ2302は透光性を有するため表面に実装してもよい。またIDチップ2302を表紙等の材料で挟み込むようにし、表紙の内部に実装することも可能である。20

【0146】

図20(B)には、IDチップを実装した免許証2303を示す。図20(B)では、IDチップ2304が免許証2303の内部に実装されている。またIDチップ2304は透光性を有するため、免許証2303の印刷面上に設けても構わない。例えば、IDチップ2304は免許証2303の印字面上に実装し、その上下に熱硬化性を有する樹脂膜を1組ずつ配置して挟み込み、熱でフィルムを圧着することによって、IDチップ2304を実装した免許証2303を覆うことができる。またIDチップ2304を免許証2303の材料で挟み込むようにし、内部に実装することも可能である。30

【0147】

以上のような物品にIDチップを実装することにより、偽造を防止することができる。加えて非常に薄型で小さいIDチップを用いるため、パスポートや免許証等のデザイン性を損ねることがない。さらにIDチップは透光性を有するため、表面に実装しても構わない。

【0148】

またIDチップを実装することにより、パスポートや免許証等の管理を簡便に行うことができる。さらにパスポートや免許証等に直接情報を記入することなく、IDチップに保存することができるため、プライバシーを守ることができる。40

【0149】

次に、安全管理を行うため、食料品等の商品へIDチップを実装する場合を図21を用いて説明する。

【0150】

図21は、IDチップ2403を実装したラベル2402と、当該ラベル2402が貼られた肉のパック2401を示す。IDチップ2403はラベル2402の表面に実装していてもよいし、ラベル2402内部に実装してもよい。また野菜等の生鮮食品の場合、生鮮食品を覆うラップにIDチップを実装してもよい。50

【 0 1 5 1 】

IDチップ2403には、商品の生産地、生産者、加工年月日、賞味期限等の商品に関する基本事項を記録することができる。このような基本事項は、書き換える必要がないためMRROM等の書き換え不能なメモリを用いて記録するとよい。更には商品を用いた調理例等の応用事項をIDチップ2403に記録することができる。このような応用事項は、EEPROM等の書き換え及び消去可能なメモリを用いて記録するとよい。

【 0 1 5 2 】

また食料品の安全管理を行うためには、加工前の動植物の状態を知り得ることが重要である。そのため、動植物内にIDチップを埋め込み、リーダ装置によって動植物に関する情報を取得するとよい。動植物に関する情報とは、飼育地、飼料、飼育者、伝染病の感染の有無等である。

【 0 1 5 3 】

またIDチップに、商品の値段が記録されていれば、従来のバーコードを用いる方式よりも、簡便、短時間に商品の精算を行なうことが可能となる。すなわち、IDチップが実装された複数の商品を一挙に精算することができる。但し、このように複数のIDチップを一度に読み取る場合、アンチコリジョン機能をリーダ装置に搭載する必要がある。

【 0 1 5 4 】

さらにIDチップの通信距離によっては、レジスターと商品との距離が遠くても、商品の精算を可能とすることができます。またIDチップは万引きの防止を目的とした利用も可能である。

【 0 1 5 5 】

さらにIDチップは、バーコード、磁気テープ等のその他の情報媒体と併用することもできる。例えば、IDチップには書き換え不要な基本事項を記録し、バーコードには更新すべき情報、例えば値引き価格や特価情報を記録するとよい。バーコードはIDチップと異なり、情報の修正を簡便に行なうことができるからである。

【 0 1 5 6 】

このようにIDチップを商品に実装することにより、消費者へ提供できる情報を増大させることができる。

【 0 1 5 7 】

次に図22を用いて、物流管理を行うため、ビール瓶等の商品へIDチップを実装する場合を説明する。例えば、図22(A)に示すように、ラベル2501を用いてビール瓶にIDチップ2502を実装することができる。

【 0 1 5 8 】

IDチップ2502には、ビールの製造日、製造場所、使用材料等の基本事項を記録する。このような基本事項は、書き換える必要がないためMRROM等の書き換え不能なメモリを用いて記録するとよい。加えてIDチップには、各ビール瓶の配送先、配送日時等の個別事項を記録する。例えば、図22(B)に示すように、ビール瓶2503が、各々ベルトコンベア2506により流れ、ライタ装置2505を通過するときに、ラベル2504に内蔵されたIDチップ2507に各配送先、配送日時を記録することができる。このような個別事項は、EEPROM等の書き換え及び消去可能なメモリを用いて記録するとよい。

【 0 1 5 9 】

また配達先から購入された商品情報がネットワークを通じて物流管理センターへ送信されると、この商品情報に基づき、ライタ装置又は当該ライタ装置を制御するパーソナルコンピュータ等が配送先や配送日時を算出し、IDチップへ記録するようなシステムを構築するとよい。

【 0 1 6 0 】

また一般的にビール瓶の配達はケース毎に行われるため、ケース毎、又は複数のケース毎にIDチップを実装し、個別事項を記録することもできる。

【 0 1 6 1 】

10

20

30

40

50

このような複数の配達先が記録されうる飲料品は、IDチップを実装することにより、手作業で行う入力にかかる時間を削減でき、それに起因した入力ミスを低減することができる。加えて物流管理の分野において最もコストのかかる人件費用を削減することができる。従って、IDチップを実装したことにより、ミスの少ない、低成本な物流管理を行うことができる。

【0162】

さらに配達先において、ビールに合う食料品や、ビールを使った料理法等の応用事項を記録してもよい。その結果、食料品等の宣伝を兼ねることができ、消費者の購買意欲を高めることができる。このような応用事項は、EEPROM等の書き換え、消去可能なメモリを用いて記録するとよい。このようにIDチップを実装することにより、消費者へ提供できる情報を増大させることができますため、消費者は安心して商品を購入することができる。

【0163】

製造管理を行うため、IDチップを実装した製造品と、当該IDチップの情報に基づき制御される製造装置（製造ロボット）について説明する。

【0164】

オリジナル商品を生産する場合、生産ラインでは商品にIDチップを実装し、IDチップに記録されたオリジナル情報に基づくように商品を生産することができる。例えば、ドアの塗装色を自由に選択する自動車の生産ラインにおいては、自動車の一部にIDチップを実装し、当該IDチップからの情報に基づき、塗装装置を制御することができる。

【0165】

上記のように、自動車の一部にIDチップを実装する結果、事前に生産ラインに投入される自動車の順序や同色を有する数を調整する必要がない。強いては、自動車の順序や数に合わせるように塗装装置を制御するプログラムを設定しなくてすむ。すなわち製造装置は、自動車に実装されたIDチップの情報に基づき、個別に動作することができる。

【0166】

このようにIDチップは様々な場所で使用することができる。そしてIDチップに記録された情報により、製造に関する固有情報を得ることができ、当該情報に基づき製造装置を制御することができる。

【0167】

次に、本発明に係るIDチップを用いたICカードを、電子マネーとして利用する形態について説明する。図23に、ICカード2601を用いて、決済をおこなっている様子を示す。ICカード2601は、本発明に係るIDチップ2602を有している。ICカード2601の利用の際には、レジスター2603、リーダ／ライタ2604を用いる。IDチップ2602には、ICカード2601に入金されている金額の情報が保持されており、リーダ／ライタ2604は該金額の情報を非接触で読み取り、レジスター2603に送信することができる。レジスター2603では、ICカード2601に入金されている金額が、決済する金額以上であることを確認し、決済を行なう。そしてリーダ／ライタ2604に決済後の残額の情報を送信する。リーダ／ライタ2604は残額の情報を、ICカード2601のIDチップ2602に書き込むことができる。

【0168】

なおリーダ／ライタ2604に、暗証番号などを入力することができるキー2605を付加し、第三者によってICカード2601を用いた決済が無断で行なわれるのを制限できるようにしても良い。

【0169】

なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

【0170】

以上の様に、本発明の適用範囲は極めて広く、あらゆる物品の個体認識用のチップとして適用することが可能である。

10

20

30

40

50

【産業上の利用可能性】

【0171】

本発明は、複数のレーザビームを被照射体に同時に照射して任意のパターンを描画できるレーザ照射装置及びレーザ照射方法である。この発明は、上記したようにROMの製作工程で用いることができるのみでなく、半導体プロセスにおける露光工程に適用することができる。また、レーザビームを被照射体に照射して所望の処理をする（例えば、文字の刻印など）ものに適用することができる。

【図面の簡単な説明】

【0172】

【図1】レーザ照射装置の構成を示す図

10

【図2】レーザ照射パターンを示す図

【図3】レーザ照射装置の構成を示す図

【図4】レーザ照射装置の構成を示す図

【図5】レーザ照射装置の構成を示す図

【図6】レーザ照射パターンを示す図

【図7】半導体装置の断面を示す図

【図8】半導体装置の製造方法のフローを示す図

【図9】半導体装置の製造方法のフローを示す図

【図10】半導体装置の製造工程を示す図

【図11】半導体装置の製造工程を示す図

20

【図12】不揮発性メモリ回路の構成を示す図

【図13】アンテナの実施例を示す図

【図14】アンテナの実施例を示す図

【図15】半導体装置の製造工程を示す図

【図16】半導体装置の製造工程を示す図

【図17】半導体装置の製造工程を示す図

【図18】本発明により作製した半導体装置の応用例を示す図。

【図19】本発明により作製した半導体装置を用いたバッグを示す図。

【図20】本発明により作製した半導体装置を用いた証明書を示す図。

【図21】本発明により作製した半導体装置を用いた食料品管理を示す図。

30

【図22】本発明により作製した半導体装置を用いた物流管理を示す図。

【図23】本発明により作製した半導体装置を用いたICカード決済を示す図。

【符号の説明】

【0173】

101 レーザ発振器

102 ミラー

103 エキスパンダ

104 回折光学素子

105 DMD

106 投影レンズ

107 遮光板

108 基板

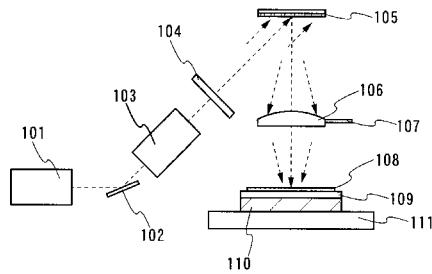
109 吸着ステージ

110 搬送ステージ

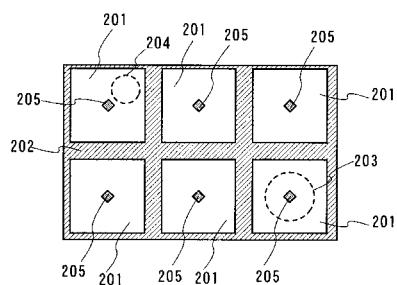
111 搬送ステージ

40

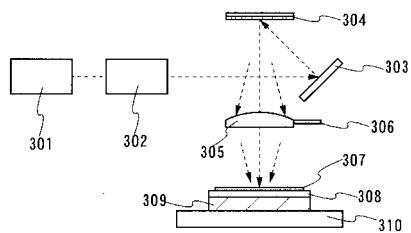
【 図 1 】



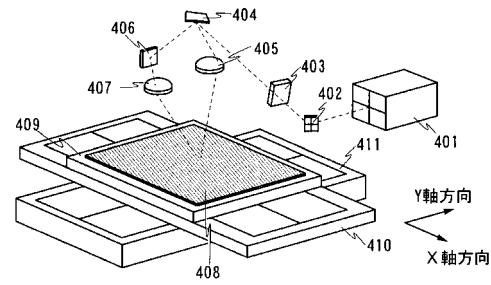
【図2】



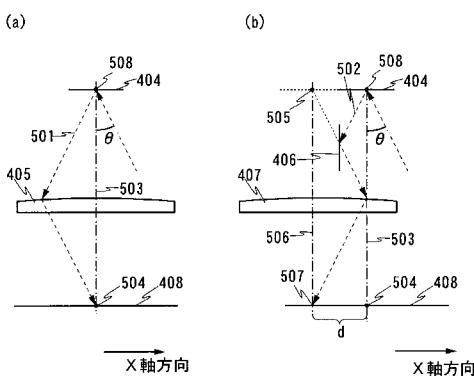
【 図 3 】



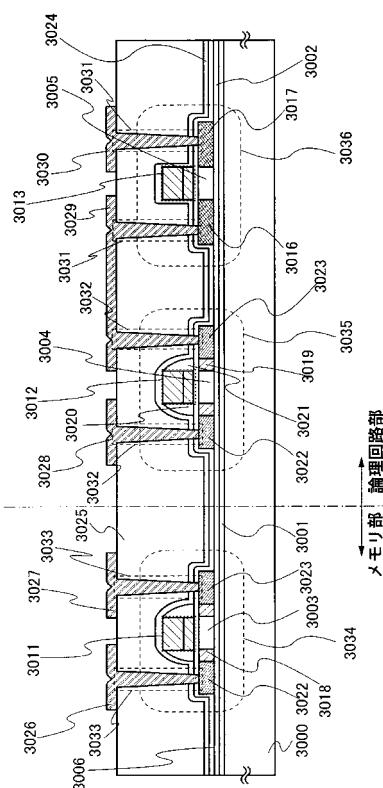
【 四 4 】



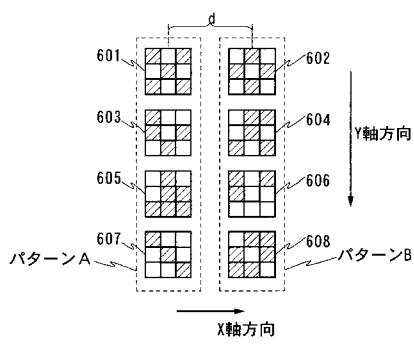
【 図 5 】



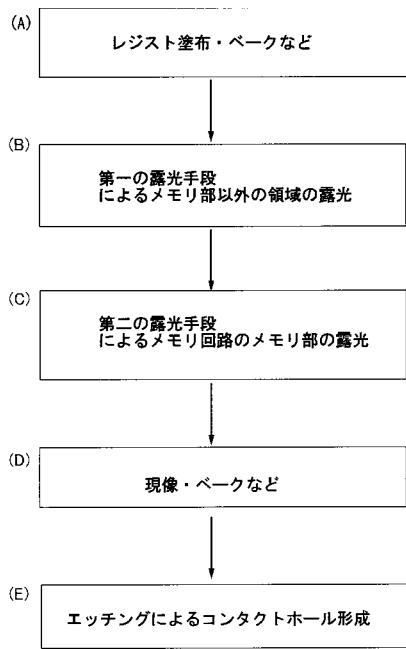
【 四 7 】



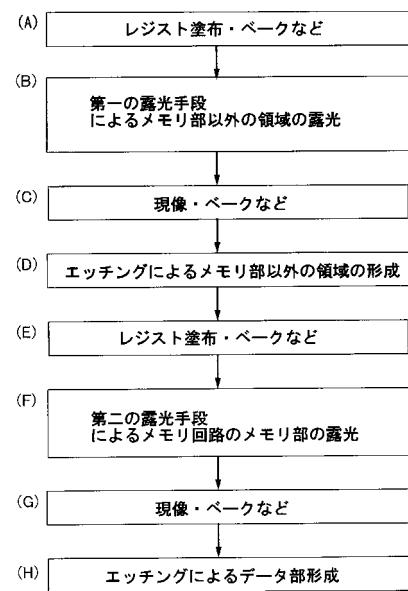
【図6】



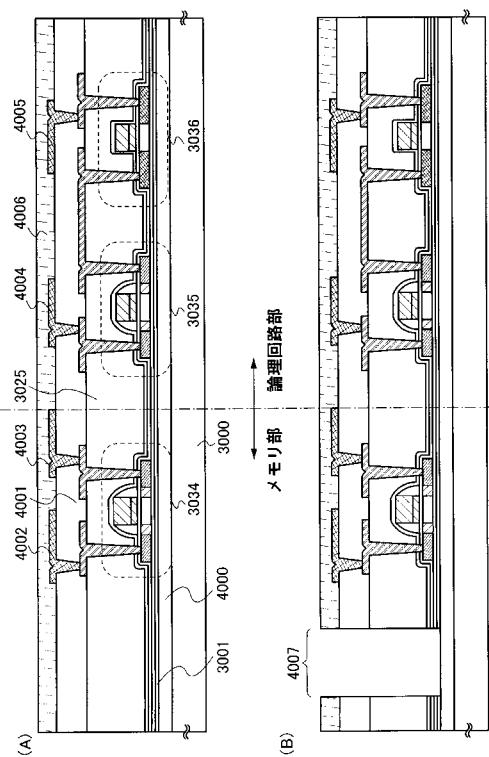
【図8】



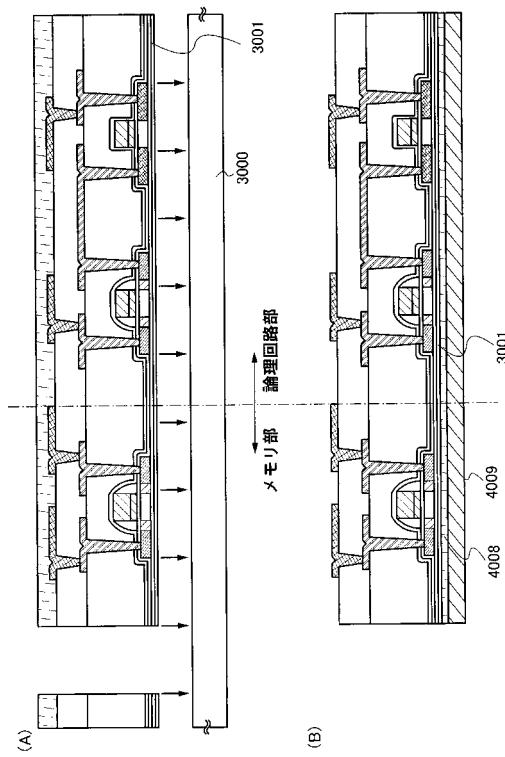
【図9】



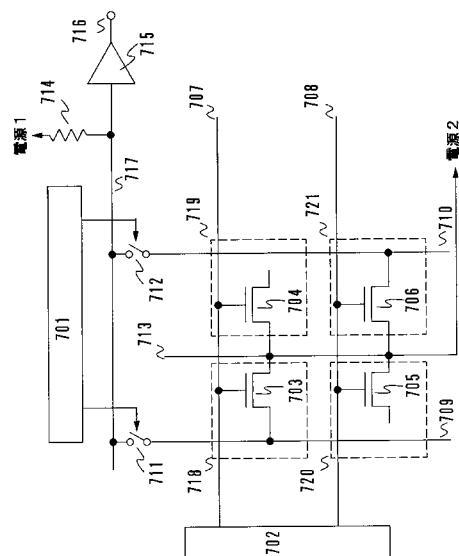
【図10】



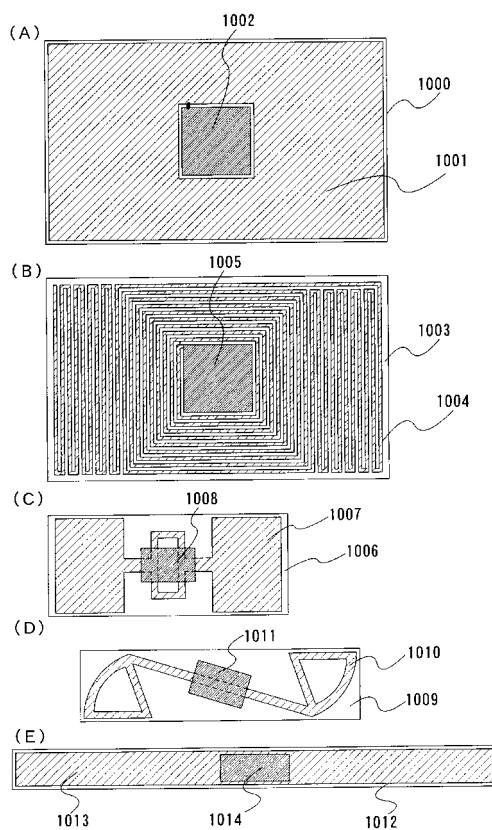
【図11】



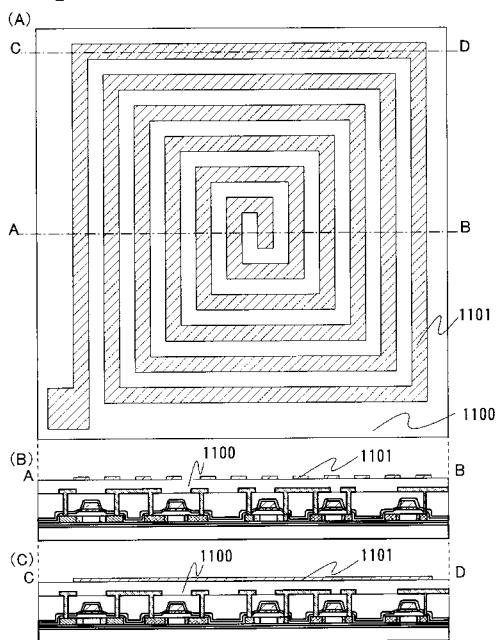
【図12】



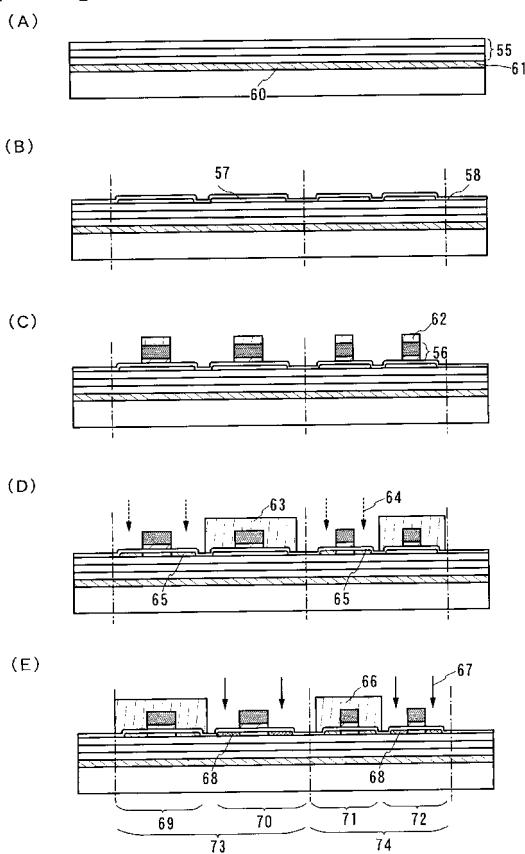
【図13】



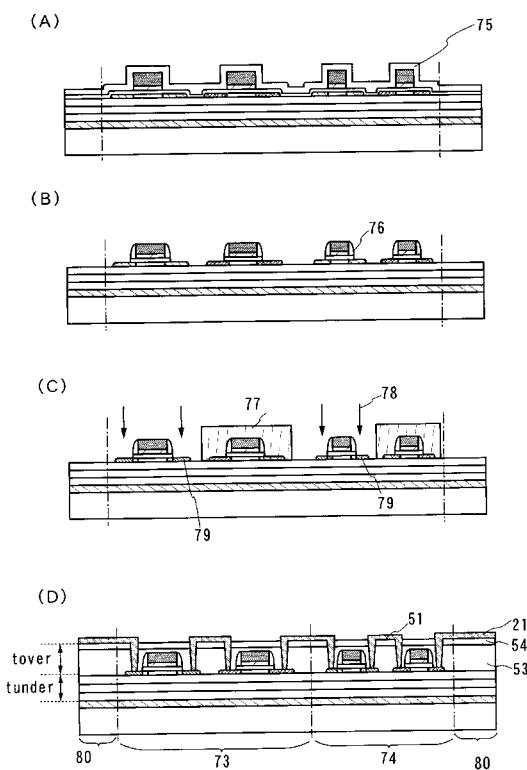
【図14】



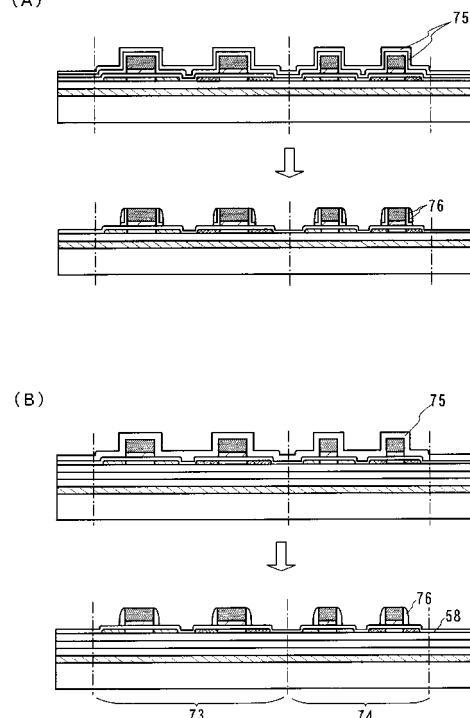
【図15】



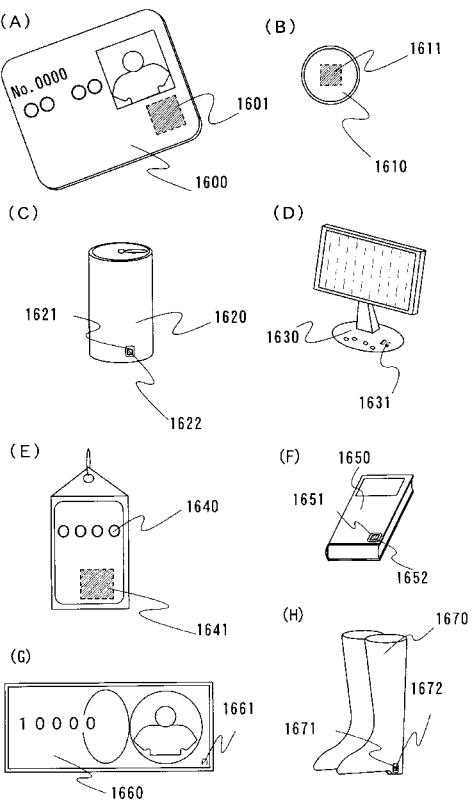
【図16】



【図17】



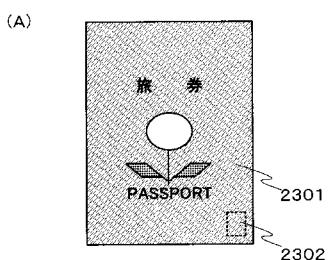
【図18】



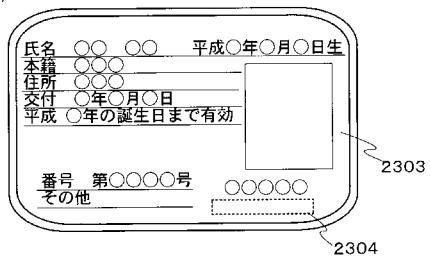
【図19】



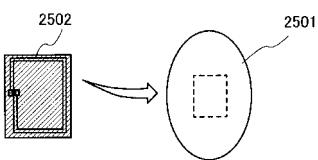
【図20】



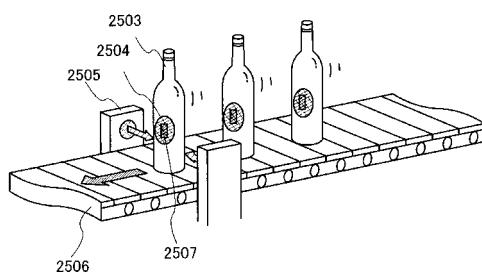
(B)



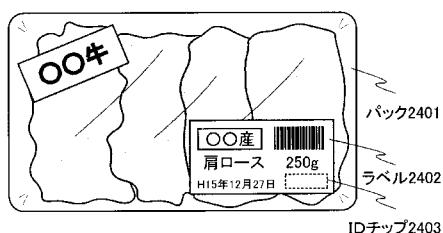
【図22】



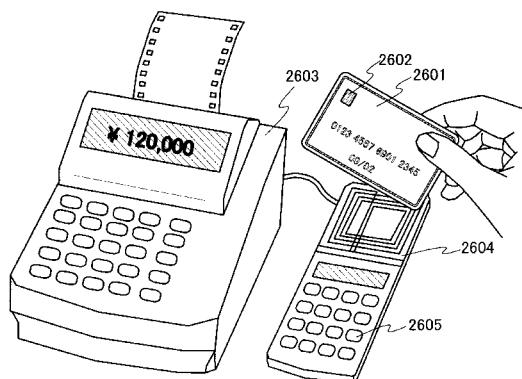
(B)



【図21】



【図23】



フロントページの続き

(51) Int.Cl.		F I		テーマコード(参考)
H 01 L	21/336	(2006.01)	H 01 L	27/10 4 6 1 5 F 1 5 2
H 01 L	29/786	(2006.01)	H 01 L	27/10 4 3 3
H 01 L	27/10	(2006.01)	H 01 L	21/30 5 0 2 A
H 01 L	21/8246	(2006.01)	G 06 K	19/00 H
H 01 L	27/112	(2006.01)	G 06 K	19/00 K
G 06 K	19/07	(2006.01)		
G 06 K	19/077	(2006.01)		

F	ターム(参考)	5F083	CR03	GA27	HA10	JA05	JA35	JA36	JA37	JA38	JA39	JA40
			JA56	JA58	JA60	PR01	PR03	PR33	PR36	PR43	PR44	PR45
			PR53	PR54	PR55	ZA12	ZA13					
	5F110	AA16	AA26	BB03	BB04	BB08	CC02	CC07	DD01	DD02	DD12	
		DD13	DD14	DD15	DD17	EE01	EE02	EE03	EE04	EE05	EE06	
		EE08	EE14	EE32	EE42	EE44	FF02	FF03	FF04	FF09	FF10	
		FF28	FF30	GG01	GG02	GG13	GG14	GG15	GG16	GG25	GG32	
		GG33	GG34	GG43	GG45	GG47	GG52	HJ01	HJ04	HJ12	HJ13	
		HJ23	HL01	HL04	HL06	HL10	HL12	HL14	HL23	HM14	HM15	
		NN03	NN04	NN22	NN23	NN24	NN25	NN27	NN33	NN35	NN36	
		PP01	PP03	PP04	PP05	PP06	PP10	PP24	PP29	PP34	QQ02	
		QQ03	QQ06	QQ11	QQ16	QQ23	QQ24	QQ25	QQ28			
	5F152	AA03	AA06	BB01	BB02	BB03	CC02	CC03	CC04	CC06	CC08	
		CD09	CD13	CD14	CD15	CE05	CE06	CE13	CE14	CE16	CE24	
		CF18	FF01	FF07	FF21	FF30	FF36	FF47	FG01	FG05	FG18	
		FG21	FH01	LP01	LP06	LP07	LP08	LP09	MM04	NN11	NN20	
		NN30	NP03	NP21	NP22	NP23						