

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5719610号  
(P5719610)

(45) 発行日 平成27年5月20日 (2015.5.20)

(24) 登録日 平成27年3月27日 (2015.3.27)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 6 U
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 8 B
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 1 6 V
HO 1 L 29/417 (2006.01)	HO 1 L 29/78	6 2 7 C
	HO 1 L 29/78	6 2 4
請求項の数 5 (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2011-10440 (P2011-10440)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成23年1月21日 (2011.1.21)	(74) 代理人	100103894 弁理士 冢入 健
(65) 公開番号	特開2012-151382 (P2012-151382A)	(74) 代理人	100129953 弁理士 岩瀬 康弘
(43) 公開日	平成24年8月9日 (2012.8.9)	(74) 代理人	100144428 弁理士 須藤 雄一郎
審査請求日	平成25年12月17日 (2013.12.17)	(72) 発明者	野口 玲子 熊本県合志市御代志997番地 メルコ・ ディスプレイ・テクノロジー株式会社内
		(72) 発明者	井上 和式 熊本県合志市御代志997番地 メルコ・ ディスプレイ・テクノロジー株式会社内 最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ、及びアクティブマトリクス基板

(57) 【特許請求の範囲】

【請求項1】

ゲート電極と、  
ゲート絶縁膜を介して、前記ゲート電極と対向配置された半導体層と、  
前記半導体層の上に設けられ、前記半導体層と電氣的に接続されたソース電極と、  
前記半導体層の上に設けられ、前記半導体層と電氣的に接続されたドレイン電極と、を  
備えた薄膜トランジスタであって、  
前記半導体層が、透光性半導体膜と、前記透光性半導体上に配置され、前記透光性半導  
体膜よりも光透過率の低い導電性膜と、を有し、  
前記導電性膜が、アルミニウム、又はアルミニウムを主成分とする合金膜で形成され、  
前記導電性膜が、前記透光性半導体膜からはみ出さないように形成され、  
前記導電性膜が、前記ソース電極と前記ドレイン電極の間のチャンネル部を挟むように分  
離して形成され、  
前記ソース電極、及び前記ドレイン電極が、前記導電性膜を介して、前記透光性半導体  
膜に接続されている薄膜トランジスタ。

【請求項2】

前記透光性半導体膜が、酸化インジウム、酸化ガリウム、酸化亜鉛、又は13族元素を  
主成分とした窒素化合物のいずれか一つを少なくとも含んでいる請求項1に記載の薄膜ト  
ランジスタ。

【請求項3】

前記アルミニウムを主成分とする合金膜が、ニッケル、パラジウム、及び白金の少なくとも一つを添加物として含んでいる請求項 1、又は 2 に記載の薄膜トランジスタ。

【請求項 4】

前記アルミニウムを主成分とする合金膜が、窒素、及び酸素の少なくとも一方を添加物として含んでいる請求項 1 ~ 3 のいずれか 1 項に記載の薄膜トランジスタ。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の薄膜トランジスタがマトリクス状に配列され、前記薄膜トランジスタの前記ドレイン電極と接続された画素電極が設けられているアクティブマトリクス基板。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は薄膜トランジスタ、アクティブマトリクス基板、およびそれらの製造方法に関する。

【背景技術】

【0002】

半導体装置の一例として、薄膜トランジスタ (Thin Film Transistor: 以下「TFT」という。) をスイッチング素子として用いた TFT アクティブマトリクス基板 (以下、単に TFT 基板と称する) がある。この TFT 基板は、ディスプレイ装置等の電気光学装置に利用される。TFT 等の半導体装置は、低消費電力及び薄型であるという特徴がある。従って、このような半導体装置の特徴を活かして、CRT (Cathode Ray Tube) に変わるフラットパネルディスプレイへの応用が盛んになされている。

20

【0003】

このような半導体装置では低コスト化が要求されている。このため、液晶表示装置用の TFT 基板のスイッチング素子には、バックチャネル型 TFT が広く利用されている。液晶表示装置用のバックチャネル型 TFT では、一般的に、アモルファスシリコン (Si) が半導体の活性層として用いられており、逆スタガ構造が採用されている。

【0004】

さらに、近年では、酸化物半導体を活性層に用いた TFT の開発が盛んになされている (特許文献 1、2)。酸化物半導体は、従来のアモルファスシリコンよりも高い移動度を有する。酸化物半導体としては、酸化亜鉛 (ZnO) 系や、酸化亜鉛 (ZnO) に酸化ガリウム ( $Ga_2O_3$ )、酸化インジウム ( $In_2O_3$ ) を添加した IGZO 系が主に用いられている。この技術は、例えば、特許文献 3、非特許文献 1 および特許文献 4 にも開示されている。酸化物半導体膜は、高い透光性を有していることが特徴である。例えば、特許文献 4 では、400 nm から 800 nm の可視光に対して 70% 以上の透過率を有する酸化物半導体膜を適用した技術が開示されている。

30

【0005】

上記のような酸化物半導体膜は、透明導電膜として公知の ITO (酸化インジウム  $In_2O_3$  + 酸化すず  $SnO_2$ ) や IZO (酸化インジウム  $In_2O_3$  + 酸化亜鉛  $ZnO$ ) のような酸化物導電膜と同様に、フォトレジストのアルカリ系現像液に不溶である。加えて、酸化物半導体膜は、シュウ酸やカルボン酸のような弱酸系溶液でエッチングすることが可能である。従って、酸化物半導体膜には、パターン加工が容易であるという利点がある。

40

【0006】

しかし一方で、TFT のソース電極やドレイン電極に用いられる一般的な金属膜 (Cr、Ti、Mo、Ta、Al およびこれらの合金) をエッチング加工する際に通常用いられる酸系溶液にも容易に溶けてしまう。したがって、酸化物半導体を活性層として用いる TFT を製造する場合は、例えば特許文献 5 に開示される技術が用いられる。特許文献 5 では、金属膜、金属膜のエッチング溶液、ならびに酸化物半導体膜の種類を選んで製造している。こうすることで、ソース電極やドレイン電極の金属膜だけをエッチングし、酸化物

50

半導体膜をエッチングせずに残すような選択エッチングが可能となる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2005-77822号公報

【特許文献2】特開2005-77822号公報

【特許文献3】特開2005-77822号公報

【特許文献4】特開2007-115902号公報

【特許文献5】特開2008-72011号公報

【0008】

【非特許文献1】Nature Vol. 432 (2004) p. 488

【発明の概要】

【発明が解決しようとする課題】

【0009】

TFT基板を製造するため、金属膜や半導体膜が順次形成される。そして、それぞれ写真製版（フォトリソグラフィ）工程でフォトレジストパターンを形成した後にエッチング加工を行う。これにより、配線・電極や半導体のパターンを形成することができる。このようにして、TFT基板が、製造される。

【0010】

このとき、配線・電極や半導体のパターンに異常があると、最終的に工程が完了した後の動作試験で不良が発生して歩留を低下させてしまう。このために、製造の各工程後に適宜パターンの仕上がり形状を検査することがある。すなわち、製品が完成するまでの早い段階でパターン不良を検出することがコスト低減のために重要である。

【0011】

このようなパターン不良の検出は、一般的に光学顕微鏡を用いてパターンを観察し、そのパターン形状を検査することによって行われる。パターン形状の検査は、自動的に画像データを読み取り、正常な形状データと比較することで行うことも可能であるし、また直接の目視検査で行うことも可能である。

【0012】

しかしながら、光学顕微鏡による画像でパターン形状を検査する場合、次のような問題もある。酸化物半導体膜のように透光性の高い物質では、金属膜のように光を反射する物質に比べると検査が困難であり、検出感度が落ちるといった課題がある。よって、生産性が低下してしまうという課題がある。

【0013】

また上述のように、従来公知の一般的な酸化物半導体膜の場合、配線・電極材料となる従来公知の一般的な金属膜との薬液を用いた選択エッチングが困難である。従って、金属膜、半導体膜およびエッチング薬液の組合せが限定的となる。このため、TFT特性の改善等での材料の選択幅が著しく制限されるなどの課題がある。

【0014】

本発明は、上記の問題を解決するためになされたものであり、材料の選択幅が広く、生産性が高い薄膜トランジスタ、アクティブマトリクス基板、およびそれらの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0015】

本発明の第1の態様に係る薄膜トランジスタは、ゲート電極と、前記ゲート絶縁膜を介して、前記ゲート電極と対向配置された半導体層と、前記半導体層の上に設けられ、前記半導体層と電氣的に接続されたソース電極と、前記半導体層の上に設けられ、前記半導体層と電氣的に接続されたドレイン電極と、を備えた薄膜トランジスタであって、前記半導体層が、透光性半導体膜と、前記透光性半導体上に配置され、前記透光性半導体膜よりも光透過率の低い導電性膜と、を有し、前記導電性膜が、前記透光性半導体膜からはみ出さ

10

20

30

40

50

ないように形成され、前記導電性膜が、前記ソース電極と前記ドレイン電極の間のチャンネル部を挟むように分離して形成され、前記ソース電極、及び前記ドレイン電極が、前記導電性膜を介して、前記透光性半導体膜に接続されている、ものである。

【0016】

本発明の第2の態様にかかる薄膜トランジスタの製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上に、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上に、透光性半導体膜と、前記透光性半導体膜よりも光透過率の低い導電性膜とを順次成膜する工程と、前記透光性半導体膜と前記導電性膜とを島状にパターンニングして、半導体層を形成する工程と、前記導電性膜の上に、互いに離間して対向配置されたソース電極、及びドレイン電極を形成する工程と、前記ソース電極と前記ドレイン電極との間にある前記導電性膜を除去して、チャンネル部を形成する工程と、を備え、前記導電性膜が、アルミニウム又はアルミニウムを主成分とする合金膜で形成され、前記半導体層を形成する工程では、水酸化テトラメチルアンモニウムを含む溶液を用いて、前記導電性膜がエッチングされるものである。

10

【0017】

本発明の第3の態様に係る薄膜トランジスタの製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上に、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上に、透光性半導体膜と、前記透光性半導体膜よりも光透過率の低い導電性膜とを順次成膜する工程と、前記透光性半導体膜と前記導電性膜とを島状にパターンニングして、半導体層を形成する工程と、前記導電性膜の上に、互いに離間して対向配置されたソース電極、及びドレイン電極を形成する工程と、前記ソース電極と前記ドレイン電極との間にある前記導電性膜を除去して、チャンネル部を形成する工程と、を備え、前記導電性膜が、銅又は銅を主成分とする合金膜で形成され、前記半導体層を形成する工程では、過硫酸アンモニウムを含む溶液を用いて、前記導電性膜がエッチングされるものである。

20

【発明の効果】

【0018】

本発明によれば、材料の選択幅が広く、生産性が高いTFT、アクティブマトリクス基板、およびそれらの製造方法を提供することができる。

【図面の簡単な説明】

【0019】

【図1】実施の形態にかかるTFT基板の構成を示す平面図である。

【図2】実施の形態にかかるTFT基板の画素構成を示す平面図である。

【図3】実施の形態にかかるTFT基板の断面図である

【図4】実施の形態にかかるTFT基板の製造方法を示す工程断面図である。

【図5】実施の形態にかかるTFT基板の製造方法の一部を詳細に説明するための工程断面図である

【図6】透光性半導体膜の透過率特性を示す図である。

【図7】実施の形態にかかるTFT基板におけるフォトキャリアの挙動を示す図である。

【図8】透光性半導体膜の透過率特性を示す図である。

【図9】透光性半導体膜の透過率特性を示す図である。

【図10】透光性半導体膜の透過率特性を示す図である。

【発明を実施するための形態】

【0020】

実施の形態1.

本実施の形態にかかるTFT基板は、スイッチング素子として薄膜トランジスタ(TFT:Thin Film Transistor)が用いられたアクティブマトリクス基板である。TFT基板は、液晶表示装置(LCD)等の平面型表示装置(フラットパネルディスプレイ)に用いられる。始めに、図1を参照して、TFT基板について説明する。図1は、TFT基板の構成を示す平面図である。ここでは、LCD用のTFT基板を例にとって詳しく説明する。

30

40

50

## 【 0 0 2 1 】

T F T 基板 1 0 0 は、例えば、T F T 1 0 8 がマトリクス状に配列された T F T アレイ基板である。T F T 基板 1 0 0 には、表示領域 1 0 1 と表示領域 1 0 1 を囲むように設けられた額縁領域 1 0 2 とが設けられている。この表示領域 1 0 1 には、複数のゲート配線（走査信号線）2 2、複数の補助容量電極 3、及び複数のソース配線（表示信号線）2 7 が形成されている。

## 【 0 0 2 2 】

複数のゲート配線 2 2 は、平行に設けられている。複数のソース配線 2 7 は平行に設けられている。図 1 では、ゲート配線 2 2 が横方向に形成され、ソース配線 2 7 が縦方向に形成されている。ゲート配線 2 2 とソース配線 2 7 とは、互いに交差するように形成されている。また、ゲート配線 2 2 とソース配線 2 7 とは直交している。そして、隣接するゲート配線 2 2、及び隣接するソース配線 2 7 に囲まれた領域が画素 1 0 5 となる。T F T 基板 1 0 0 では、画素 1 0 5 がマトリクス状に配列される。

10

## 【 0 0 2 3 】

複数の補助容量電極 3 は、複数のゲート配線 2 2 と平行に設けられている。補助容量電極 3 は、隣接するゲート配線 2 2 間にそれぞれ設けられている。すなわち、ゲート配線 2 2 と補助容量電極 3 とは、交互に配置されている。補助容量電極 3 とソース配線 2 7 とは、互いに交差するように形成されている。また、補助容量電極 3 とソース配線 2 7 とは直交している。

## 【 0 0 2 4 】

さらに、T F T 基板 1 0 0 の額縁領域 1 0 2 には、走査信号駆動回路 1 0 3 と表示信号駆動回路 1 0 4 とが設けられる。ゲート配線 2 2 は、表示領域 1 0 1 から額縁領域 1 0 2 まで延設されている。そして、ゲート配線 2 2 は、T F T 基板 1 0 0 の端部で、走査信号駆動回路 1 0 3 に接続される。ソース配線 2 7 も同様に表示領域 1 0 1 から額縁領域 1 0 2 まで延設されている。そして、ソース配線 2 7 は、T F T 基板 1 0 0 の端部で、表示信号駆動回路 1 0 4 と接続される。走査信号駆動回路 1 0 3 の近傍には、外部配線 1 0 6 が接続されている。また、表示信号駆動回路 1 0 4 の近傍には、外部配線 1 0 7 が接続されている。外部配線 1 0 6、1 0 7 は、例えば、F P C (Flexible Printed Circuit) などの配線基板である。

20

## 【 0 0 2 5 】

外部配線 1 0 6、1 0 7 を介して走査信号駆動回路 1 0 3、及び表示信号駆動回路 1 0 4 に外部からの各種信号が供給される。走査信号駆動回路 1 0 3 は外部からの制御信号に基づいて、ゲート信号（走査信号）をゲート配線 2 2 に供給する。このゲート信号によって、ゲート配線 2 2 が順次選択されていく。表示信号駆動回路 1 0 4 は外部からの制御信号や、表示データに基づいて表示信号をソース配線 2 7 に供給する。これにより、表示データに応じた表示電圧を各画素 1 0 5 に供給することができる。なお、走査信号駆動回路 1 0 3 と表示信号駆動回路 1 0 4 は、T F T 基板 1 0 0 上に配置される構成に限られるものではない。例えば、T C P (Tape Carrier Package) により駆動回路を接続してもよい。また、補助容量電極 3 は、後述する画素電極と重複しており、画素電極とともに補助容量を形成する。例えば、補助容量電極 3 には、走査信号駆動回路 1 0 3、又は表示信号駆動回路 1 0 4 等から共通電位が供給される。

30

40

## 【 0 0 2 6 】

画素 1 0 5 内には、少なくとも 1 つの T F T 1 0 8 が形成されている。T F T 1 0 8 はソース配線 2 7 とゲート配線 2 2 の交差点近傍に配置される。例えば、この T F T 1 0 8 が画素電極に表示電圧を供給するためのスイッチング素子となる。T F T 1 0 8 のゲート電極はゲート配線 2 2 に接続され、ゲート端子から入力されるゲート信号によって T F T 1 0 8 の O N と O F F を制御している。T F T 1 0 8 のソース電極はソース配線 2 7 に接続されている。ゲート電極に電圧が印加され、T F T 1 0 8 が O N されると、ソース配線 2 7 から電流が流れるようになる。これにより、ソース配線 2 7 から、T F T 1 0 8 のドレイン電極に接続された画素電極に表示電圧が印加される。そして、画素電極と、対向電

50

極との間に、表示電圧に応じた電界が生じる。なお、TFT基板100の表面には、配向膜（不図示）が形成されていてもよい。TFT基板100は、以上のように構成される。

【0027】

さらに、液晶表示装置の場合、TFT基板100には、対向基板が対向して配置されている。対向基板は、例えばカラーフィルタ基板であり、視認側に配置される。対向基板には、カラーフィルタ、ブラックマトリクス（BM）、対向電極、及び配向膜等が形成されている。なお、例えば、IPS方式の液晶表示装置の場合、対向電極は、TFT基板100側に配置される。TFT基板100と対向基板とは、一定の間隙（セルギャップ）を介して貼り合わされる。そして、この間隙に液晶が注入・封止される。すなわち、TFT基板100と対向基板との間に液晶層が挟持される。さらに、TFT基板100と対向基板との外側の面には、偏光板、位相差板等が設けられる。また、以上のように構成された液晶表示パネルの反視認側には、バックライトユニット等が配設される。TFT基板100が反視認側、対向基板が視認側に配置されるため、バックライトユニットは、TFT基板100の外側に配置される。

10

【0028】

画素電極と対向電極との間の電界によって、液晶が駆動される。すなわち、基板間の液晶の配向方向が変化する。これにより、液晶層を通過する光の偏光状態が変化する。すなわち、偏光板を通過して直線偏光となった光は液晶層によって、偏光状態が変化する。具体的には、バックライトユニットからの光は、TFT基板100側の偏光板によって直線偏光になる。そして、この直線偏光が液晶層を通過することによって、偏光状態が変化する。

20

【0029】

従って、偏光状態によって、対向基板側の偏光板を通過する光量が変化する。すなわち、バックライトユニットから液晶表示パネルを透過する透過光のうち、視認側の偏光板を通過する光の光量が変化する。液晶の配向方向は、印加される表示電圧によって変化する。従って、表示電圧を制御することによって、視認側の偏光板を通過する光量を変化させることができる。すなわち、画素毎に表示電圧を変えることによって、所望の画像を表示することができる。

【0030】

次に、図2、及び図3を参照して、TFT基板100の画素105の構成に付いて説明する。図2は、画素構成を模式的に示す平面図であり、図3は、図2のIII-III断面図である。

30

【0031】

図2、図3において、1は基板、2はゲート電極、4はゲート絶縁膜、5は半導体層、7はソース電極、8はドレイン電極、9はチャンネル部、10は保護絶縁膜、11はコンタクトホール、12は画素電極である。

【0032】

基板1は、例えば、ガラス等の透明性絶縁基板である。基板1の上には、ゲート配線22、及び補助容量電極3が形成されている。図2において、ゲート配線22は、横方向に設けられている。ゲート配線22は、TFT108のゲート電極2を有している。すなわち、TFT108部分のゲート配線22がゲート電極2となる。ゲート電極2は、ゲート配線22よりも幅広になっている。補助容量電極3は、ゲート配線22と並設されている。さらに、ソース配線27の近傍には、補助容量電極3から延在した延在部が設けられている。補助容量電極3の延在部は、ソース配線27と平行に設けられている。補助容量電極3とゲート配線22の上には、ゲート絶縁膜4が設けられている。ゲート絶縁膜4は、補助容量電極3、ゲート配線22、及びゲート電極2を覆っている。

40

【0033】

ゲート絶縁膜4の上には、半導体層5が設けられている。TFTにおいて、半導体層5は島状に形成されている。半導体層5は、透光性半導体膜5aとオーミック導電膜5bの2層構造からなる。透光性半導体膜5aは、例えば、非シリコン系である透光性半導体膜

50

である。透光性半導体膜 5 a を活性層に用いることで、アモルファスシリコンよりも高い移動度を実現することができる。具体的には、透光性半導体膜 5 a として、酸化亜鉛 (ZnO) 系や、酸化亜鉛 (ZnO) に酸化ガリウム ( $Ga_2O_3$ )、酸化インジウム ( $In_2O_3$ ) を添加した IGZO 系を用いることができる。オーミック導電膜 5 b は、透光性半導体膜 5 a よりも低い光透過率を有している。ここでは、オーミック導電膜 5 b として、Al (アルミニウム) や Al 合金などの光反射膜を用いることができる。例えば、透光性の透光性半導体膜 5 a では、可視光の中心波長である 550 nm における透過率が 50% 以上となっており、透光性半導体膜 5 a よりも透過率の低いオーミック導電膜 5 b では、波長 550 nm における透過率が 50% 未満となっている。

**【0034】**

半導体層 5 は、ゲート電極 2 の上方に配置されている。従って、半導体層 5 は、ゲート絶縁膜 4 を介して、ゲート電極 2 と対向配置されている。オーミック導電膜 5 b は、透光性半導体膜 5 a の上の一部に形成されている。換言すると、平面視において、オーミック導電膜 5 b は、透光性半導体膜 5 a からはみ出していない。また、チャンネル部 9 では、オーミック導電膜 5 b が設けられていない。チャンネル部 9 では、オーミック導電膜 5 b が除去されたバックチャンネル領域となる。オーミック導電膜 5 b は、チャンネル部 9 を挟むように分離して、形成されている。

**【0035】**

半導体層 5 の上には、ソース電極 7、及びドレイン電極 8 が設けられている。ソース電極 7、及びドレイン電極 8 は互いに離間している。また、ソース電極 7、及びドレイン電極 8、チャンネル部 9 を挟んで、対向配置されている。ソース電極 7、及びドレイン電極 8 は、半導体層 5 からはみ出して形成されている。ソース電極 7 は、ソース配線 27 から延在している。図 2 では、ソース配線 27 が縦方向に設けられており、ソース電極 7 がソース配線 27 から右方向に延在している。TFT 108 において、ソース電極 7 は、ゲート電極 2 の上まで延在している。ソース電極 7、ドレイン電極 8 の直下には、オーミック導電膜 5 b が形成されている。すなわち、オーミック導電膜 5 b は、ソース電極 7、ドレイン電極 8 と透光性半導体膜 5 a との間に配置され、ソース電極 7、ドレイン電極 8 が、透光性半導体膜 5 a と接触しない構成となっている。このように、ソース電極 7 とドレイン電極 8 は、オーミック導電膜 5 b を介して、透光性半導体膜 5 a と接続されている。

**【0036】**

半導体層 5、ソース電極 7、及びドレイン電極 8 の上には、保護絶縁膜 10 が形成されている。保護絶縁膜 10 は、ドレイン電極 8、ソース電極 7 等を覆うよう、基板全体に形成されている。また、保護絶縁膜 10 は、チャンネル部 9 を保護している。

**【0037】**

保護絶縁膜 10 の上には、画素電極 12 が設けられている。画素電極 12 は、ドレイン電極 8 の上方に形成されて、ドレイン電極 8 の端部を乗り越えている。また、保護絶縁膜 10 には、コンタクトホール 11 が形成されている。コンタクトホール 11 は、半導体層 5 からはみ出した部分のドレイン電極 8 に到達している。従って、画素電極 12 は、コンタクトホール 11 を介して、ドレイン電極 8 と電氣的に接続される。画素電極 12 は、ソース配線 27 とゲート配線 22 で囲まれた矩形領域の略全体を覆うように形成されている。画素電極 12 は、補助容量電極 3 の一部と重複している。これにより、補助容量が形成される。画素電極 12 は、透光性導電膜によって形成されている。

**【0038】**

このように、本実施形態にかかる TFT 108 では、ドレイン電極 8 とソース電極 7 の間の領域において、半導体層 5 には、チャンネル部 9 が設けられている。チャンネル部 9 において、ソース電極 7 とドレイン電極 8 が分離されている。換言すると、ソース電極 7 とドレイン電極 8 の間の領域が、チャンネル部 9 となる。また、チャンネル部 9 では、オーミック導電膜 5 b が除去されている。従って、チャンネル部 9 において、保護絶縁膜 10 と、透光性半導体膜 5 a が接触している。

**【0039】**

次に、T F Tの製造工程について、図4を用いて説明する。図4は、T F T 1 0 8の製造工程を示す工程断面図である。

【0040】

(図4A)

まず、基板1を洗浄液、又は純水を用いて洗浄する。なお、ここでは厚さ0.6mmのガラス基板を基板1として用いることができる。洗浄された基板1に第1の金属膜を成膜して、ゲート電極2、ゲート配線22、及び補助容量電極3を形成する(図4A)。第1の金属膜としては、例えばクロム(Cr)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、タングステン(W)、アルミニウム(Al)やこれらに他の元素を微量に添加した合金等を用いる。また、これらの金属、合金を2層以上形成した積層構造として

10

【0041】

本実施形態では第1の金属膜として3mol%のNiを添加したAl-3mol%Ni合金膜を用いている。公知のArガスを用いたスパッタリング法でAl-3mol%Ni合金膜を200nmの厚さで成膜する。その後、第1回目の写真製版工程でフォトレジストパターンを形成する。フォトレジストパターンをマスクとして、エッチングする。ここでは、公知のリン酸+硝酸+酢酸を含む溶液でウェットエッチングを行う。エッチングした後にフォトレジストパターンを除去することで、図4Aに示すようにゲート電極2、及び補助容量電極3等が形成される。

20

【0042】

(図4B)

次に、図4Bに示すように、ゲート絶縁膜4、半導体層5を形成する。ここで、図4Bの工程について、図5を用いて詳細に説明する。図5は、図4Bの工程の詳細を示す断面図である。

【0043】

(図5A)

本実施形態では、まず化学的気相成膜(CVD)法を用いて、ゲート絶縁膜4となる窒化シリコン膜(SiN)を形成する。ここでは、厚さ300nmの窒化シリコン膜を、約300の基板加熱条件下で成膜する。その後、非晶質構造の酸化物(以下、IGZOという)ターゲットを用いたスパッタリング法で、透光性半導体膜5aを成膜する。ここでは、In:Ga:Zn:Oの原子組成比が1:1:1:4であるIGZOターゲットを用いている。酸化物膜を従来のArガスを用いたスパッタリング法で成膜する。

30

【0044】

この場合、通常は、酸素の原子組成比が化学量論組成よりも少なく、酸素イオン欠乏状態(上記の例ではOの組成比が4未満)の酸化膜となってしまう。従って、Arガスに酸素(O<sub>2</sub>)ガスを混合させてスパッタリングすることが好ましい。本実施形態では、Arガスに対して分圧比で10%のO<sub>2</sub>ガスを添加した混合ガスを用いて、スパッタリングする。ここでは、IGZO膜を50nmの厚さで成膜する。

【0045】

このIGZO膜の透過率の測定結果を図6に示す。図6は、上記のように、IGZO膜を用いた構成の透過率を実施例1として示している。また、透明導電膜として公知のITO膜の結果を比較のために参考例1として示してある。図6において、横軸は光の波長を示し、縦軸が透過率を示している。IGZO膜はITO膜よりも透過率は低いものの、波長550nmにおいて85.9%と高い透光性を有していることがわかる。

40

【0046】

その後、さらに続けてオーミック導電膜5bとして、Al膜を成膜する。なお、Al膜とは、純Al膜、又はAlを主成分とするAl合金からなる膜を指す。また、Alを主成分とするAl合金膜は、Alの含有割合が他の元素に比べて最も高い膜である。ここでは、オーミック導電膜5bをAlに3mol%のニッケル(Ni)を添加したAl-3mo

50



1% Ni膜としている。Al-3mol% Ni膜は、公知のArガスを用いたスパッタリング法で20nmの厚さで成膜する。これにより、光反射性のオーミック導電膜5bを成膜することができる。これにより、図5Aに示すように、ゲート絶縁膜4、透光性半導体膜5a、オーミック導電膜5bが積層された構成となる。

【0047】

(図5B)

次に、第2回目の写真製版工程でフォトレジストパターン13を形成する。ここではノボラック樹脂系のポジ型フォトレジストを用いている。フォトレジストを、スリットコータもしくはスピンコータにより約1.6μmの厚さで塗布する。その後、フォトマスクを用いて露光を行う。さらに、水酸化テトラメチルアンモニウム(TMAH)を含む有機アルカリ系の現像液を用いて現像を行う。こうすることで、図5Bに示すように、オーミック導電膜5b上に、フォトレジストパターン13を形成することができる。フォトレジストパターン13は、島状に形成され、TFEとなる領域に配置される。すなわち、フォトレジストパターン13は、半導体層5のパターンを残す領域に残存する。

【0048】

このとき、前記現像液によって、オーミック導電膜5bが、フォトレジストパターン13をマスクとして、同時にエッチング除去される。すなわち、フォトレジストパターン13の現像と、オーミック導電膜5bのエッチングが同じ工程で行われる。常温(23℃)で、例えば、TMAH2.4%重量濃度のアルカリ溶液を現像液として用いた場合、Al-3mol% Ni膜では、約0.5nm/秒の速さでエッチングされる。このため、フォトレジスト現像後、現像時間をさらに40秒以上延長する。こうすることによって、20nm厚さのAl-3mol% Ni膜を完全にエッチング除去することができる。このように、フォトレジストパターン13の現像液をオーミック導電膜5bのエッチング液として用いることで、製造工程を簡略化することができる。

【0049】

特許文献5に開示されているように、本実施形態で用いたIGZO膜等の酸化物半導体膜は、非常に酸溶液に溶けやすい。従って、酸化物半導体膜と金属薄膜との選択エッチングが不可能である。このためパターン加工が非常に難しいことが知られている。しかしながら、透光性半導体膜5aは、TMAHのようなアルカリ溶液には溶けない。このため、アルカリ溶液を用いることで、透光性半導体膜5aをエッチングすることなく、上層のオーミック導電膜5bだけをエッチング除去することが可能である。これにより、パターンの加工精度を向上することができる。

また、従来、IGZO膜のような透光性の酸化物膜をAl系メタルと積層あるいは接触させた場合には、フォトレジストパターン時のアルカリ現像液中において両者の膜を電極とする電池反応が起こることがある。これにより、Al系メタルが酸化腐食、IGZO膜が還元腐食してパターン不良を発生させるという問題があった。しかしながら、本実施形態では、AlにNiを添加したAl-3mol% Ni膜を用いている。Al-3mol% Ni膜をアルカリ現像液中でエッチング除去するにすれば、従来のAl系メタルで問題となっていた電池反応を防止することができる。従って、IGZO膜を還元腐食させることなく良好な選択エッチングをすることができる。

【0050】

なお、本実施形態では、オーミック導電膜5bとして、Al-3mol% Ni膜を用いたが、オーミック導電膜5bの材料は、これに限るものではない。例えば、Alに添加する元素はNiに限らず、周期律で同じ10族に属するパラジウム(Pd)、白金(Pt)であってもよい。さらには、これらNi、Pd、Ptの2種類以上をAlに添加してもよい。Alにこれらの元素を添加することによって、TMAHを含むアルカリ溶液(現像液)でIGZO膜を腐食させることなくエッチングすることが可能となる。なお、添加量も3mol%に限らず、0.5mol%以上であればTMAHを含むアルカリ現像液でエッチングすることが可能である。また添加量が10mol%を超えると、Al合金膜中でAlNi、AlPd、およびAlPtの化合物相が析出する割合が多くなる。これがアルカ

10

20

30

40

50

リ現像液でエッチング残となってエッチング不良を引き起こす原因となる場合がある。従って、Alに添加するNi、Pd、およびPtの添加総量は0.5mol%以上10mol%以下とするのが好ましい。このようにすることで、有機アルカリ現像液によるエッチングレートを向上させることができ、エッチングし易くすることができる。

また、TMAH溶液のTMAH濃度は2.4重量%に限らず、例えば液温が10 から50 までの間において、0.2重量%以上25重量%以下の範囲とすることができる。TMAH濃度が0.2重量%未満の場合は、上記Al合金膜であってもエッチングレートが著しく低下してエッチングが困難となる。一方で、TMAH濃度が25%を超える場合は、フォトレジストパターン13へのダメージが大きくなり、パターン不良を起こす問題があるからである。

10

#### 【0051】

また、さらにN原子やO原子を添加するようにしてもよい。N原子やO原子の添加は、反応性スパッタリング法を用いて行うことができる。例えば、ArガスにN<sub>2</sub>ガスやO<sub>2</sub>ガスを添加した混合ガスを用いて、反応性スパッタリングを行う。これにより、N原子やO原子をAl合金膜に添加することができる。上記のAl系合金膜にさらにN原子やO原子を含む合金膜とすることによって、電気的なオーミックコンタクト特性を良好にすることができる。すなわち、下層の透光性半導体膜5aとのコンタクト特性、並びに、上層のソース電極7、ドレイン電極8とのコンタクト特性を良好にすることができる。これにより、TFT特性を向上させることができる。なお、N原子とO原子の添加量は、N<sub>2</sub>ガスやO<sub>2</sub>ガスの分圧を調整することで、制御することができる。

20

(図5C)

次に、フォトレジストパターン13をマスクとして、透光性半導体膜5aをエッチング除去する。このエッチング工程では、シュウ酸5重量%濃度の水溶液を用いている。この場合は、常温(23 )で約1nm/秒の速さで透光性半導体膜5aのIGZO膜がエッチング除去される。図5Cに示すように、透光性半導体膜5aがパターンングされ、島状の半導体層5を形成することができる。本実施形態のシュウ酸水溶液に限らず一般的に公知のシュウ酸溶液では光反射性のAl-3mol%Niからなるオーミック導電膜5bは溶けない。このため、透光性半導体膜5aだけを選択的にエッチングすることが可能である。よって、パターンの加工精度を向上することができる。

#### 【0052】

30

(図5D)

その後、フォトレジストパターン13をアミン系の剥離液を用いて剥離除去する。これにより、図5Dに示すように、透光性の透光性半導体膜5aと光反射性のオーミック導電膜5bとの半導体パターンを形成することができる。なお、図5Dは、図4Bに示すと同一構成を示している。透光性半導体膜5aとオーミック導電膜5bのパターンがほぼ一致している。すなわち、オーミック導電膜5bのパターンが透光性半導体膜5aのパターンからはみ出さずに形成されている。

#### 【0053】

ここで、パターンの良否判定を行っても良い。以下に、パターンの良否判定の一例について説明する。パターンの仕上がりの良否判定は、一般的にパターン欠陥検査装置を用いて不良箇所を検出することによって行われる。例えば、パターン欠陥検査装置は、パターンに照明光を照射する照明部と、パターンからの反射光を検出する画像撮像部とを備えている。照明部は、ハロゲン、LED、メタルハライド等の光源を用いて、基板1上に形成されたパターンに照明光を照射する。この照明光が基板1上に形成されたパターンに照射されると、パターンに応じて反射される。画像撮像部は、パターンから反射される反射光を取り込んで画像を撮像する。画像撮像部は、反射光を検出するためのCCDカメラやレンズなどの光学系を有している。これにより、基板1上に設けられたパターンの画像を撮像することができる。撮像された画像は、画素ごとに、例えば、256階調の輝度データとして表される。そして、パターン欠陥検査装置が、この画像に対して、画像処理を行い、不良箇所を検出する。

40

50

## 【 0 0 5 4 】

通常、撮像した画像から不良箇所を検出する画像処理では、パターンマッチングが用いられる。パターンマッチングでは、繰り返される周期箇所の画素輝度（例えば、256階調）を比較する。比較される画素輝度（256階調）は最低でも3箇所存在し、不良欠陥が無い箇所が2箇所存在し、不良欠陥箇所が1箇所存在する。その不良欠陥箇所の画素輝度（256階調）が不良欠陥の無い箇所の画素輝度（256階調）より輝度差が大きい場合に不良欠陥と現す。そして、良品のみを次の工程に進ませる、あるいは、欠陥を修正して、次の工程に進ませる。欠陥検査を行うことで、歩留まりを改善させることができるので、生産性を向上することができる。

## 【 0 0 5 5 】

しかしながら、従来の酸化物半導体膜のような透光性の高い物質だけで半導体パターンが形成された場合では、照明光が半導体パターンを透過してしまう。このため、CCDカメラに受光される反射光の強度が小さくなってしまふ。このため、パターン不良欠陥が存在したとしても、不良欠陥が無い正常な箇所との輝度差が少ない。このため、欠陥の検出感度が落ちるといふ課題がある。一方、本発明の実施の形態では、透光性の透光性半導体膜5の上層に光反射性のオーミック導電膜5bを形成している。そして、一括で半導体層5のパターンを形成している。よって、透光性半導体膜5aの表面には、同一形状の光反射性のパターンが存在することになる。よって、照明光が、オーミック導電膜5bで反射される。下層の透光性半導体膜5aのパターン欠陥検査を感度よく行うことができる。例えば、基板上の輝度が20～100階調程度であったとすると、一般的な光反射性のメタル膜では150～256階調程度となる。このため、ガラス基板上と金属膜上の輝度差は大きい。オーミック導電膜5bを透光性半導体膜5aと同じパターン形状に形成することで、検査を確実に行うことができる。半導体層5のパターンに欠陥が存在する不良品を取り除くことができる。この段階で、不良品を取り除くことで、生産性を向上することができる。もちろん、上記の階調数は、典型的な一例であり、照明光の強度や、その他の条件によっては変化する。

## 【 0 0 5 6 】

(図4C)

図4の説明に戻る。次に、第2の金属膜を成膜し、ソース配線27、ソース電極7、及びドレイン電極8等を形成する。さらに、互いに対向するソース電極7とドレイン電極8のパターンの間において、オーミック導電膜5bを除去する。ソース電極7とドレイン電極8のパターンの間の領域に、TFT108のチャンネル部9が形成される。これにより、図4Cに示す構成となる。

## 【 0 0 5 7 】

第2の金属膜としては、例えばCr、Mo、Ti、Ta、W、Alやこれらに他の元素を微量に添加した合金等を用いることができる。またこれらの金属、合金を2層以上形成した積層構造としてもよい。これらの金属、合金を用いることによって、比抵抗値が50 $\mu$ cm以下の低抵抗膜を得ることができる。

## 【 0 0 5 8 】

本実施形態では第2の金属膜としてMo膜を用いている。公知のArガスを用いたスパッタリング法で200nmの厚さのMo膜を成膜する。その後、第3回目の写真製版工程でフォトレジストパターンを形成して、Mo膜をパターンニングする。すなわち、フォトレジストパターンをマスクとして、Mo膜をエッチングする。そして、フォトレジストパターンを除去する。これにより、図4Cに示すように、ソース電極7、ドレイン電極8、およびTFT108のチャンネル部9等を形成することができる。

## 【 0 0 5 9 】

なお、本実施形態では、第2の金属膜とオーミック導電膜5bとを別の薬液でエッチング除去してもよい。例えば、第2の金属膜のエッチングには、リン酸+硝酸+酢酸を含む薬液を用い、オーミック導電膜5bのエッチングには、上記のTMAHを用いることができる。

10

20

30

40

50

## 【0060】

また、チャンネル部9のオーミック導電膜5bを除去した後に、さらにTMAHを含むアルカリ溶液でチャンネル部9の表面を洗浄してもよい。あるいはチャンネル部9の表面をプラズマ照射（プラズマ処理）してもよい。プラズマ処理では、ヘリウム(He)、水素(H)、ネオン(Ne)、アルゴン(Ar)、窒素(N<sub>2</sub>)、あるいはSF<sub>6</sub>、CF<sub>4</sub>、F<sub>2</sub>、HF、NF<sub>3</sub>、CHF<sub>3</sub>、C<sub>2</sub>F<sub>6</sub>等フッ素を含むガスなどのプラズマを用いることができる。これらのガスのプラズマ処理を行うことによって、チャンネル部9の表面の異物や汚染物を除去することができる。よって、TFTのオフ特性を良好（オフ電流を低減）にすることができる。また、酸素(O<sub>2</sub>)ガスプラズマ処理を行ってもよい。この場合、チャンネル部9の表面の異物や汚染物を除去するとともに、透光性半導体膜5aのチャンネル部9の表面に酸素原子を供給することができる。これによって表面近傍を高抵抗化させ、TFTのオフ特性をさらに良好にすることができる。なお、上記のプラズマ処理を行ってチャンネル部9の表面の異物や汚染物を除去した後に、さらにこの酸素(O<sub>2</sub>)ガスプラズマ処理を追加で行うこともできる。

10

## 【0061】

(図4D)

次に、保護絶縁膜10を成膜する。本実施形態では、化学的気相成膜(CVD)法を用いて、保護絶縁膜10を成膜する。具体的には、約250の基板加熱条件下で厚さ300nmの窒化シリコン(SiN)膜を成膜する。その後、第4回目の写真製版工程でフォトレジストパターンを形成して、SiN膜をパターニングする。すなわち、フォトレジストパターンをマスクとして用いて、SiN膜をエッチングする。このエッチング工程では、公知のフッ素系ガスを用いたドライエッチング法を用いることができる。これにより、ドレイン電極8上に、コンタクトホール11を形成することができる。その後、フォトレジストパターンを除去することで、図4Dに示すように、コンタクトホール11を有する保護絶縁膜10を形成することができる。

20

## 【0062】

(図4E)

最後に、透明導電性膜を成膜して、画素電極12のパターンを形成する。本実施形態では、透明導電性膜として、IZO(酸化インジウムIn<sub>2</sub>O<sub>3</sub>+酸化亜鉛ZnO)を用いている。そして、公知のArガスを用いたスパッタリング法で、厚さ100nmのIZO膜を成膜する。次いで、第5回目の写真製版工程でフォトレジストパターンを形成し、画素電極12をパターニングする。すなわち、フォトレジストパターンをマスクとして、IZO膜をエッチングする。これにより、画素電極12が形成される。このエッチング工程では、公知のシュウ酸系溶液によるウエットエッチングを用いることができる。そして、エッチングした後にフォトレジストパターンを除去する。これにより、図4Eに示す構成となり、TFT基板が完成する。

30

## 【0063】

5回の写真製版工程によって完成させたTFT基板の表面に配向膜やスペーサを形成する。配向膜は、液晶を配列させるためのポリイミド等からなる。また、カラーフィルタや配向膜を備えた対向基板を用意する。TFT基板と対向基板とを貼り合わせる。そして、上記のスペーサによって両基板間に形成される隙間に、液晶を注入保持する。さらに両基板の外側に偏光板、位相差板およびバックライトユニット等を配設する。こうすることによって液晶表示装置を完成させることができる(図示せず)。

40

## 【0064】

本実施の形態では、ソース電極7、ドレイン電極8と透光性半導体膜5aとの間に、オーミック導電膜5bが介在した構成となっている。オーミック導電膜5bは、透光性半導体膜5aよりも低い光透過率を有している。なお、オーミック導電膜5bは、透光性半導体膜5aよりも低い光反射率を有していれば、光を反射する反射膜でよく、一部の光を透過する低反射膜でもよい。低反射膜は、例えば、波長550nmの光に対する反射率が50%未満のものである。具体的には、低反射膜として、リン(P)などの不純物を添加し

50

た Si 膜を用いることができる。

【 0 0 6 5 】

透光性半導体膜 5 a を用いた場合でも、半導体層 5 のパターン形状検査においてパターン不良を容易に検出することができる。すなわち、パターン欠陥検査装置において、照明光を照射した際、照明光が、オーミック導電膜 5 b で反射される。よって、画像撮像部で受光される反射光の光量が大きくなる。オーミック導電膜 5 b は、酸化半導体膜 5 a と同じパターン形状を有している。よって、半導体層 5 のパターン欠陥の検出感度を高くすることができる。薄膜トランジスタ 1 0 8 の製品不良の発生を効果的に低減することができる。

【 0 0 6 6 】

透光性半導体膜 5 a には、酸系薬液に対する耐性の低い材料が用いられる。また、ソース電極 7、ドレイン電極 8 は、一般に酸系薬液でエッチング加工を行う金属膜からなる。パターン形成時において、両者のエッチング選択性を確保することができる。すなわち、ソース電極 7、ドレイン電極 8 のパターンニング時において、透光性半導体膜 5 a とのエッチング選択性が高くなる。よって、パターンの加工精度を向上することができる。さらに、特許文献 5 のように、金属膜、金属膜のエッチング溶液、ならびに酸化半導体膜の種類を選んで製造する必要がなくなる。よって、膜種やエッチング溶液などの材料選択の幅を広くすることができる。

【 0 0 6 7 】

特に移動度の高い酸化系半導体膜を用いた T F T 基板を実現することができる。よって、動作速度の速い T F T アクティブマトリクス基板、及びそれを用いた表示装置を高い歩留まりで製造することができる。よって、高性能の T F T 基板、及び液晶表示装置を生産性良く製造することができる。もちろん、液晶表示装置以外の表示装置に利用しても良い。例えば、有機 E L ( electroluminescence ) ディスプレイ装置等の電気光学表示装置に利用することができる。表示装置以外の半導体部品等に用いられる薄膜トランジスタ、アクティブマトリクス基板に利用することも可能である。

【 0 0 6 8 】

実施の形態 2 .

本実施の形態では、オーミック導電膜 5 b の材料が異なっている。実施の形態 1 では、オーミック導電膜 5 b が A l 合金膜であったが、本実施の形態では、オーミック導電膜 5 b が純 C u 膜、もしくは C u を主成分とする C u 合金膜となっている。以下、純 C u 膜、もしくは C u を主成分とする C u 合金膜を C u 膜と称する。なお、その他の構成等については、実施の形態 1 と同様であるため、適宜、説明を省略する。

【 0 0 6 9 】

以下に、本実施の形態にかかる T F T の製造工程に付いて図 7 を用いて説明する。図 7 は、本実施の形態にかかる T F T の製造方法を示す製造工程断面図であり、実施の形態 1 の図 4 B に対応する製造工程を詳細に示すものである。

【 0 0 7 0 】

( 図 7 A )

まず、化学的気相成膜 ( C V D ) 法を用い、ゲート絶縁膜 4 となる窒化シリコン ( S i N ) 膜を成膜する。ここでは、約 3 0 0 の基板加熱条件下で、厚さ 3 0 0 n m の窒化シリコン ( S i N ) 膜を成膜する。これにより、ゲート電極 2、補助容量電極 3 がゲート絶縁膜 4 で覆われる。その後、透光性半導体膜 5 a とオーミック導電膜 5 b とを連続して、成膜する。

【 0 0 7 1 】

具体的には、まず、透光性半導体膜 5 a をスパッタリング法で成膜する。透光性半導体膜 5 a のスパッタリングでは、 I n : G a : Z n : O の原子組成比が 1 : 1 : 1 : 4 である非晶質構造の酸化物 ( 以下、 I G Z O という ) ターゲットを用いる。 A r ガスに O<sub>2</sub> ガスを添加した混合ガスを用いた反応性スパッタリング法で、厚さ 5 0 n m の I G Z O 膜を成膜する。ここでは、 A r ガスに対して分圧比で 1 0 % の O<sub>2</sub> ガスを添加した混合ガスを

10

20

30

40

50

用いている。

【0072】

さらに続けて、オーミック導電膜5bとして、Cu膜をスパッタリング法で成膜する。このスパッタリングでは、純Arガスを用いて、厚さ20nmの純Cu膜を成膜する。次に第2回目の写真製版工程でフォトレジストパターン13を形成する。これにより、図7Aに示す構成となる。

【0073】

(図7B)

次に、フォトレジストパターン13をマスクとして、オーミック導電膜5bをエッチング除去する。これにより、図7Bに示すように、オーミック導電膜5bのパターンが形成される。このエッチングでは、過硫酸アンモニウム0.3重量%の水溶液を含む液温23

の薬液をエッチャントとして用いる。この場合、純Cu膜からなるオーミック導電膜5bは、約1nm/秒の速さでエッチングされる。特許文献5に開示されているように、本実施形態で用いたIGZO膜等の透光性半導体膜5aは、酸溶液に非常に溶けやすい。従って、透光性半導体膜5aと金属薄膜との選択エッチングが不可能である。このためパターン加工が非常に難しいことが知られている。しかしながら、透光性半導体膜5aは、過硫酸アンモニウム系溶液にはエッチングされにくい。過硫酸アンモニウムを含む薬液を用いることで、Cuからなるオーミック導電膜5bだけを選択的にエッチングすることができる。

【0074】

(図7C)

続けて、フォトレジストパターン13をマスクとして、透過性半導体膜5aをエッチング除去する。ここでは、シュウ酸溶液をエッチング液として用いる。透過性半導体膜5aがパターンングされ、図7Cに示すように、島状の半導体層5が形成される。シュウ酸溶液では光反射性のCuからなるオーミック導電膜5bは溶けない。このため、透光性半導体膜5aだけを選択的にエッチングすることが可能である。よって、パターンの加工精度を向上することができ、透光性半導体膜5aのパターンとその上のオーミック導電膜5bのパターンが略一致した構成となる。

【0075】

(図7D)

その後、フォトレジストパターン13をアミン系の剥離液を用いて剥離除去する。これにより、図7Dに示す構成となる。図7Dに示す構成は、図4B、又は図5Dと同様の構成となっている。透光性半導体膜5aとオーミック導電膜5bとの半導体層5が島状に形成されている。

【0076】

この後、実施の形態1に示す図4C~図4Eと同じ工程を経ることで、本発明の実施の形態2に係るTFT基板を完成させることができる。また、ソース電極7、ドレイン電極8となる第2の金属膜と、オーミック導電性膜5bは、異なるエッチング溶液でエッチングされても良い。例えば、第2の金属膜を実施の形態1と同じMo膜とした場合、第2の金属膜のエッチングには、リン酸+硝酸+酢酸を含む薬液を用い、オーミック導電膜5bのエッチングには、上記の過硫酸アンモニウム系溶液を用いることができる。これにより、チャンネル部9の表面の異物や汚染物を除去することができ、TFT特性を向上することができる。さらに、実施の形態1と同様に、プラズマ処理などで、チャンネル部9を洗浄しても良い。

【0077】

そして、実施の形態1と同様の工程を経ることで、液晶表示装置を完成させることができる。本実施の形態では、実施の形態1と同様の効果を得ることができる。説明を省略したが、適宜、光学的なパターン欠陥の検査を行っても良い。

【0078】

上記の説明では、光反射性のオーミック導電膜5bとして、純Cu膜を用いているが、

10

20

30

40

50

これに限られるものではない。例えば、N原子やO原子を添加したCu合金をオーミック導電膜5bとして用いることができる。具体的には、ArガスにN<sub>2</sub>ガスやO<sub>2</sub>ガスを添加した混合ガスを用いた反応性スパッタリング法を用いる。反応性スパッタリング法によって、N原子やO原子を添加したCu合金を成膜することも可能である。N原子やO原子を含むCu合金膜とすることによって、過硫酸アンモニウム溶液によるエッチングをさらに容易にすることができる。下層の透光性半導体膜5aと、上層のソース電極7、ドレイン電極8との電気的なオーミックコンタクト特性をさらに良好にすることができる。もちろん、Cuに、N原子やO原子の両方を添加してもよく、N原子、O原子以外の原子をさらに添加してもよい。

また、過硫酸アンモニウム溶液の過硫酸アンモニウム濃度は0.3重量%に限らず、例えば液温が10 から50 までの間において、0.02重量%以上10重量%以下の範囲とすることができる。過硫酸アンモニウム濃度が0.02重量%未満の場合は、上記Cu合金膜のエッチングレートが著しく低下してエッチングが困難となる。一方で、過硫酸アンモニウム濃度が10%を超える場合は、Cu合金膜のサイドエッチング量(レジストパターン13の端部からCu合金膜パターン5bの端部までの後退量)が大きくなる。従って、平面パターンにおいて、Cu合金膜5bのパターン形状が、透光性半導体膜5aのパターン形状よりも大きく内側に後退した形状となってしまう。このため、半導体層5のパターン欠陥を正確に検査することが困難になるという問題があるからである。

【0079】

なお、実施の形態1、2では、透光性半導体膜5aとして、酸化インジウム、酸化ガリウム、酸化亜鉛からなる酸化物半導体(IGZO)を適用した例を記載したが、材料は、これらに限られるものではない。例えば13族元素を主成分とした窒素化合物からなる窒化物半導体、あるいはこれらの酸化物、窒化物の混合物からなる半導体を適用することが可能である。これらを用いた場合でも、同様の効果を奏することが可能である。すなわち、N原子、及びO原子の少なくとも一方を含み、透光性を有する半導体膜であればよい。このように、非シリコン系の透光性半導体膜5aを用いることによって、高性能のTFETを得ることができる。なお、本明細書において、主成分とは、物質を構成する2種類以上の成分のうち、最も組成比の多い成分のことと定義する。

【0080】

ここで、透光性半導体膜5aの透過率について、図8乃至図10を用いて説明する。図8乃至10は、透光性半導体膜5aの透過率分光特性を示すグラフである。図8は、厚さ50nmのIGZO膜の透過率特性を示すグラフである。図9は、厚さ50nmのTiO<sub>x</sub>膜の透過率特性を示すグラフである。図10は、厚さ50nmのGZO膜の透過率特性を示すグラフである。ここでは、酸素の添加量を変えて、透過率を測定している。図8乃至図10において、横軸は、光の波長、縦軸はAs depoの透過率を示している。図8乃至図10では、比較例として、非晶質ITO(a-ITO)と多結晶ITO(p-ITO)を合わせて示している。各膜種とも、波長550nmにおける透過率が50%以上であることが分かる。

【0081】

透過率の高い透光性半導体膜5aを設けた場合であっても、オーミック導電膜5bを形成することで、パターン欠陥検査を確実に行うことができる。なお、パターン欠陥検査を半導体層5の形成直後に行うことで、効果的に欠陥を検出することができる。例えば、図5D、又は図7Dに示す状態で、光学的に欠陥検査を行う。こうすることで、効果的に欠陥を検出することが可能になる。もちろん、半導体層5の形成後であれば、どのタイミングでパターン欠陥を検査しても良い。

【0082】

実施の形態1、2では、透光性半導体膜5aと、オーミック導電膜5bを連続して成膜した後、パターンニングを行っている。すなわち、透光性半導体膜5aと、オーミック導電膜5bとのパターンニングに用いられるフォトリソが、共通となっている。よって、上層のオーミック導電膜5bのパターン端が、透光性半導体膜5aのパターン端とほぼ一致

10

20

30

40

50

する。オーミック導電膜 5 b が透光性半導体膜 5 a からはみ出さないように形成される。このように形成することで、製造工程を簡略化することができる。すなわち、別々のフォトレジストを用いてパターンニングする場合と比べて、写真製版工程を省略することができる。半導体層 5 の検査を確実に行うことができる。よって、生産性を向上することができる。

【 0 0 8 3 】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。

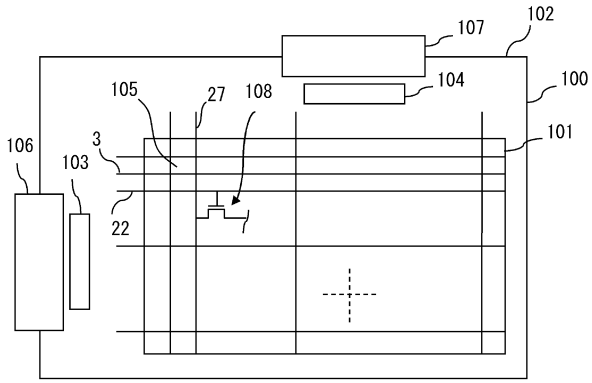
【符号の説明】

【 0 0 8 4 】

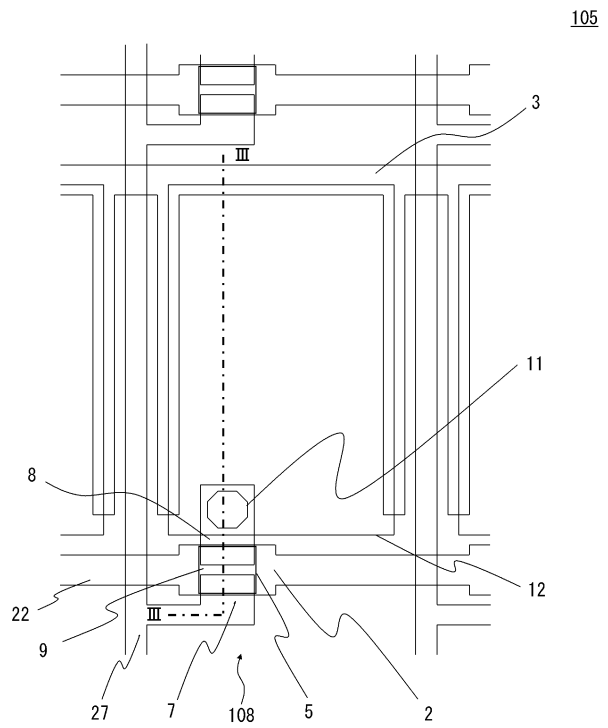
- |       |             |    |
|-------|-------------|----|
| 1     | 基板          |    |
| 2     | ゲート電極       |    |
| 3     | 補助容量電極      |    |
| 4     | ゲート絶縁膜      |    |
| 5     | 半導体層        |    |
| 5 a   | 酸化物半導体膜     |    |
| 5 b   | オーミック導電膜    |    |
| 7     | ソース電極       |    |
| 8     | ドレイン電極      |    |
| 9     | チャンネル部      | 10 |
| 1 0   | 保護絶縁膜       |    |
| 1 1   | コンタクトホール    |    |
| 1 2   | 画素電極        |    |
| 1 3   | フォトレジストパターン |    |
| 2 2   | ゲート配線       |    |
| 2 7   | ソース配線       |    |
| 1 0 0 | T F T アレイ基板 |    |
| 1 0 1 | 表示領域        |    |
| 1 0 2 | 額縁領域、       |    |
| 1 0 3 | 走査信号駆動回路    | 30 |
| 1 0 4 | 表示信号駆動回路    |    |
| 1 0 5 | 画素          |    |
| 1 0 6 | 外部配線        |    |
| 1 0 7 | 外部配線        |    |
| 1 0 8 | T F T       |    |



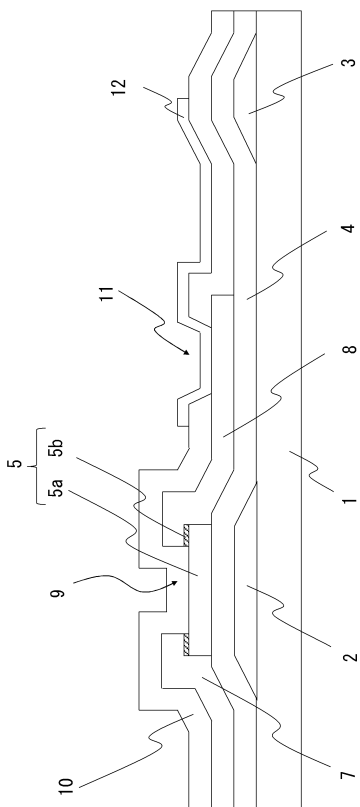
【図1】



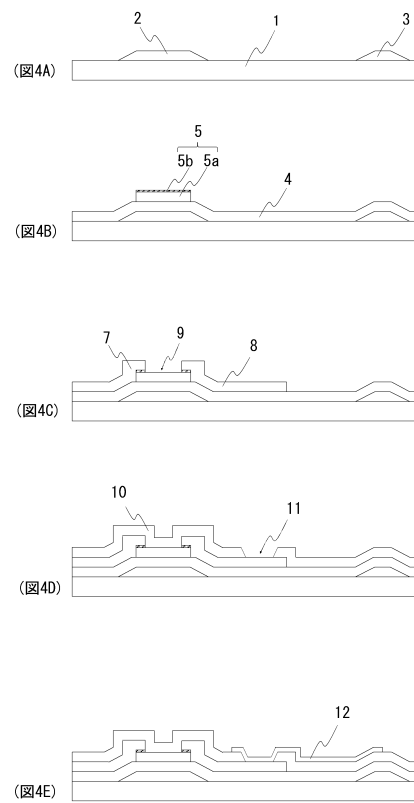
【図2】



【図3】

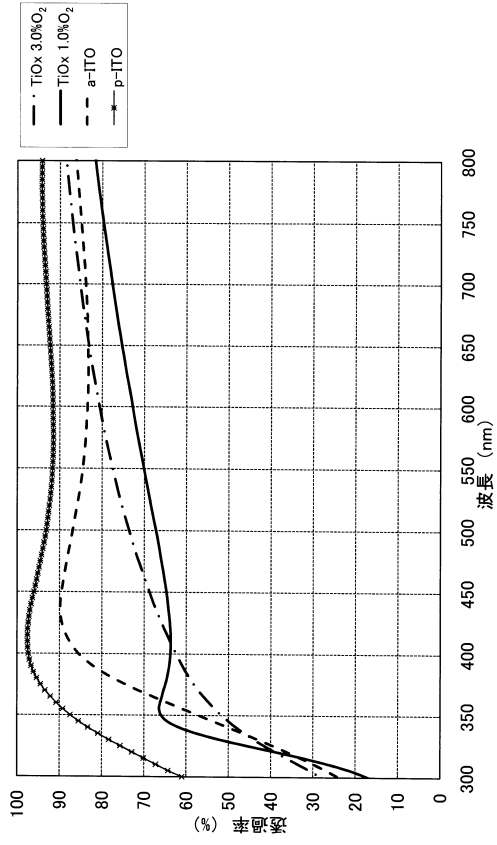


【図4】

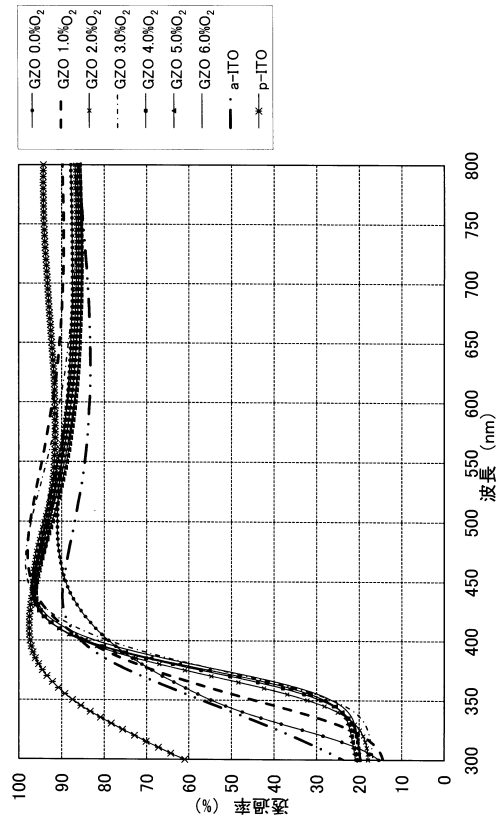




【 図 9 】



【 図 10 】



## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 21/28 3 0 1 B  
H 0 1 L 29/50 M  
H 0 1 L 21/28 3 0 1 R

(72)発明者 青木 理  
熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内

(72)発明者 岩坂 利彦  
熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内

審査官 山口 大志

(56)参考文献 国際公開第 2 0 1 2 / 0 0 2 5 7 3 ( W O , A 1 )  
特開 2 0 1 0 - 1 9 2 8 8 1 ( J P , A )  
米国特許出願公開第 2 0 1 0 / 0 1 8 7 5 2 3 ( U S , A 1 )  
特開平 0 7 - 0 4 5 5 5 2 ( J P , A )  
特開 2 0 1 0 - 0 5 0 1 9 4 ( J P , A )  
特開 2 0 0 8 - 0 7 2 0 1 1 ( J P , A )  
特開 2 0 0 5 - 2 8 5 8 9 0 ( J P , A )  
特開 2 0 0 9 - 1 7 5 7 2 0 ( J P , A )  
特開 2 0 0 9 - 1 5 2 6 3 3 ( J P , A )  
米国特許出願公開第 2 0 0 7 / 0 1 0 8 4 4 6 ( U S , A 1 )  
特開 2 0 0 9 - 0 8 8 0 4 9 ( J P , A )  
特開 2 0 0 1 - 1 9 6 3 7 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
H 0 1 L 2 9 / 7 8 6  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 1 / 2 8  
H 0 1 L 2 9 / 4 1 7